

(11) 特許出願公開番号

特開2010-28810

(P2010-28810A)

(43) 公開日 平成22年2月4日(2010. 2. 4)

(51) Int.Cl.
H03F 1/26 (2006.01)

F I
H O 3 F 1/26

テーマコード (参考)
5J500

審査請求 未請求 請求項の数 10 O L (全 9 頁)

(21) 出願番号 特願2009-162309 (P2009-162309)
 (22) 出願日 平成21年7月9日 (2009.7.9)
 (31) 優先権主張番号 12/173,345
 (32) 優先日 平成20年7月15日 (2008.7.15)
 (33) 優先権主張国 米国 (US)

(71) 出願人	390041542 ゼネラル・エレクトリック・カンパニイ GENERAL ELECTRIC COMPANY アメリカ合衆国、ニューヨーク州、スケネクタデー、リバーロード、1 番
(74) 代理人	100093908 弁理士 松本 研一
(74) 代理人	100137545 弁理士 荒川 聡志
(74) 代理人	100105588 弁理士 小倉 博
(74) 代理人	100129779 弁理士 黒川 俊久

[最終頁に続く](#)

(54) 【発明の名称】 CMOS増幅器からフリッカー・ノイズを低減するためのシステム及び方法

(57) 【要約】

【課題】 相関低周波ノイズの干渉を低減してデータを取得するためのデータ取得回路を提供する。

【解決手段】データ取得回路（１０）は、複数の増幅器（１４）を有する複数のデータ・チャンネル（１２）と、複数の増幅器（１４）にバイアス電圧を供給するバイアス回路（１６）とを含む。バイアス回路（１６）は、バイアス電圧を発生すると共に、複数の増幅器（１４）における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するように構成される。

【選択図】 図 1

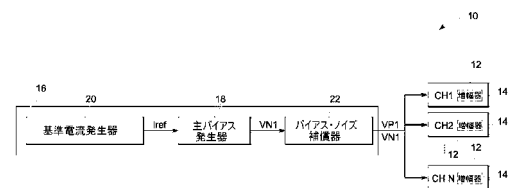


FIG. 1

【特許請求の範囲】

【請求項 1】

複数の増幅器（１４）を有する複数のデータ・チャンネル（１２）と、

前記複数の増幅器（１４）にバイアス電圧を供給するバイアス回路（１６）であって、バイアス電圧を発生すると共に、前記複数の増幅器（１４）における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するように構成されているバイアス回路（１６）と、

を有するデータ取得回路（１０）。

【請求項 2】

前記バイアス回路（１６）は、最初のバイアス電圧を発生する主バイアス発生器（１８）を有している、請求項 1 記載のデータ取得回路（１０）。 10

【請求項 3】

前記複数の増幅器（１４）の各々は、CMOS をベースとした低ノイズ増幅器を有している、請求項 1 記載のデータ取得回路（１０）。

【請求項 4】

前記 CMOS をベースとした低ノイズ増幅器は、センサからの入力電荷を受け取る一次 CMOS 装置と、前記バイアス回路（１６）からバイアス電圧を受け取って、一次 CMOS 装置の両端間の電圧を実質的に一定に維持する複数の二次 CMOS 装置とを有している、請求項 3 記載のデータ取得回路（１０）。 20

【請求項 5】

前記バイアス回路（１６）は、バイアス電圧を供給すると共に、前記バイアス電圧間の関係を設定するバイアス・ノイズ補償器（２２）を有している、請求項 1 記載のデータ取得回路（１０）。 30

【請求項 6】

前記バイアス・ノイズ補償器（２２）は、低ノイズ電流源と複数の CMOS 装置とを有していて、少なくとも第 1 の組の複数の CMOS 装置におけるノイズ電流が少なくとも第 2 の組の複数の CMOS 装置のためのバイアス電圧を生じさせるように構成されている、請求項 5 記載のデータ取得回路（１０）。 40

【請求項 7】

前記バイアス・ノイズ補償器（２２）は、前記バイアス電圧間の関係を比例関係に設定することによって、前記複数の増幅器（１４）における相関低周波ノイズを低減する、請求項 5 記載のデータ取得回路（１０）。 30

【請求項 8】

複数の増幅器（１４）を有する複数のデータ・チャンネル（１２）と、

前記複数の増幅器（１４）に第 1 のバイアス電圧及び第 2 のバイアス電圧を供給するバイアス回路（１６）であって、前記第 1 のバイアス電圧を発生する主バイアス発生器（１８）と、前記主バイアス発生器（１８）に結合されていて、前記複数の増幅器（１４）における相関低周波ノイズを低減するように前記第 1 のバイアス電圧に比例する前記第 2 のバイアス電圧を発生するバイアス・ノイズ補償器（２２）とを含んでいるバイアス回路（１６）と、 40

を有するデータ取得回路（１０）。

【請求項 9】

前記増幅器（１４）は CMOS をベースとした低ノイズ増幅器を有し、前記 CMOS をベースとした低ノイズ増幅器は、センサからの入力電荷を受け取る第 1 の CMOS 装置と、前記バイアス・ノイズ補償器（２２）から前記第 1 のバイアス電圧及び前記第 2 のバイアス電圧をそれぞれ受け取って、前記第 1 の CMOS 装置の両端間の電圧を実質的に一定に維持する第 2 及び第 3 の CMOS 装置とを有している、請求項 8 記載のデータ取得回路（１０）。 50

【請求項 10】

前記バイアス・ノイズ補償器（２２）は低ノイズ電流源と第 1 及び第 2 の CMOS 装置

とを有していて、前記第1のCMOS装置のバイアス電圧が前記第2のCMOS装置によって生じたノイズ電流を追跡するように構成されている、請求項8記載のデータ取得回路(10)。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に云えば、ノイズ低減手法に関し、より具体的には、相補形金属酸化物半導体(CMOS)増幅器における相関低周波ノイズを低減するための手法に関するものである。

【背景技術】

【0002】

データ取得回路が、高品質のデータ取得及び処理を必要とする広範な用途に使用されている。例えば、医用イメージングの分野では、イメージング・パネルにより入射放射線を検出して、それらをセンサにより測定可能な電荷に変換することができる。データ取得回路により、その後のデジタル・データへの変換及び画像処理のためにセンサから電荷を読み取ることができる。

【0003】

データ取得システムの第1段が、典型的には、低ノイズ増幅器(LNA)であり、その主な機能は、その後の段のノイズを克服するのに十分な利得を提供し、且つ用途によってはその後の処理のために電荷を電圧に変換することである。この利得を提供することの他に、LNAは出来る限りノイズの付加を少なくすべきであり且つ出来る限り電力消費を少なくすべきである。更に、多チャンネル・データ取得システムでは、電力消費及びダイ寸法を最小にしながら、LNAに起因するノイズが相関しないようにすべきである。これを達成するために、典型的には、伝統的な差動増幅器の代わりに、シングル・エンド型増幅器が各チャンネルに使用される。ノイズ、電力及び面積を更に低減するために、全てのシングル・エンド型増幅器について共通のバイアス回路が使用される。しかしながら、この方式では、バイアス回路内のノイズが、該バイアス回路を共用する全てのチャンネルにわたって相関することになる。詳しく述べると、イメージング領域において、人の目が他の広帯域ノイズ源を平均化すると共に不快な低周波ノイズ源を強調することがあるので、フリッカー・ノイズのような相関低周波ノイズは厄介なものである。これは、取得された画像内に好ましくないアーティファクトを生じさせる。

【0004】

例えば、デジタルX線パネルのようなシステムでは、多数のセンサ(例えば、フォトダイオード)が単一の低ノイズ増幅器(LNA)に多重化接続されて、リセットされる。この増幅器をピクセルに接続するスイッチが開放されるとき、該スイッチは低周波ノイズをそのピクセルに対してサンプリングする。これは、リセット後のX線照射によって発生される信号から区別できない。更に、多数のフォトダイオードが低周波ノイズをサンプリングしているので、全てのフォトダイオードからの信号は、人の目が容易に見分けるこのとのできるこの相関成分を持つ。

【0005】

相関低周波ノイズを最小にするための現在の手法は、バイポーラCMOS(BiCMOS)又は接合型電界効果トランジスタ(JFET)をベースとした増幅器、差動増幅器、或いは共通バイアスの代わりに各々のチャンネル又は増幅器について別々のバイアスを用いることを含む。しかしながら、これらの手法の各々には1つ以上の制約がある。例えば、BiCMOS又はJFET増幅器は高価であり、これによって検出器回路の費用が高くなる。この代わりに、差動増幅器を使用すると、電力要件と他のノイズが増大する。更に、チャンネル毎に別々のバイアス回路を使用すると、電力及び面積要件が増大し、且つ高価になる。

【先行技術文献】

【特許文献】

10

20

30

40

50

【0006】

【特許文献1】米国特許第7106368号

【特許文献2】米国特許第7133075号

【特許文献3】米国特許出願公開第20070159253号

【発明の概要】

【発明が解決しようとする課題】

【0007】

従って、相関低周波ノイズの干渉を最小にして、データ取得のために費用効果が高く且つ効率のよい低ノイズ増幅器を提供することが望ましい。

【課題を解決するための手段】

10

【0008】

要約すると、本発明手法の一面によれば、データ取得回路を提供する。このデータ取得回路は、複数の増幅器を有する複数のデータ・チャンネルと、複数の増幅器にバイアス電圧を供給するバイアス回路とを含む。バイアス回路は、バイアス電圧を発生すると共に、複数の増幅器における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するように構成される。

【0009】

本発明手法の別の面によれば、データ取得回路を提供する。このデータ取得回路は、複数の増幅器を有する複数のデータ・チャンネルと、複数の増幅器に第1のバイアス電圧及び第2のバイアス電圧を供給するバイアス回路とを含む。バイアス回路は、第1のバイアス電圧を発生する主バイアス発生器と、主バイアス発生器に結合されていて、複数の増幅器における相関低周波ノイズを低減するように第1のバイアス電圧に比例する第2のバイアス電圧を発生するバイアス・ノイズ補償器とを含む。

20

【0010】

本発明手法の更に別の面によれば、データを取得する方法を提供する。この方法は、バイアス回路により複数の増幅器にバイアス電圧を印加する段階、及び関連した増幅器により複数のセンサから入力電荷を受け取る段階を含む。バイアス回路は、バイアス電圧を発生すると共に、複数の増幅器における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するように構成される。

【0011】

30

本発明のこれらの及び他の特徴、側面及び利点は、添付の図面を参照して以下の詳しい説明を読めばより良く理解されよう。図面において、同じ参照数字は図面全体を通じて同じ部品を表す。

【図面の簡単な説明】

【0012】

【図1】図1は、本発明手法の様々な面に従ったデータ取得回路の概略図である。

【図2】図2は、本発明手法の様々な面に従った図1のバイアス回路のより詳しい回路図である。

【図3】図3は、本発明手法の様々な面に従った図1の増幅器のより詳しい回路図である。

40

【発明を実施するための形態】

【0013】

本発明の様々な実施形態は、一般に、相補形金属酸化物半導体（CMOS）増幅器における相関低周波ノイズ低減手法を対象とする。このような実施形態は、バイポーラ接合型トランジスタ（BJT）をベースとした装置、電界効果トランジスタ（FET）をベースとした装置などのような、様々な半導体装置に用いることができる。更に、このような実施形態は、データ取得、データ受信及び／又は送信、データ変換、データ記憶などのような様々な用途に用いることができる。本書の説明ではデータ取得分野におけるCMOS増幅器に関する例を提供するが、これらの実施形態の他の分野及び他の装置における応用も本発明の範囲内にある。

50

【0014】

ここで図1について説明すると、本発明の様々な面に従った模範的なデータ取得回路10の概略図が示されている。データ取得回路10は、1つ以上の増幅器14を有する複数のデータ・チャンネル12（チャンネル1～N）を含む。実施形態によっては、複数のチャンネル12の各々の中の増幅器14は、その後のディジタル・データへの変換及び処理のためにアナログ・データ（例えば、電荷）を取得するためのイメージング・パネル（図示せず）内のセンサ（例えば、フォトダイオード）に結合することができる。データ取得回路10は更に、複数の増幅器14にバイアス電圧（例えば、 V_{P1} 及び V_{N1} ）を供給するバイアス回路16を含む。具体的に述べると、バイアス回路16は、本発明の様々な面に従って、バイアス電圧を発生すると共に、複数の増幅器14における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するように構成することができる。

10

【0015】

バイアス回路16は、典型的には、最初のバイアス電圧（例えば、 V_p 及び V_{N1} ）を発生する主バイアス発生器18と、主バイアス発生器18に基準電流（ I_{ref} ）を供給する基準電流発生器20とを含む。その上、バイアス回路16は、主バイアス発生器18に結合されていて、本発明の様々な面に従って、最初のバイアス電圧（例えば、 V_{N1} ）に基づいてバイアス電圧（例えば、 V_{P1} 及び V_{N1} ）を供給すると共に、複数の増幅器14における相関低周波ノイズを低減するようにバイアス電圧間の関係を設定するバイアス・ノイズ補償器22を含むことができる。実施形態によっては、データ取得回路12はまた、バイアス回路16の性能を最適化するチューニング回路（図示せず）を含むことができる。具体的に述べると、チューニング回路は、以下により詳しく述べるように最適な性能を得るために基準電流発生器20及びバイアス・ノイズ補償器22を調整することができる。

20

【0016】

図1に示したバイアス回路16が、図2により詳しく例示されている。図2において、基準電流発生器20は電流源24と電流ミラー構造26を含む。実施形態によっては、電流源24は抵抗 R_{R0} とPMOS装置MR1及びMR2とで構成することができる。抵抗 R_{R0} 及びPMOS装置MR2は正の電圧源 $AVDD$ に接続することができる。電流ミラー構造26は、電流源24からの電流を複製して、基準電流 I_{ref} を主バイアス発生器18に供給する。前に述べたように、主バイアス発生器18は、基準電流 I_{ref} に基づいて最初のバイアス電圧 V_p 及び V_{N1} を発生する。図示の実施形態では、主バイアス発生器18は、複数のCMOS装置MB1、MB2及びMB3を含む。MB1及びMB2は、負の電圧源 $AVSS$ に結合されたNMOS装置であり、他方、MB3は、正の電圧源 $AVDD$ に結合されたPMOS装置である。MB1及びMB2はNMOS電流ミラーを形成して、 V_{N1} を発生する。MB2の出力がMB3に接続されて、 V_p を発生させる。ここで、図2は基準電流発生器20及び主バイアス発生器18の各々についての1つの構成を例示していることに留意されたい。しかしながら、代わりに、基準電流発生器及び主バイアス発生器についての他の商業上利用可能な構成を用いることができる。

30

【0017】

バイアス・ノイズ補償器22が主バイアス発生器18に結合されており、バイアス・ノイズ補償器22は、典型的には、電流源28及び複数のCMOS装置を含む。実施形態によっては、電流源28及び複数のCMOS装置は、第1の組の複数のCMOS装置におけるノイズ電流が少なくとも第2の組の複数のCMOS装置のためのバイアス電圧を生じるように構成される。これは、複数のCMOS装置のバイアス電圧間に比例関係を設定し、これにより複数の増幅器14における相関低周波ノイズを低減する。

40

【0018】

図示の実施形態では、電流源28は低ノイズ電流源であり、抵抗 R_{C0} とPMOS装置MC1及びMC2とで構成される。抵抗 R_{C0} 及びPMOS装置MC2は正の電圧源 $AVDD$ に接続することができる。負の電圧源 $AVSS$ に結合されたNMOS装置MC5が、PMOS装置MC2についてのバイアスとして作用する。バイアス・ノイズ補償器22は

50

更に、CMOS装置MC3及びMC4を含む。第1のCMOS装置MC3は、正の電圧源AVDDに接続されたPMOS装置であり、他方、第2のCMOS装置MC4は、負の電圧源AVSSに接続されたNMOS装置である。VN1のゲート電圧及びAVSSのソース電圧を持つNMOS装置MC4は、電流源28に対して且つPMOS装置MC3からの電流に対して電流シンクとして作用する。このようにして、MC3のバイアス電圧は、MC4によって発生されたノイズ電流を追跡する。これにより、第1のCMOS装置MC3によって発生される第2のバイアス電圧VP1が第1のバイアス電圧VN1に大体比例することができ、もって複数の増幅器14における相関低周波ノイズを低減する。ここで、MC3によって発生されるノイズ電流がMC4におけるノイズ電流を実質的に追跡する限り、MC4における如何なるノイズ電流も容認できることに留意されたい。従って、バイアス補償器22は、バイアス電圧VN1に大体比例するバイアス電圧VP1を生成する。更に、バイアス電圧VP1がバイアス電圧VN1を追跡して、VN1に変化が生じたときに、その変化が実質的に追跡されてVP1に比例的な変化を生じさせることに留意されたい。

10

【0019】

前に述べたように、基準電流発生器20及びバイアス・ノイズ補償器22の性能を最適化するために、チューニング回路を用いることができる。これは、抵抗RR0及びRC0をそれぞれ調整することによって達成することができる。抵抗RR0及びRC0の実際の値は、典型的には、処理及び温度ドリフトに起因して比較的大きな変化を示す。その結果、電流源24及び28によって発生される電流の絶対値は、半導体チップ毎に且つ時間につれて変化することがある。従って、チューニング回路は、相対的により正確であり且つ処理及び温度変化に対して相対的に敏感でない電流源と比較することによって、電流源24及び28からの電流を調節する。

20

【0020】

図1に示した増幅器14が、図3により詳しく例示されている。実施形態によっては、増幅器14は積分増幅器とすることができる。更に、実施形態によっては、増幅器は、CMOSをベースとした低ノイズ増幅器とすることができる。CMOSをベースとした低ノイズ増幅器は、センサ（例えば、イメージング・パネル内のフォトダイオード）からの入力電荷を受け取る一次CMOS装置と、本発明手法の様々な面に従って、バイアス回路16からバイアス電圧を受け取って、第1のCMOS装置の両端間の電圧を実質的に一定に維持する複数の二次CMOS装置とを有する。ここで、第1のCMOS装置の両端間の電圧を実質的に一定に維持するために、複数の二次CMOS装置におけるノイズ電流が実質的に等しく且つ互いに平衡していることに留意されたい。これは、バイアス回路16により、比例したバイアス電圧を設定することによって可能になる。

30

【0021】

例えば、図示の実施形態では、増幅器14は、CMOSをベースとした低ノイズ積分増幅器であり、センサから入力電荷Qinを読み取るように構成される。CMOSをベースとした低ノイズ積分増幅器は、センサ（図示せず）から入力電荷Qinを受け取る第1のCMOS装置Minを含む。Minは、基準電圧源Asense（例えば、アース電圧）に接続されたPMOS装置である。CMOSをベースとした低ノイズ増幅器は更に、第2のCMOS装置Mp及び第3のCMOS装置Mnを含む。第2のCMOS装置Mpは、正の電圧源AVDDに接続されたPMOS装置であり、他方、第3のCMOS装置Mnは、負の電圧源AVSSに接続されたNMOS装置である。第2のCMOS装置Mp及び第3のCMOS装置Mnは、バイアス・ノイズ補償器22から第2のバイアス電圧VP1及び第1のバイアス電圧VN1をそれぞれ受け取る。CMOSをベースとした低ノイズ増幅器は更に、第2のCMOS装置Mp及び第3のCMOS装置Mnを分離するためのカスコード装置Mccを有する。カスコード装置Mccは、別個のバイアスAccを持つNMOS装置とすることができる。出力電圧Voutは、第1のCMOS装置Minのゲートと第2のCMOS装置Mpのドレインとの間に接続され出力コンデンサCvを介して発生することができる。出力電圧Voutは、式 $V_{out} = Q_{in} / C_v$ により与えられる。

40

50

【0022】

ここで、第2のCMOS装置Mpにおける相関ノイズ電流が第3のCMOS装置Mnにおいて比例したノイズ電流を生じさせ、またその逆も同様であることに留意されたい。典型的には、装置Min上の電荷Qinが2つのノイズ電流の差を無くするように変化した場合、それによりフリッカー・ノイズのような相関低周波ノイズを惹起する。従って、相関低周波ノイズを低減し、最小にし、さもなければ除くためには、電荷Qinが変化せず、且つ第2及び第3のCMOS装置におけるノイズ電流が互いに補償することが望ましい。

【0023】

本発明手法の様々な面によれば、バイアスVN1によってMnに惹起されるノイズ電流は、バイアスVP1によってMpに惹起されるノイズ電流によって相殺され、これによりQinノードは攪乱されない状態に留まる。言い換えると、バイアス電圧VP1がバイアス電圧VN1に比例するので、第2のCMOS装置Mpにおける相関ノイズ電流が第3のCMOS装置Mnに実質的に等しいノイズ電流を生じさせ、またその逆も同様である。第2及び第3のCMOS装置Mp及びMnにおける2つの等しい電流は互いに平衡し、これにより第1のCMOS装置Minの両端間の電圧を実質的に一定に維持し、且つ増幅器から相関低周波ノイズを低減し、最小にし、又はさもなければ除去する。

【0024】

これまで述べた実施形態において説明した相関低周波ノイズ（例えば、フリッカー・ノイズ）低減手法は、相関低周波ノイズを低減し又は無くして、費用効果のよい且つ電力効率のよいデータ取得を提供する。バイアス回路及び低ノイズ増幅器に低コストの通常のCMOS装置を使用することにより費用を低減すると共に、共通のバイアスを使用することにより電力及び面積要件を低減し、これによってデータ取得回路をコンパクトにし、電力効率を良くし、且つ費用効果を高くする。更に、このノイズ低減手法により、データ取得回路は、BiCMOS又はJFETをベースとした低ノイズ増幅器、電力集約型差動低ノイズ増幅器、又は電力及び面積集約型多重バイアス手法に匹敵するか又はそれらよりも良好なノイズ性能を達成することができる。

【0025】

本発明の特定の特徴のみを例示し説明したが、当業者には多くの修正及び変更を為しえよう。従って、特許請求の範囲が本発明の真の精神の範囲内に入る全てのこのような修正及び変更を包含することを理解されたい。

【符号の説明】

【0026】

- 10 データ取得回路
- 12 データ・チャンネル
- 16 バイアス回路
- 24 電流源
- 28 電流源

10

20

30

【 図 3 】

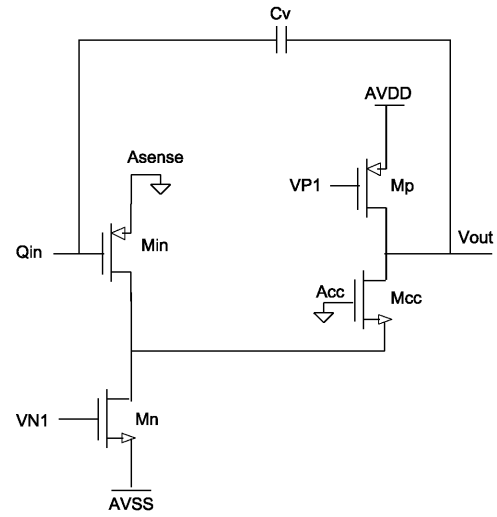


FIG. 3

FIG. 1

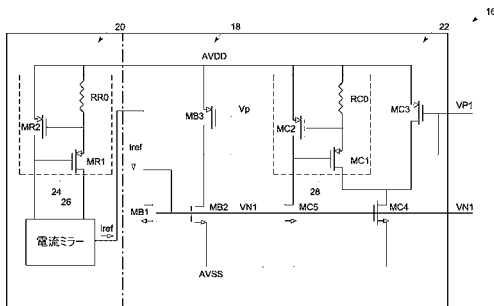


FIG. 2

フロントページの続き

(72)発明者 ナレッシュ・ケサヴァン・ラオ

アメリカ合衆国、ニューヨーク州、クリフトン・パーク、ケンブリッジ・アベニュー、41番

(72)発明者 リチャード・ゴードン・クロンス

アメリカ合衆国、ウィスコンシン州、ニュー・ベルリン、サウス・ティンバーライン・ロード、5780番

(72)発明者 ジャンジュン・グオ

アメリカ合衆国、ニューヨーク州、ポールストン・スパ、エヴァーソン・ウェイ、50番

Fターム(参考) 5J500 AA01 AC44 AF10 AH10 AH25 AK02 AK06 AK09 AK12 AM22

AS15 AT01 RU02 RU13