



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENÍU

246880

(11) (B1)

(51) Int. Cl.⁴
G 06 F 9/06

(22) Prihlášené 13 11 84
(21) (PV 8623-84)

(40) Zverejnené 31 08 85

(45) Vydané 15 01 88

(75)

Autor vynálezu

PATÚC JAROSLAV ing., KIRNER JOZEF ing., STOPKA JÁN ing.,
LAKATOŠ JOZEF ing., ŽILINA

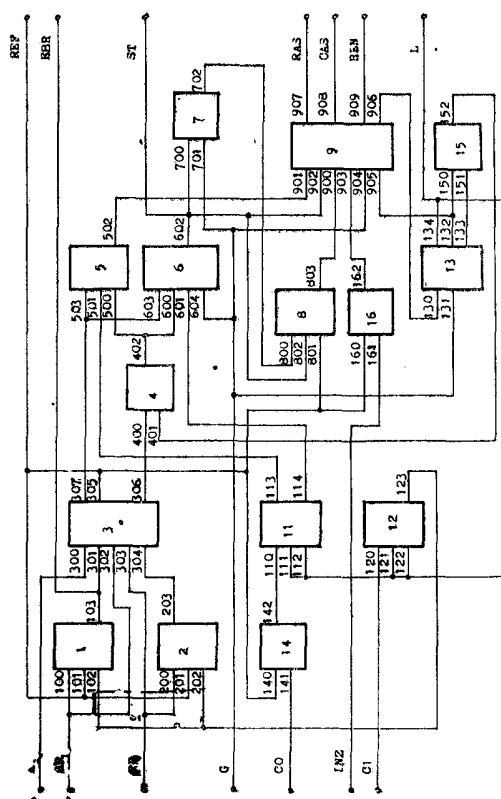
(54) Obvod riadenia dynamickej pamäti RAM

1

Obvod je vhodný pre zabudovanie do polozákazníckeho alebo zákazníckeho integrovaného obvodu, ktorý tvorí základný obvod riadenia dynamickej pamäti RAM s pamäťovými prvkami 16k/1 a 64/1 pre obecné použitie.

Obvod generuje základné časové signály obvodu dynamickej pamäti na základe vonkajšej požiadavky o pamäťový cyklus a požiadavky o obnovovací pamäťový cyklus. Požiadavky o pamäťový cyklus môžu byť nezávislé. Obvod má ďalej adresný vstup, cez ktorý možno zablokovať vonkajšiu požiadavku o pamäťový cyklus a tiež uvoľňovací vstup signálu výberu adresy stĺpca v pamäťovom prvku, ktorý sa môže generovať v čase realizácie požiadavky o obnovovací cyklus pamäti.

2



Vynález sa týka obvodu riadenia dynamickej pamäti RAM, určeného hlavne pre mikropočítačové a minipočítačové systémy.

V doteraz známych zapojeniach je základný obvod riadenia dynamickej pamäti RAM zostavený vždy pre konkrétne riešenie dynamickej pamäti RAM a nevyhovuje obecnému použitiu vo forme polozákazníckeho alebo zákazníckeho integrovaného obvodu

Tento nedostatok odstraňuje obvod riadenia dynamickej pamäti RAM podľa vynálezu, ktorého podstatou je, že vstup vonkajšej žiadosti o pamäťový cyklus je pripojený na prvý štartovací vstup rozhodovacieho obvodu a na nulovací vstup prvého blokovacieho obvodu. Vstup žiadosti o obnovovací cyklus pamäti je pripojený na druhý štartovací vstup rozhodovacieho obvodu a na nulovací vstup druhého blokovacieho obvodu. Adresný vstup je pripojený na adresný vstup rozhodovacieho obvodu, ktorého prvý blokovací vstup je pripojený na blokovací výstup prvého blokovacieho obvodu a na výstup príznaku cyklu pamäti od vonkajšej žiadosti. Druhý blokovací vstup rozhodovacieho obvodu je pripojený na blokovací výstup druhého blokovacieho obvodu. Výstup rozhodovacieho obvodu je pripojený na rozhodovací vstup prvého blokovacieho obvodu, na rozhodovací vstup druhého blokovacieho obvodu, na prepínací vstup prepínacieho obvodu, na blokovací vstup tretieho hradla, na blokovací vstup druhého hradla a na výstup príznaku obnovovacieho cyklu pamäti. Blokovací výstup rozhodovacieho obvodu je pripojený na blokovací vstup obvodu ukončenia výberu adresy riadku a na blokovací vstup obvodu spustenia a ukončenia pamäťového cyklu. Druhý výstup rozhodovacieho obvodu je pripojený na spúšťačí vstup prvého hradla, ktorého štartovací výstup je pripojený na štartovací vstup obvodu spustenia a ukončenia pamäťového cyklu a na uvoľňovací vstup obvodu ukončenia výberu adresy riadku, ktorého výstup je pripojený na prvý vstup generátora riadiacich signálov pamäťového poľa. Štartovací výstup obvodu spustenia a ukončenia pamäťového cyklu je pripojený na druhý štartovací vstup prepínacieho obvodu, na druhý vstup generátora riadiacich signálov pamäťového poľa, na výstup príznaku pamäťového cyklu a na uvoľňovací vstup prvého oneskorovacieho obvodu, ktorého výstup je pripojený na prvý štartovací vstup prepínacieho obvodu, ktorého štartovací výstup je pripojený na uvoľňovací vstup generátora riadiacich signálov pamäťového poľa, ktorého prvý výstup je pripojený na výstup výberu adresy riadku, druhý výstup je pripojený na výstup výberu adresy stĺpca, tretí výstup je pripojený na prepínací výstup adresy a uvoľňovací výstup je pripojený na uvoľňovací vstup Johnsonovho čítača, ktorého prvý výstup je pripojený na nastavovací vstup generátora riadiacich signálov pamäťového poľa a na prvý vstup druhého

oneskorovacieho obvodu. Posledný výstup Johnsonovho čítača je pripojený na druhý vstup druhého oneskorovacieho obvodu, ktorého uvoľňovací výstup je pripojený na uvoľňovací vstup prvého hradla. Skupinový výstup Johnsonovho čítača je pripojený na časovací výstup, na prvý skupinový vstup a druhý skupinový vstup druhého časovacieho obvodu, na prvý skupinový vstup a druhý skupinový vstup prvého časovacieho obvodu, ktorého prvý výstup je pripojený na hodinový vstup obvodu ukončenia výberu adresy riadku a druhý výstup je pripojený na prvý hodinový vstup obvodu spustenia a ukončenia pamäťového cyklu. Prvý prepínací vstup je pripojený na prepínací vstup druhého hradla, ktorého prepínací výstup je pripojený na prepínací vstup prvého časovacieho obvodu. Druhý prepínací vstup je pripojený na prepínací vstup druhého časovacieho obvodu, ktorého výstup je pripojený na strobovací vstup prvého blokovacieho obvodu a na strobovací vstup druhého blokovacieho obvodu. Uvoľňovací vstup výberu adresy stĺpca je pripojený na uvoľňovací vstup tretieho hradla, ktorého uvoľňovací výstup je pripojený na uvoľňovací vstup výberu adresy stĺpca generátora riadiacich signálov pamäťového poľa. Hodinový vstup je pripojený na druhý hodinový vstup obvodu spustenia a ukončenia pamäťového cyklu, na hodinový vstup prvého oneskorovacieho obvodu, na hodinový vstup generátora riadiacich signálov pamäťového poľa a na hodinový vstup Johnsonovho čítača.

Hlavnou výhodou obvodu riadenia polovodičovej dynamickej pamäti RAM podľa vynálezu je v tom, že je vhodné na zabudovanie do polozákazníckeho integrovaného obvodu, ktorý by tvoril základný obvod riadenia dynamickej pamäti RAM pre obecné použitie hlavne v mikropočítačových a minipočítačových systémoch.

Predmet vynálezu je zrejмый z popisu a výkresu, na ktorom je znázornená schéma uskutočnenia zapojenia uvedeného v ďalšej časti realizácie vynálezu.

Obvod riadenia dynamickej pamäti RAM je charakterizovaný tým, že vstup vonkajšej žiadosti o pamäťový cyklus BR je pripojený na prvý štartovací vstup **302** rozhodovacieho obvodu **3** a na nulovací vstup **100** prvého blokovacieho obvodu **1**. Vstup **RR** žiadosti o obnovovací cyklus pamäti je pripojený na druhý štartovací vstup **303** rozhodovacieho obvodu **3** a na nulovací vstup **200** druhého blokovacieho obvodu **2**. Adresný vstup **A** je pripojený na adresný vstup **300** rozhodovacieho obvodu **3**. Blokovací výstup **103** prvého blokovacieho obvodu **1** je pripojený na prvý blokovací vstup **301** rozhodovacieho obvodu **3** a na výstup **EBR** príznaku cyklu pamäti od vonkajšej žiadosti. Blokovací výstup **203** druhého blokovacieho obvodu **2** je pripojený na druhý blokovací

vstup **304** rozhodovacieho obvodu **3**. Výstup **305** rozhodovacieho obvodu **3** je pripojený na rozhodovací vstup **101** prvého blokovacieho obvodu **1**, na rozhodovací vstup **201** druhého blokovacieho obvodu **2**, na prepínací vstup **801** prepínacieho obvodu **8**, na blokovací vstup **160** tretieho hradla **16**, na výstup **REF** príznaku obnovovacieho cyklu a na blokovací vstup **140** druhého hradla **14**.

Druhý výstup **306** rozhodovacieho obvodu **3** je pripojený na spúšťací vstup **400** prvého hradla **4** a štartovací výstup **402** prvého hradla **4** je pripojený na uvoľňovací vstup **500** obvodu **5** ukončenia výberu adresy riadku a na štartovací vstup **600** obvodu **6** spustenia a ukončenia pamäťového cyklu. Blokovací výstup **307** rozhodovacieho obvodu **3** je pripojený na blokovací vstup **503** obvodu **5** ukončenia výberu adresy riadku a na blokovací vstup **603** obvodu **6** spustenia a ukončenia pamäťového cyklu. Obvod **5** ukončenia výberu adresy riadku je výstupom **502** pripojený na prvý vstup **901** generátora **9** riadiacich signálov pamäťového poľa. Štartovací výstup **602** obvodu **6** spustenia a ukončenia pamäťového cyklu je pripojený na uvoľňovací vstup **700** prvého oneskorovacieho obvodu **7**, na druhý štartovací vstup **802** prepínacieho obvodu **8**, na druhý vstup **902** generátora **9** riadiacich signálov pamäťového poľa a na výstup **ST** príznaku pamäťového cyklu.

Výstup **702** prvého oneskorovacieho obvodu **7** je pripojený na prvý štartovací vstup **800** prepínacieho obvodu **8**, ktorého štartovací výstup **803** je pripojený na uvoľňovací vstup **900** generátora **9** riadiacich signálov pamäťového poľa, ktorého uvoľňovací výstup **906** je pripojený na uvoľňovací vstup **130** Johnsonovho čítača **13**. Prvý výstup **907** generátora **9** riadiacich signálov pamäťového poľa je pripojený na výstup **RAS** výberu adresy riadku, druhý výstup **908** na výstup **CAS** výberu adresy stĺpca a tretí výstup **909** na prepínací výstup **REN** adresy.

Prvý výstup **132** Johnsonovho čítača **13** je pripojený na nastavovací vstup **905** generátora **9** riadiacich signálov pamäťového poľa a na prvý vstup **150** druhého oneskorovacieho obvodu **15** a posledný výstup **133** je pripojený na druhý vstup **151** druhého oneskorovacieho obvodu **15**. Skupinový výstup **134** Johnsonovho čítača **13** je pripojený na prvý skupinový vstup **121** a druhý skupinový vstup **122** druhého časovacieho obvodu **12**, na prvý skupinový vstup **111** a druhý skupinový vstup **112** prvého časovacieho obvodu **11** a tiež na časovací výstup **L**. Uvoľňovací výstup **152** druhého oneskorovacieho obvodu **15** je pripojený na uvoľňovací vstup **401** prvého hradla **4**.

Hodinový vstup **G** je pripojený na druhý hodinový vstup **604** obvodu **6** spustenia a ukončenia pamäťového cyklu, na hodinový vstup **701** prvého oneskorovacieho obvodu **7**, na hodinový vstup **904** generátora **9** ria-

diacich signálov pamäťového poľa a na hodinový vstup **131** Johnsonovho čítača **13**.

Prvý prepínací vstup **C0** je pripojený na prepínací vstup **141** druhého hradla **14**, ktorého prepínací výstup **142** je pripojený na prepínací vstup **110** prvého časovacieho obvodu **11**. Prvý výstup **113** prvého časovacieho obvodu **11** je pripojený na hodinový vstup **501** obvodu **5** ukončenia výberu adresy riadku a druhý výstup **114** prvého časovacieho obvodu **11** je pripojený na prvý hodinový vstup **601** obvodu **6** spustenia a ukončenia pamäťového cyklu.

Druhý prepínací vstup **C1** je pripojený na prepínací vstup **120** druhého časovacieho obvodu **12**, ktorého výstup **123** je pripojený na strobovací vstup **102** prvého blokovacieho obvodu **1** a na strobovací vstup **202** druhého blokovacieho obvodu **2**.

Uvoľňovací vstup **INZ** výberu adresy stĺpca je pripojený na uvoľňovací vstup **161** tretieho hradla **16**, ktorého uvoľňovací výstup **162** je pripojený na uvoľňovací vstup **903** výberu adresy stĺpca generátora **9** riadiacich signálov pamäťového poľa.

Žiadosť o pamäťový cyklus môže prísť buď cez vstup **BR** vonkajšej žiadosti o pamäťový cyklus, alebo cez vstup **RR** žiadosti o obnovovací cyklus pamäti. Obe žiadosti sa posudzujú v rozhodovacom obvode **3**. Realizuje sa žiadosť, ktorá prišla skôr. Neskoršia žiadosť sa realizuje po skončení realizácie prvej žiadosti. Žiadosť o pamäťový cyklus sa objaví na druhom výstupe **306** rozhodovacieho obvodu **3**. Žiadosť je blokována na uvoľňovacom vstupe **401** prvého hradla **4**, ak ešte prebieha pamäťový cyklus. Po skončení pamäťového cyklu sa nastaví nový pamäťový cyklus cez štartovací vstup **600** obvodu **6** spustenia a ukončenia pamäťového cyklu. Podľa logickej úrovne na prvom výstupe **305** rozhodovacieho obvodu **3** sa cez prepínací obvod **8** uvoľňuje generátor **9** riadiacich signálov pamäťového poľa. Ak sa jedná o obnovovací cyklus pamäti, zaraďuje sa prvý oneskorovací obvod **7**, ktorý vytvorí časovú rezervu potrebnú na prepnutie obnovovacej adresy do pamäťového poľa. Generovanie riadiacich signálov pamäti sa prevádza pomocou hodinových signálov prichádzajúcich z hodinového vstupu **G**.

Generátor **9** riadiacich signálov pamäťového poľa uvoľní činnosť Johnsonovho čítača **13**. Tento vygeneruje po každom príchode hodinového signálu na vstup **131** Johnsonovho čítača **13** novú kombináciu výstupných signálov, ktoré sa vedú jednak na výstup **L** na časovanie ďalšieho riadenia pamäti, jednak na prepojovacie pole prvého časovacieho obvodu **11**, a prepojovacie pole druhého časovacieho obvodu **12**.

Prvý prepínací vstup **C0**, ak nie je obnovovací cyklus, prepína zvolený vstup buď z prvého skupinového vstupu **111**, alebo z druhého skupinového vstupu **112** prvého časovacieho obvodu **11** na prvý výstup **113**, re-

spektíve druhý výstup 114 prvého časovacieho obvodu 11 a tým sa prevádza ukončenie výberu adresy riadku cez obvod 5 ukončenia výberu riadku a tiež ukončenie cyklu pamäti cez obvod 6 spustenia a ukončenia pamäťového cyklu.

Druhý prepínací vstup C1 prepína zvolený vstup buď z prvého skupinového vstupu 121, alebo z druhého skupinového vstupu 122 druhého časovacieho obvodu 12 na jeho výstup 123 a tým sa nastavuje začiatok blokovania opätovného spustenia prebiehajúceho typu cyklu pamäti, ak úspešná žiadosť o pamäťový cyklus je stále nastavená.

Po príchode ukončovacieho signálu na prvý hodinový vstup 601 obvodu 6 spustenia a ukončenia pamäťového cyklu sa po príchode hodinového impulzu na jeho druhý hodinový vstup 604 ukončí cyklus pamäti, a to zmenou úrovne na výstupe ST príznaku pamäťového cyklu. Tým sa znulujú obvody pripojené na štartovací výstup 602 obvodu 6 spustenia a ukončenia pamäťového cyklu. Ukončenie cyklu pamäti sa oneskoruje cez druhý oneskorovací obvod 15, aby sa zabezpečila časová rezerva medzi dvoma za sebou idúcimi pamäťovými cyklami.

PREDMET VYNÁLEZU

Obvod riadenia dynamickej pamäti RAM, vyznačujúci sa tým, že vstup (BR) vonkajšej žiadosti o pamäťový cyklus je pripojený na prvý štartovací vstup (302) rozhodovacieho obvodu (3) a na nulovací vstup (100) prvého blokovacieho obvodu (1), ďalej vstup (RR) žiadosti o obnovovací cyklus pamäti je pripojený na druhý štartovací vstup (303) rozhodovacieho obvodu (3) a na nulovací vstup (200) druhého blokovacieho obvodu (2), ďalej adresný vstup (A) je pripojený na adresný vstup (300) rozhodovacieho obvodu (3), ktorého prvý blokovací vstup (301) je pripojený na blokovací výstup (103) prvého blokovacieho obvodu (1) a na výstup (EBR) príznaku cyklu pamäti od vonkajšej žiadosti, druhý blokovací vstup (304) rozhodovacieho obvodu (3) je pripojený na blokovací výstup (203) druhého blokovacieho obvodu (2), výstup (305) rozhodovacieho obvodu (3) je pripojený na rozhodovací vstup (101) prvého blokovacieho obvodu (1), na rozhodovací vstup (201) druhého blokovacieho obvodu (2), na prepínací vstup (801) prepínacieho obvodu (8), na blokovací vstup (160) tretieho hradla (16), na blokovací vstup (140) druhého hradla (14) a na výstup (REF) príznaku obnovovacieho cyklu pamäti, blokovací výstup (307) rozhodovacieho obvodu (3) je pripojený na blokovací vstup (503) obvodu (5) ukončenia výberu adresy riadku a na blokovací vstup (603) obvodu (6) spustenia a ukončenia pamäťového cyklu, druhý výstup (306) rozhodovacieho obvodu (3) je pripojený na spúšťačí vstup (400) prvého hradla

Cez adresný vstup A sa blokuje žiadosť o pamäťový cyklus, ktorý prišiel na vstup BR vonkajšej žiadosti o pamäťový cyklus. Toto blokovanie sa prevádza cez blokovací výstup 307 rozhodovacieho obvodu 3.

Uvoľňovací vstup INZ výberu adresy stĺpca je aktivovaný v čase počiatočného popisu pamäti po nábehu napájania pamäti a cez uvoľňovací vstup 161 tretieho hradla 16 umožňuje generovanie signálu výberu adresy stĺpca na druhom výstupe 908 generátora 9 riadiacich signálov pamäťového poľa počas obnovovacieho cyklu pamäti.

Zapojenie podľa vynálezu je vhodné použiť v riadiacich pamäťových obvodoch s dynamickými pamäťovými prvkami NMOS 16k/1, alebo 64 k/1, kde vo forme položáknického alebo zákaznického integrovaného obvodu šetrí miesto na doske plošných spojov a zjednodušuje riadenie pamäti. Obvod by bolo možné využiť aj v oblasti statických zásobníkových pamätí, kde by riešil konflikty náhodných požiadaviek na ukladanie a vyberanie dát.

(4), ktorého štartovací výstup (402) je pripojený na štartovací vstup (600) obvodu (6) spustenia a ukončenia pamäťového cyklu a na uvoľňovací vstup (500) obvodu (5) ukončenia výberu adresy riadku, ktorého výstup (502) je pripojený na prvý vstup (901) generátora (9) riadiacich signálov pamäťového poľa, ďalej štartovací výstup (602) obvodu (6) spustenia a ukončenia pamäťového cyklu je pripojený na druhý štartovací vstup (802) prepínacieho obvodu (8), na druhý vstup (902) generátora (9) riadiacich signálov pamäťového poľa, na výstup (ST) príznaku pamäťového cyklu a na uvoľňovací vstup (700) prvého oneskorovacieho obvodu (7), ktorého výstup (702) je pripojený na prvý štartovací vstup (800) prepínacieho obvodu (8), ktorého štartovací výstup (803) je pripojený na uvoľňovací vstup (900) generátora (9) riadiacich signálov pamäťového poľa, ktorého prvý výstup (907) je pripojený na výstup (RAS) výberu adresy riadku, druhý výstup (908) je pripojený na výstup (CAS) výberu adresy stĺpca, tretí výstup (909) je pripojený na prepínací výstup (REN) adresy a uvoľňovací výstup (906) je pripojený na uvoľňovací vstup (130) Johnsonovho čítača (13), ktorého prvý výstup (132) je pripojený na nastavovací vstup (905) generátora (9) riadiacich signálov pamäťového poľa a na prvý vstup (150) druhého oneskorovacieho obvodu (15), posledný výstup (133) Johnsonovho čítača (13) je pripojený na druhý vstup (151) druhého oneskorovacieho obvodu (15), kto-

rého uvoľňovací výstup (152) je pripojený na uvoľňovací vstup (401) prvého hradla (4), ďalej skupinový výstup (134) Johnsonovho čítača (13) je pripojený na časovací výstup (L), na prvý skupinový vstup (121) a druhý skupinový vstup (122) druhého časovacieho obvodu (12), na prvý skupinový vstup (111) a druhý skupinový vstup (112) prvého časovacieho obvodu (11), ktorého prvý výstup (113) je pripojený na hodinový vstup (501) obvodu (5) ukončenia výberu adresy riadku a druhý výstup (114) je pripojený na prvý hodinový vstup (601) obvodu (6) spustenia a ukončenia pamäťového cyklu, ďalej prvý prepínací vstup (CO) je pripojený na prepínací vstup (141) druhého hradla (14), ktorého prepínací výstup (142) je pripojený na prepínací vstup (110) prvého časovacieho obvodu (11), ďalej druhý prepínací vstup (C1) je pripojený na

prepínací vstup (120) druhého časovacieho obvodu (12), ktorého výstup (123) je pripojený na strobovací vstup (102) prvého blokovacieho obvodu (1) a na strobovací vstup (202) druhého blokovacieho obvodu (2), ďalej uvoľňovací vstup (INZ) výberu adresy stĺpca je pripojený na uvoľňovací vstup (161) tretieho hradla (16), ktorého uvoľňovací výstup (162) je pripojený na uvoľňovací vstup (903) výberu adresy stĺpca generátora (9) riadiacích signálov pamäťového poľa a nakoniec hodinový vstup (G) je pripojený na druhý hodinový vstup (604) obvodu (6) spustenia a ukončenia pamäťového cyklu, na hodinový vstup (701) prvého oneskorovacieho obvodu (7), na hodinový vstup (904) generátora (9) riadiacích signálov pamäťového poľa a na hodinový vstup (131) Johnsonovho čítača (13).

