

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 29/49	(45) 공고일자 2001년09월29일	(11) 등록번호 10-0305308
(21) 출원번호 10-1998-0048709	(24) 등록일자 2001년07월27일	(65) 공개번호 특1999-0087000
(22) 출원일자 1998년11월13일	(43) 공개일자 1999년12월15일	
(30) 우선권주장 98-123303 1998년05월06일 일본(JP)		
(73) 특허권자 미쓰비시덴기 가부시카가이샤	다니구찌 이찌로오, 기타오카 다카시	
(72) 발명자 히라노 유우이찌	일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고	
	일본 도쿄도 지요다쿠 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시카가이샤 내 야마구찌 야스오	
	일본 도쿄도 지요다쿠 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시카가이샤 내 마에가와 시게토	
(74) 대리인 구영창, 장수길, 주성민	일본 도쿄도 지요다쿠 마루노우찌 2쵸메 2-3 미쯔비시 덴기 가부시카가이샤 내	

심사관 : 김관식

(54) 반도체장치및그제조방법

요약

실리사이드 보호용 SiO₂막을 형성할 때에 S01층까지가 에칭되게 되는 것을 방지한다.

게이트 전극(6)과 측벽(5)을 피복하도록 S01층(3) 상에 제1 절연막(81)과 제2절연막(82)을 순차적으로 적층하고, 각각의 에칭 선택비를 바껴서[제2 절연막(82)의 에칭을 분을 작게 한다], 양 막(81, 82)을 드라이 에칭한다. 이 후, 노출하는 제1 절연막(81)의 부분을 습식 에칭에 의해 제거한다. 이에 따라, 실리사이드 보호부(8)는 S01층(3)의 평탄 표면(3S) 상에서만 형성되며, 실리사이드층(71, 72)을 n⁺층(12, 13) 내에 형성할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

- <1> 도 1은 본 발명의 제1 실시 형태에 따른 반도체를 나타낸 종단면도.
- <2> 도 2는 본 발명의 제1 실시 형태에 따른 반도체를 나타낸 평면도.
- <3> 도 3은 실시예 1을 나타낸 종단면도.
- <4> 도 4는 실시예 1을 나타낸 종단면도.
- <5> 도 5는 실시예 2를 나타낸 종단면도.
- <6> 도 6은 실시예 2를 나타낸 종단면도.
- <7> 도 7은 실시예 3을 나타낸 종단면도.
- <8> 도 8은 실시예 3을 나타낸 종단면도.
- <9> 도 9는 실시예 4를 나타낸 종단면도.
- <10> 도 10은 실시예 4를 나타낸 종단면도.
- <11> 도 11은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
- <12> 도 12는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
- <13> 도 13은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.

- <14> 도 14는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <15> 도 15는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <16> 도 16은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <17> 도 17은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <18> 도 18은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <19> 도 19는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <20> 도 20은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <21> 도 21은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <22> 도 22는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <23> 도 23은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <24> 도 24는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <25> 도 25는 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <26> 도 26은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <27> 도 27은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <28> 도 28은 본 발명의 제2 실시 형태에 따른 반도체 장치 제조 공정을 나타낸 종단면도.
 <29> 도 29는 종래 기술의 문제점을 나타낸 도면.
 <30> 도 30은 종래 기술의 문제점을 나타낸 도면.
 <31> 도 31은 종래 기술의 문제점을 나타낸 도면.
 <32> 도 32는 종래 기술의 문제점을 나타낸 도면.
 <33> 도 33은 종래 기술의 문제점을 나타낸 도면.
 <34> 도 34는 종래 기술의 문제점을 나타낸 도면.
 <35> 도 35는 종래 기술의 문제점을 나타낸 도면.
 <36> <도면의 주요 부분에 대한 부호의 설명>
 <37> 2 : 기초층
 <38> 3 : S01층
 <39> 3S : 평탄 표면
 <40> 4 : 게이트 절연막
 <41> 5 : 측벽
 <42> 6 : 게이트 전극
 <43> 71, 72 : 실리사이드층
 <44> 8 : 실리사이드 보호부
 <45> 81 : 제1 절연막
 <46> 82 : 제2 절연막
 <47> 83 : 제3 절연막
 <48> R1 : 제1 영역
 <49> R2 : 제2 영역
 <50> R3 : 제3 영역
 <51> R4 : 제4 영역
 <52> R5 : 제5 영역
 <53> R6 : 제6 영역
 <54> R7 : 제7 영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

- <55> 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 LSI에서의 입력 보호 회로의 특성 향상의 기술에 관한 것이다.
- <56> MOS형 FET에서 소스/드레인 영역에 인가되는 입력 신호의 전압 진폭의 변동에 대한 내력을 강화하기 위한 입력 보호 회로의 유효한 방법으로는 실리사이드 보호를 형성하는 방법이 알려져 있다. 이 방법은 예를 들면, 도 33에 도시한 바와 같이 게이트 전극과 측벽을 넘도록 SiO₂막을 형성하고, 그 후에 SiO₂막으로 피복되어 있지 않은 n⁺형층의 표면 부분을 실리사이드화함으로서, 게이트 전극 근방의 소스/드레인 영역을 실리사이드화시키지 않고서 동일 영역의 저항을 고저항으로 할 수 있다.

발명이 이루고자 하는 기술적 과제

- <57> 그러나, Silicon On Insulator(SOI)를 이용한 MOS 구조에서는 SOI층 자체가 매우 얇기 때문에(예를 들면, 그 막 두께는 약 1000 옹스트롬), 실리사이드 보호용 SiO₂막을 형성하기 위한 에칭 공정에서 SOI층까지가 에칭되게 될 가능성이 있다. 혹시 SOI층까지가 에칭되게 되면 단차 부분을 위해 SOI층의 막 두께가 부분적으로 얇아지므로, SOI층의 표면보다 SOI층 내부에만 원래 형성해야 할 실리사이드층이 SOI층과 매립 산화막과의 계면에까지 도달하게 되며 누설 전류의 발생이라는 문제나 실리사이드층의 박리와 같은 문제가 생길 수 있다.
- <58> 이 점을 이하에, 종단면 공정도인 도 29 ~ 도 35를 참조하면서 상술한다.
- <59> 게이트 전극 근방의 소스/드레인 영역을 SiO₂막으로 피복하여 해당 영역이 실리사이드화하지 않도록 하기 위해서는 통상 도 29 ~ 도 33에 나타난 일련의 프로세스를 행한다. 즉, 도 29에 도시한 바와 같이 게이트 전극 및 소스/드레인 영역의 형성을 행하고 도 30에 도시한 바와 같이 SiO₂막을 증착한다. 다음에, 도 31에 도시한 바와 같이, 실리사이드 보호부가 되어야 할 SiO₂막의 부분 상에 레지스트를 형성하고, 도 32에 도시한 바와 같이 드라이 에칭을 행하여 실리사이드 보호부를 이루는 SiO₂막을 형성하고 그 후, 불필요해진 레지스트의 제거를 행한다. 그 후, 도 33에 도시한 바와 같이 실리콘층을 형성한다.
- <60> 그러나, SOI층으로서의 Si층은 약 1000 옹스트롬 정도로 매우 얇기 때문에, 드라이 에칭 시에 Si층까지가 에칭되게 되고, 도 34에 도시한 바와 같은 단차 구조가 Si층의 표면에 국소적으로 생기게 되는 경우가 있다. 이러한 상태에서 피복되어 있지 않은 소스/드레인 영역의 소정 부분이 실리사이드화를 행하면, 도 35에 도시한 바와 같은 매립 산화막과 실리사이드층이 접촉하게 된다고 하는 상태가 생긴다. 그리고, 이러한 상태가 되면 실리사이드층과 매립 산화막의 부착 강도가 약하기 때문에, 그 후의 프로세스에 더해지는 열응력 여하에 따라서는 실리사이드층이 박리하게 된다고 하는 사태가 생길 수 있다. 또한, 실리사이드층이 박리하지 않았다고 해도 매립 산화막을 통해 양 실리사이드층 간에서 누설 전류가 생길 수 있게 되므로, 트랜지스터 동작에 오동작이 생기는 등 트랜지스터 특성에 미치는 영향은 무시할 수 없다고 하는 사태도 생긴다.
- <61> 이 점, 특개소 64-20663호 공보에는 MOS 트랜지스터의 게이트 전극의 측벽을 형성하기 위한 드라이 에칭 시에 에칭 스톱퍼막으로서의 SiN막을 미리 반도체층의 표면 상에 형성하여 해당 SiN막으로 게이트 전극과 게이트 절연막의 양 측면을 피복하고, 그 후 해당 SiN막을 피복하도록 측벽을 형성한다고 하는 기술이 개시되고 있다. 그러나, 해당 선행 기술은 본질적으로 SiN막과 SiO₂막과의 이층 구조로써 측벽 자체를 구성하는 것을 제안하는 것에 지나지 않기 때문에, 본 발명에서의 상기한 과제를 유효하게 해결하기 위한 제안으로는 될 수 없다.
- <62> 본 발명은 이러한 문제점을 극복하도록 이루어진 것으로, MOS 구조에서 실리사이드층을 형성해야 할 반도체층의 표면 영역과 실리사이드 보호부를 형성해야 할 반도체층의 표면 영역이 동일한 평탄한 한 표면으로서 형성되는 반도체 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- <63> 청구항 1에 따른 발명은, 기초층과, 상기 기초층의 표면 상에 설치된 반도체층과, 상기 반도체층의 평탄 표면 내에서의 제1 영역 상에 설치된 게이트 절연막과 상기 게이트 절연막의 표면 상에 설치된 게이트 전극과, 상기 반도체층의 상기 평탄 표면 내에서의 상기 제1 영역에 인접하는 제2 및 제3 영역 상에 설치되어 있으며, 상기 게이트 절연막의 측면과 상기 게이트 전극의 측면을 피복하는 측벽과, 상기 반도체층의 상기 평탄 표면 내에서의 상기 제2 및 제3 영역에 각각 인접하는 제4 및 제5 영역 상과, 상기 측벽의 표면 상과, 상기 게이트 전극의 표면 상에 설치된 제1 절연막과, 상기 제1 절연막의 표면 상에 설치된 상기 제1 절연막과는 이질의 제2 절연막과, 상기 제1 영역의 중앙 부분에 의해 상기 반도체층 내부에 걸쳐서 설치된 제1 도전형의 제1 불순물층과, 상기 제1 영역 중 한쪽의 주연 부분과, 상기 제2 영역과, 상기 제4 영역과, 상기 반도체층의 상기 평탄 표면 내에서의 상기 제4 영역에 인접하는 외측의 제6 영역으로부터 상기 반도체층 내부에 걸쳐서 설치된 상기 제1 불순물층에 인접한 제2 도전형의 제2 불순물층과, 상기 제1 영역의 다른쪽의 주연 부분과, 상기 제3 영역과, 상기 제5 영역과, 상기 제5 영역에 인접하는 외측의 제7 영역으로부터 상기 반도체층 내부에 걸쳐서 설치된 상기 제1 불순물층에 인접한 상기 제2 도전형의 제3 불순물층과, 상기 제6 영역 상과 상기 제6 영역의 바로 아래에 위치하는 상기 제2 불순물층 내부에 설치되어 있으며, 그 저면은 상기 제2 불순물층 내에 위치하는 제1 실리사이드층과, 상기 제7 영역 상과 상기 제7 영역의 바로 아래에 위치하는 상기 제3 불순물층 내부에 설치되어 있으며, 그 저면은 상기 제3 불순물층 내에 위치하는 제2 실리사이드층을 구비하는 것을 특징으로 한다.
- <64> 청구항 2에 따른 발명은, 반도체층과, 상기 반도체층의 표면 상에 형성된 게이트 절연막과, 상기 게이트 절연막의 표면 상에 형성된 게이트 전극과, 상기 게이트 절연막의 측면과 상기 게이트 전극의 측면을 피복하기 위해서 상기 반도체층의 상기 평탄 상에 형성된 측벽과, 상기 측벽의 표면 상과 상기 게이트 전극의 표면 상을 피복하기 위해서, 드라이 에칭을 이용하여 상기 반도체층의 상기 평탄 상에 순차적으로 형성된 제1 및 제2 절연층을 구비하고 상기 드라이 에칭에서 상기 제2 절연층의 에칭율은 상기 제1

절연층의 에칭율보다도 크게 설정되어 있는 것을 특징으로 한다.

<65> 청구항 3에 따른 발명은, (a) 반도체층과, 상기 반도체층의 표면 상에 형성된 게이트 절연막과, 상기 게이트 절연막의 표면 상에 형성된 게이트 전극과, 상기 게이트 절연막의 측면과 상기 게이트 전극의 측면을 피복하기 위해서 상기 반도체층의 상기 표면 상에 형성된 측벽을 준비하는 공정과, (b) 상기 측벽의 표면 상과 상기 게이트 전극의 표면 상과 노출하고 있는 상기 반도체층의 상기 표면 상에 제1 절연층을 형성하는 공정과, (c) 상기 제1 절연층의 표면 상에 제2 절연층을 형성하는 공정과, (d) 상기 반도체층의 상기 표면 내에서 상기 측벽이 형성되어 있는 영역을 둘러싼 소정 범위 내의 표면 영역의 상층에 위치하도록 상기 제2 절연층의 표면 상에 레지스트층을 패터닝하는 공정과, (e) 상기 제2 절연층의 에칭을 상기 제1 절연층의 에칭율보다도 크게 설정한 드라이 에칭에 의해서, 상기 제2 및 제1 절연층을 에칭하는 공정과, (f) 상기 드라이 에칭 후에 노출하고 있는 상기 제2 절연층에 의해서 피복되어 있지 않은 상기 제1 절연층의 부분을 습식 에칭에 의해서 에칭하여 제거하는 공정과, (g) 상기 레지스트층을 제거하는 공정을 구비하는 것을 특징으로 한다.

발명의 구성 및 작용

<66> <제1 실시 형태>

<67> 도 1은 본 발명의 반도체 장치의 일례인 SOI층 상에 형성한 MOSFET의 구조를 나타낸 종단면도이며, 도 2는 도 1의 MOSFET의 평면도이다. 양 도 1, 도 2에서 이해되는 그대로 도 1은 도 2에 도시한 1-1선에 따른 종단면도에 해당하고 있다.

<68> 양 도 1, 도 2에서 참조 부호1, 2, 3은 각각, Si 단결정 웨이퍼, 매립 산화막(BOX)인 기초층, 기초층(2)의 표면(2S) 상에 형성된 SOI(Silicon On Insulator)층 내지는 반도체층이다. 이와 같이, 본 실시 형태에서는 소위 SIMOX법에 의해 SOI층(3)을 형성하고 있다. 즉, Si 단결정 웨이퍼의 표면에서 동일 웨이퍼 내에 산소 원자를 주입하고, 그 후 동일 웨이퍼를 소정 온도로 어닐링함으로써 주입한 산소 원자를 표면 근방에서 동일 웨이퍼 내부로 확산시킴으로서, 동일 웨이퍼 내에 수천 앙스트롬의 두께의 SiO₂막을 형성하고 있다. 이 결과, 매립 산화막(2)의 표면(2S)과 Si 단결정 웨이퍼(1)의 표면(3S) 간에 약 1000 앙스트롬의 두께의 반도체층으로서의 SOI층(3)이 형성된다.

<69> 또한, SOI층(3)의 평탄한 표면(3S) 상 및 SOI층(3) 내부에는 MOSFET가 설치되고 있다. 즉, 균일하게 평탄한 표면(3S) 내의 제1 영역(R1; 이 영역(R1)의 대부분을 차지하는 중앙 부분(R1C; 주변 부분을 제외한다)은 후술하는 p⁺층(9)의 표면 영역에 해당한다] 상에는 게이트 절연막(4)이 형성되며, 동일 막(4)의 표면(4S) 상에는 더욱 폴리 실리콘 등으로 이루어진 게이트 전극 내지는 제어 전극(6)이 형성되어 있다. 그리고, 게이트 전극(6)의 측면(6W)과 게이트 절연막(4)의 측면(4W)을 피복하도록 평탄 표면(3S) 내의 제1 영역(R1)에 인접하는 제2 영역(R2) 및 제3 영역(R3) 상에 및 도 2에 도시한 p⁺층(9)이 형성되어 있지 않은 영역(R8, R9) 상에 측벽(5)이 형성되어 있다. 또한, 평탄 표면(3S)의 제1 영역(R1)의 중앙 부분(R1C)으로부터 그 바로 아래의 매립 산화막(2)의 표면(2S)에 이르기까지의 SOI층(3) 내부에 비교적 저농도의 제1 도전형(p형)의 제1 불순물층(9)이 형성되어 있으며, 이 제1 불순물층(9)에 인접하도록 평탄 표면(3S) 내의 각 영역 즉 상기 중앙 부분(R1C)에 인접하는 제1 영역(R1)의 한쪽의 주변 부분(RS1), 제2 영역(R2), 동일 영역(R2)에 인접하는 평탄 표면(3S)의 외측의 제4 영역(R4) 및 동일 영역(R4)에 인접하는 평탄 표면(3S)의 외측의 제6 영역(R6)으로부터 매립 산화막(2)의 표면(2S)에 이르기까지 제2 도전형(n형)의 제2 불순물층(예를 들면 소스 영역; 10)이 형성되어 있다.

<70> 그리고, 이 제2 불순물층(10)은 ① 제1 영역(R1)의 상기 한 쪽의 주변 부분(RS1) 및 측벽(5)과의 계면을 이루는 제2 영역(R2)의 일부(R21)에서 동일층(10)의 내부에 걸쳐 형성된 비교적 저농도의 제2 불순물층을 갖는 n⁺층(14)과, ② 제2 영역(R2)의 다른부[일부(R21)의 외측 인접 부분에 해당] 및 해당 다른부에 인접하는 평탄 표면(3S)의 제4 영역(R4)에서 동일층(10)의 내부로 향하여 형성되는 비교적 고농도의 제2 불순물층을 갖는 n⁺층(12)으로 이루어진다. 또한, 제1 불순물층(9)을 상기 제2 불순물층(10)과의 사이에서 끼우도록 제2 도전형의 제2 불순물층을 포함하는 제3 불순물층(예를 들면, 드레인 영역; 11)이 평탄 표면(3S) 내의 각 영역 즉 중앙 부분(R1C)에 인접하는 제1 영역(R1)의 다른쪽 주변 부분과, 제3 영역(R3)과, 동일 영역(R3)에 인접하는 외측의 제5 영역과, 동일 영역(R5)에 인접하는 외측의 제7 영역(R7)으로부터 매립 산화막(2)의 표면(2S)에 이르기까지의 SOI층(3) 내부에 형성되어 있다. 또한, 기호(RS2)는 중앙 부분(R1C)에 인접하는 다른쪽 주변 부분이다.

<71> 그리고, 게이트 전극(6) 및 측벽(5)을 피복하도록 복수의 층으로 이루어진 실리사이드 보호부(8)가 평탄 표면(3S) 상에 적층 형성되어 있다. 즉, 단차부가 전혀 없는 평탄 표면(3S)의 제4 영역(R4) 상, 제5 영역(R5) 상, 측벽(5)의 표면(5W) 상 및 게이트 전극(6)의 표면(6S) 상에, 제1 절연막(81)이 형성되어 있으며 또한 동일 막(81)의 표면(81S) 상에 동일 표면 81S를 피복하도록 이질인 재질로 이루어진 제2 절연막(82)이 형성되어 있다. 이와 같이, 복수의 절연막으로 이루어진 적층형 실리사이드 보호부(8)는 후술한 실리사이드층으로 피복되는 일이 없는 평탄 표면(3S)의 각 영역(R1 ~ R5)을 전부 피복하고 있으며, 동일부(8)는 제2 및 제3 불순물층(10, 11)에서의 n⁺층(12, 13) 내의 영역(R4, R5) 바로 아래의 고저항부(16, 17) 내에는 전혀 미치지 않는다. 따라서, n⁺층(12, 13)의 상기 고저항부(16, 17)의 두께는 SOI층(3) 내의 다른 층(9, 14, 15)과 동일하며 도 1에 도시한 두께 d1으로서 부여된다.

<72> 이에 대해, 평탄 표면(3S)의 제6 영역(R6) 상, 및 동일 영역(R6)으로부터 깊이 d2(< d1)로 부여되는 제2 불순물층(10)의 n⁺층(12)의 영역 내에는 실리사이드화된 n⁺층인 제1 실리사이드층(71)이 형성되어 있으며, 또한 평탄 표면(3S)의 제7 영역(R7) 상 및 동일 영역(R7)으로부터 깊이 d2만큼 떨어진 위치까지의 n⁺층(13)의 영역 내에도 실리사이드화된 n⁺층인 제2 실리사이드층(72)이 형성되어 있다. 이와 같이,

제1 및 제2 실리사이드층(71, 72)의 저면(7B)은 각각 표면(2S)에 접촉하는 일 없이, n⁺층(12, 13) 내에 위치하고 있으며 양 실리사이드층(71, 72)은 제2 및 제3 불순물층의 저저항부(그 시트 저항은 예를 들면 10 Ω/□)를 이루고 있다[각 실리사이드층(71, 72)이 형성되어 있지 않은 n⁺층(12, 13)의 고저항 부분의 시트 저항은 예를 들면 100Ω/□]. 따라서, 본 반도체 장치에서는 S01층(3)에는 에칭된 개소는 전혀 없으며 S01층(3)은 균일한 두께 d1을 갖고 있으며 실리사이드층(71, 72)이 S01층(3)과 기초층(2)과의 계면(표면 2S)에까지 도달하고 있지 않으며, 종래 기술과 같은 누설 전류 발생이나 실리사이드의 박리와 같은 문제점은 전혀 생기지 않는다.

<73> 또한, 도 1에 파선으로 나타낸 바와 같이 제1 절연막(81)과 동일한 절연막을 제2 절연막(82)의 표면(82S) 상에 제3 절연막(83)으로서 설치해도 좋다. 또한, 제4 절연막, 제5 절연막과 같은 상태로 보다 많은 절연막으로 이루어진 복수층으로서, 실리사이드 보호부(8)를 구성해도 좋다. 이들의 구성에 의해서도 도 1의 경우와 동일한 이점이 얻어진다.

<74> 이상에서 진술한 본 반도체 장치의 구조를 특히 실리사이드 보호부(8)의 구조를 그 제조 과정에서 특징지으면 다음과 같이 특정하는 것이 가능하다. 즉, 도 1의 제1 및 제2 절연막(81, 82)은 측벽(5)의 표면(5S) 상과 게이트 전극(6)의 표면(6S) 상과 노출하는 평탄 표면(3S) 상을 피복하는 제1 및 제2 절연층으로서 순차적으로 형성된 것으로, 더구나 드라이 에칭을 이용하여 우선 상기 제2 절연층이 이방성 에칭되어 에칭 후의 제2 절연층은 양 표면(5S, 6S) 및 양 영역(R4, R5)을 피복하고, 그 후 노출하고 있는 제1 절연층의 표면으로부터 그 바로 아래의 제1 절연층의 부분을 습식 에칭하여 제거함으로써 형성된 구조를 양 막(81, 82)은 갖고 있다. 더구나, 상기 드라이 에칭에서는 (제2 절연층의 에칭율) > (제1 절연층의 에칭율)이라는 관계가 성립하도록, 양 층의 선택비가 설정되어 있다. 이 설정에 의해, 드라이 에칭은 제1 절연층의 표면에서 멈추고, 평탄 표면(3S)은 드라이 에칭되는 일은 전혀 없으며, 드라이 에칭 및 그에 계속되는 습식 에칭 후에도 드라이 에칭 공정 전과 마찬가지로 평탄한 면을 유지하고 있다.

<75> 또한, 도 1의 제3 절연막(83)을 설치할 때, [제3 절연막(83)의 에칭율] > [제2 절연막(82)의 에칭율]이라는 관계를 만족하도록 선택비를 설정할 필요가 있다. 그 의미로는 이 경우에는 제3 절연막(83)이 상기한 「제2 절연층」을 이루고 제2 및 제1 절연막(82, 81)이 일체가 되어 상기한 「제1 절연층」을 이루고 있다고 보는 것이 가능하다.

<76> 도 1의 제1 절연막(81) 및 제3 절연막(83)으로서는 예를 들면, 범용성이 있는 SiO₂막을 이용할 수 있다. 이 때, 제2 절연막(82)으로서는 SiN막이나 불순물 미도핑의 폴리 실리콘이나 그 외의 절연막을 이용할 수 있다.

<77> 반대로, 제1 및 제3 절연막(81, 83)으로서 동일하게 범용인 SiN막을 이용할 때에는 제2 절연막(82)으로서는 SiO₂막이나 미도핑의 폴리 실리콘이나 그 외의 절연막을 이용하는 것이 가능하다.

<78> 이하, 이들의 구체예를 순차적으로 설명한다.

<79> [실시예 1]

<80> 도 3에 도시한 실리사이드 보호부(8)의 구성은 종래의 실리사이드 보호부에 해당하는 SiO₂막 중에 SiN막(8B)을 삽입하여, SiN막(8B)을 양 SiO₂막(8A1, 8A2)으로써 끼워 넣은 것에 해당한다.

<81> 이와 같은 구성을 실현하기 위해서는, 도 4에 도시한 적층형 실리사이드 보호부(8)의 드라이 에칭 공정 시에서 SiO₂막(8A2)과 SiN막(8B)과의 선택비를 다음과 같이 설정하면 좋다. 즉, 드라이 에칭에서의 SiN막(8B)의 에칭율을 SiO₂막(8A2) 그보다도 작게 설정하면 SiO₂막(8A2)의 이방성 에칭 후, SiN막(8B)의 표면에서 해당 이방성 에칭이 멈춘다. 그 후는 실리사이드 보호부(8)를 구성해야 할 부분 이외의 노출한 SiN막(8B)을 열 인산으로써 습식 에칭하여 제거하고 더욱 그 바로 아래의 SiO₂막(8A1)의 부분을 습식 에칭하여 제거하면, 도 3의 실리사이드 보호부(8)가 구성된다.

<82> 여기서, SiO₂막(8A1, 8A2)과 SiN막(8B)의 각 막 두께는 수백 옹스트롬 ~ 수천 옹스트롬의 범위 내에 있다.

<83> [실시예 2]

<84> 도 5에 도시한 실리사이드 보호부(8)는 SiN막(8B)을 제1 절연막으로서 설치하고, 그 위에 SiO₂막(8A)을 제2 절연막으로서 설치한 것이다.

<85> 이와 같은 이층 구성을 실현하기 위해서는 우선 실시예 1과 마찬가지로, 도 6에 도시한 SiN막(8B)의 에칭율을 SiO₂막(8A) 그보다도 작게 설정하여 SiO₂막(8A)의 드라이 에칭을 행한다. 그리고, 실리사이드 보호부(8)를 형성하지 않은 부분의 SiO₂막이 전부 이방성 에칭되어 제거된 후에, 노출한 SiN막(8B)의 표면에서 드라이 에칭이 멈추고 나머지의 실리사이드 보호부(8) 이외의 SiN막(8B)을 열 인산으로써 습식 에칭을 행함으로써 제거한다. 이에 따라, 도 5의 실리사이드 보호부(8)가 구성된다.

<86> 이 경우도 SiO₂막(8A)와 SiN막(8B)의 두께는 모두 수백 옹스트롬 ~ 수천 옹스트롬의 범위 내에 있다.

<87> [실시예 3]

<88> 도 7에 도시한 실리사이드 보호부(8)의 구성은 제2 절연막으로서의 SiN막(8B) 하에서 SiO₂막(8A)을 제1 절연막으로서 설치한 것이다.

<89> 여기서는, 실시예 1 및 실시예 2의 경우와는 반대로, SiO₂막(8A)의 에칭율을 SiN막(8B)의 그것과 비교해서 작게 설정하여, 도 8에 도시한 순차적으로 적층된 SiO₂막(8A) 및 SiN막(8B)에 대해 드라이 에칭

을 행한다. 이에 따라, 드라이 에칭은 SiO_2 막(8A)의 표면에서 멈추고, 나머지 SiO_2 막(8A) 내에서 실리사이드 보호부(8) 이외의 SiO_2 막(8A)을 습식 에칭으로 제거하면, 도 7의 실리사이드 보호부(8)가 구성된다.

<90> 여기서도, 하층의 SiO_2 막(8A)과 상층의 SiN 막(8B)의 각 막 두께는 수백 옹스트롱 ~ 수천 옹스트롱의 범위 내이다.

<91> [실시예 4]

<92> 도 9에 도시한 실리사이드 보호부(8)의 구성은 정확히 실시예 1의 경우와 반대이며, 제1 절연막인 SiN 막(8B1)과 제3 절연막인 SiN 막(8B2)이 제2 절연막인 SiO_2 막(8A)을 끼운 구조로 되어 있다. 이 구조는 SiN 막(8B1)과 SiO_2 막(8A)으로 이루어진 제1 절연막층 상에 제2 절연층인 SiN 막(8B2)이 형성되어 있는 경우이기도 하다.

<93> 여기서는, SiN 막(8B2)과 SiO_2 막(8A)과의 선택비를 [막(8B2)의 에칭율] > [막(8A)의 에칭율]과 같은 관계가 되도록 설정함으로써 소스-드레인 영역의 에칭이 억제된다.

<94> SiO_2 막(8A) 및 SiN 막(8B1, 8B2)의 각 막 두께는 수백 옹스트롱 ~ 수천 옹스트롱의 범위 내이다.

<95> <제2 실시 형태>

<96> 여기서는, 제1 실시 형태에서 진술한 실리사이드 보호부를 갖는 반도체 장치(MOSFET)의 제조 방법의 일례를 도 11 ~ 도 24의 종 단면도를 이용하여 설명한다.

<97> (준비 공정 a)

<98> 도 11은 채널 도핑 이온 주입 공정을 나타낸다.

<99> 우선, 실리콘 단결정 웨이퍼(1)를 지지 기판으로서 준비하고 이미 상술한 SIMOX 방법에 의해서 두께 4000 옹스트롱 정도의 SiO_2 막(2)을 매립 산화막(기초층)으로서 실리콘 웨이퍼(1) 내로 형성하고 약 1000 옹스트롱 정도의 두께의 SiO_2 층(3)을 형성해둔다.

<100> 그 후에, 도 1에 도시한 주입 공정을 행하고 SiO_2 층(3) 내에 제1 도전형의 제1 불순물로 이루어진 제1 불순물층을 형성한다. 그와 같은 제1 불순물과 그 주입 농도는 nMOSFET인지 pMOSFET인지에 따라 다르다. 즉, nMOSFET을 형성하는 경우에는 주입해야 할 제1 도전형의 제1 불순물이란 p형의 불순물이며 예를 들면, $4\text{E}13\text{cm}^{-2}$ 정도의 농도의 비소를 제1 불순물로서 60keV의 가속 에너지로써 SiO_2 층(3) 내로 주입한다. 이에 대해, pMOSFET의 경우에는 제2 도전형의 제2 불순물이란 n형 불순물이며 예를 들면, $4\text{E}13\text{cm}^{-2}$ 정도의 농도의 붕소를 10keV의 가속 에너지로써 SiO_2 층(3) 내로 주입한다.

<101> 도 12는 게이트 산화막(게이트 절연막)과 게이트 전극용 폴리 실리콘막의 증착 공정을 나타낸다. 여기서는, 두께 70옹스트롱 정도의 게이트 산화막(4A)과 두께 2000 옹스트롱 정도의 폴리 실리콘막(6A)을 SiO_2 층(3)의 평탄 표면(3S) 상에 순차적으로 적층한다.

<102> 도 13은 게이트 전극용 도핑 이온의 주입 공정을 나타낸다. 이에 따라, 도 12의 폴리 실리콘막(6A)은 도전성의 폴리 실리콘막(6B)이 된다. nMOSFET의 경우에는, 15keV의 가속 에너지를 갖는 인을 $5\text{E}15\text{cm}^{-2}$ 정도의 농도가 되기까지 상기한 막(6A) 중에 주입한다. 이에 대해, pMOSFET의 경우에는 붕소를 10keV의 가속 에너지로써 $5\text{E}15\text{cm}^{-2}$ 정도의 농도까지 주입한다.

<103> 도 14는 게이트 패터닝을 위한 드라이 에칭 공정을 나타낸다. 즉, 게이트 패터닝에 따른 레지스트 패턴(20)을 형성하고, 해당 패턴(20)을 마스크로서 드라이 에칭을 행함으로써 도 14에 도시한 게이트 절연막으로서의 게이트 산화막(4)과 게이트 전극으로서의 폴리 실리콘막(6)을 형성한다.

<104> 도 15는 도 14의 레지스트 패턴(20)의 제거와 소스/드레인용 불순물 이온의 주입을 나타낸다.

<105> 여기서 주입해야 할 제2 도전형의 제2 불순물로서는 nMOSFET의 경우에는 n형 불순물(예를 들면, 비소 : 60keV, $4\text{E}13\text{cm}^{-2}$ 정도)이며 pMOSFET의 경우에는 p형 불순물(예를 들면, 붕소 : 10keV, $4\text{E}13\text{cm}^{-2}$ 정도)이다.

<106> 도 16은 측벽용 SiO_2 막(5A)의 증착을 나타낸다.

<107> 여기서는, 약 800 옹스트롱의 막 두께의 SiO_2 막(5A)을 SiO_2 층(3)의 평탄 표면(3S) 상, 게이트 산화막(4)의 측면 상 및 게이트 전극용 폴리 실리콘막(6)의 표면 상에 형성한다.

<108> 도 17은 측벽용 SiO_2 막(5A)의 드라이 에칭 공정 후의 소스·드레인용 불순물 이온의 제2 주입 공정을 나타낸다. 즉, 도 16의 SiO_2 막(5A)에 드라이 에칭을 행하고 게이트 절연막(4) 및 게이트 전극(6)의 양 측면을 피복하는 측벽(5)을 형성하고, 그 후 소스/드레인 영역 내에 제2 도전형의 제2 불순물(이온)을 주입한다. 예를 들면, 도 17과 같이 nMOSFET의 경우에는 비소 이온을 60keV의 가속 에너지로써 $4\text{E}15\text{cm}^{-2}$ 정도의 농도분만 주입한다. 이에 대해, 도시하지 않았지만 pMOSFET의 경우에는 붕소 이온을 10keV의 가속 에너지로써 $4\text{E}15\text{cm}^{-2}$ 정도의 농도에 상당하는 양만 주입한다. 이에 따라, 소스/드레인 영역인 제2 및 제3 불순물층 내에서 측벽(5)에 의해 피복되어 있지 않은 부분이 고불순물 농도층(n^+)이 된다.

<109> (제1 절연층 형성 공정 b)

<110> 도 18은 제1 절연층(81A)이 형성된 상태를 나타낸다.

- <111> 즉, 측벽(5)의 표면 상과, 게이트 전극(6)의 표면 상과, 측벽(5)에 의해 피복되어 있지 않은 노출한 SOI층(3)의 평탄 표면(3S) 상에 제1 절연층(81A)을 형성한다. 동일층(81A)은 SiO₂ 막 또는 SiN막이다. 또한, SiN막을 이용할 때는 동일막과 SiO₂ 막과의 사이에서 생기는 응력이 커지지 않도록 하기 위해서, SiN막의 막 두께를 3000 옹스트롬 이하로 할 필요가 있다.
- <112> (제2 절연층 형성 공정 c)
- <113> 다음에, 도 19에 도시한 바와 같이 제1 절연층(81A)의 표면 상에 제2 절연층(82A)을 적층 형성한다. 제1 절연층(81A)으로서 예를 들면 SiO₂막을 이용할 때에는 SiN막 또는 미도핑의 폴리 실리콘막이나 그 외의 절연막을 제2 절연층(82A)로서 이용한다. 반대로 SiN막을 제1 절연층(81A)으로서 이용할 때에는 SiO₂ 막 또는 미도핑의 폴리 실리콘막이나 그 외의 절연막을 제2 절연층(82A)으로서 이용한다.
- <114> (레지스트 패터닝 공정 d)
- <115> 제2 절연층(82A)의 표면 상에 레지스트층을 형성하고 도 20에 도시한 바와 같이, SOI층(3)의 평탄 표면(3S) 중 측벽(5)과 게이트 절연막(4)에 의해 피복되어 있는 부분(SR1)의 상측 및 동일 부분(SR1)을 둘러싼 소정 범위 내의 표면 영역(SR2)의 상측에 레지스트층(21)이 위치하도록 레지스트층을 패터닝한다.
- <116> (드라이 에칭 공정 e)
- <117> 여기서는, [제2 절연층(82A)의 에칭율] > [제1 절연층(81A)의 에칭율]이라는 조건을 만족하도록 양 층(82A, 81A)의 선택비를 설정하여 통상의 드라이 에칭을 행한다. 그 결과, 도 21에 도시한 바와 같이, 레지스트층(21)으로 피복되어 있지 않은 제2 절연층(82A)의 부분은 상기 드라이 에칭에 의해 제거되며 해당 드라이 에칭은 노출한 제1 절연층(81A)의 표면에서 멈춘다. 따라서, 제1 절연층(81A)뿐만 아니라 그 바로 아래의 SOI층(3)도 또한 드라이 에칭되는 일은 없으며, SOI층(3)의 표면(3S)의 평탄성은 또 계속 유지되고 있다.
- <118> (습식 에칭 공정 f)
- <119> 다음에, 열 인산 등을 이용하여 드라이 에칭 후의 제2 절연층(82)에 의해 피복되어 있지 않은 제1 절연층(81A)의 노출 부분만을 습식 에칭하여, 해당 부분을 제거한다. 이에 따라, 레지스트층(21)에 의해 피복되어 있는 제1 및 제2 절연층의 부분(81, 82)만이 표면(3S) 상에 남는다. 그러나, 본 습식 에칭에 의해서도 평탄 표면(3S)은 습식 에칭되어 있지 않기 때문에, 평탄 표면(3S)에 단차형부는 형성되지 않으며 표면 3S의 평탄성 및 SOI층(3)의 막 두께에 변화는 생기지 않는다.
- <120> (레지스트층 제거 공정 g)
- <121> 다음에, 상기 레지스트층(21)을 제거한다. 이에 따라, 도 22에 도시한 바와 같이 게이트 전극(6) 및 측벽(5)을 피복하는 제1 및 제2 절연층(81, 82)으로 이루어진 실리사이드 보호부(8)가 평탄 표면(3S) 상에 형성된다.
- <122> (실리사이드화 공정 h)
- <123> 도 23에 도시한 바와 같이, 노출하고 있는 평탄 표면(3S) 상 및 실리사이드 보호부(8)의 표면 상에 코발트를 스퍼터하여, 코발트층(120 옹스트롬 ; 70)을 형성한다. 그 후, 약 800℃의 N₂ 가스 중에서 약 30초간, 코발트 스퍼터 후의 본 장치를 어닐링한다(램프 어닐링). 이에 따라, 실리사이드 보호부(8)에 의해 피복되어 있지 않은 소스/드레인 영역(10, 11) 내에 코발트 실리사이드층(71, 72 ; 500옹스트롬 정도)이 형성된다. 이 때, 소스/드레인 영역(10, 11)은 균일한 두께를 갖으므로, 코발트 실리사이드층(71, 72)의 저면이 SOI층(3)과 기초층(2)과의 계면(2S)을 꿰뚫고 나가 버린다고 하는 사태는 전혀 생기지 않고 입출력 보호 회로로서 양호하게 기능하는 구조가 본 장치 내에 실현된다.
- <124> 또한, 도 18에 도시한 제1 절연층(81 ; 81A)을 적어도 2층 구조로서 형성하는 것도 가능하다. 그래서, 이하에는 제1 절연층(81)을 제1 절연막(81a)과 제2 절연막(82a)으로 이루어진 이층 구조로 하는 경우의 제조 방법을 보충 설명한다.
- <125> 우선, 이 경우에는도 도 18에 도시한 공정과 도 19에 도시한 공정 간에 더욱 도 25에 도시한 공정을 개재시킨다. 즉, 도 18에 도시한 공정에 의해 형성된 제1 절연막(81a)의 표면 상에 그것과는 이질적인 재질로 이루어진 제2 절연막(82a)을 형성한다. 이에 따라, 양 막(81a, 82a)으로 이루어진 도 19에 도시한 제1 절연층(81)이 형성된다.
- <126> 또한, 본 케이스에서는 이미 상술한 도 21 및 도 22의 에칭 공정도 수정을 받는다. 즉, 본 케이스에서는 제1 절연막(81a)과 동일한 재료로 이루어진 제2 절연층(82A)의 에칭율이 제2 절연막(82a)의 에칭율보다도 커지도록 선택비를 설정하여 드라이 에칭을 행한다. 이에 따라, 도 26에 도시한 바와 같이 레지스트층(21)에 의해 피복되어 있지 않은 제2 절연막(82a)의 부분이 노출하고 드라이 에칭은 멈춘다. 다음에, 노출한 도 26의 제2 절연막(82a)의 부분을 도 27에 도시한 바와 같이 제1 습식 에칭에 의해 제거하고 더욱 노출한 도 27의 제1 절연막(81a)의 부분을 도 28에 도시한 바와 같이 제2 습식 에칭에 의해 제거한다. 그 후, 도 28의 레지스트층(21)을 제거하면, 제1 및 제2 절연막(81a, 82a)으로 이루어진 도 22에 도시한 제1 절연층(81)과 제3 절연막(83a)으로 이루어진 도 22의 제2 절연층(82)을 갖는 실리사이드 보호부(8)가 형성된다.
- <127> 이 케이스에도 동일한 제조 상의 메리트가 얻어지는 점은 물론이다.
- <128> (부기)
- <129> 이상, 제1 실시 형태 및 제2 실시 형태에서는 SOI를 이용한 MOSFET에 대해 설명했지만, 본 발명에서의 「반도체층」 및 「기초층」은 「SOI층」 및 「BOX 층」에 한정되는 것은 아니다. 예를 들면, n

웰 또는 p웰 내에 p형 MOSFET 또는 n형 MOSFET를 형성하는 경우에도 본 발명을 적용할 수 있다. 이 경우에는 「n웰 또는 p웰」이 「BOX층」에 대신한 「기초층」이며, 해당 웰 중 양 소스/드레인 영역에서 끼워진 채널 부분을 이루는 n⁻층 또는 p⁻층과, 양 소스/드레인 영역이 「반도체층」을 형성하게 된다.

발명의 효과

- <130> 청구항 1에 따른 발명에 따르면, 복수의 절연막이 순차적으로 반도체층 상에 설치되므로, 반도체층의 표면에 단차가 생기는 일은 없고 반도체층의 표면은 평탄하며 반도체층의 막 두께는 제1 영역 내지 제6 영역에 걸쳐 균일화된다. 따라서, 제6 영역 상과 제2 불순물층 내에 설치되는 실리사이드층의 저면이 기초층에까지 도달하는 일은 일체 없고 누설 전류의 발생이나 실리사이드의 박리와 같은 문제는 아무것도 생기지 않는다.
- <131> 청구항 2에 따른 발명에 따르면, 드라이 에칭 시에 (제2 절연층의 에칭율) > (제1 절연층의 에칭율)이라는 선택비가 채용되어 있으므로, 제2 절연층의 에칭 대상 부분이 제거된 후, 에칭 현상의 진행은 제1 절연층의 표면에서 저지된다. 즉, 제1 절연층에 에칭 스톱층으로서의 역할을 담당하게 하는 것이 가능해지며, 제1 및 제2 절연층의 형성 시에 이용하는 드라이 에칭에 의해 반도체층의 표면이 에칭되는 것을 방지할 수 있다.
- <132> 청구항 3에 따른 발명에 따르면, (i) 제1 절연층을 드라이 에칭의 스톱층으로서 기능시킬 수 있으므로, 드라이 에칭 공정에 의해 반도체층의 표면이 에칭되는 것을 막을 수 있으며, 더욱 (ii) 공정 (e) 후에 노출하고 있는 제1 절연층의 부분을 습식 에칭에 의해 제거하고 있으므로, 최종적으로 프로세스 중 일체 에칭되는 일이 없는 평탄한 반도체 표면을 얻을 수 있다. 이에 따라, 본 반도체 장치에 더욱 실리사이드층을 형성할 때에는 실리사이드층을 계면에 접촉시키는 일 없이 반도체층 내부에만 형성할 수 있으므로, 누설 전류의 발생이나 실리사이드층의 박리와 같은 문제점은 아무것도 생기지 않는다.

(57) 청구의 범위

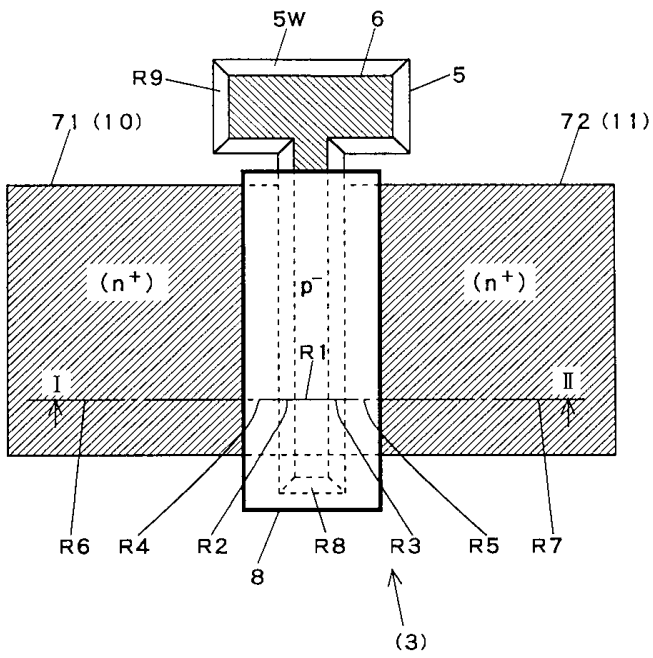
청구항 1

기초층과,
 상기 기초층의 표면 상에 설치된 반도체층과,
 상기 반도체층의 평탄 표면 내에서의 제1 영역 상에 설치된 게이트 절연막과,
 상기 게이트 절연막의 표면 상에 설치된 게이트 전극과,
 상기 반도체층의 상기 평탄 표면 내에서의 상기 제1 영역에 인접하는 제2 및 제3 영역 상에 설치되어 있으며, 상기 게이트 절연막의 측면과 상기 게이트 전극의 측면을 피복하는 측벽과,
 상기 반도체층의 상기 평탄 표면 내에서의 상기 제2 및 제3 영역에 각각 인접하는 제4 및 제5 영역 상과, 상기 측벽의 표면 상과, 상기 게이트 전극의 표면 상에 설치된 제1 절연막과,
 상기 제1 절연막의 표면 상에 설치된 상기 제1 절연막과는 이질의 제2 절연막과,
 상기 제1 영역의 중앙 부분으로부터 상기 반도체층 내부에 걸쳐서 설치된 제1 도전형의 제1 불순물층과,
 상기 제1 영역의 한쪽의 주연 부분과, 상기 제2 영역과, 상기 제4 영역과, 상기 반도체층의 상기 평탄 표면 내에서의 상기 제4 영역에 인접하는 외측의 제6 영역으로부터 상기 반도체층 내부에 걸쳐서 설치된 상기 제1 불순물층에 인접하는 제2 도전형의 제2 불순물층과,
 상기 제1 영역의 다른쪽 주연 부분과, 상기 제3 영역과, 상기 제5 영역과, 상기 제5 영역에 인접하는 외측의 제7 영역으로부터 상기 반도체층 내부에 걸쳐서 설치된 상기 제1 불순물층에 인접한 상기 제2 도전형의 제3 불순물층과,
 상기 제6 영역 상과 상기 제6 영역의 바로 아래에 위치하는 상기 제2 불순물층 내부에 설치되어 있으며, 그 저면은 상기 제2 불순물층 내에 위치하는 제1 실리사이드층과,
 상기 제7 영역 상과 상기 제7 영역의 바로 아래에 위치하는 상기 제3 불순물층 내부에 설치되어 있으며, 그 저면은 상기 제3 불순물층 내에 위치하는 제2 실리사이드층을 구비하는 것을 특징으로 하는 반도체 장치.

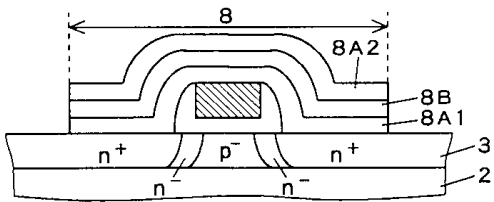
청구항 2

반도체층과,
 상기 반도체층의 표면 상에 형성된 게이트 절연막과,
 상기 게이트 절연막의 표면 상에 형성된 게이트 전극과,
 상기 게이트 절연막의 측면과 상기 게이트 전극의 측면을 피복하기 위해 상기 반도체층의 상기 표면 상에 형성된 측벽과,
 상기 측벽의 표면 상과 상기 게이트 전극의 표면 상을 피복하기 위해서 드라이 에칭을 이용하여 상기 반도체층의 상기 표면 상에 순차적으로 형성된 제1 및 제2 절연층을 구비하고,
 상기 드라이 에칭에서 상기 제2 절연층의 에칭율은 상기 제1 절연층의 에칭율보다도 크게 설정되어 있는 것

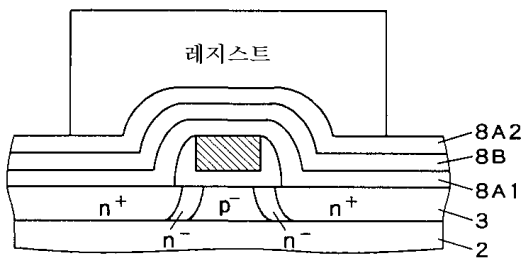
도면2



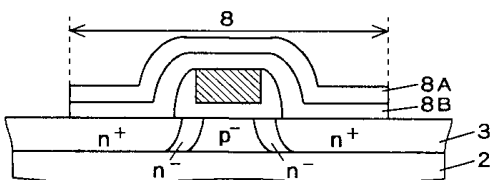
도면3



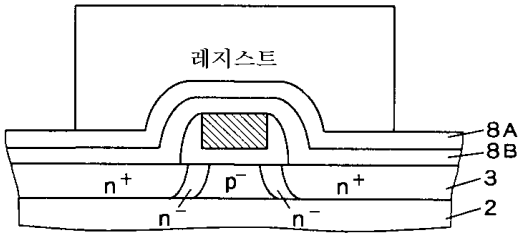
도면4



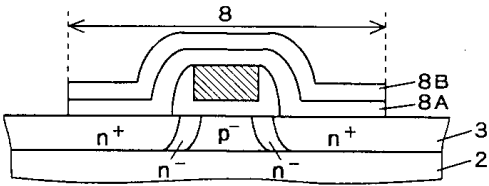
도면5



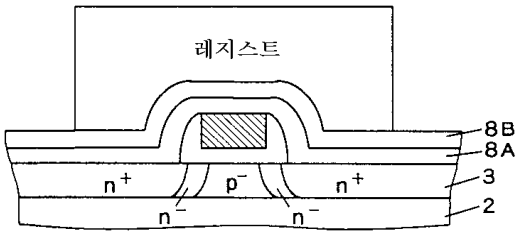
도면6



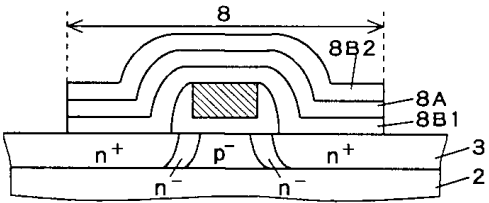
도면7



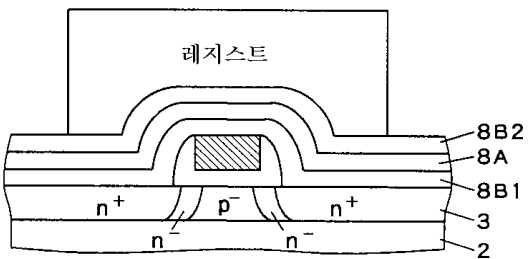
도면8



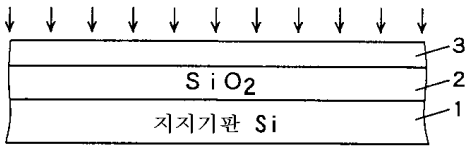
도면9



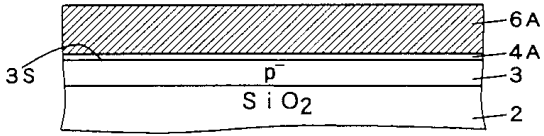
도면10



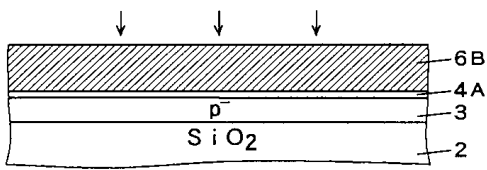
도면11



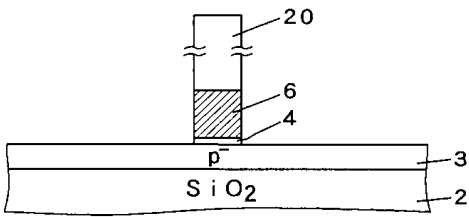
도면12



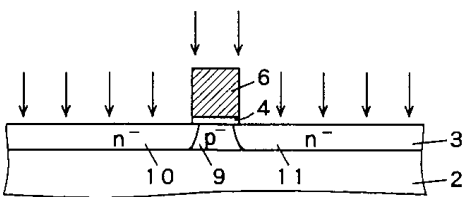
도면13



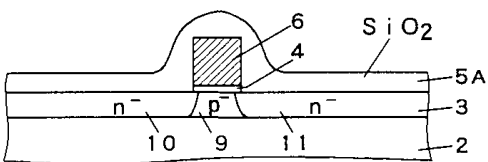
도면14



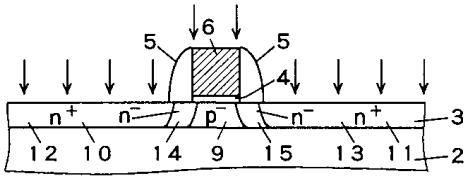
도면15



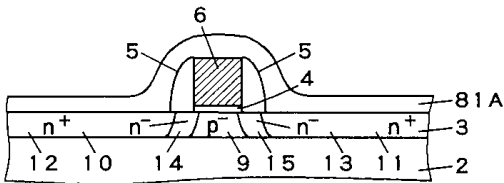
도면16



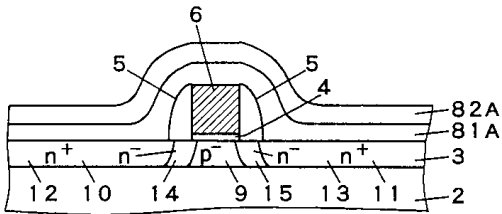
도면17



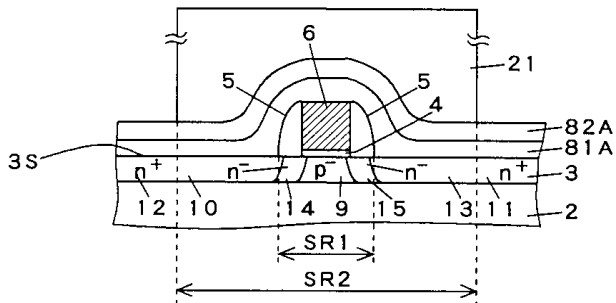
도면18



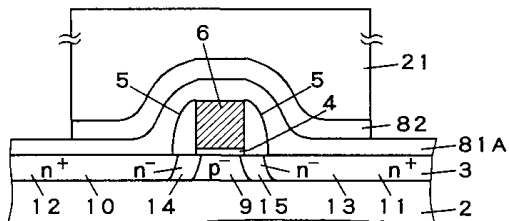
도면19



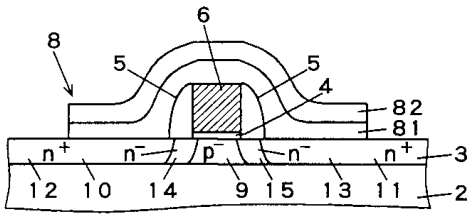
도면20



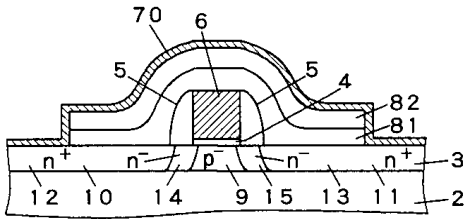
도면21



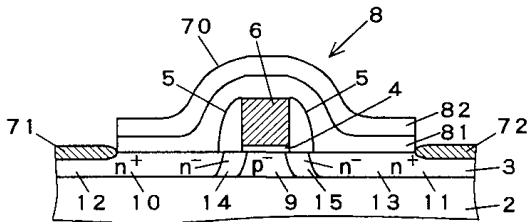
도면22



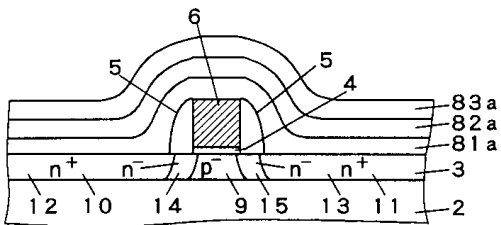
도면23



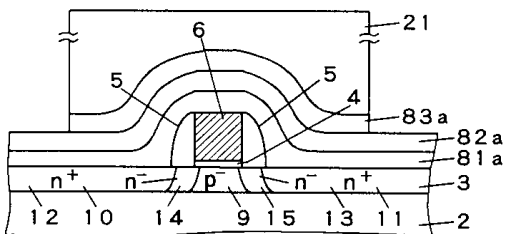
도면24



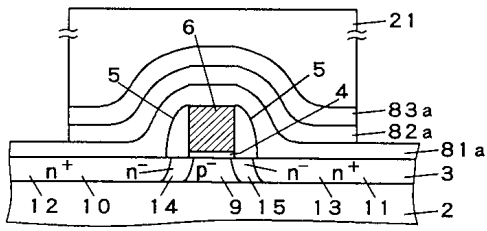
도면25



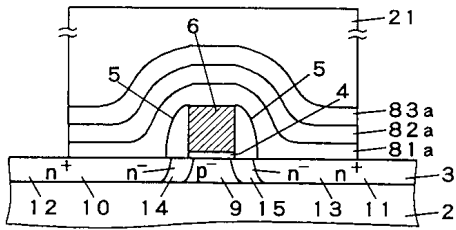
도면26



도면27

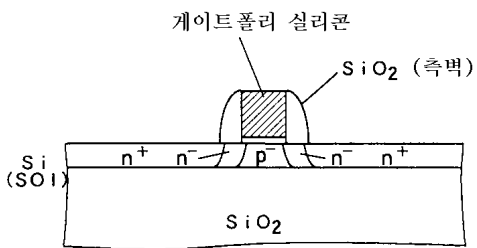


도면28



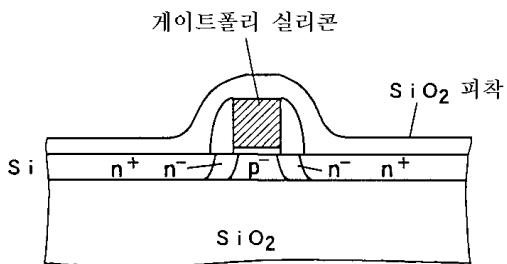
도면29

(종래 기술)



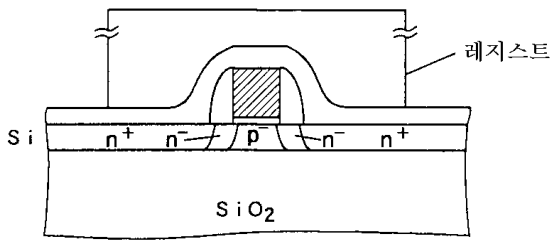
도면30

(종래 기술)



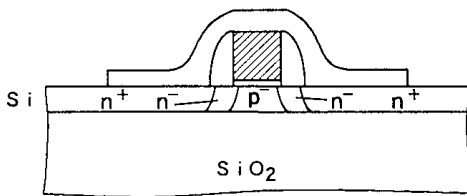
도면31

(종래 기술)



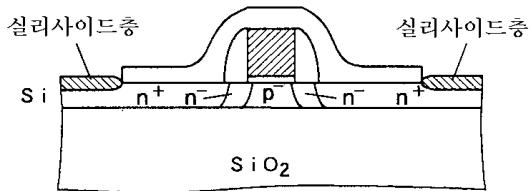
도면32

(종래 기술)



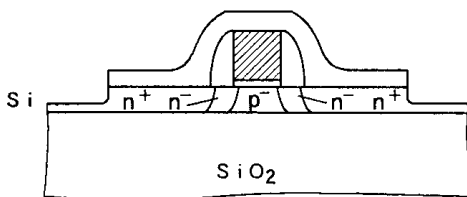
도면33

(종래 기술)



도면34

(배경 기술)



도면35

(종래 기술)

