



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I494760 B

(45)公告日：中華民國 104 (2015) 年 08 月 01 日

(21)申請案號：102117776

(22)申請日：中華民國 98 (2009) 年 07 月 17 日

(51)Int. Cl. : G06F12/02 (2006.01)

G06F13/14 (2006.01)

(30)優先權：2008/11/06 美國

61/112,173

2008/12/24 美國

61/140,850

2009/05/25 美國

12/471,462

(71)申請人：慧榮科技股份有限公司 (中華民國) SILICON MOTION INC. (TW)

新竹縣竹北市台元街 36 號 8 樓之 1

(72)發明人：林財成 LIN, TSAI CHENG (TW)；李俊坤 LEE, CHUN KUN (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

US 6226202B1

US 6243789B1

US 2008/0148004A1

審查人員：洪奕璿

申請專利範圍項數：42 項 圖式數：11 共 65 頁

(54)名稱

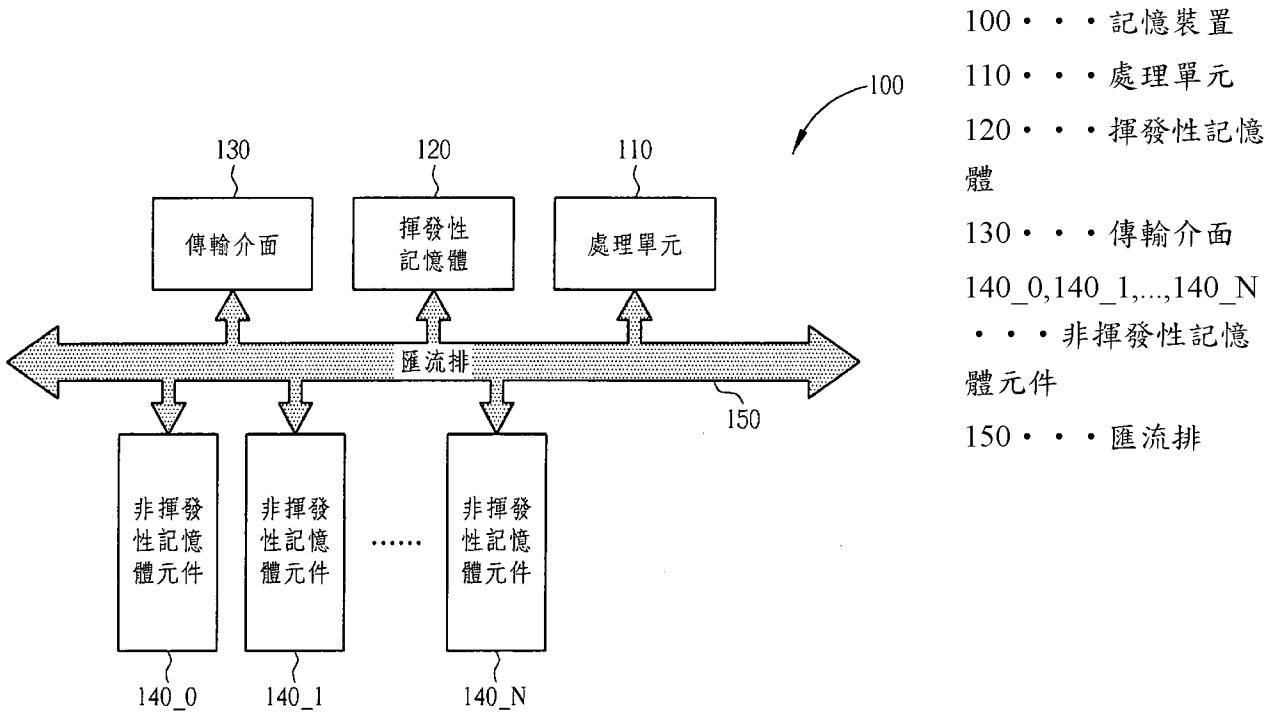
用來管理一記憶裝置之方法以及其相關之記憶裝置

METHOD FOR MANAGING A MEMORY APPARATUS, AND ASSOCIATED MEMORY APPARATUS THEREOF

(57)摘要

本發明提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊，該方法包含有：提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊，其中該局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係；以及依據該局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表。

A method for managing a memory apparatus comprising at least one non-volatile (NV) memory element comprises: providing at least one block of the memory apparatus with at least one local page address linking table, wherein the local page address linking table comprises linking relationships between physical page addresses and logical page addresses of a plurality of pages; and building a global page address linking table of the memory apparatus according to the local page address linking table.



第1圖

發明摘要

※ 申請案號： 102117776 (由 98124216 分割)
G06F 12/02 (2006.01)

※ 申請日： 98.7.17 ※IPC 分類： G06F 13/14 (2006.01)

【發明名稱】 用來管理一記憶裝置之方法以及其相關之記憶裝置

METHOD FOR MANAGING A MEMORY APPARATUS,
AND ASSOCIATED MEMORY APPARATUS THEREOF

【中文】

本發明提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊，該方法包含有：
提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊，其中該局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係；以及依據該局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表。

【英文】

A method for managing a memory apparatus comprising at least one non-volatile (NV) memory element comprises: providing at least one block of the memory apparatus with at least one local page address linking table, wherein the local page address linking table comprises linking relationships between physical page addresses and logical page addresses of a plurality of pages; and building a global page address linking table of the memory apparatus according to the local page address linking table.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100	記憶裝置
110	處理單元
120	揮發性記憶體
130	傳輸介面
140_0, 140_1, ..., 140_N	非揮發性記憶體元件
150	匯流排

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 用來管理一記憶裝置之方法以及其相關之記憶裝置

METHOD FOR MANAGING A MEMORY APPARATUS, AND
ASSOCIATED MEMORY APPARATUS THEREOF

【技術領域】

【0001】 本發明係有關於快閃記憶體（Flash Memory）之控制，尤指一種用來管理一記憶裝置之方法以及其相關之記憶裝置。

【先前技術】

【0002】 當一主裝置存取一記憶裝置例如固態硬碟（Solid State Drive, SSD）時，該主裝置於典型狀況下會送出一存取指令與至少一對應的邏輯位址至該記憶裝置。該記憶裝置之一控制器接收該邏輯位址並藉由利用一邏輯實體位址鏈結表將該邏輯位址轉換為一實體位址。如此，該控制器藉由利用該實體位址來存取該記憶裝置之至少一實體記憶體元件。例如：該記憶體元件可用一個或多個快閃記憶體晶片（為了簡明起見，其可稱為快閃晶片）來實施。

【0003】 該邏輯實體位址鏈結表可依照該記憶體元件中之一記憶單位來建立。例如：該邏輯實體位址鏈結表可依照區塊或頁來建立。當該邏輯實體位址鏈結表係依照區塊來建立時，該邏輯實體位址鏈結表可稱為邏輯實體區塊位址鏈結表。當該邏輯實體位址鏈結表係依照頁來建立時，該邏輯實體位址鏈結表可稱為邏輯實體頁位址鏈結表。另外，一邏輯實體頁位址鏈結表可稱為全域頁位址鏈結表，其包含關於該記憶裝置中之複數個區塊（或全部的區塊）的諸頁之鏈結關係。

【0004】 假設該記憶體元件具有 X 個實體區塊，且每一實體區塊具有 Y 個實體頁。在該邏輯實體位址鏈結表係依照區塊來建立之狀況下，該相關的邏輯實體區塊位址鏈結表之建立可透過讀取每一實體區塊之一頁所儲存之一邏

輯區塊位址以及記錄該實體區塊與相關的邏輯區塊之間的關係來實現。為了建立該邏輯實體區塊位址鏈結表，必須讀取分別對應於該 X 個實體區塊之 X 頁，其中所需時間假設為 x 秒。

【0005】 在該邏輯實體位址鏈結表係依照頁來建立之狀況下，該相關的全域頁位址鏈結表之建立可透過讀取全部的實體區塊之每一實體頁所儲存之一邏輯頁位址以及記錄該實體頁與該相關的邏輯頁之間的關係來實現。為了建立該全域頁位址鏈結表，必須讀取至少 $X \cdot Y$ 頁，需要 $x \cdot Y$ 秒。若一區塊具有 1024 頁，則建立該全域頁位址鏈結表所需時間是建立該邏輯實體區塊位址鏈結表所需時間的 1024 倍，即 $1024 \cdot x$ 秒；由於處理速度實在太慢了，此為令人無法接受的處理時間。亦即，當按照此方式實施該全域頁位址鏈結表時，存取該記憶裝置之整體效能會被拖垮。因此，需要一新穎的方法以便有效率地建立該邏輯實體位址鏈結表，並且需要相關方法以便管理透過該新穎的方法來運作之記憶裝置。

【發明內容】

【0006】 因此，本發明之目的之一在於提供一種用來管理一記憶裝置之方法以及其相關之記憶裝置，以解決上述問題。

【0007】 本發明之另一目的在於提供一種用來管理一記憶裝置之方法以及其相關之記憶裝置，以針對該記憶裝置之一備用區（Spare Region）與一資料區之安排進行優化。

【0008】 本發明之至少一較佳實施例中提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block），該方法包含有：提供至少一局部頁位址鏈結表（Local Page Address Linking Table）予該記憶裝置之至少一區塊，其中該局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係；以及依據該局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表（Global Page Address Linking Table）。

【0009】 本發明於提供上述方法之同時，亦對應地提供一種記憶裝置，包含有：至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊；以及一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊，以及該局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係；其中該處理單元係用來依據該局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表。

【0010】 本發明之至少一較佳實施例中提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊，該方法包含有：自一主裝置（Host）接收一第一存取指令；分析該第一存取指令以取得屬於一第一邏輯區塊之一第一主裝置位址；將該第一主裝置位址鏈結（Link）至一實體區塊；自該主裝置接收一第二存取指令；分析該第二存取指令以取得屬於一第二邏輯區塊之一第二主裝置位址，其中該第二邏輯區塊異於該第一邏輯區塊；以及將該第二主裝置位址鏈結至該實體區塊。

【0011】 本發明之至少一較佳實施例中提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊，該方法包含有：自一主裝置接收一第一存取指令；分析該第一存取指令以取得屬於一邏輯區塊之一第一主裝置位址；將該第一主裝置位址鏈結至一第一實體區塊之至少一頁；自該主裝置接收一第二存取指令；分析該第二存取指令以取得屬於該邏輯區塊之一第二主裝置位址；以及將該第二主裝置位址鏈結至一第二實體區塊之至少一頁，其中該第二實體區塊異於該第一實體區塊。

【0012】 本發明之至少一較佳實施例中提供一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性記憶體元件，每一非揮發性記憶體元件包含複數個區塊，該方法包含有：建立至少一局部頁位址鏈結表，其含有複

數個實體頁位址與至少一邏輯頁位址之間的頁位址鏈結關係，其中該至少一局部頁位址鏈結表包含一第一局部頁位址鏈結表與一第二局部頁位址鏈結表，該第一局部頁位址鏈結表含有複數個第一實體頁之一第一頁位址鏈結關係，而該第二局部頁位址鏈結表含有複數個第二實體頁之一第二頁位址鏈結關係，以及該些第二實體頁異於該些第一實體頁；依據該至少一局部頁位址鏈結表建立一全域頁位址鏈結表；以及依據該全域頁位址鏈結表存取該記憶裝置。

【0013】 本發明的好處之一是，相較於習知技術，本發明之方法與裝置可大幅地省下建立邏輯實體位址鏈結表的時間，諸如建立一全域頁位址鏈結表的時間。因此，本發明提供較習知技術更佳的效能。

【0014】 本發明的另一好處是，本發明之方法與裝置可於存取該些頁期間記錄使用資訊，而因此可依據該使用資訊來有效率地管理全部的區塊的使用。於是，該備用區與該資料區的安排可被優化。

【圖式簡單說明】

【0015】

第 1 圖為依據本發明一第一實施例之一種記憶裝置的示意圖。

第 2A 圖繪示第 1 圖所示之非揮發性記憶體元件中之一者的一區塊當中的一局部頁位址鏈結表，其中該非揮發性記憶體元件於本實施例中係為快閃晶片。

第 2B 圖比較第 2A 圖所示之局部頁位址鏈結表的一維陣列示例與二維陣列示例。

第 3A 至 3F 圖分別繪示本發明一實施例中關於第 1 圖所示之記憶裝置的一個全域頁位址鏈結表之數個範例版本。

第 4 圖繪示本發明一實施例中關於第 2A 圖所示之快閃晶片的一個區塊中的一局部頁位址鏈結表。

第 5A 至 5B 圖分別繪示第 4 圖所示之實施例中關於第 1 圖所示之記憶裝置的

全域頁位址鏈結表之數個範例版本。

第 6 圖繪示本發明一實施例中關於第 1 圖所示之非揮發性記憶體元件中之一者的內容安排，其中該非揮發性記憶體元件於本實施例中係為快閃晶片。

第 7A 至 7D 圖繪示本發明一實施例中關於第 1 圖所示之非揮發性記憶體元件中之實體位址，其中該些非揮發性記憶體元件於本實施例中係為複數個快閃晶片。

第 8 圖繪示用來管理第 7A 至 7D 圖所示之快閃晶片之一資料區與一備用區 (Spare Region)。

第 9A 至 9D 圖分別繪示第 7A 至 7D 圖所示之實施例中之一全域頁位址鏈結表之數個範例版本。

第 10A 至 10F 圖分別繪示第 7A 至 7D 圖所示之實施例中之一有效頁數量表之數個範例版本。

第 11 圖繪示本發明一實施例中關於第 7A 至 7D 圖所示之快閃晶片的一個有效頁位置表。

【實施方式】

【0016】 請參考第 1 圖，其繪示依據本發明一第一實施例之一種記憶裝置 100 的示意圖。記憶裝置 100 包含：一處理單元 110，一揮發性 (Volatile) 記憶體 120，一傳輸介面 130，複數個非揮發性 (Non-volatile, NV) 記憶體元件 140_0、140_1、...、與 140_N (例如：快閃晶片)，以及一匯流排 150。於典型狀況下，於傳輸介面 130 耦接至一主裝置 (未顯示於第 1 圖) 之後，該主裝置可透過傳輸介面 130 來存取 (Access) 記憶裝置 100。舉例來說，該主裝置可代表一個人電腦，例如一膝上型電腦或一桌上型電腦。

【0017】 處理單元 110 可依據內嵌於處理單元 110 中或接收自處理單元 110 之外的程式碼 (未顯示於第 1 圖) 來管理記憶裝置 100。例如：該程式碼可為內嵌於處理單元 110 之硬體碼，尤其是一唯讀記憶體碼 (ROM code)。又例如：該程式碼可為接收自處理單元 110 之外的韌體碼。尤其是，處理單元

110 係用來控制揮發性記憶體 120、傳輸介面 130、非揮發性記憶體元件 140_0、140_1、...、與 140_N、以及匯流排 150。本實施例之處理單元 110 可為一高級縮減指令集電腦機器 (Advanced Reduced Instruction Set Computer Machine, Advanced RISC Machine, ARM) 處理器或一亞哥縮減指令集電腦核心 (Argonaut RISC Core, ARC) 處理器。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之不同的變化例，處理單元 110 可為其它種處理器。

【0018】 另外，揮發性記憶體 120 係用來儲存一全域頁位址鏈結表 (Global Page Address Linking Table)、該主裝置 (未顯示) 所存取之資料、以及用來存取記憶裝置 100 之其它所需資訊。本實施例之揮發性記憶體 120 可為一動態隨機存取記憶體 (Dynamic Random Access Memory, DRAM) 或一靜態隨機存取記憶體 (Static Random Access Memory, SRAM)。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之不同的變化例，揮發性記憶體 120 可為其它種揮發性記憶體。

【0019】 依據本實施例，第 1 圖所示之傳輸介面 130 係用來傳輸資料以及該主裝置與記憶裝置 100 之間的指令，其中傳輸介面 130 符合一特定通訊標準諸如串列高級技術附件 (Serial Advanced Technology Attachment, SATA) 標準、並列高級技術附件 (Parallel Advanced Technology Attachment, PATA) 標準、或通用序列匯流排 (Universal Serial Bus, USB) 標準。例如：記憶裝置 100 係一設置於該主裝置中之固態硬碟 (Solid State Drive, SSD)，且該特定通訊標準可為用來實施該主裝置之內部通訊的一些典型通訊標準，諸如串列高級技術附件標準或並列高級技術附件標準。又例如：記憶裝置 100 係一固態硬碟且位於該主裝置之外，並且該特定通訊標準可為用來實施該主裝置之外部通訊的一些典型通訊標準，諸如通用序列匯流排標準。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之不同的變化例，記憶裝置 100 可為一可攜式記憶裝置諸如一記憶卡，且該特定通訊標準可為用來實施

一記憶卡之輸入／輸出介面的一些典型通訊標準，諸如安全數碼（Secure Digital, SD）標準或小型快閃（Compact Flash, CF）標準。

【0020】 另外，非揮發性記憶體元件 140_0、140_1、...、與 140_N 係用來儲存資料，其中非揮發性記憶體元件 140_0、140_1、...、與 140_N 可為（但不限於）NAND 型快閃晶片。匯流排 150 係用來耦接處理單元 110、揮發性記憶體 120、傳輸介面 130、和非揮發性記憶體元件 140_0、140_1、...、與 140_N，以及用來進行其通訊。

【0021】 依據本實施例，處理單元 110 可於記憶裝置 100 中提供至少一局部頁位址鏈結表（Local Page Address Linking Table）予記憶裝置 100 之至少一區塊（Block），其中該局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係。於本實施例中，處理單元 110 於記憶裝置 100 之寫入運作期間建立該局部頁位址鏈結表。處理單元 110 可另依據該局部頁位址鏈結表建立上述之全域頁位址鏈結表。例如：處理單元 110 自該至少一局部頁位址鏈結表讀取一特定頁之一第一實體頁位址與一第一邏輯頁位址之間之一第一鏈結關係，然後將該第一鏈結關係記錄進該全域頁位址鏈結表。處理單元 110 可自該至少一局部頁位址鏈結表另讀取該特定頁之一第二實體頁位址與該第一邏輯頁位址之間之一第二鏈結關係，然後將該第二鏈結關係寫入／記錄進該全域頁位址鏈結表，以更新該全域頁位址鏈結表。

【0022】 尤其是，處理單元 110 於記憶裝置 100 中分別提供複數個局部頁位址鏈結表予記憶裝置 100 之複數個區塊。亦即，上述之至少一局部頁位址鏈結表包含複數個局部頁位址鏈結表。處理單元 110 可另依據該些局部頁位址鏈結表建立上述之全域頁位址鏈結表。更明確而言，處理單元 110 可讀取該些局部頁位址鏈結表其中之一者以更新上述之全域頁位址鏈結表。例如：一第一實體頁之第一鏈結關係係讀取自該些局部頁位址鏈結表之一第一局部頁位址鏈結表，而一第二實體頁之第二鏈結關係讀取自該些局部頁位址鏈結表之一第二局部頁位址鏈結表。該些局部頁位址鏈結表之實施細節另參考第 2A

圖說明如下。

【0023】 第 2A 圖繪示非揮發性記憶體元件 140_0 的一區塊當中之一局部頁位址鏈結表，其中為了簡明起見，非揮發性記憶體元件 140_0 於本實施例中係稱為快閃晶片 0。如第 2A 圖所示，快閃晶片 0 包含複數個區塊，例如本實施例中係為區塊 0、1、2、...、M。請注意，一區塊係一抹除單位。換言之，當需要抹除資料時，處理單元 110 同時抹除儲存於該區塊之全部資料。另外，一區塊，諸如第 2A 圖所示之區塊 0，包含複數個頁。例如：快閃晶片 0 之區塊 0 包含 128 頁。在一區塊諸如區塊 0 當中，這些頁被區分為兩個分區，即用來儲存資料之一資料分區以及用來儲存一局部頁位址鏈結表 0 之一表格分區。該區塊之資料分區內的諸頁可稱為該區塊之資料頁。

【0024】 依據本實施例，該資料分區內的頁數以及該表格分區內的頁數可依需要來訂定。例如：頁 0、1、2、...、126 係用來儲存資料，且該區塊中剩下的頁係用來儲存局部頁位址鏈結表 0。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，該資料分區可包含少於 127 頁，且該表格分區可包含兩頁或更多頁。依據本實施例之另一變化例，該區塊內的總頁數、該資料分區內的頁數以及該表格分區內的頁數可分別予以變化。請注意，一頁係一寫入單位。換言之，當需要寫入資料時，處理單元 110 一次將相當於一頁的資料寫入一頁。依據本實施例，第 1 圖所示之非揮發性記憶體元件 140_0、140_1、...、與 140_N 分別稱為快閃晶片 0、1、...、與 N，其中非揮發性記憶體元件 140_0、140_1、...、與 140_N 中的每一區塊可具有一局部頁位址鏈結表。為了簡明起見，只有快閃晶片 0 的區塊 0 之局部頁位址鏈結表 0 係繪示於第 2A 圖，是因為每一局部頁位址鏈結表的功能與運作都彼此相似。

【0025】 於本實施例中，局部頁位址鏈結表 0 被建立的時間點是當區塊 0 中之全部資料頁已被寫入，也就是被完全寫入（Fully Programmed）之時。然而，於區塊 0 中之資料頁被完全寫入之前，處理單元 110 會暫時地在揮發性

記憶體 120 中儲存一暫時局部頁位址鏈結表 0；當區塊 0 中一實體頁位址與一邏輯頁位址之間的任何鏈結關係改變時，處理單元 110 就更新暫時局部頁位址鏈結表 0。

【0026】 依據本實施例，該暫時／非暫時局部頁位址鏈結表（例如：該暫時局部頁位址鏈結表 0 或局部頁位址鏈結表 0）之一欄位（項目）的排列順位代表一實體頁位址，而此欄位中的內容代表一相關的邏輯頁位址。例如：假設 i_p 與 j_p 分別為第 2A 圖所示之暫時／非暫時局部頁位址鏈結表之示例表格位置(i_p, j_p)當中的列數與行數，並且 $i_p = 0, 1, \dots$ 等且 $j_p = 0, 1, \dots$ 等。在第 2A 圖所示之暫時／非暫時局部頁位址鏈結表的這個二維陣列示例中，對應於第($i_p * 4 + j_p$)個欄位之示例表格位置(i_p, j_p)代表一實體頁位址 PPN，其可描述如下：

$$PPN = (PBN * DPC + i_p * 4 + j_p);$$

其中參數 PBN 表示討論中的實體區塊之實體區塊編號（例如：PBN = 0、1、2、...等，分別對應於區塊 0、1、2、...等），而參數 DPC 則表示每一區塊之資料頁數量（例如：於本實施例中係為 127）。這只是為了說明的目的而已，並非對本發明之限制。為了便於理解，該暫時／非暫時局部頁位址鏈結表可繪示為單一行，如第 2B 圖右半部所示。給定 i_p 仍為列數且 $i_p = 0, 1, \dots$ 等，則在第 2B 圖右半部所示的這個一維陣列示例當中，針對區塊 PBN 的暫時／非暫時局部頁位址鏈結表而言，對應於第 i_p 個欄位之示例表格位置 i_p 代表一實體頁位址($PBN * DPC + i_p$)。亦即，針對這個一維陣列示例，上式可被重新改寫如下：

$$PPN = (PBN * DPC + i_p)。$$

【0027】 請注意，於本實施例中，局部頁位址鏈結表 0 中之邏輯頁位址的範圍不大於區塊 0 中之頁數（於本實施例中即 128）。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，一局部頁位址鏈結表諸如局部頁位址鏈結表 0 中之邏輯頁位址的範圍可大於一區塊諸如區塊 0 中之頁數。

【0028】 於第 2A 圖所示之暫時局部頁位址鏈結表 0 或局部頁位址鏈結表 0 當中，對應於第一欄位之示例表格位置(0, 0)（即左上角位置）代表實體頁位址 0x0000，對應於第二欄位之示例表格位置(0, 1)代表實體頁位址 0x0001，對應於第三欄位之示例表格位置(0, 2)代表實體頁位址 0x0002，對應於第四欄位之示例表格位置(0, 3)代表實體頁位址 0x0003，對應於第五欄位之示例表格位置(1, 0)代表實體頁位址 0x0004，如此這般。

【0029】 依據第 2A 圖所示之實施例，當該主裝置傳送一指令 0 予處理單元 110 以在一邏輯頁位址 0x0002 寫入資料 0 時，處理單元 110 將資料 0 與邏輯頁位址 0x0002 寫入快閃晶片 0 之區塊 0 之頁 0，其中資料 0 被寫入頁 0 之一資料位元組區（Data Byte Region，於第 2A 圖中標示為“DBR”），而邏輯頁位址 0x0002 則被寫入頁 0 之一備用位元組區（Spare Byte Region，於第 2A 圖中標示為“SBR”）作為備用資訊。另外，處理單元 110 將邏輯頁位址 0x0002 寫入該暫時局部頁位址鏈結表 0 之第一欄位（於本實施例中或為其示例表格位置(0, 0)，即第一列、第一行之示例表格位置），以藉此指出邏輯頁位址 0x0002 鏈結／映射至快閃晶片 0 之區塊 0 之頁 0，其實體頁位址係為 0x0000。

【0030】 相仿地，當該主裝置接著傳送一指令 1 予處理單元 110 以在一邏輯頁位址 0x0001 寫入資料 1 時，處理單元 110 將資料 1 與邏輯頁位址 0x0001 寫入快閃晶片 0 之區塊 0 之頁 1，其中資料 1 被寫入頁 1 之一資料位元組區（標示為“DBR”），且邏輯頁位址 0x0001 被寫入頁 1 之一備用位元組區（標示為“SBR”）作為備用資訊。另外，處理單元 110 將邏輯頁位址 0x0001 寫入該暫時局部頁位址鏈結表 0 之第二欄位（於本實施例中或為其示例表格位

置(0, 1)，即第一列、第二行之示例表格位置)，以藉此指出邏輯頁位址 0x0001 鏈結／映射到快閃晶片 0 之區塊 0 之頁 1，其實體頁位址係為 0x0001。之後，當該主裝置傳送一指令 2 予處理單元 110 以在邏輯頁位址 0x0002 寫入資料 2 時，處理單元 110 將資料 2 與邏輯頁位址 0x0002 寫入區塊 0 之頁 2，其中資料 2 被寫入頁 2 之一資料位元組區（標示為“DBR”），且邏輯頁位址 0x0002 被寫入頁 2 之一備用位元組區（標示為“SBR”）作為備用資訊。另外，處理單元 110 將邏輯頁位址 0x0002 寫入該暫時局部頁位址鏈結表 0 之第三欄位（於本實施例中或為其示例表格位置(0, 2)，即第一列、第三行之示例表格位置)，以藉此更新鏈結／映射關係：邏輯頁位址 0x0002 鏈結／映射到快閃晶片 0 之區塊 0 之頁 2，其實體頁位址係為 0x0002。為了簡明起見，後續各頁之運作與前述相仿之處不再重複贅述。

【0031】 請參考第 2A 圖之右上角部分，在以上運作之後，一系列的邏輯頁位址{0x0002, 0x0001, 0x0002, 0x0005, 0x0003, 0x0007, 0x0010, 0x0008, ..., 0x0000, 0x0009, 0x0004}遂被寫入暫時局部頁位址鏈結表 0。當區塊 0 當中之全部資料頁（於本實施例即頁 0、1、2、...、126）均已被寫入時，處理單元 110 複製暫時局部頁位址鏈結表 0 以建立局部頁位址鏈結表 0。更明確而言，處理單元 110 將局部頁位址鏈結表 0 寫入快閃晶片 0 中的區塊 0 之該表格分區（於本實施例即區塊 0 中所剩的頁 127）。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，處理單元 110 可針對一區塊中之一部分資料頁寫入一局部頁位址鏈結表，而非針對該區塊中之全部資料頁。

【0032】 於本變化例中，在寫入一特定區塊的資料頁中之一第一部分之後，處理單元 110 可針對第一部分資料頁寫入一第一局部頁位址鏈結表，其中該第一局部頁位址鏈結表係位於該第一部分資料頁之後。在寫入該特定區塊的資料頁中之一第二部分之後，處理單元 110 可針對第二部分資料頁寫入一第二局部頁位址鏈結表。例如：該第二局部頁位址鏈結表係位於該第二部

分資料頁之後。又例如：該第二局部頁位址鏈結表係位於該特定區塊的結尾處（例如：最後一頁）。又例如：該第二局部頁位址鏈結表係位於該特定區塊之次一區塊的開始處（例如：該次一區塊的第一頁）。又例如：該第二局部頁位址鏈結表係位於該特定區塊之次一區塊的另一頁（或其它某些頁）。

【0033】 第 3A 至 3F 圖分別繪示本發明一實施例中關於記憶裝置 100 的全域頁位址鏈結表之數個範例版本。當處理單元 110 建立記憶裝置 100 之全域頁位址鏈結表時，處理單元 110 讀取分別對應於記憶裝置 100 各個區塊之該些局部頁位址鏈結表每一者，以建立該全域頁位址鏈結表。例如：於記憶裝置 100 中，若只有快閃晶片 0 之區塊 0 與 1 已被完全寫入，且若區塊 0 之局部頁位址鏈結表 0 以及區塊 1 之全域頁位址鏈結表 1 已被建立，則處理單元 110 讀取局部頁位址鏈結表 0 與 1 以建立該全域頁位址鏈結表。

【0034】 首先請參考第 3A 圖之左半部，依據本實施例，該全域頁位址鏈結表之一欄位的排列順位代表一邏輯頁位址，且此欄位之內容代表一相關的實體頁位址。例如：給定 i_L 與 j_L 分別為第 3A 圖左半部所示之全域頁位址鏈結表之示例表格位置 (i_L, j_L) 的列數與行數，並且在此二維陣列示例中 $i_L = 0, 1, \dots$ 等且 $j_L = 0, 1, \dots$ 等，則對應於第 $(i_L * 4 + j_L)$ 個欄位之示例表格位置 (i_L, j_L) 代表一邏輯頁位址 $(i_L * 4 + j_L)$ 。這只是為了說明的目的而已，並非對本發明之限制。為了便於理解，該全域頁位址鏈結表可繪示為單一行，如第 3A 圖之右半部所示；給定 i_L 仍為列數且 $i_L = 0, 1, \dots$ 等，則於該全域頁位址鏈結表的這個一維陣列示例中，對應於第 i_L 個欄位之示例表格位置 i_L 代表一邏輯頁位址 i_L 。

【0035】 在第 3A 圖左半部所示之全域頁位址鏈結表中，對應於第一欄位之示例表格位置 $(0, 0)$ （即左上角位置）代表邏輯頁位址 0x0000，對應於第二欄位之示例表格位置 $(0, 1)$ 代表邏輯頁位址 0x0001，對應於第三欄位之示例表格位置 $(0, 2)$ 代表邏輯頁位址 0x0002，對應於第四欄位之示例表格位置 $(0, 3)$ 代表邏輯頁位址 0x0003，對應於第五欄位之示例表格位置 $(1, 0)$ 代表邏輯頁位

址 0x0004，如此這般。

【0036】 當處理單元 110 建立該全域頁位址鏈結表時，處理單元 110 讀取第 2A 圖所示之局部頁位址鏈結表 0 之第一欄位並且取得邏輯頁位址 0x0002，而因此決定邏輯頁位址 0x0002 鏈結到快閃晶片 0 之區塊 0 之頁 0，其實體頁位址係 0x0000。如第 3A 圖所示，處理單元 110 將實體頁位址 0x0000（實體頁 0x0000）寫入該全域頁位址鏈結表之第三欄位（即其二維陣列示例之示例表格位置(0, 2)），以指出邏輯頁位址 0x0002（邏輯頁 0x0002）鏈結到實體頁位址 0x0000。

【0037】 接下來，處理單元 110 讀取第 2A 圖所示之局部頁位址鏈結表 0 之第二欄位並取得邏輯頁位址 0x0001，而因此決定邏輯頁位址 0x0001 鏈結到快閃晶片 0 之區塊 0 之頁 1，其實體頁位址係 0x0001。如第 3B 圖所示，處理單元 110 將實體頁位址 0x0001 寫入該全域頁位址鏈結表之第二欄位，以指出邏輯頁位址 0x0001（邏輯頁 0x0001）鏈結到實體頁位址 0x0001（實體頁 0x0001）。

【0038】 然後，處理單元 110 讀取第 2A 圖所示之局部頁位址鏈結表 0 之第三欄位並取得邏輯頁位址 0x0002，而因此判定邏輯頁位址 0x0002 鏈結到快閃晶片 0 之區塊 0 之頁 2，其實體頁位址係 0x0002。如第 3C 圖所示，處理單元 110 將實體頁位址 0x0002 寫入（或更新）至該全域頁位址鏈結表之第三欄位，以指出邏輯頁位址 0x0002（邏輯頁 0x0002）鏈結到實體頁位址 0x0002（實體頁 0x0002）。

【0039】 接下來，處理單元 110 讀取第 2A 圖所示之局部頁位址鏈結表 0 之第四欄位並取得邏輯頁位址 0x0005，而因此判定邏輯頁位址 0x0005 鏈結到快閃晶片 0 之區塊 0 之頁 3，其實體頁位址係 0x0003。如第 3D 圖所示，處理單元 110 將實體頁位址 0x0003 寫入該全域頁位址鏈結表之第六欄位，以指出邏輯頁位址 0x0005（邏輯頁 0x0005）鏈結到實體頁位址 0x0003（實體頁 0x0003）。

【0040】 之後，處理單元 110 讀取第 2A 圖所示之局部頁位址鏈結表 0 之第五欄位並取得邏輯頁位址 0x0003，而因此判定邏輯頁位址 0x0003 鏈結到快閃晶片 0 之區塊 0 之頁 4，其實體頁位址係 0x0004。如第 3E 圖所示，處理單元 110 將實體頁位址 0x0004 寫入該全域頁位址鏈結表之第四欄位，以指出邏輯頁位址 0x0003（邏輯頁 0x0003）鏈結到實體頁位址 0x0004 實體頁 0x0004）。後續各鏈結關係之相關運作與前述相仿之處不再重複贅述。於讀取第 2A 圖所示之局部頁位址鏈結表 0 之全部欄位以及將相對應的實體頁位址填入該全域頁位址鏈結表之相關的欄位之後，處理單元 110 建立該全域頁位址鏈結表，如第 3F 圖所示。

【0041】 第 4 圖繪示本發明一實施例中關於快閃晶片 0 的區塊 1 中之局部頁位址鏈結表 1。於讀取第 2A 圖所示之局部頁位址鏈結表 0 之全部欄位以及如第 3F 圖所示地將相對應的實體頁位址填入該全域頁位址鏈結表之相關的欄位之後，處理單元 110 另讀取區塊 1 中之局部頁位址鏈結表 1 以完成該全域頁位址鏈結表。請注意，於本實施例中，當區塊 1 之全部資料頁已被寫入時，處理單元 110 建立局部頁位址鏈結表 1。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，當一區塊中至少一資料頁（例如：一資料頁或複數個資料頁）已被寫入時，處理單元 110 可針對此區塊建立一局部頁位址鏈結表。於本變化例中，處理單元 110 係針對此區塊而建立該局部頁位址鏈結表，尤其是針對該至少一資料頁而建立該局部頁位址鏈結表。例如：處理單元 110 係針對少數資料頁諸如此區塊之實體頁 0 與 1 而建立該局部頁位址鏈結表，其中針對實體頁 0 與 1 之該局部頁位址鏈結表被建立且儲存於後續的實體頁，即實體頁 2。當建立（或更新）該全域頁位址鏈結表時，在處理單元 110 於此區塊之最後一頁中找不到局部頁位址鏈結表的狀況下，處理單元 110 嘗試找出此區塊中最後寫入的頁。於本變化例中，處理單元 110 由最後一頁開始往前面各頁搜尋，以找出此區塊中最後寫入的頁。於是，處理單元 110 自該區塊中之最後寫入的頁讀取該局部頁位址鏈結

表之全部欄位，並將相對應的實體頁位址填入該全域頁位址鏈結表中之相關的欄位，以完成／更新該全域頁位址鏈結表。

【0042】 依據第 4 圖所示之實施例，處理單元 110 讀取全域頁位址鏈結表 1 之第一欄位並取得邏輯頁位址 0x0006，而因此判定邏輯頁位址 0x0006 鏈結到快閃晶片 0 之區塊 1 之頁 0，其實體頁位址於本實施例中係 0x0127。如第 5A 圖所示，處理單元 110 將實體頁位址 0x0127 寫入該全域頁位址鏈結表之第七欄位以指出邏輯頁位址 0x0006（邏輯頁 0x0006）鏈結到實體頁位址 0x0127（實體頁 0x0127）。

【0043】 接下來，處理單元 110 讀取第 4 圖所示之全域頁位址鏈結表 1 之第二欄位並取得邏輯頁位址 0x0002，而因此判定邏輯頁位址 0x0002 鏈結到快閃晶片 0 之區塊 1 之頁 1，其實體頁位址係 0x0128。如第 5B 圖所示，處理單元 110 將實體頁位址 0x0128 寫入（或更新）至該全域頁位址鏈結表之第三欄位以指出邏輯頁位址 0x0002（邏輯頁 0x0002）鏈結到實體頁位址 0x0128（實體頁 0x0128）。後續各鏈結關係之相關運作與前述相仿之處不再重複贅述。於讀取該些局部頁位址鏈結表 0 與 1 之全部欄位並將相對應的實體頁位址填入該全域頁位址鏈結表之相關的欄位之後，處理單元 110 完成該全域頁位址鏈結表。

【0044】 本實施例之處理單元 110 並不藉由讀取非揮發性記憶體元件 140_0、140_1、...、與 140_N 之全部頁（或全部記憶單位）來建立該全域頁位址鏈結表，而只是藉由讀取該些被完全或部分寫入之區塊中之少數局部頁位址鏈結表，或是讀取代表該些區塊之少數局部頁位址鏈結表。因此，依據本發明所實施之記憶裝置必然具備比習知技術所實施者更佳之效率。

【0045】 依據本實施例之一變化例，在非揮發性記憶體元件 140_0、140_1、...、與 140_N 之全部資料區塊之全部資料頁被完全寫入的狀況下，處理單元 110 只讀取分別對應於該些資料區塊之該些局部頁位址鏈結表以建立該全域頁位址鏈結表。若非揮發性記憶體元件 140_0、140_1、...、與 140_N

總共具有 X_D 個資料區塊，且每一資料區塊具有 Y_D 個資料頁，處理單元 110 讀取 X_D 個局部頁位址鏈結表（其總資料量於典型狀況下係小於 X_D 頁）以建立該全域頁位址鏈結表，而非讀取 $X_D \cdot Y_D$ 頁。換言之，依據本發明建立該全域頁位址鏈結表所需時間近似於建立該全域區塊位址鏈結表所需時間。

【0046】 依據本實施例之另一變化例，在一特定區塊並非被完全寫入（即該特定區塊僅被部分寫入）的狀況下，於某一時刻該特定區塊中並沒有局部頁位址鏈結表；然而在揮發性記憶體 120 中存在針對該特定區塊之一暫時局部頁位址鏈結表。在記憶裝置 100 進行關機之前，本變化例之處理單元 110 可將該暫時局部頁位址鏈結表寫入該特定區塊。例如：在記憶裝置 100 開機並開始一起始程序之後，該主裝置可讀取儲存於該特定區塊之該局部頁位址鏈結表，以建立或更新該全域頁位址鏈結表。這只是為了說明的目的而已，並非對本發明之限制。又例如：在記憶裝置 100 開機並開始一起始程序之後，處理單元 110 可讀取先前已寫入該特定區塊之某些頁，尤其是，讀取先前已寫入該特定區塊之每一頁中的備用位元組區，以建立或更新該全域頁位址鏈結表。

【0047】 在處理單元 110 讀取寫入該特定區塊之該些頁以建立或更新該全域頁位址鏈結表的狀況下，處理單元 110 必須從該特定區塊讀取小於 Y_D 頁的資料。於是，若給定條件：非揮發性記憶體元件 140_0、140_1、...、與 140_N 總共具有 X_{FP} 個被完全寫入之區塊，且另具有一個內含 Y_{PP} 個已寫入資料頁之部分寫入區塊；則處理單元 110 為了完成該全域頁位址鏈結表所必須讀取之資料量係小於 $(X_{FP} + Y_{PP})$ 頁。因此，針對建立該全域頁位址鏈結表，依據本發明實施之記憶裝置仍具備比習知技術所實施者更佳之效率。

【0048】 依據上述之各個實施例之不同的變化例，處理單元 110 建立該全域頁位址鏈結表的時間點可於記憶裝置 100 之任一起始程序期間，或為因應使用者要求之任何時間。

【0049】 依據上述之各個實施例之不同的變化例，該全域頁位址鏈結表可

被分割為儲存於一個或多個非揮發性記憶體元件之複數個部分表格（例如：該些部分表格分別儲存於非揮發性記憶體元件 140_0、140_1、...、與 140_N）。每一分割後之部分表格可稱為副全域頁位址鏈結表。處理單元 110 可讀取該全域頁位址鏈結表之至少一個副全域頁位址鏈結表（例如：一個副全域頁位址鏈結表，一些副全域頁位址鏈結表，或全部的副全域頁位址鏈結表）並予以儲存在揮發性記憶體 120 中；其各種實施變化可依據該全域頁位址鏈結表的大小與揮發性記憶體 120 的大小來決定，或依據其它要求來決定。處理單元 110 可利用儲存於揮發性記憶體 120 之副全域頁位址鏈結表來進行上述之各個實施例所揭露之該些邏輯-至-實體位址轉換運作。

● **【0050】** 第 6 圖繪示本發明一實施例中關於非揮發性記憶體元件 140_0 的內容安排，其中如前面所述，非揮發性記憶體元件 140_0 於本實施例中係稱為快閃晶片 0。如第 6 圖所示，一頁包含複數個區段，例如：區段 0、1、2、與 3。一區段係為最小讀取單位，其於本實施例中可為 512 位元組（Byte）。換言之，在一讀取運作期間，處理單元 110 可讀取一個區段或複數個區段。

● **【0051】** 第 7A 至 7D 圖繪示本發明一實施例中關於快閃晶片 0、1、...、與 N 之實體位址；於本實施例中， $N = 3$ 且 $M = 1023$ 。由於本實施例之實體位址可落入比上述揭露之某些實施例中所使用的位址範圍[0x0000, 0xFFFF]更為寬廣的範圍；為了簡明起見，以下該些實體位址係以十進位系統來繪示。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，該些實體位址可利用十六進位系統來繪示，其中相較於以上某些實施例，該些實體位址可具有更多位數。依據本實施例之另一變化例，該些實體位址可依需要而利用另一種進位系統來繪示。

【0052】 針對該些實體區塊位址，快閃晶片 0 之第一區塊被視為快閃晶片 0 至 3 之第一區塊，且被定址（Address）為實體區塊位址 0，而因此可稱為實體區塊 0。快閃晶片 0 之最後一區塊被視為快閃晶片 0 至 3 之第 1024 個區塊，且被定址為實體區塊位址 1023，而因此可稱為實體區塊 1023。快閃晶片

1 之第一區塊被視為快閃晶片 0 至 3 之第 1025 個區塊，且被定址為實體區塊位址 1024，而因此可稱為實體區塊 1024，如此這般。快閃晶片 3 之最後一區塊被視為快閃晶片 0 至 3 之第 4096 個區塊，且被定址為實體區塊位址 4095，而因此可稱為實體區塊 4095。於本實施例中，快閃晶片 0 至 3 之區塊包含 4 組實體區塊： $\{0, 1, \dots, 1023\}$ 、 $\{1024, 1025, \dots, 2047\}$ 、 $\{2048, 2049, \dots, 3071\}$ 、與 $\{3072, 3073, \dots, 4095\}$ ，即總共 4096 個實體區塊。

【0053】 針對該些實體頁位址，實體區塊 0 之第一頁被視為快閃晶片 0 至 3 之第一頁，且被定址為實體頁位址 0，而因此可稱為實體頁 0。實體區塊 0 之最後一頁被視為快閃晶片 0 至 3 之第 128 頁，且被定址為實體頁位址 127，而因此可稱為實體頁 127。實體區塊 1 之第一頁被視為快閃晶片 0 至 3 之第 129 頁，且被定址為實體頁位址 128，而因此可稱為實體頁 128，如此這般。實體區塊 4095 之最後一頁被視為快閃晶片 0 至 3 之第 524288 頁，且被定址為實體頁位址 524287，而因此可稱為實體頁 524287。於本實施例中，快閃晶片 0 至 3 之諸頁包含 4096 組實體頁： $\{0, 1, \dots, 127\}$ 、 $\{128, 129, \dots, 255\}$ 、...、與 $\{524160, 524161, \dots, 524287\}$ ，即總共 524288 個實體頁。

【0054】 第 8 圖繪示用來管理第 7A 至 7D 圖所示之快閃晶片 0 至 3 之一資料區與一備用區 (Spare Region)。如第 8 圖所示，快閃晶片 0 至 3 在邏輯上被區分為該資料區與該備用區。該資料區係用來儲存資料，且在一開始可包含實體區塊 2、3、...、與 4095。該備用區係用來寫入新資料，其中該備用區於典型狀況下包含已被抹除的區塊，且在一開始可包含實體區塊 0 與 1。在許多存取運作之後，該備用區可在邏輯上包含不同的一組實體區塊，且該資料區可在邏輯上包含其它實體區塊。例如：在許多存取運作之後，該備用區可包含實體區塊 4094 與 4095，且該資料區可包含實體區塊 0 至 4093。於另一實施例中，該備用區可包含實體區塊 0、1024、2048、與 3096，即快閃晶片 0 至 3 中之每一快閃晶片包含在邏輯上屬於該備用區之至少一區塊。請注意，該資料區與該備用區各自的區塊數量可按照使用者／設計者需求來決

定。例如：該備用區可包含 4 個實體區塊，且該資料區可包含 4092 個實體區塊。

【0055】 於寫入運作期間，該主裝置傳送一指令 C0 予記憶裝置 100 以於對應的主裝置位址 0000008 至 0000011 寫入 4 個區段的資料 D_{S0} 至 D_{S3} 。揮發性記憶體 120 暫時地儲存資料 D_{S0} 至 D_{S3} 。處理單元 110 分析指令 C0 以執行對應於指令 C0 之寫入運作。處理單元 110 將主裝置位址 0000008 至 0000011 轉換成相關的邏輯位址。處理單元 110 將主裝置位址 0000008 除以一頁之區段數，於本實施例中即除以 4，並且取得一商數 2 與一餘數 0。商數 2 表示其邏輯頁位址係為 2，而因此邏輯頁位址 2 所指出之邏輯頁可稱為邏輯頁 2。另外，餘數 0 表示資料 D_{S0} 應被儲存於一頁之第一區段。處理單元 110 另將主裝置位址 0000008 除以一區塊之區段數，於本實施例中即除以 512，並且取得一商數 0 與一餘數 8。商數 0 表示其邏輯區塊位址係為 0，而因此邏輯區塊位址 0 所指出之邏輯區塊可稱為邏輯區塊 0。

【0056】 實作上，當該主裝置位址係以二進位系統來表示時，該些除法運作可藉由截去 (Truncate) 該主裝置位址之一部分位元 (Bit) 來進行。例如：當要將主裝置位址 0000008 除以 4 時，處理單元 110 自該主裝置位址之二進位表示法之諸位元中抽取最後兩位元，即包含最低有效位元 (Least Significant Bit, LSB) 之兩個相鄰／連續位元，以取得餘數 0，並從該二進位表示法抽取其它位元以取得商數 2。另外，當要將主裝置位址 0000008 除以 512 時，處理單元 110 可從該主裝置位址之二進位表示法抽取最後九位元，即包含最低有效位元之九個相鄰／連續位元，以取得餘數 8，並從該二進位表示法抽取其它位元以取得商數 0。因此，於本實施例中，主裝置位址 0000008 實質上包含(具有)邏輯頁位址 2 與邏輯區塊位址 0 的訊息。請注意，由於主裝置位址 0000008 固有地 (inherently) 屬於邏輯頁 2 且固有地屬於邏輯區塊 0，故本實施例之一變化例的處理單元 110 可藉由位元位移 (Bit-Shifting) 來分析主裝置位址 0000008，而非實際地進行該些除法運作。

【0057】 相仿地，本實施例之處理單元 110 決定主裝置位址、0000009、0000010、與 0000011 之邏輯頁位址均為 2（即主裝置位址 0000009、0000010、與 0000011 全部固有地屬於邏輯頁 2，或包含邏輯頁位址 2），且其諸邏輯區塊位址均為 0（即主裝置位址 0000009、0000010、與 0000011 還全部固有地屬於邏輯區塊 0，或包含邏輯區塊位址 0）。另外，資料 D_{S1} 、 D_{S2} 、與 D_{S3} 應分別被儲存於一頁之第二、第三、與第四區段。

【0058】 於本實施例中，實體區塊 0 最初被抹除且於邏輯上置於該備用區，處理單元 110 自該備用區提取（Pop）實體區塊 0，並將資料 D_{S0} 至 D_{S3} 分別寫入實體頁 0 之第一、第二、第三、與第四區段。處理單元 110 另將數值 0 記錄於本實施例之該全域頁位址鏈結表之第三欄位，以指出邏輯頁 2 鏈結到實體頁 0。第 9A 至 9D 圖分別繪示本實施例中之全域頁位址鏈結表之數個範例版本。本實施例之示例表格位置之排列係與第 3A 至 3F 圖所示者相似；因此，為了簡明起見就不贅述其細節。請參考第 9A 圖所示之全域頁位址鏈結表，實體頁位址 0 已被寫入第三欄位，其指出邏輯頁 2 鏈結到實體頁 0。另一種實施選擇是，實體頁位址 0 可被寫入其一暫時局部頁位址鏈結表之一對應的欄位以指出邏輯與實體位址的鏈結關係。然後，該全域頁位址鏈結表可對應地被更新。依據該暫時局部頁位址鏈結表更新該全域頁位址鏈結表之實施細節係與上述之各個實施例相似。為了簡明起見，以下各實施例僅繪示出該全域頁位址鏈結表被更新以反映一新的邏輯-至-實體頁位址鏈結關係（Logical-to-Physical Page Address Linking Relationship）；然而，熟悉此領域之人士於取得本發明諸實施例之教導時應可理解，該暫時局部頁位址鏈結表亦可被更新以反映該新的邏輯-至-實體頁位址鏈結關係，因此其相關敘述予以省略。

【0059】 另外，處理單元 110 在存取該些頁期間可記錄使用資訊。例如：該使用資訊包含一有效頁數量表，用來分別記錄該些區塊各自之有效頁數量。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一

變化例，該使用資訊包含一無效頁數量表，用來分別記錄該些區塊各自之無效頁數量。實作上，由於每一完全寫入區塊包含一預定數量的頁（例如：於本實施例中係 128 頁），故同一完全寫入區塊之有效頁數量與無效頁數量會彼此互補。

【0060】 依據本實施例，處理單元 110 將數值 1 記錄於該有效頁數量表之第一欄位，以指出實體區塊 0 含有 1 個有效頁（即 1 頁的有用資料；或換句話說，1 頁的有效資料）。請注意，處理單元 110 可將該全域頁位址鏈結表與該有效頁數量表儲存於揮發性記憶體 120。依此實施方式，在存取該快閃晶片期間，處理單元 110 可簡便地將該全域頁位址鏈結表與該有效頁數量表予以更新。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，在記憶裝置 100 進行關機之前，處理單元 110 可將該全域頁位址鏈結表與該有效頁數量表可從揮發性記憶體 120 讀出並予以載入／儲存於非揮發性記憶體元件 140_0、140_1、...、與 140_N 中之一個或多個非揮發性記憶體元件。尤其是，處理單元 110 可將該全域頁位址鏈結表與該有效頁數量表儲存於非揮發性記憶體元件 140_0、140_1、...、與 140_N 之一個或多個鏈結區塊（Link Block）。依此實施方式，在記憶裝置 100 進行關機時，處理單元 110 可將該全域頁位址鏈結表與該有效頁數量表可予以保存。上述之每一個鏈結區塊均為用來保存系統資訊之一特定區塊。當記憶裝置 100 下一回開機時，處理單元 110 可簡單地從該（些）鏈結區塊取得該全域頁位址鏈結表與該有效頁數量表。

【0061】 接下來，該主裝置傳送一指令 C1 予記憶裝置 100 以將 4 個區段的資料 D_{s4} 至 D_{s7} 寫入對應的主裝置位址 0000512 至 0000515。相仿地，處理單元 110 決定主裝置位址 0000512 至 0000515 之邏輯頁位址均為 128（即主裝置位址 0000512 至 0000515 全部屬於邏輯頁 128，或包含邏輯頁位址 128），且其諸邏輯區塊位址均為 1（即主裝置位址 0000512 至 0000515 還全部屬於邏輯區塊 1，或包含邏輯區塊位址 1）。另外，資料 D_{s4} 至 D_{s7} 應分別被儲存於

一頁之第一、第二、第三、與第四區段。由於實體頁 0 已被寫入，處理單元 110 將資料 D_{S4} 至 D_{S7} 分別寫入實體頁 1（其係緊隨於實體頁 0 之下一頁）之第一、第二、第三、與第四區段。處理單元 110 另將數值 1 記錄於第 9A 圖所示之全域頁位址鏈結表之第 129 個欄位中，以指出邏輯頁 128 鏈結到實體頁 1。另外，處理單元 110 將數值 2 記錄於該有效頁數量表之第一欄位（即處理單元 110 以數值 2 更新其第一欄位），以指出實體區塊 0 含有 2 個有效頁（即 2 頁的有效資料）。亦即，處理單元 110 增加實體區塊 0 之有效頁數量。這只是為了說明的目的而已，並非對本發明之限制。在該有效頁數量表被代換為上述之無效頁數量表的狀況下，處理單元 110 維持實體區塊 0 之無效頁數量的數值。

【0062】 請注意，主裝置位址 0000512 至 0000515 與主裝置位址 0000008 至 0000011 屬於不同的邏輯區塊（例如：主裝置位址 0000512 至 0000515 屬於邏輯區塊 1，而主裝置位址 0000008 至 0000011 則屬於邏輯區塊 0），然而，這些主裝置位址全部鏈結至同一實體區塊中之相關的頁，並且對應於主裝置位址 0000512 至 0000515 之資料以及對應於主裝置位址 0000008 至 0000011 之資料均被寫入同一實體區塊，於本實施例中即實體區塊 0。

【0063】 於上述狀況中，當一第一組主裝置位址（例如：主裝置位址 0000512 至 0000515）屬於一第一邏輯區塊（例如：邏輯區塊 1）且一第二組主裝置位址（例如：主裝置位址 0000008 至 0000011）屬於一第二邏輯區塊（例如：邏輯區塊 0）時，處理單元 110 可於同一實體區塊（例如：實體區塊 0）一併寫入對應於該第一組主裝置位址之資料與對應於該第二組主裝置位址之資料。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，當一第一組主裝置位址屬於一第一邏輯區塊時，處理單元 110 可將對應於該第一組主裝置位址之資料中之一第一部分與一第二部分分別寫入不同的實體區塊，其中該資料之第一部分與第二部分並不重疊。

【0064】 於本實施例中，該主裝置接著傳送一指令 C2 予記憶裝置 100 以

將 4 個區段的資料 D_{S8} 至 D_{S11} 寫入對應的主裝置位址 0000004 至 0000007。相仿地，處理單元 110 決定主裝置位址 0000004 至 0000007 之邏輯頁位址均為 1（即主裝置位址 0000004 至 0000007 全部屬於邏輯頁 1，或包含邏輯頁位址 1），且其諸邏輯區塊位址均為 0（即主裝置位址 0000004 至 0000007 全部屬於邏輯區塊 0，或包含邏輯區塊位址 0）。另外，資料 D_{S8} 至 D_{S11} 應分別被儲存於一頁之第一、第二、第三、與第四區段。由於實體頁 1 已被寫入，處理單元 110 將資料 D_{S8} 至 D_{S11} 分別寫入實體頁 2（其係緊隨於實體頁 1 之下一頁）之第一、第二、第三、與第四區段。處理單元 110 另將數值 2 記錄於第 9A 圖所示之該全域頁位址鏈結表之第二欄位，以指出邏輯頁 1 鏈結到實體頁 2。另外，處理單元 110 將數值 3 記錄於該有效頁數量表之第一欄位（即處理單元 110 以數值 3 更新其第一欄位），以指出實體區塊 0 含有 3 個有效頁（即 3 頁的有效資料）。亦即，處理單元 110 增加實體區塊 0 之有效頁數量。這只是為了說明的目的而已，並非對本發明之限制。在該有效頁數量表被代換為上述之無效頁數量表的狀況下，處理單元 110 維持實體區塊 0 之無效頁數量的數值。

【0065】 第 10A 至 10F 圖分別繪示本實施例中之有效頁數量表之數個範例版本。首先請參考第 10A 圖之左半部，該有效頁數量表之一欄位的排列順位代表一實體區塊位址，而此欄位中的內容代表一相關的有效頁數量。例如：於本實施例中，給定 i_{PBLK} 與 j_{PBLK} 分別為該有效頁數量表之示例表格位置(i_{PBLK} , j_{PBLK})當中的列數與行數，並且 $i_{PBLK} = 0, 1, \dots$ 等且 $j_{PBLK} = 0, 1, \dots$ 等，則對應於第($i_{PBLK} * 4 + j_{PBLK}$)個欄位之示例表格位置(i_{PBLK} , j_{PBLK})代表一實體區塊位址($i_{PBLK} * 4 + j_{PBLK}$)。這只是為了說明的目的而已，並非對本發明之限制。為了便於理解，該有效頁數量表可繪示為單一行，如第 10A 圖之右半部所示。給定 i_{PBLK} 仍為列數且 $i_{PBLK} = 0, 1, \dots$ 等，於該有效頁數量表之這個一維陣列示例當中，對應於第 i_{PBLK} 個欄位之示例表格位置 i_{PBLK} 代表一實體區塊位址(i_{PBLK})。於是在本實施例中執行指令 C2 之後，該全域頁位址鏈結表與該有效

頁數量表分別如第 9A 圖與第 10A 圖所示地被更新了。

【0066】 接下來，該主裝置傳送一指令 C3 予記憶裝置 100 以將 4 個區段的資料 D_{s0} 至 D_{s3} 寫入／更新於對應的主裝置位址 0000008 至 0000011。相仿地，處理單元 110 決定主裝置位址 0000008 至 0000011 之邏輯頁位址均為 2（即主裝置位址 0000008 至 0000011 全部屬於邏輯頁 2，或包含邏輯頁位址 2），且其諸邏輯區塊位址均為 0（即主裝置位址 0000008 至 0000011 全部屬於邏輯區塊 0，或包含邏輯區塊位址 0）。另外，資料 D_{s0} 至 D_{s3} 應分別被儲存於一頁之第一、第二、第三、與第四區段。由於實體頁 2 已被寫入，處理單元 110 將資料 D_{s0} 至 D_{s3} 分別寫入實體頁 3（其係緊隨於實體頁 2 之下一頁）之第一、第二、第三、與第四區段。處理單元 110 另將數值 3 記錄／更新於第 9B 圖所示之全域頁位址鏈結表之第三欄位，以指出邏輯頁 2 現在鏈結到實體頁 3。另外，處理單元 110 仍將數值 3 記錄於第 10B 圖所示之有效頁數量表之第一欄位，以指出實體區塊 0 仍含有 3 個有效頁。亦即，處理單元 110 維持實體區塊 0 之有效頁數量的數值 3 而不予改變。這只是為了說明的目的而已，並非對本發明之限制。在該有效頁數量表被代換為上述之無效頁數量表的狀況下，處理單元 110 增加實體區塊 0 之無效頁數量。

【0067】 雖然有 4 頁（即實體頁 0 至 3）已被寫入實體區塊 0，當中只有 3 個實體頁（即實體頁 1 至 3）含有有效資料。由於邏輯頁 2 之資料已被更新，實體頁 0 不含有效資料且可被視為一含有無效資料之無效頁。於是在執行指令 C3 之後，該全域頁位址鏈結表與該有效頁數量表分別如第 9B 圖與第 10B 圖所示地被更新了。

【0068】 請參考第 9C 圖與第 10C 圖，於本實施例中，假設在一些寫入運作另被進行之後，實體區塊 0 之諸頁已經全被寫入，且實體區塊 0 之有效頁數量係為 100。該主裝置傳送一指令 C4 予記憶裝置 100 以將 4 個區段的資料 D_{s0} 至 D_{s3} 寫入／更新對應的主裝置位址 0000008 至 0000011。相仿地，處理單元 110 決定主裝置位址 0000008 至 0000011 之邏輯頁位址均為 2（即主

裝置位址 0000008 至 0000011 全部屬於邏輯頁 2，或包含邏輯頁位址 2)，且其諸邏輯區塊位址均為 0（即主裝置位址 0000008 至 0000011 全部屬於邏輯區塊 0，或包含邏輯區塊位址 0）。另外，資料 D_{s0} ”至 D_{s3} ”應分別被儲存於一頁之第一、第二、第三、與第四區段。由於實體區塊 0 之全部頁已被寫入，處理單元 110 將資料 D_{s0} ”至 D_{s3} ”分別寫入實體頁 128（其係緊隨於實體頁 127 之下一頁）之第一、第二、第三、與第四區段。處理單元 110 另將數值 128 記錄／更新於第 9D 圖所示之全域頁位址鏈結表之第三欄位，以指出邏輯頁 2 現在鏈結到實體頁 128。在此，實體頁 3 不包含有效資料且可被視為一含有無效資料之無效頁。另外，處理單元 110 將數值 1 記錄於該有效頁數量表之第二欄位以指出實體區塊 1 含有 1 個有效頁（即 1 頁的有效資料），並將數值 99 記錄／更新於該有效頁數量表之第一欄位以指出實體區塊 0 現在含有 99 個有效頁（即 99 頁的有效資料）。亦即，處理單元 110 減少實體區塊 0 之有效頁數量。這只是為了說明的目的而已，並非對本發明之限制。在該有效頁數量表被代換為上述之無效頁數量表的狀況下，處理單元 110 增加實體區塊 0 之無效頁數量。

【0069】 於是在執行指令 C4 之後，該全域頁位址鏈結表與該有效頁數量表分別如第 9D 圖與第 10D 圖所示地被更新了。

【0070】 接下來，該主裝置傳送一指令 C5 予記憶裝置 100 以讀取對應於主裝置位址 0000008 至 0000011 之 4 個區段的資料。處理單元 110 分析指令 C5 以執行該讀取運作。處理單元 110 將主裝置位址 0000008 至 0000011 轉換成邏輯位址。處理單元 110 將主裝置位址 0000008 除以一頁之區段數，於本實施例中即除以 4，並且取得一商數 2 與一餘數 0。商數 2 表示其邏輯頁位址係為 2，其中邏輯頁位址 2 所指出之邏輯頁係為邏輯頁 2。另外，餘數 0 表示資料 D_{s0} 應已被儲存於一頁之第一區段。相仿地，處理單元 110 決定主裝置位址 0000009、0000010、與 0000011 之邏輯頁位址均為 2（即主裝置位址 0000009、0000010、與 0000011 全部屬於邏輯頁 2，或包含邏輯頁位址 2），

且其諸邏輯區塊位址均為 0（即主裝置位址 0000009、0000010、與 0000011 還全部屬於邏輯區塊 0，或包含邏輯區塊位址 0）。另外，對應於主裝置位址 0000008 至 00000011 之資料應已分別被儲存於一頁之第一、第二、第三、與第四區段。處理單元 110 讀取該全域頁位址鏈結表之第三欄位並取得數值 128，其指出對應於邏輯頁 2 之資料係儲存於實體頁 128。處理單元 110 讀取實體頁 128 以取得資料 D_{S0} 至 D_{S3} ，並傳送這些資料予該主裝置。

【0071】 於本實施例中，假設在另外進行許多寫入運作之後，該資料區之全部的區塊（例如：實體區塊 0 至 4093）已被完全寫入，且該備用區包含實體區塊 4094 與 4095，其中該有效頁數量表係繪示於第 10E 圖。然後，該主裝置傳送一指令 C6 予記憶裝置 100 以寫入 4 個區段的資料 D_{S12} 至 D_{S15} 。處理單元 110 自該備用區提取一實體區塊，諸如實體區塊 4094，以供寫入資料 D_{S12} 至 D_{S15} 。一般而言，建議應維持該備用區內有足夠的區塊數量。例如：備用區的最少區塊數量必須總是大於零。又例如：備用區的最少區塊數量必須在大部分時間均大於零，其中只要不妨礙記憶裝置 100 的運作，備用區的最少區塊數量可暫時為零。

【0072】 假設於本實施例中維持該備用區中足夠的區塊數量是必須的，在該備用區的區塊數量係（或將會）小於一預定值（例如：該預定值係為 2）的狀況下，處理單元 110 必須抹除該資料區中之一實體區塊，以將此抹除後的實體區塊推（Push）入該備用區。處理單元 110 搜尋該有效頁數量表並找到不包含有效資料之實體區塊 2，是因為實體區塊 2 之有效頁數量係為 0。由於實體區塊 2 具有最少有效頁數量，處理單元 110 抹除實體區塊 2 並且接著將抹除後的實體區塊 2 推入該備用區。如此，該備用區現在包含實體區塊 2 與 4095。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，一旦當實體區塊 2 之有效頁數量減少為零時，處理單元 110 可立即抹除實體區塊 2。

【0073】 依據本實施例，假設在另外進行一些寫入運作之後，實體區塊

4094 之全部頁已被寫入，其中該有效頁數量表係繪示於第 10F 圖。然後，該主裝置傳送一指令 C7 予記憶裝置 100 以寫入 4 個區段的資料 D_{S16} 至 D_{S19} 。處理單元 110 自該備用區提取一實體區塊，諸如實體區塊 4095，以供寫入資料 D_{S16} 至 D_{S19} 。

【0074】 相仿地，當偵測到該備用區的區塊數量係（或將會）小於該預定值，處理單元 110 必須抹除該資料區中之至少一實體區塊以將該（些）實體區塊推入該備用區。本實施例之處理單元 110 搜尋第 10F 圖所示之有效頁數量表並找到具有 40 頁有效資料之實體區塊 0 以及具有 50 頁有效資料之實體區塊 1，其中相較於其它實體區塊，實體區塊 0 與 1 具有最少有效頁數量。於本實施例中，處理單元 110 將實體區塊 0 與 1 的有效資料移到實體區塊 2，並更新該全域頁位址鏈結表以反映該有效資料之移動。換言之，處理單元 110 讀取實體區塊 0 與 1 中之有效資料，將該有效資料寫入實體區塊 2，並對應地將該有效資料之邏輯頁位址鏈結到已被寫入該有效資料之實體頁。於移動該有效資料之後，處理單元 110 抹除實體區塊 0 與 1，並將抹除後的實體區塊 0 與 1 推入該備用區。

【0075】 於本實施例中，當偵測到該備用區的區塊數量係小於該預定值時，處理單元 110 於典型狀況下會搜尋該有效頁數量表以找出一個或多個具有最少有效頁數量之完全寫入區塊，並抹除該（些）具有最少有效頁數量之完全寫入區塊以將該（些）完全寫入區塊推入該備用區。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，在該有效頁數量表被代換為上述之無效頁數量表的狀況下，處理單元 110 可搜尋該無效頁數量表以找出一個或多個具有最多無效頁數量之完全寫入區塊，並抹除本變化例之該（些）完全寫入區塊以將該（些）完全寫入區塊推入該備用區。

【0076】 依據本實施例，處理單元 110 已自該備用區多提取一個實體區塊予該資料區，諸如實體區塊 2，以供合併（Merge）實體區塊 0 與 1。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，只

要有一個部分寫入區塊具有足夠的空白頁 (Free Page)，處理單元 110 可將該 (些) 具有最少有效頁數量之完全寫入區塊合併到這個部分寫入區塊，其中上述之空白頁代表包含這些有效頁之區塊當中自從該區塊最近一次抹除以來尚未被寫入之頁。例如：只要這個部分寫入區塊具有足夠的空白頁以供寫入資料 D_{S16} 至 D_{S19} 以及實體區塊 0 與 1 之有效資料，處理單元 110 就可將實體區塊 0 與 1 合併到這個部分寫入區塊，諸如實體區塊 4095。又例如：只要這個部分寫入區塊具有足夠的空白頁以供寫入資料 D_{S16} 至 D_{S19} 以及實體區塊 0 之有效資料，處理單元 110 就可將實體區塊 0 合併到這個部分寫入區塊，諸如實體區塊 4095。

【0077】 實作上，處理單元 110 可將資料 D_{S16} 至 D_{S19} 寫入實體區塊 4095；並且只要實體區塊 4095 具有足夠的空白頁以供寫入資料 D_{S16} 至 D_{S19} 以及實體區塊 0 與 1 之有效資料，處理單元 110 可另將實體區塊 0 與 1 之有效資料移到實體區塊 4095。當然了，本變化例之處理單元 110 可更新該全域頁位址鏈結表以反映該有效資料之移動。相仿地，於移動該有效資料之後，處理單元 110 抹除實體區塊 0 與 1，並將抹除後的實體區塊 0 與 1 推入該備用區。

【0078】 於本實施例之其它變化例中，處理單元 110 可將 N 個實體區塊之有效資料移到 M 個實體區塊，其中 N 與 M 均為正整數，且 N 大於 M 。假設該 N 個實體區塊中總共有 K 頁的有效資料，其中 K 小於該 M 個實體區塊當中之空白頁的總數。處理單元 110 可從該 N 個實體區塊讀取該 K 頁的有效資料，抹除該 N 個實體區塊，將該 K 頁的有效資料暫存於揮發性記憶體 120，並將該 K 頁的有效資料寫入該 M 個實體區塊。請注意，一般而言，該 N 個實體區塊與該 M 個實體區塊可重疊 (例如：該 N 個實體區塊與該 M 個實體區塊均包含至少一相同的實體區塊) 或不重疊。在該 N 個實體區塊與該 M 個實體區塊不重疊 (即該 N 個實體區塊當中沒有一個屬於該 M 個實體區塊，反之亦然) 的狀況下，該 K 頁的有效資料可被寫入該 M 個實體區塊當中而不必等待抹除該 N 個實體區塊，且處理單元 110 最終可產生 $(N - M)$ 個被抹除的區

塊。當然了，處理單元 110 更新該全域頁位址鏈結表以反映該有效資料之移動。

【0079】 請注意，於本實施例之其它變化例中，處理單元 110 可記錄每一實體區塊之無效頁數量。例如：給定每一實體區塊之頁數為 128，一特定實體區塊包含 128 頁，當中包含：含有無效資料之 28 頁無效頁；以及含有有效資料之 100 頁有效頁。亦即，該特定實體區塊之無效頁數量與有效頁數量分別為 28 與 100。處理單元 110 可建立快閃晶片 0 至 3 之一無效頁數量表，並依據該無效頁數量表抹除一特定實體區塊。在上述某些變化例中，當處理單元 110 必須抹除一實體區塊時，處理單元 110 可依據該無效頁數量表選擇具有最多無效頁數量之一特定實體區塊，並抹除該特定實體區塊。實作上，在該特定實體區塊被抹除之前，其內所包含的有效資料必須被移到其它區塊。為了有效率地移動該有效資料，處理單元 110 可在該特定區塊中記錄該有效資料之一個或多個有效資料位置。尤其是，處理單元 110 可針對每一區塊建立一有效頁位置表以指出該些區塊中的一個或多個有效頁（其包含有效資料）之位置。

【0080】 第 11 圖繪示本發明一實施例中關於快閃晶片 0 至 3 的一個有效頁位置表。該有效頁位置表的示例表格位置之排列係與第 10B 至 10F 圖以及第 10A 圖右半部所示者相似；因此，為了簡明起見就不贅述其細節。於本實施例中，該有效頁位置表之每一欄位指出是否存在任何對應於一相關的實體區塊之有效頁位置。例如：本實施例之每一欄位包含分別對應於該相關的實體區塊各頁之 128 個位元。

【0081】 尤其是，該有效頁位置表的每一欄位指出對應於該相關的實體區塊之該（些）有效頁位置。一特定欄位中之每一位元指出該相關的實體區塊中之一相關的頁是否為有效或無效。例如：第 11 圖所示之有效頁位置表之第一欄位被記錄為“01011100101.....11111”，其指出實體區塊 0 中之該（些）有效頁位置。

【0082】 更明確而言，第 11 圖所示之有效頁位置表之該特定欄位中之一特定定位元的排列順位代表該相關的實體區塊中之一相關的頁之頁位址偏移（Page Address Offset）或相對頁位置（Relative Page Position）。例如：針對第 11 圖所示之有效頁位置表之第一欄位當中所記錄的位元“01011100101.....11111”，最低有效位元（Least Significant Bit, LSB）“1”指出實體區塊 0 之第一頁（即實體頁 0）係一含有有效資料之有效頁，且最高有效位元（Most Significant Bit, MSB）“0”指出實體區塊 0 之最後一頁（即實體頁 127）係一含有無效資料之無效頁，其中最低有效位元與最高有效位元之間的其它位元分別指出該相關的實體區塊中之其它實體頁之有效／無效狀態。第 11 圖所示之有效頁位置表之其它欄位與前述相仿之處不再重複贅述。於是，處理單元 110 可依據該有效頁位置表快速地移動有效頁中所包含之有效資料。

【0083】 於本實施例中，該特定欄位中之最低有效位元指出該相關的實體區塊之第一頁是否為有效頁或無效頁，且該特定欄位中之最高有效位元指出該相關的實體區塊之最後一頁是否為有效頁或無效頁。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，該特定欄位中之最低有效位元指出該相關的實體區塊之最後一頁是否為有效頁或無效頁，且該特定欄位中之最高有效位元指出該相關的實體區塊之第一頁是否為有效頁或無效頁。例如：針對第一欄位當中所記錄的位元“01011100101.....11111”，最低有效位元“1”指出實體區塊 0 之最後一頁（即實體頁 127）係一含有有效資料之有效頁，而最高有效位元“0”指出實體區塊 0 之第一頁（即實體頁 0）係一含有無效資料之無效頁，其中最低有效位元與最高有效位元之間的其它位元分別指出該相關的實體區塊中之其它實體頁之有效／無效狀態。

【0084】 於本實施例中，該特定位元之一邏輯值“1”指出該相關的頁係一有效頁，而該特定位元之一邏輯值“0”指出該相關的頁係一無效頁。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，該

特定位元之邏輯值“0”指出該相關的頁係一有效頁，而該特定位元之邏輯值“1”指出該相關的頁係一無效頁。

【0085】 另外，處理單元 110 可將該有效頁位置表儲存於揮發性記憶體 120。依此實施方式，在存取快閃晶片期間，處理單元 110 可輕易地將該有效頁位置表予以更新。這只是為了說明的目的而已，並非對本發明之限制。依據本實施例之一變化例，在記憶裝置 100 進行關機之前，處理單元 110 可將該有效頁位置表從揮發性記憶體 120 讀出並予以載入／儲存於非揮發性記憶體元件 140_0、140_1、...、與 140_N 當中的一個或多個。尤其是，處理單元 110 可將該有效頁位置表儲存於非揮發性記憶體元件 140_0、140_1、...、與 140_N 之一個或多個鏈結區塊。依此實施方式，當記憶裝置 100 進行關機時，處理單元 110 可將該有效頁位置表予以保存。於記憶裝置 100 下一回開機時，處理單元 110 可輕易地從該（些）鏈結區塊取得該有效頁位置表。

【0086】 於另一實施例中，在存取記憶裝置 100 期間，該有效頁位置表和該全域頁位址鏈結表可隨時從揮發性記憶體 120 被讀出並載入／儲存至非揮發性記憶體元件。例如：該有效頁位置表和該全域頁位址鏈結表可於每逢預定時間週期（例如：2 秒）、或於每進行一組預定存取運作（例如：100 次寫入運作）就被儲存一次。當記憶裝置 100 正要異常地關機時，最新的有效頁位置表和全域頁位址鏈結表不會從揮發性記憶體 120 被讀出並載入／儲存至非揮發性記憶體元件。然後，一旦記憶裝置 100 開機時，為了建立該有效頁位置表，處理單元 110 可搜尋在該有效頁位置表之最新的更新之後所存取之區塊並且搜尋非揮發性記憶體元件中之全域頁位址鏈結表。處理單元 110 搜尋這些區塊之每一頁中所儲存之邏輯頁位址，以建立並更新該全域頁位址鏈結表。此後，處理單元 110 可依據更新後之全域頁位址鏈結表來建立該有效頁位置表。

【0087】 相較於習知技術，本發明之方法與裝置可大幅地省下建立邏輯實體頁位址鏈結表的時間，諸如建立該全域頁位址鏈結表的時間。因此，本發

明提供較習知技術更佳的效能。

【0088】 本發明的另一好處是，本發明之方法與裝置可於存取該些頁期間記錄該使用資訊，而因此可依據該使用資訊來有效率地管理全部的區塊的使用。於是，該備用區與該資料區的安排可被優化。

【0089】 另外，以頁為基礎來管理快閃記憶體會帶來許多好處。例如：隨機寫入的速度可大幅地改善，且寫入放大索引（Write Amplification Index）可大幅地縮小。由於本發明不會導致習知技術中以頁為基礎來管理所常見的諸多副作用，故只要將本發明應用於實際的實施上，以頁為基礎來管理快閃記憶體就變得更簡易可行，且會比以區塊為基礎來管理快閃記憶體更容易了解並據以實施。

【符號說明】

【0090】

100	記憶裝置
110	處理單元
120	揮發性記憶體
130	傳輸介面
140_0, 140_1, ..., 140_N	非揮發性記憶體元件
150	匯流排

申請專利範圍

1. 一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block），該方法包含有：
提供至少一局部頁位址鏈結表（Local Page Address Linking Table）予該記憶裝置之至少一區塊，其中該至少一局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係；以及
依據該至少一局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表（Global Page Address Linking Table）；
其中提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊之步驟另包含：
針對該局部頁位址鏈結表建立一暫時局部頁位址鏈結表，其中該暫時局部頁位址鏈結表對應於該記憶裝置之寫入運作；以及
暫時地在該記憶裝置之一揮發性記憶體中儲存該暫時局部頁位址鏈結表，並且，若該區塊中一頁之一實體頁位址與一邏輯頁位址之間的任何鏈結關係改變，則更新該暫時局部頁位址鏈結表。
2. 如申請專利範圍第 1 項所述之方法，其中在該區塊中之資料頁被完全寫入之前，該暫時局部頁位址鏈結表係暫時地被儲於該揮發性記憶體且被更新。
3. 如申請專利範圍第 1 項所述之方法，其中提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊之步驟另包含：
複製該暫時局部頁位址鏈結表以建立該局部頁位址鏈結表。
4. 如申請專利範圍第 1 項所述之方法，其中該暫時局部頁位址鏈結表之一

欄位的排列順位代表一實體頁位址，且該欄位之內容代表一相關的邏輯頁位址。

5. 一種記憶裝置，包含有：

至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block）；以及

一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來提供至少一局部頁位址鏈結表（Local Page Address Linking Table）予該記憶裝置之至少一區塊，以及該至少一局部頁位址鏈結表包含複數個頁的實體頁位址與邏輯頁位址之間的鏈結關係，其中該處理單元係用來依據該至少一局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表（Global Page Address Linking Table）；

其中該處理單元針對該局部頁位址鏈結表建立一暫時局部頁位址鏈結表，其中該暫時局部頁位址鏈結表對應於該記憶裝置之寫入運作；

在該區塊中之資料頁被完全寫入之前，該處理單元暫時地在該記憶裝置之一揮發性記憶體中儲存該暫時局部頁位址鏈結表；以及

若該區塊中一頁之一實體頁位址與一邏輯頁位址之間的任何鏈結關係改變時，則該處理單元更新該暫時局部頁位址鏈結表。

6. 如申請專利範圍第 5 項所述之記憶裝置，其中在該區塊中之資料頁被完全寫入之前，該暫時局部頁位址鏈結表係暫時地被儲存於該揮發性記憶體且被更新。

7. 如申請專利範圍第 5 項所述之記憶裝置，其中該處理單元複製該暫時局部頁位址鏈結表以建立該局部頁位址鏈結表。

8. 如申請專利範圍第 5 項所述之記憶裝置，其中該暫時局部頁位址鏈結表之一欄位的排列順位代表一實體頁位址，且該欄位之內容代表一相關的邏輯頁位址。
9. 一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block），該方法包含有：
提供至少一局部頁位址鏈結表（Local Page Address Linking Table）予該記憶裝置之至少一區塊，其中該至少一局部頁位址鏈結表包含該至少一區塊之至少一實體頁位址與至少一邏輯頁位址之間的鏈結關係；以及
依據該至少一局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表（Global Page Address Linking Table）。
10. 如申請專利範圍第 9 項所述之方法，其中提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊之步驟另包含：
針對該局部頁位址鏈結表建立一暫時局部頁位址鏈結表，其中該暫時局部頁位址鏈結表對應於該記憶裝置之寫入運作。
11. 如申請專利範圍第 10 項所述之方法，其中當該區塊中至少一資料頁已被寫入時，該局部頁位址鏈結表被建立。
12. 如申請專利範圍第 10 項所述之方法，其中當該區塊中之全部資料頁已被寫入時，該局部頁位址鏈結表被建立。
13. 如申請專利範圍第 9 項所述之方法，其中該局部頁位址鏈結表之一欄位

的排列順位代表一實體頁位址，且該欄位之內容代表一相關的邏輯頁位址。

14. 如申請專利範圍第 9 項所述之方法，其中該局部頁位址鏈結表係位於該區塊。
15. 如申請專利範圍第 14 項所述之方法，另包含有：
將該局部頁位址鏈結表存入該區塊中之一預定頁。
16. 如申請專利範圍第 9 項所述之方法，其中提供至少一局部頁位址鏈結表予該記憶裝置之至少一區塊之步驟另包含：
分別提供複數個局部頁位址鏈結表予該記憶裝置之複數個區塊；
其中依據該局部頁位址鏈結表建立該記憶裝置之該全域頁位址鏈結表之步驟另包含：
依據該些局部頁位址鏈結表建立該全域頁位址鏈結表。
17. 如申請專利範圍第 16 項所述之方法，其中依據該局部頁位址鏈結表建立該記憶裝置之該全域頁位址鏈結表之步驟另包含：
讀取該些局部頁位址鏈結表中之一者以更新該全域頁位址鏈結表。
18. 如申請專利範圍第 9 項所述之方法，其中依據該局部頁位址鏈結表建立該記憶裝置之該全域頁位址鏈結表之步驟另包含：
讀取該局部頁位址鏈結表中之每一者以建立該全域頁位址鏈結表。
19. 如申請專利範圍第 9 項所述之方法，其中依據該局部頁位址鏈結表建立該記憶裝置之該全域頁位址鏈結表之步驟另包含：
自該至少一局部頁位址鏈結表讀取一第一頁之一第一實體頁位址與一第

- 一邏輯頁位址之間之一第一鏈結關係；
將該第一鏈結關係寫入該全域頁位址鏈結表；
自該至少一局部頁位址鏈結表讀取該第一頁之另一實體頁位址與該第一
邏輯頁位址之間的一第二鏈結關係；以及
將該第二鏈結關係寫入該全域頁位址鏈結表以更新該全域頁位址鏈結
表。
20. 如申請專利範圍第 19 項所述之方法，其中該至少一局部頁位址鏈結表
包含複數個局部頁位址鏈結表；以及該第一鏈結關係係讀取自該些局部
頁位址鏈結表之一第一局部頁位址鏈結表，且該第二鏈結關係係讀取自
該些局部頁位址鏈結表之一第二局部頁位址鏈結表。
21. 如申請專利範圍第 9 項所述之方法，其中該全域頁位址鏈結表之一欄位
的排列順位代表一邏輯頁位址，且該欄位之內容代表一相關的實體頁位
址。
22. 如申請專利範圍第 9 項所述之方法，其中該局部頁位址鏈結表中之邏輯
頁位址的範圍係大於該區塊中之頁數。
23. 一種記憶裝置，包含有：
至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體
元件包含複數個區塊（Block）；以及
一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一
程式碼來管理該記憶裝置，其中該處理單元係用來提供至少一局部
頁位址鏈結表（Local Page Address Linking Table）予該記憶裝置之
至少一區塊，以及該至少一局部頁位址鏈結表包含該至少一區塊之

至少一實體頁位址與至少一邏輯頁位址之間的鏈結關係；
其中該處理單元係用來依據該至少一局部頁位址鏈結表建立該記憶裝置之一全域頁位址鏈結表（Global Page Address Linking Table）。

24. 如申請專利範圍第 23 項所述之記憶裝置，其中該處理單元針對該局部頁位址鏈結表建立一暫時局部頁位址鏈結表，其中該暫時局部頁位址鏈結表對應於該記憶裝置之寫入運作。
25. 如申請專利範圍第 24 項所述之記憶裝置，其中當該區塊中至少一資料頁已被寫入時，該處理單元建立該局部頁位址鏈結表。
26. 如申請專利範圍第 24 項所述之記憶裝置，其中當該區塊中之全部資料頁已被寫入時，該處理單元建立該局部頁位址鏈結表。
27. 如申請專利範圍第 23 項所述之記憶裝置，其該局部頁位址鏈結表之一欄位的排列順位代表一實體頁位址，且該欄位之內容代表一相關的邏輯頁位址。
28. 如申請專利範圍第 23 項所述之記憶裝置，其中該局部頁位址鏈結表係位於該區塊。
29. 如申請專利範圍第 28 項所述之記憶裝置，其中該處理單元將該局部頁位址鏈結表存入該區塊中之一預定頁。
30. 如申請專利範圍第 23 項所述之記憶裝置，其中該處理單元分別提供複數個局部頁位址鏈結表予該記憶裝置之複數個區塊；以及該處理單元依據該些局部頁位址鏈結表建立該全域頁位址鏈結表。

31. 如申請專利範圍第 30 項所述之記憶裝置，其中該處理單元讀取該些局部頁位址鏈結表中之一者以更新該全域頁位址鏈結表。
32. 如申請專利範圍第 23 項所述之記憶裝置，其中該處理單元讀取該局部頁位址鏈結表中之每一者以建立該全域頁位址鏈結表。
33. 如申請專利範圍第 23 項所述之記憶裝置，其中該處理單元自該至少一局部頁位址鏈結表讀取一第一頁之一第一實體頁位址與一第一邏輯頁位址之間之一第一鏈結關係、將該第一鏈結關係寫入該全域頁位址鏈結表、自該至少一局部頁位址鏈結表讀取該第一頁之另一實體頁位址與該第一邏輯頁位址之間的一第二鏈結關係、以及將該第二鏈結關係寫入該全域頁位址鏈結表以更新該全域頁位址鏈結表。
34. 如申請專利範圍第 33 項所述之記憶裝置，其中該至少一局部頁位址鏈結表包含複數個局部頁位址鏈結表；以及該第一鏈結關係係讀取自該些局部頁位址鏈結表之一第一局部頁位址鏈結表，且該第二鏈結關係係讀取自該些局部頁位址鏈結表之一第二局部頁位址鏈結表。
35. 如申請專利範圍第 23 項所述之記憶裝置，其中該全域頁位址鏈結表之一欄位的排列順位代表一邏輯頁位址，且該欄位之內容代表一相關的實體頁位址。
36. 如申請專利範圍第 23 項所述之記憶裝置，其中該局部頁位址鏈結表中之邏輯頁位址的範圍係大於該區塊中之頁數。
37. 一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性

(Non-volatile, NV) 記憶體元件，每一非揮發性記憶體元件包含複數個區塊 (Block)，該方法包含有：

對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一有效頁數量表；

依據該有效頁數量表決定是否抹除該些區塊之一部分；以及

當該些區塊中之一特定區塊之一有效頁數量係為零時，立即抹除該特定區塊；

其中該有效頁數量表係用來記錄該些區塊各自的有效頁數量。

38. 一種記憶裝置，包含有：

至少一非揮發性 (Non-volatile, NV) 記憶體元件，每一非揮發性記憶體元件包含複數個區塊 (Block)；以及

一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一有效頁數量表，其中該處理單元依據該有效頁數量表決定是否抹除該些區塊之一部分，以及當該些區塊中之一特定區塊之一有效頁數量係為零時，該處理單元立即控制該記憶裝置抹除該特定區塊；

其中該有效頁數量表係用來記錄該些區塊各自的有效頁數量。

39. 一種記憶裝置之控制器，該記憶裝置包含至少一非揮發性 (Non-volatile, NV) 記憶體元件，每一非揮發性記憶體元件包含複數個區塊 (Block)，該控制器包含有：

一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一有效頁數

量表，其中該處理單元依據該有效頁數量表決定是否抹除該些區塊之一部分，以及當該些區塊中之一特定區塊之一有效頁數量係為零時，該處理單元立即控制該記憶裝置抹除該特定區塊；

其中該有效頁數量表係用來記錄該些區塊各自的有效頁數量。

40. 一種用來管理一記憶裝置之方法，該記憶裝置包含至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block），該方法包含有：

對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一無效頁數量表；

依據該無效頁數量表決定是否抹除該些區塊之一部分；以及

當該些區塊中之一特定區塊之一無效頁數量達到一預定值時，立即抹除該特定區塊；

其中該無效頁數量表係用來記錄該些區塊各自的無效頁數量。

41. 一種記憶裝置，包含有：

至少一非揮發性（Non-volatile, NV）記憶體元件，每一非揮發性記憶體元件包含複數個區塊（Block）；以及

一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一無效頁數量表，其中該處理單元依據該無效頁數量表決定是否抹除該些區塊之一部分，以及當該些區塊中之一特定區塊之一無效頁數量達到一預定值時，該處理單元立即控制該記憶裝置抹除該特定區塊；

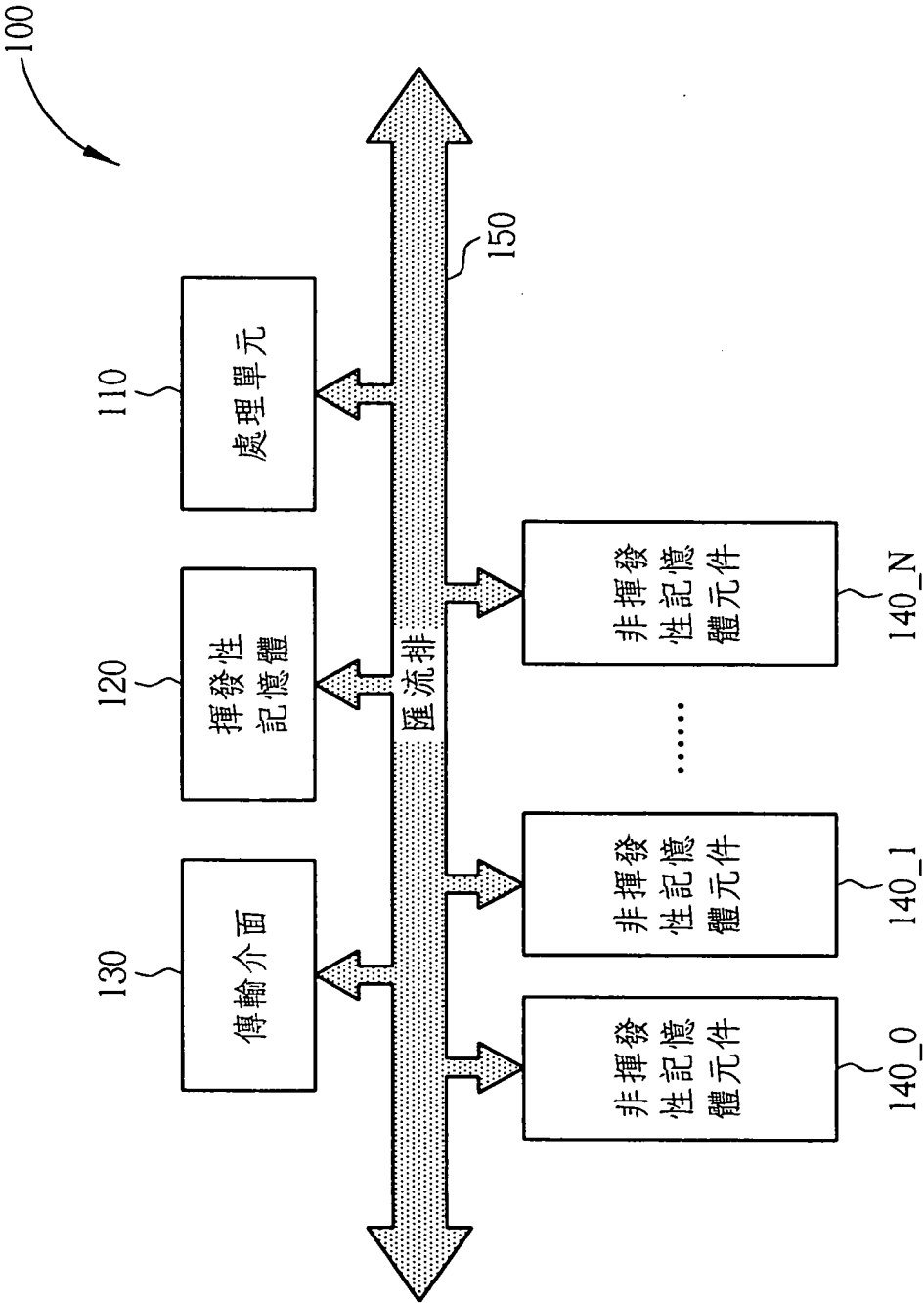
其中該無效頁數量表係用來記錄該些區塊各自的無效頁數量。

42. 一種記憶裝置之控制器，該記憶裝置包含至少一非揮發性(Non-volatile, NV)記憶體元件，每一非揮發性記憶體元件包含複數個區塊(Block)，該控制器包含有：

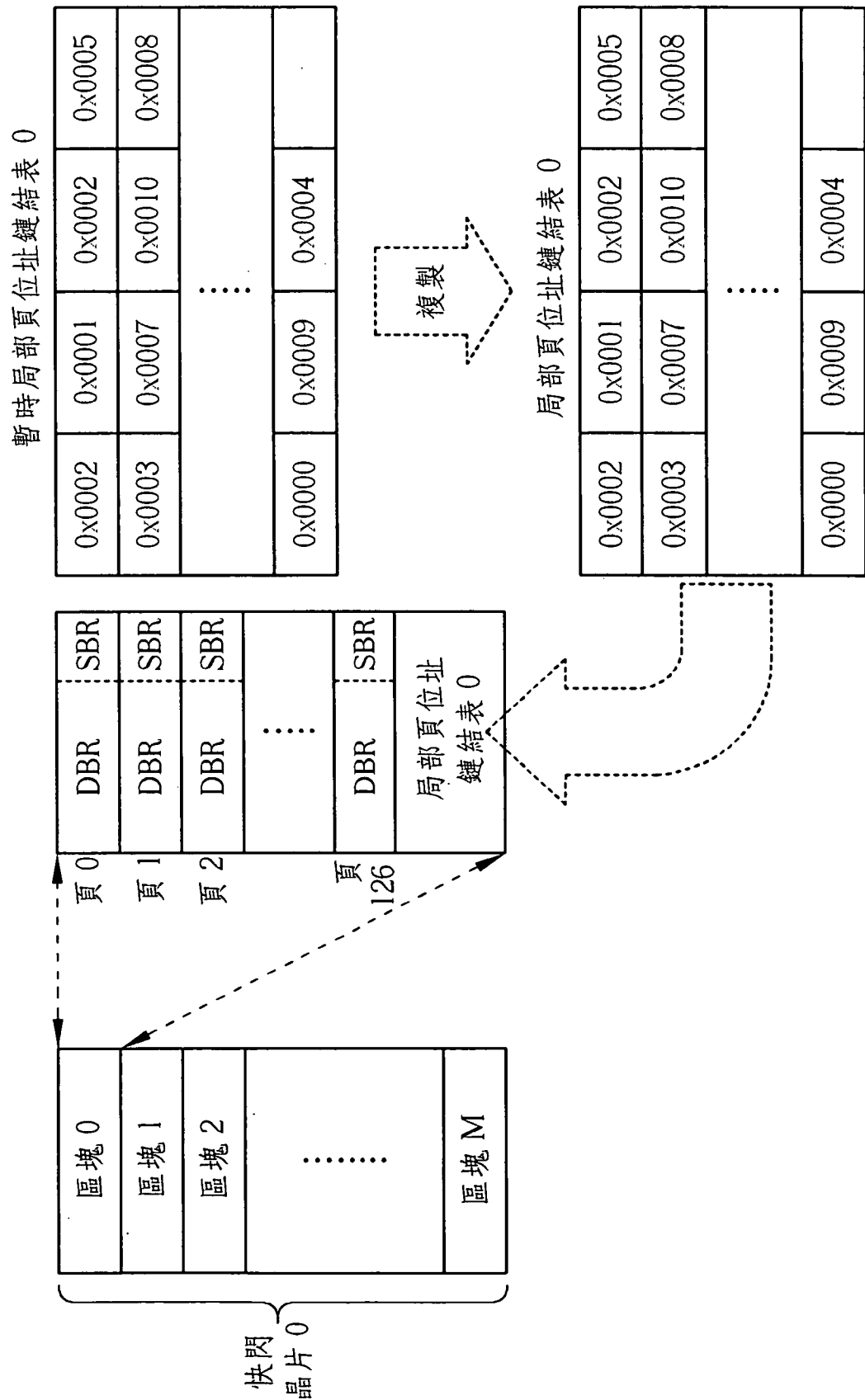
一處理單元，用來依據內嵌於該處理單元或接收自該處理單元之外之一程式碼來管理該記憶裝置，其中該處理單元係用來對應於存取該複數個區塊中之至少一區塊之諸頁，記錄該些區塊之一無效頁數量表，其中該處理單元依據該無效頁數量表決定是否抹除該些區塊之一部分，以及當該些區塊中之一特定區塊之一無效頁數量達到一預定值時，該處理單元立即控制該記憶裝置抹除該特定區塊；

其中該無效頁數量表係用來記錄該些區塊各自的無效頁數量。

圖式



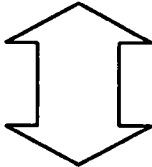
第1圖



第2A圖

局部頁位址鏈結表 0

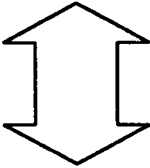
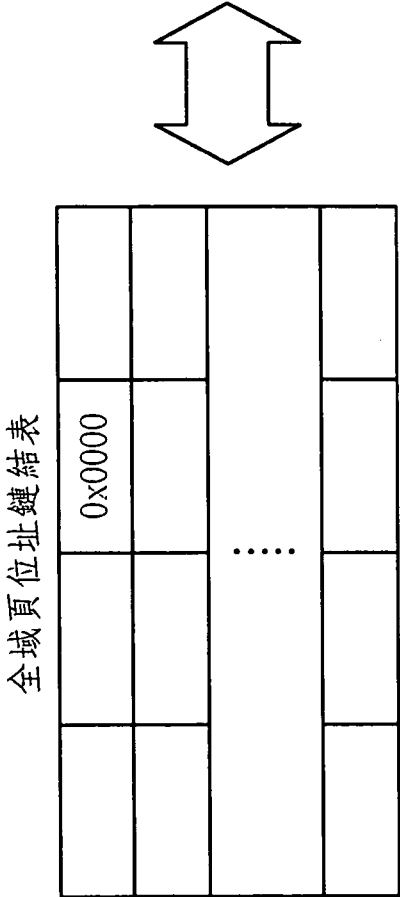
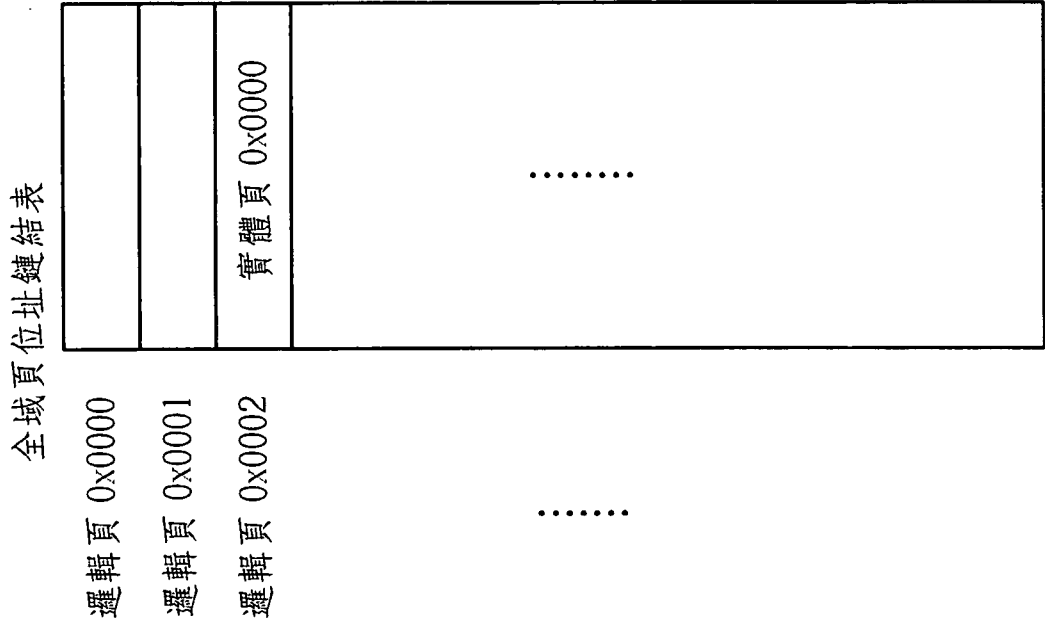
實體頁 0x0000	邏輯頁 0x0002
實體頁 0x0001	邏輯頁 0x0001
實體頁 0x0002	邏輯頁 0x0002
實體頁 0x0003	邏輯頁 0x0005
實體頁 0x0004	邏輯頁 0x0003
實體頁 0x0005	邏輯頁 0x0007
實體頁 0x0006	邏輯頁 0x0010
實體頁 0x0007	邏輯頁 0x0008
...	...
實體頁 0x0124	邏輯頁 0x0000
實體頁 0x0125	邏輯頁 0x0009
實體頁 0x0126	邏輯頁 0x0004



局部頁位址鏈結表 0

0x0002	0x0001	0x0002	0x0005
0x0003	0x0007	0x0010	0x0008
...			
0x0000	0x0009	0x0004	

第2B圖



第3A圖

全域頁位址鏈結表

邏輯頁 0x0000	
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0000
⋮	⋮

第3B圖

全域頁位址鏈結表

邏輯頁 0x0000	
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0002
⋮	⋮

第3C圖

全域頁位址鏈結表

邏輯頁 0x0000	
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0002
邏輯頁 0x0003	
邏輯頁 0x0004	
邏輯頁 0x0005	實體頁 0x0003
⋮	⋮

第3D圖

全域頁位址鏈結表

邏輯頁 0x0000	
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0002
邏輯頁 0x0003	實體頁 0x0004
邏輯頁 0x0004	
邏輯頁 0x0005	實體頁 0x0003
⋮	⋮

第3E圖

全域頁位址鏈結表

邏輯頁 0x0000	實體頁 0x0124
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0002
邏輯頁 0x0003	實體頁 0x0004
邏輯頁 0x0004	實體頁 0x0126
邏輯頁 0x0005	實體頁 0x0003
邏輯頁 0x0006	
邏輯頁 0x0007	實體頁 0x0005
⋮	⋮

第3F圖

局部頁位址鏈結表 1

實體頁 0x0127	邏輯頁 0x0006
實體頁 0x0128	邏輯頁 0x0002
實體頁 0x0129	邏輯頁 0x0101
實體頁 0x0130	邏輯頁 0x0102
實體頁 0x0131	邏輯頁 0x0103
實體頁 0x0132	邏輯頁 0x0107
實體頁 0x0133	邏輯頁 0x0110
實體頁 0x0134	邏輯頁 0x0108
⋮	⋮
實體頁 0x0251	邏輯頁 0x0100
實體頁 0x0252	邏輯頁 0x0109
實體頁 0x0253	邏輯頁 0x0104

第4圖

全域頁位址鏈結表

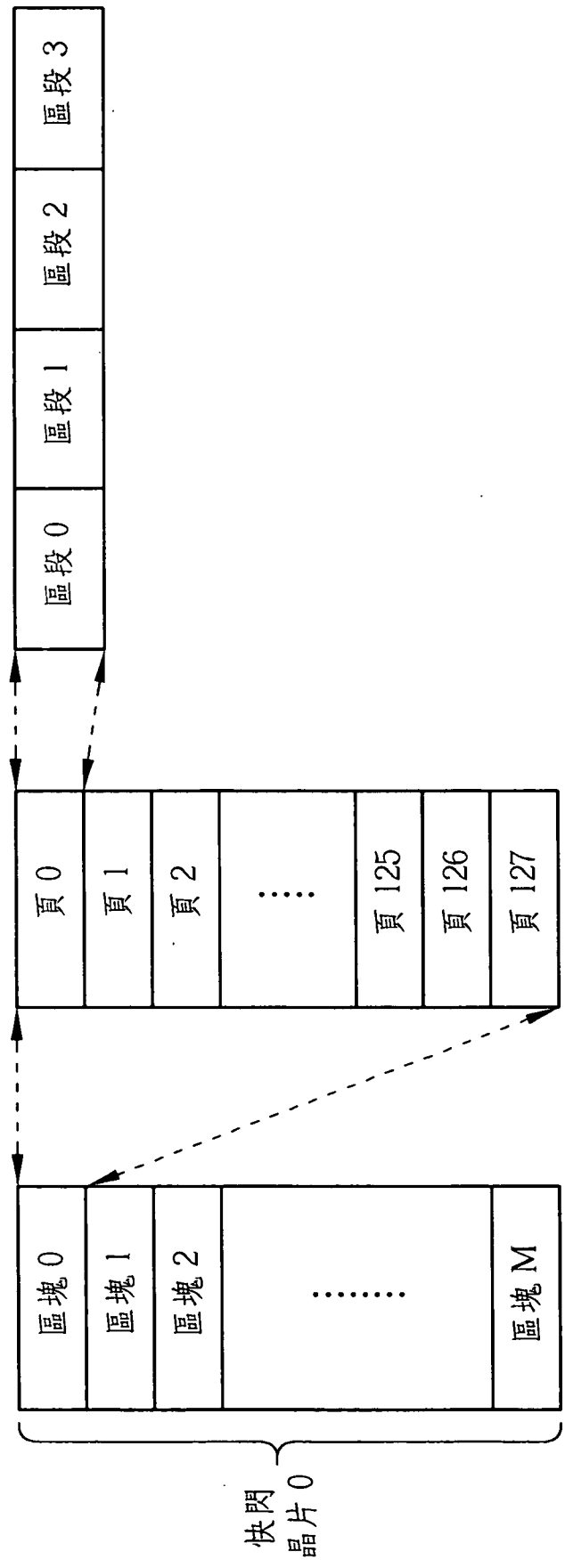
邏輯頁 0x0000	實體頁 0x0124
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0002
邏輯頁 0x0003	實體頁 0x0004
邏輯頁 0x0004	實體頁 0x0126
邏輯頁 0x0005	實體頁 0x0003
邏輯頁 0x0006	實體頁 0x0127
邏輯頁 0x0007	實體頁 0x0005
⋮	⋮

第5A圖

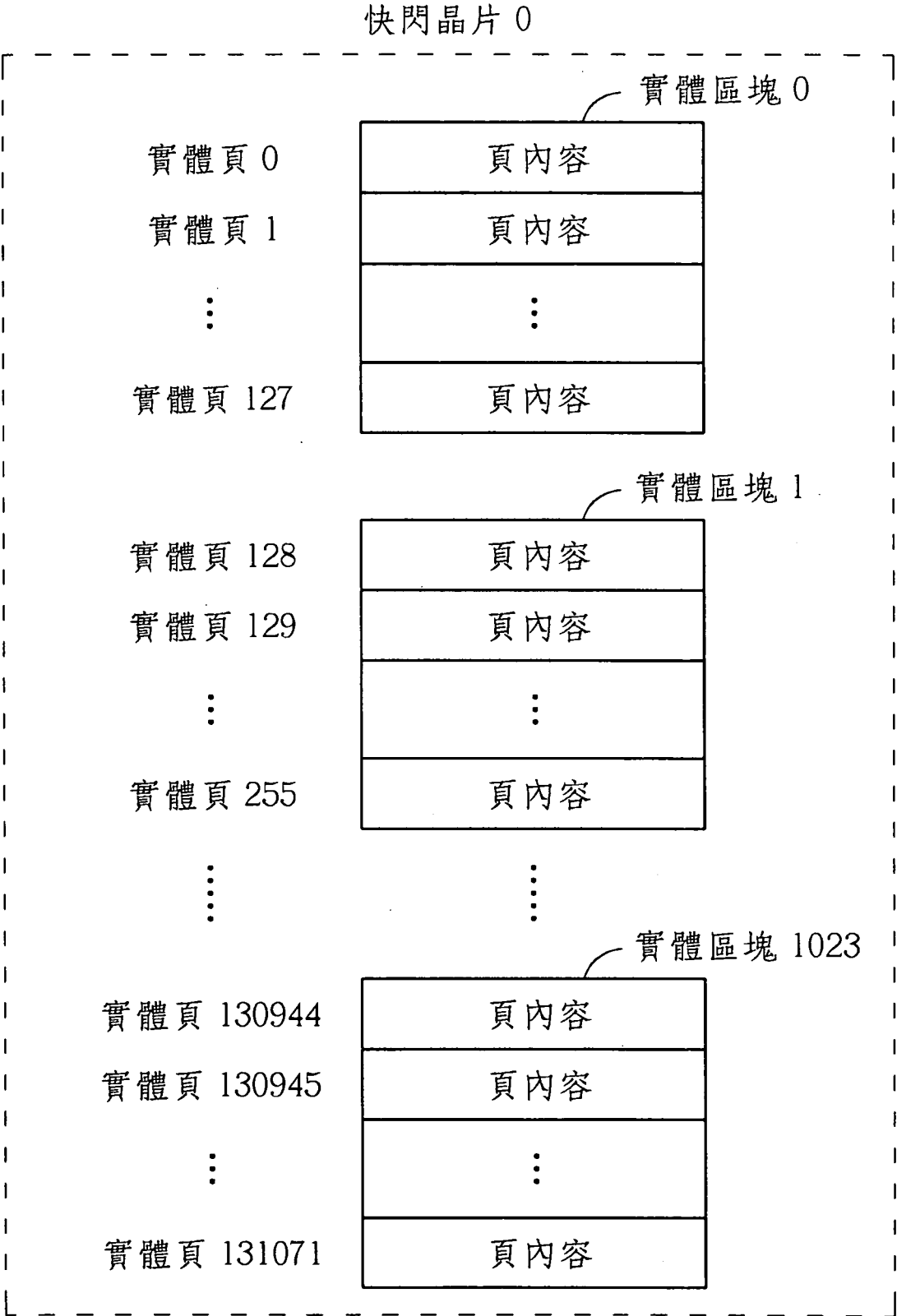
全域頁位址鏈結表

邏輯頁 0x0000	實體頁 0x0124
邏輯頁 0x0001	實體頁 0x0001
邏輯頁 0x0002	實體頁 0x0128
邏輯頁 0x0003	實體頁 0x0004
邏輯頁 0x0004	實體頁 0x0126
邏輯頁 0x0005	實體頁 0x0003
邏輯頁 0x0006	實體頁 0x0127
邏輯頁 0x0007	實體頁 0x0005
⋮	⋮

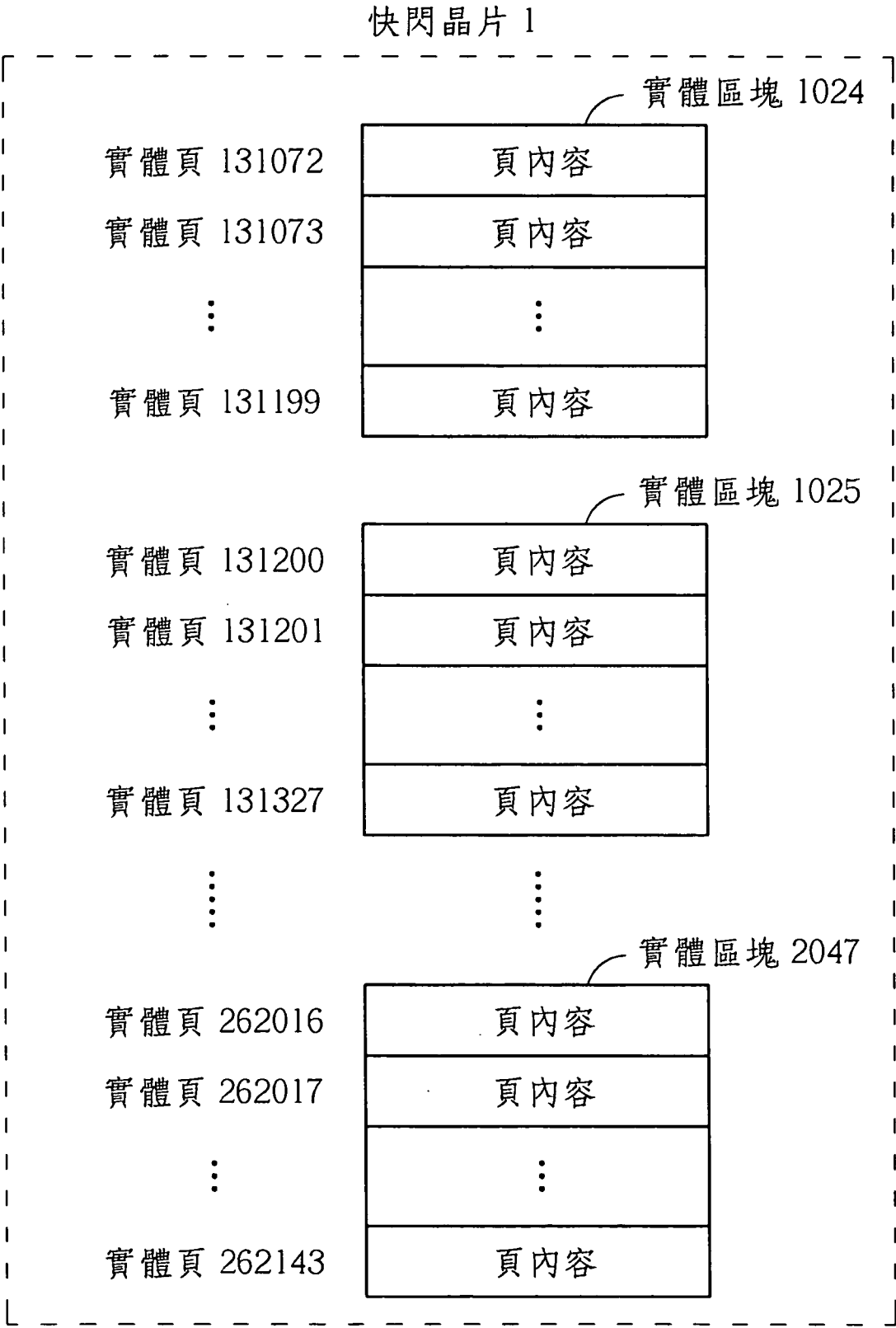
第5B圖



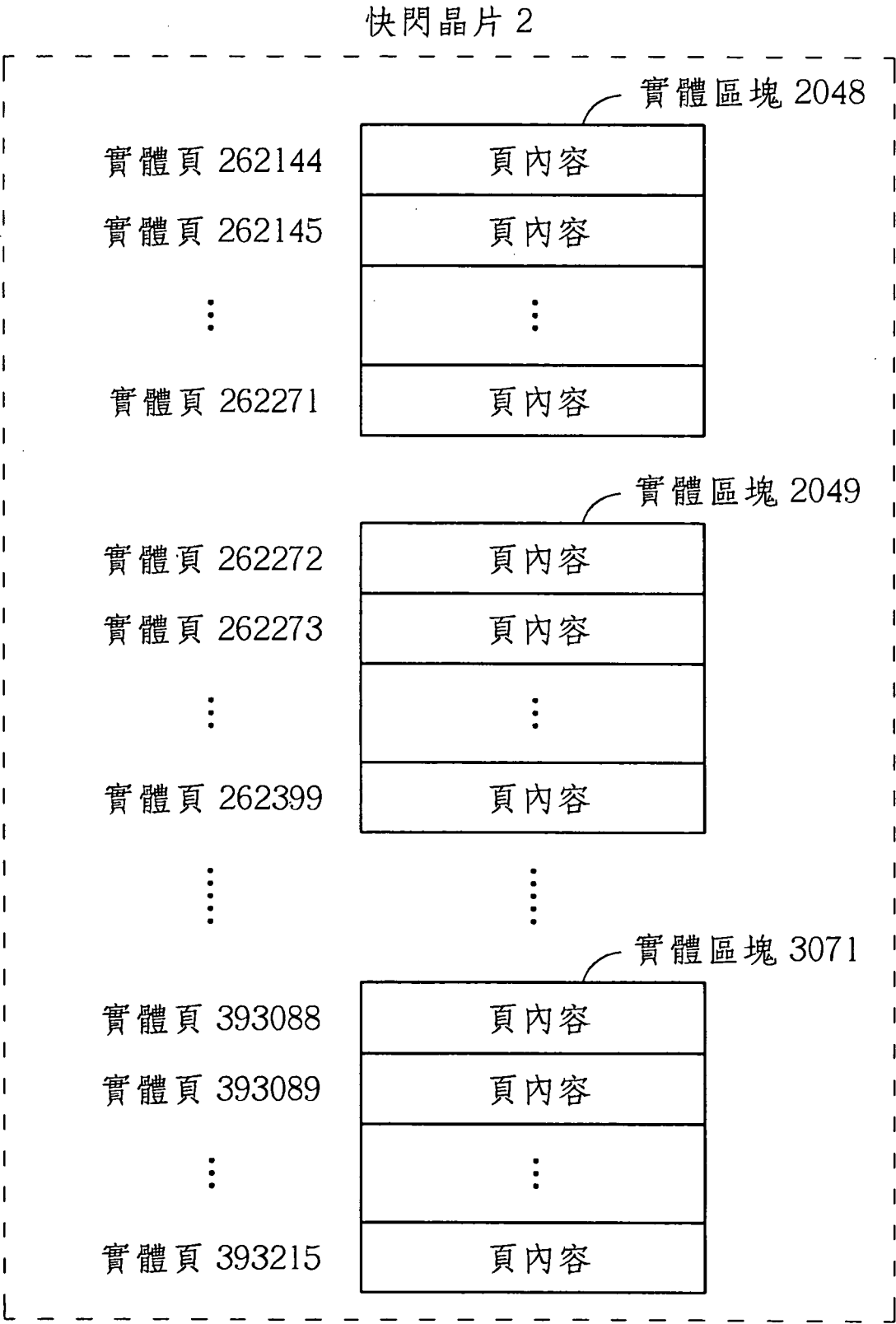
第6圖



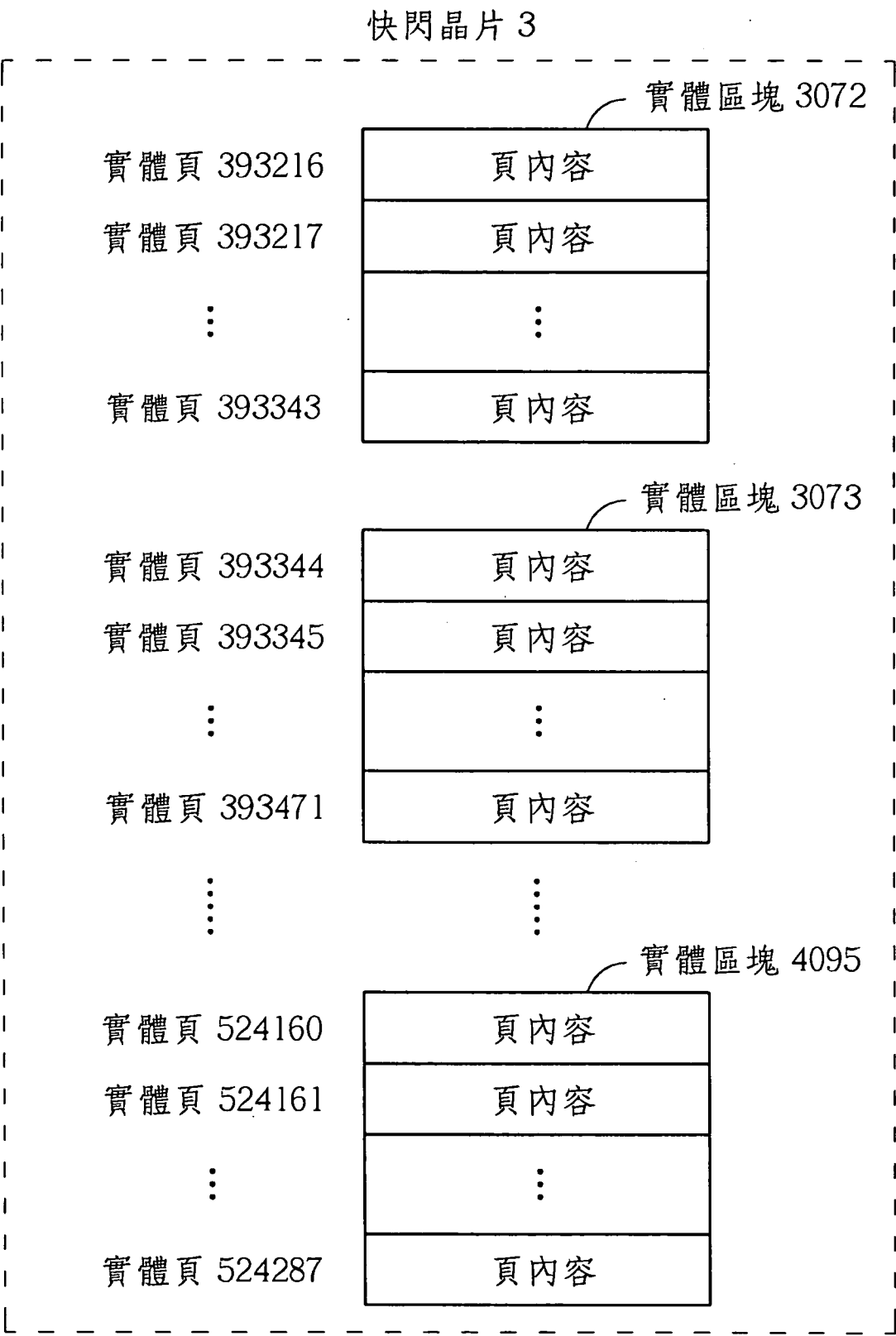
第7A圖



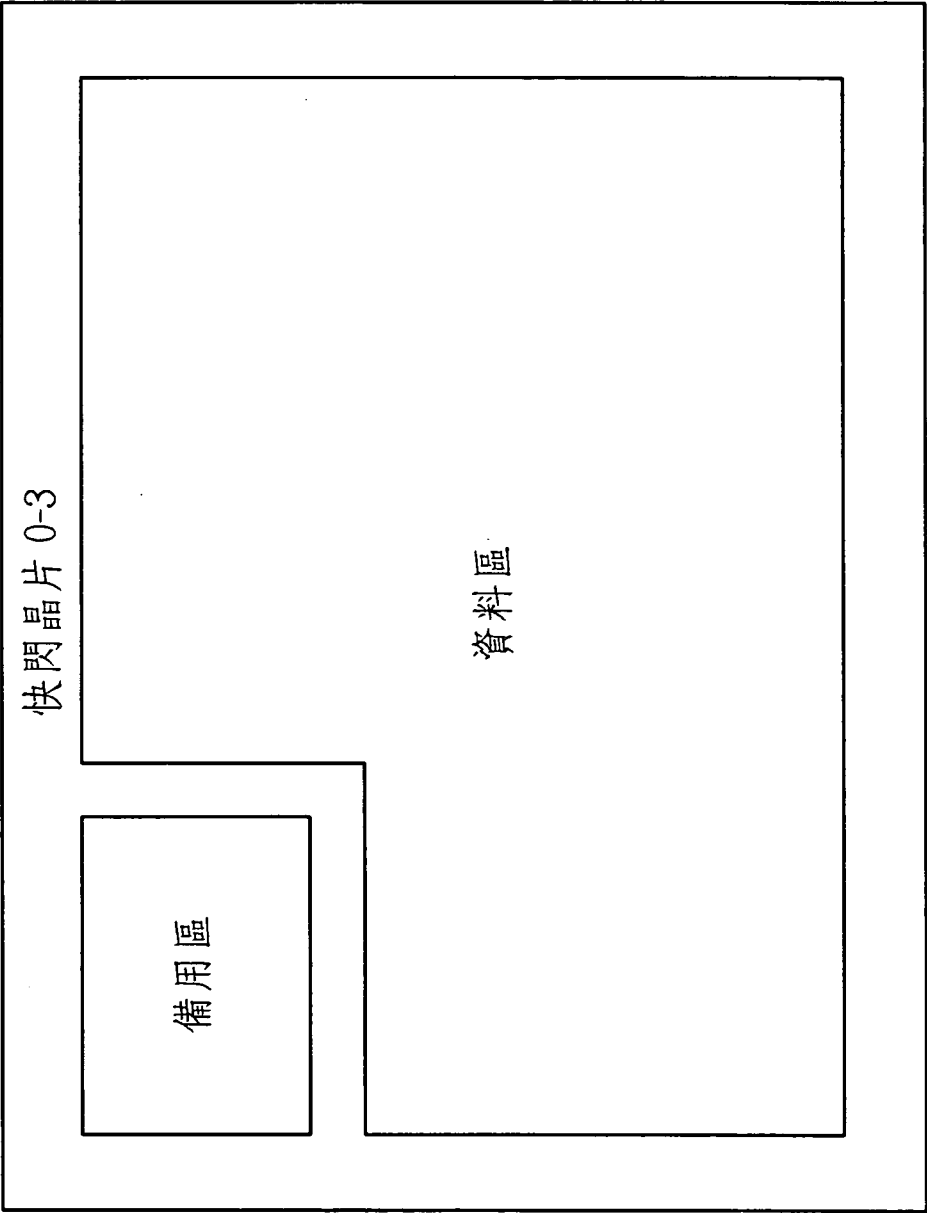
第7B圖



第7C圖



第7D圖



第8圖

全域頁位址鏈結表

邏輯頁 0	
邏輯頁 1	實體頁 2
邏輯頁 2	實體頁 0
⋮	⋮
邏輯頁 128	實體頁 1
⋮	⋮

第9A圖

全域頁位址鏈結表

邏輯頁 0	
邏輯頁 1	實體頁 2
邏輯頁 2	實體頁 3
⋮	⋮
邏輯頁 128	實體頁 1
⋮	⋮

第9B圖

全域頁位址鏈結表

邏輯頁 0	
邏輯頁 1	實體頁 2
邏輯頁 2	實體頁 3
邏輯頁 3	實體頁 127
⋮	⋮
邏輯頁 128	實體頁 1
⋮	⋮

第9C圖

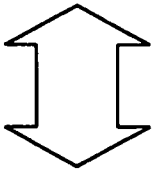
全域頁位址鏈結表

邏輯頁 0	
邏輯頁 1	實體頁 2
邏輯頁 2	實體頁 128
⋮	⋮
邏輯頁 128	實體頁 1
⋮	⋮

第9D圖

有效頁數量表

實體區塊 0	3
實體區塊 1	0
實體區塊 2	0
實體區塊 3	0
實體區塊 4	0
實體區塊 5	0
實體區塊 6	0
實體區塊 7	0
...	...
實體區塊 4088	0
實體區塊 4089	0
實體區塊 4090	0
實體區塊 4091	0
實體區塊 4092	0
實體區塊 4093	0
實體區塊 4094	0
實體區塊 4095	0



有效頁數量表

3	0	0	0
0	0	0	0
...			
0	0	0	0
0	0	0	0

第10A圖

有效頁數量表

實體區塊 0	3
實體區塊 1	0
實體區塊 2	0
實體區塊 3	0
實體區塊 4	0
實體區塊 5	0
實體區塊 6	0
實體區塊 7	0
⋮	⋮
實體區塊 4088	0
實體區塊 4089	0
實體區塊 4090	0
實體區塊 4091	0
實體區塊 4092	0
實體區塊 4093	0
實體區塊 4094	0
實體區塊 4095	0

第10B圖

有效頁數量表

實體區塊 0	100
實體區塊 1	0
實體區塊 2	0
實體區塊 3	0
實體區塊 4	0
實體區塊 5	0
實體區塊 6	0
實體區塊 7	0
⋮	⋮
實體區塊 4088	0
實體區塊 4089	0
實體區塊 4090	0
實體區塊 4091	0
實體區塊 4092	0
實體區塊 4093	0
實體區塊 4094	0
實體區塊 4095	0

第10C圖

有效頁數量表

實體區塊 0	99
實體區塊 1	1
實體區塊 2	0
實體區塊 3	0
實體區塊 4	0
實體區塊 5	0
實體區塊 6	0
實體區塊 7	0
⋮	⋮
實體區塊 4088	0
實體區塊 4089	0
實體區塊 4090	0
實體區塊 4091	0
實體區塊 4092	0
實體區塊 4093	0
實體區塊 4094	0
實體區塊 4095	0

第10D圖

有效頁數量表

實體區塊 0	99
實體區塊 1	100
實體區塊 2	0
實體區塊 3	87
實體區塊 4	98
實體區塊 5	119
實體區塊 6	110
實體區塊 7	77
⋮	⋮
實體區塊 4088	65
實體區塊 4089	109
實體區塊 4090	111
實體區塊 4091	88
實體區塊 4092	86
實體區塊 4093	95
實體區塊 4094	0
實體區塊 4095	0

第10E圖

有效頁數量表

實體區塊 0	40
實體區塊 1	50
實體區塊 2	0
實體區塊 3	87
實體區塊 4	98
實體區塊 5	119
實體區塊 6	110
實體區塊 7	77
⋮	⋮
實體區塊 4088	65
實體區塊 4089	109
實體區塊 4090	111
實體區塊 4091	88
實體區塊 4092	86
實體區塊 4093	95
實體區塊 4094	91
實體區塊 4095	0

第10F圖

有效頁位置表

實體區塊 0	01011100101.....11111
實體區塊 1	01011100100.....11110
實體區塊 2	000000.....00000000
實體區塊 3	01011100100.....11110
實體區塊 4	01011100100.....01110
實體區塊 5	01011100100.....11110
實體區塊 6	11011100100.....11111
實體區塊 7	01011100100.....11010
⋮	⋮
實體區塊 4088	01011100100.....11010
實體區塊 4089	01111100100.....11110
實體區塊 4090	11011100100.....11110
實體區塊 4091	01011100100.....10110
實體區塊 4092	01011100100.....11100
實體區塊 4093	01010100100.....11110
實體區塊 4094	01011000100.....11110
實體區塊 4095	000000.....00000000

第11圖