

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5358734号
(P5358734)

(45) 発行日 平成25年12月4日(2013.12.4)

(24) 登録日 平成25年9月6日(2013.9.6)

(51) Int.Cl.

F I

G 1 1 C 11/15 (2006.01)

G 1 1 C 11/15 1 4 0

請求項の数 11 (全 12 頁)

(21) 出願番号	特願2012-503520 (P2012-503520)	(73) 特許権者	500373758
(86) (22) 出願日	平成22年3月25日(2010.3.25)		シーゲイト テクノロジー エルエルシー
(65) 公表番号	特表2012-522329 (P2012-522329A)		アメリカ合衆国、95014 カリフォル
(43) 公表日	平成24年9月20日(2012.9.20)		ニア州、クパチーノ、サウス・デ・アンザ
(86) 国際出願番号	PCT/US2010/028628		・ブルバード、10200
(87) 国際公開番号	W02010/117654	(74) 代理人	110001195
(87) 国際公開日	平成22年10月14日(2010.10.14)		特許業務法人深見特許事務所
審査請求日	平成25年3月15日(2013.3.15)	(72) 発明者	チェン, イラン
(31) 優先権主張番号	12/414,452		アメリカ合衆国、55437 ミネソタ州
(32) 優先日	平成21年3月30日(2009.3.30)		、エデン・プレーリー、フェートン・ドラ
(33) 優先権主張国	米国 (US)		イブ、10124
		(72) 発明者	リー, ハイ
			アメリカ合衆国、55347 ミネソタ州
			、エデン・プレーリー、フェートン・ドラ
			イブ、10124

最終頁に続く

(54) 【発明の名称】 不揮発性メモリセルの予測的予加熱

(57) 【特許請求の範囲】

【請求項 1】

第1のブロックアドレスと関連付けられる未処理不揮発性第1のメモリセルに論理状態を書込むステップと、

書込むステップの間に不揮発性第2のメモリセルに熱的前処理を同時に適用するステップとを備え、第2のメモリセルは第1のブロックアドレスに応答して選択される第2のブロックアドレスと関連付けられる、方法。

【請求項 2】

制御回路と、第1のブロックアドレスと関連付けられる未処理不揮発性第1のメモリセルと、第2のブロックアドレスと関連付けられる未処理第2の不揮発性メモリセルとを備える装置であって、制御回路は、第2のメモリセルに熱的前処理を同時に適用しながら第1のメモリセルに論理状態を書込むように構成され、第2のメモリセルは第1のブロックアドレスに応答して選択されて前記熱的前処理される、装置。

【請求項 3】

第1および第2のメモリセルはメモリセルの行および列を備えるアレイに配置され、第1のメモリセルは第1の行および第1の列上に配設され、第2のメモリセルは異なる第2の行および異なる第2の列上に位置決めされる、請求項2に記載の装置。

【請求項 4】

制御回路は、書込コマンドを受信して第1のブロックアドレスにある第1のメモリセルに論理状態を書込み、かつ第1のブロックアドレスを用いて第2のブロックアドレスを同

10

20

定して第 2 のメモリセルに対するその後の書込コマンドの将来の受信を予測するようにさらに構成される、請求項 2 に記載の装置。

【請求項 5】

第 1 のメモリセルは、第 1 のブロックアドレスを有し、かつ第 1 の複数の隣接するメモリセルを備える第 1 のアドレス指定可能メモリブロックの部分を形成し、制御回路は、第 1 の複数の隣接するメモリセルの各々への選択された論理状態の書込みを命令し、第 2 のメモリセルは、第 2 のブロックアドレスを有し、かつ第 2 の複数の隣接するメモリセルを備える第 2 のアドレス指定可能メモリブロックの部分を形成し、制御回路は、第 2 の複数の隣接するメモリセルの各々への熱的前処理電流の印加を命令する、請求項 2 に記載の装置。

10

【請求項 6】

第 1 のメモリブロックはデータ記憶アレイの第 1 の行に沿って配置され、第 2 のメモリブロックはデータ記憶アレイの異なる第 2 の行に沿って配置される、請求項 5 に記載の装置。

【請求項 7】

第 1 のブロックアドレスはブロックアドレス N として特徴付けられ、第 2 のブロックアドレスはブロックアドレス N + 1 として特徴付けられる、請求項 5 に記載の装置。

【請求項 8】

第 1 および第 2 のメモリセルはデータキャッシュ中のメモリセルとして特徴付けられ、第 1 のブロックアドレスはデータキャッシュの第 1 のキャッシュ線 N として特徴付けられ、第 2 のブロックアドレスはデータキャッシュの第 2 のキャッシュ線 N - 1 として特徴付けられる、請求項 2 に記載の装置。

20

【請求項 9】

熱的前処理の結果、第 2 のメモリセルの温度が上昇し、制御回路は、第 2 のメモリセルが上昇した前記温度を保持する間、前記第 2 のメモリセルに熱的前処理を同時に適用した後に第 2 のメモリセルに第 2 の論理状態を書込むようにさらに構成される、請求項 2 に記載の装置。

【請求項 10】

予め定められた時間間隔の終わりに制御回路に指示を与えるタイミング機構をさらに備え、制御回路は、前記指示に応答して、第 2 のメモリセルに対する前記熱的前処理のさらなる適用を打ち切る、請求項 2 に記載の装置。

30

【請求項 11】

タイミング機構は、RC 電圧減衰を用いて予め定められた時間間隔の終わりを示す抵抗 - 容量結合型 (RC) 回路を備える、請求項 10 に記載の装置。

【発明の詳細な説明】

【技術分野】

【0001】

背景

データ記憶デバイスは一般的に、高速かつ効率的な態様でデータを記憶し、検索するように動作する。いくつかの記憶デバイスは、個別のデータビットの記憶に固体メモリセルの半導体アレイを利用する。そのようなメモリセルは揮発性または不揮発性であり得る。

40

【背景技術】

【0002】

揮発性メモリセルは一般的に、動作電力がデバイスに供給され続ける限りにのみメモリに記憶されたデータを保持する一方で、不揮発性メモリセルは一般的に、動作電力の印加がなくてもメモリ中のデータ記憶を保持する。

【発明の概要】

【発明が解決しようとする課題】

【0003】

これらおよび他の種類のデータ記憶デバイスにおいて、特にメモリセルへのデータの書

50

込に関してメモリセル動作の効率を高めることが望ましいことがしばしばある。

【課題を解決するための手段】

【0004】

概要

本発明のさまざまな実施形態は、一般的に、熱的前処理を用いてスピン注入磁化反転型ランダムアクセスメモリ（S T R A M）メモリセルなどの不揮発性メモリセルにデータを書込むための方法および装置に向けられている。

【0005】

いくつかの実施形態に従うと、方法は一般的に、第1のブロックアドレスと関連付けられる未処理不揮発性第1のメモリセルに論理状態を書込むステップを備える。熱的前処理は、第1のブロックアドレスに 응답して選択される第2のブロックアドレスと関連付けられる不揮発性第2のメモリセルに同時に適用される。

10

【0006】

さらなる実施形態に従うと、装置は一般的に、制御回路と、第1のブロックアドレスと関連付けられる未処理不揮発性第1のメモリセルと、第2のブロックアドレスに関連付けられる未処理第2の不揮発性メモリセルとを備える。制御回路は、第2のメモリセルに熱的前処理を同時に適用しつつ第1のメモリセルに論理状態を書込むように構成され、第2のメモリセルは第1のブロックアドレスに 응답して選択されて当該熱的前処理される。

【0007】

以下の詳細な考察および添付の図面に鑑みて、本発明のさまざまな実施形態を特徴付けるこれらおよび他の特徴および利点を理解することができる。

20

【図面の簡単な説明】

【0008】

【図1】本発明のさまざまな実施形態に従って構築されかつ動作される例示的なデータ記憶デバイスの一般化された機能図である。

【図2】スピン注入磁化反転型ランダムアクセスメモリ（S T R A M）メモリセルの磁性トンネル接合（M T J）の例示的な構築を示す図である。

【図3】図2に構成されるようなS T R A Mメモリセルを用いる図1のアレイの部分の概略図である。

【図4】熱的前処理ダイオードを有する、図1のアレイの部分の別の概略図である。

30

【図5】本発明のさまざまな実施形態に従うタイミング回路の概略図である。

【図6】予測的熱的前処理ルーチンのフロー図である。

【図7】いくつかの実施形態に従うデータ書込動作において選択的にメモリセルを前処理するためのタイミング図である。

【図8】さらなる実施形態に従うデータ書込動作において選択的にメモリセルを前処理するためのタイミング図である。

【図9】連想記憶装置（C A M）として構成される図1のデバイスのキャッシュメモリ構造のブロック図である。

【図10】いくつかの実施形態に従う図9のC A Mのメモリセルを選択的に前処理するためのタイミング図である。

40

【図11】いくつかの実施形態に従う図9のC A Mのメモリセルを選択的に前処理するためのタイミング図である。

【発明を実施するための形態】

【0009】

詳細な説明

図1は、本発明のさまざまな実施形態を有利に実践することができる例示的な環境を図示する、データ記憶デバイス100の機能ブロック図を提供する。デバイス100は、最上位レベルコントローラ102と、インターフェイス（I / F）回路104と、不揮発性データ記憶アレイ106とを含む。I / F回路104は、コントローラ102の命令の下で動作してアレイ106とホストデバイス（図示せず）との間でユーザデータを転送する

50

。いくつかの実施形態では、デバイスはソリッドステートドライブ（SSD）として特徴付けられ、コントローラ102はプログラマブルマイクロコントローラであり、アレイ106は不揮発性メモリセル（ユニットセル）のアレイを備える。

【0010】

アレイ106の例示的なメモリセル構築を図2に示す。図2のメモリセルは磁性トンネル接合（MTJ）110を有するスピン注入磁化反転型ランダムアクセスメモリ（STRAM）構成を有するが、他のセル構成を用いることができる。MTJ110は、固定されたレファレンス層112と、介在するトンネル（バリア）層116によって分離されるプログラマブルフリー層114（記録層）とを含む。

【0011】

レファレンス層114は、図2に示される関連の矢印で示されるような選択された方向への固定された磁化の向きを有する。この固定された磁化の向きは、別個の磁石（図示せず）へのピニングを介してなど、多数のやり方で確立できる。フリー層114は、レファレンス層114の選択された方向に平行（実線の矢印）または逆平行（点線の矢印）であり得る選択的にプログラム可能な磁性の向きを有する。

【0012】

フリー層114の磁化がレファレンス層112の磁化と実質的に同じ方向（平行）に向いている場合は、MTJ110の低抵抗状態が達成される。MTJ110を平行な低抵抗状態に向けるため、レファレンス層112の磁化方向がフリー層114の磁性の向きを設定するように書込電流がMTJ110を通過する。電子は電流の方向と反対方向に流れるので、書込電流の方向がフリー層114からレファレンス層112へ通り、電子がレファレンス層112からフリー層114に移動する。

【0013】

MTJ110の高抵抗状態は、フリー層114の磁化方向がレファレンス層112と実質的に反対の逆平行の向きで確立される。MTJ110を逆平行の抵抗状態に向けるには、スピン偏極電子が反対方向にフリー層114に流れ込むように書込電流がレファレンス層112からフリー層114へMTJ110を通過する。

【0014】

MTJのプログラマブル抵抗の各々に対して異なる論理状態が割当てられる。いくつかの実施形態では、低抵抗平行状態は論理0を表わすのに用いられ、高抵抗逆平行状態は論理1を表わすのに用いられる。MTJが複数のビットを記憶するように構成される場合、付加的なプログラム状態を用いることができる。たとえば、プログラムされた抵抗 $R_1 < R_2 < R_3 < R_4$ を、それぞれマルチビット値「00」、「01」、「10」、および「11」を記憶するのに用いることができる。

【0015】

図3は、不揮発性メモリセル120を有する、図1のアレイ106の部分を示す。各メモリセル120は、金属酸化物半導体電界効果トランジスタ（MOSFET）として特徴付けられる、スイッチングデバイス122に結合される、図2に記載されるようなMTJ110を含む。セル120は、ワード線WL124をアサートして関連のセルトランジスタ122をドレイン-ソース導通状態にすることによって個別にアクセスされる。

【0016】

プログラミング（書込）電流は、それぞれ書込電流ドライバ126、128によって生成される。書込電流は、ビット線BL130とソース線SL132との間を通過して、選択されたMTJ110を所望のプログラム状態にプログラミングする。選択されたセル120のプログラム状態を後で読出すため、関連のWL124がアサートされ、読出電流が読出電流ドライバ（別個に図示せず）を通され、セル110両端の電圧降下を確立する。この電圧降下はセンス増幅器134によって検知され、入力参照電圧 V_{REF} と比較される。センス増幅器134の出力状態（たとえば、ハイ、ロー）は、選択されたセル110のMTJ120のプログラム状態を示す。

【0017】

10

20

30

40

50

MTJ 120のプログラム状態を切換える、特に逆平行（高抵抗）状態に切換えるには、プログラミング電流の大きさが大きいものである必要があり得る。これは、比較的大きなセルトランジスタ122の使用を要する可能性があり、このことは達成可能なメモリアレイ密度を限定してしまう。大きなプログラミング電流を使用すると、アレイの動的電力消費もより高くなる結果になり得、コストの高いオンチップ電力供給システムを要し得る。

【0018】

120などのSTRAM MTJのためのスイッチング電流を以下のように表わすことができる。

【0019】

【数1】

$$\frac{J}{J_c} = 1 - \frac{K_b T}{E} \ln \frac{\tau}{\tau_0} \quad [1]$$

【0020】

式中、Jはスイッチング電流密度であり、J_cは0 Kでの臨界スイッチング電流密度であり、Eは磁性切換のためのエネルギー障壁であり、τはスイッチング時間であり、τ₀は熱的スイッチングのための試行時間であり、TはKでの温度である。スイッチング電流の低減は、駆動パルス幅の持続時間を増大させることによって吸収可能であるが、このことは全体的なデータスループットレートを低減する可能性がある。

【0021】

スイッチング電流要件を減じる別のやり方は、スイッチングイベントの前にMTJの熱的前処理または局所化加熱によってMTJの温度Tを上昇させることである。しかしながら、多数のセルに対して熱的前処理を大規模に適用すると全体的な電力要件が増大してしまう可能性があり、結果的に、実際には書込みされない多くのセルの加熱が行なわれてしまうかもしれない。

【0022】

したがって、本発明のさまざまな実施形態は一般的に、不揮発性アレイ中のメモリセルの確率的（予測的）熱的前処理を提供することに向けられる。以下に説明するように、書込動作を受ける第1のメモリセルのアドレスを用いて、近い将来に書込動作を受け得る第2のメモリセルの次のアドレスを予測する。熱的前処理は、第1のメモリセルへの状態の書込と同時に第2のメモリセルに適用される。

【0023】

このように、第2のメモリセルが後で書込動作を受ける場合、第2のメモリセルに対する書込動作は熱的に補助される。すなわち、書込動作は第2のメモリセルが上昇した温度にある間に行なわれ、これによりプログラム状態を切換えるのに要するスイッチング電流の大きさが小さくなる。

【0024】

第2のメモリセルのアドレスを用いて、熱的に前処理される第3のメモリセルに対する書込動作を予測することができ、以降も同様である。いくつかの実施形態では、この態様で熱的前処理を用いると、電流要件および書込電流パルス幅の両者を低減することができ、これはデータスループットレートの向上および減少した電力消費に繋がる。

【0025】

予測的熱的前処理は、書込データが受信されたメモリセルのアドレスに基づき得る。いくつかの実施形態では、アドレスがNである選択された論理データブロックのセルに対する書込コマンドの結果、近い将来ブロックN, N+1, N+2...に順次書込みされ得る順次書込動作が進行するという推論的予測に基づき、データブロックN+1中のセルに対する前処理の適用がなされる可能性がある。

【0026】

論理データブロックN, N+1, N+2...は、ホストレベル論理ブロックアドレス(L

10

20

30

40

50

BA)と関連付けられるデータ(たとえば512バイトのユーザデータ)のアドレス指定可能セクタなどのメモリセルの任意の好適なグループ分けであり得る。データブロックは、32KBメモリユニット中の1024バイトのデータ(32行×8192列など)または同じ行のメモリセルの部分などのアレイ中のメモリセルの行を構成し得る。データブロックは個別のセルとしても規定することができる。

【0027】

前処理されたセルは1つ以上のアレイ内の任意の選択された場所に位置することができ、前処理を受けなかった書込みセル(すなわち、「未処理」または「非前処理」セル)の初期の組に必ずしも隣接しているわけではないかもしれない。確率的に前処理されているメモリセルの組は、連続した論理アドレス、異なるワード線の論理アドレス、または単一のワード線によって接続されるセルの数未満の多数の論理アドレスを有するメモリセルを備え得る。最初の書込みブロックNは未処理であり、したがってより遅い速度および/またはより高い電流で書込まれるが、前処理されたブロックN+1などの各々はその後、より高い速度および/またはより低い電流で書込まれ、その結果、全体的にデータ転送速度がより速くなり、電力消費がより小さくなる。

【0028】

再び図3を参照して、熱的前処理は、第2(および後続の)メモリセルに比較的小さな駆動電流を印加することによってなど、多数のやり方で適用可能である。たとえば、図3の第1のMTJ110への書込動作は、関連のWLの部分的アサートによってなど、第2のMTJ110への比較的小さな電流の印加をトリガし得る。

【0029】

これに代えて、熱的前処理は、選択されるとMTJ110の温度を上昇させるように構成されるさまざまな構成要素を利用することができる。図4は、さらなる実施形態に従う図1のメモリアレイ106の部分のための構成を示す。図4の回路構成は図3に記載のものとはほぼ同様であり、同じ参照番号を同様の構成要素に用いている。

【0030】

図4では、ダイオード136などの熱的補助機構がそれぞれのMTJ110に結合され、書込動作の前のそれに対する加熱電流の印加を容易にする。ダイオード136は、ツェナーダイオード、ショットキーダイオード、およびエサキダイオードなどの、しかしこれらに限定されない任意の数の好適な形態を取ることができる。選択されたMTJ110が前処理候補として同定される場合、好適な源(図示せず)によって低レベルの電流がダイオードを通してセル120に供給され、MTJ110の局所化加熱を与える。

【0031】

多数の異なる方策を実現して熱的前処理を適用する範囲を限定することができる。いくつかの実施形態では、システムが外部信号を生成して熱処理シーケンスを終了することができる。図1の102などのコントローラは、書込コマンドおよび関連の書込データがホストから受信されるたびに先取り前処理シーケンスを維持する熱的前処理アルゴリズム(TPA)138を実現することができる。

【0032】

たとえば、書込データの各受信ブロック毎に、コントローラ102は、アレイ106に対して、熱的前処理されるべきいくつかの選択された数の付加的な連続したブロックを同定することができる、このことはホストからそれ以上書込コマンドが受信されなくなるまで継続する。コントローラ102は書込動作が終了することをアレイ106にさらに信号で知らせることができ、これによりいずれの進行中の前処理動作も終了する。

【0033】

代替的な実施形態では、タイミング制御のために、図1のカウンタ回路140で示されるものなどのようなカウンタを各メモリブロック(または複数の隣接するメモリブロック)毎に追加することができる。書込コマンドの継続した受信によりタイマを再始動させることができる、または新しいタイマを用いてカウントを開始することができる。多数のカウントされたクロックサイクルが予め定められた経過時間しきい値に達すると、適用され

10

20

30

40

50

た熱的補助を除去することができる。

【 0 0 3 4 】

図 1 のアレイ 1 0 6 中のタイミング回路 1 4 2 を介して別のタイミング制御機構を実現可能である。図 5 に示されるように、いくつかの実施形態では、タイミング回路 1 4 2 は、RC 遅延による電圧放電を検出するように一般的に動作し、減衰する RC 電圧が予め定められたしきい値に達すると熱的前処理のそれ以上の適用を終了する RC ベースの回路として特徴付けられ得る。

【 0 0 3 5 】

図 5 のタイミング回路 1 4 2 は減衰回路 1 4 4 とレベル変換器 1 4 6 とを含む。インバータ 1 4 8 はそれぞれの減衰回路 1 4 4 とレベル変換器 1 4 6 との間に結合される。減衰回路 1 4 4 は、トランジスタ 1 5 0、1 5 2 と、コンデンサ 1 5 4 とを含む。コンデンサ 1 5 4 は、レール電圧（この場合 1 . 5 V）およびワード線 WL 1 5 6 に関連して電圧 V_{CAP} を蓄積する。放電線 1 5 8 は、 $V_{DISCHARGE}$ 入力を介した接地 1 6 0 への V_{CAP} 電圧の RC 放電を容易にする。

【 0 0 3 6 】

レベル変換器 1 4 6 は、トランジスタ 1 6 2、1 6 4、1 6 6 および 1 6 8 と、レール電圧 1 . 0 V と - 1 . 0 V との間に示されるように交差接続されたインバータ 1 7 0 とを含む。コンデンサ 1 5 4 に蓄積された電圧 V_{CAP} がインバータ 1 5 0 のしきい値入力一旦下回ると、経路 1 7 2 上の出力の変化がプレチャージ動作の終了を信号で知らせる。本明細書中で企図されるようなこれらおよび他の関連のタイミング機構において経過時間間隔を予め規定することができ、データが書込まれていないあらゆる前処理されたセルの時間間隔の終わりに前処理が終了されることが認められる。これは電力消費を低減するようにさらに働く。というのも、不要な前処理電流の発生を低減することができるからである。

【 0 0 3 7 】

図 6 は、さまざまな実施形態に従って実行されるステップを一般的に図示する、予測的熱的前処理ルーチン 1 8 0 を記載する。図 6 のルーチンは、図 1 のコントローラ 1 0 2 などの好適な制御回路によって実行されることが企図される。ステップ 1 8 2 で、書込コマンドは、図 1 の 1 0 0 などのデバイスによって受信され、選択されたブロックアドレスにある選択されたブロックにある 1 0 6 などのアレイにデータを書込む。デバイスは、ステップ 1 8 4 で書込コマンドを実行し、選択されたブロックアドレスを同時に用いて、近い将来書込動作を受けるかもしれない後続のブロックアドレス（または複数のアドレス）を同定するように進める、ステップ 1 8 6。デバイスは、ステップ 1 8 4 で選択されたブロックに書込む間に、ステップ 1 8 8 で、後続のブロックアドレス（または複数のアドレス）に熱的前処理を同時に適用するように進める。

【 0 0 3 8 】

決定ステップ 1 8 8 は、付加的な書込コマンドがホストによって受信されたか否かを判断する。このコマンドは、後続のブロックアドレスまたは何らかの他のブロックアドレスに対するものであり得る。そうである場合、ルーチンはステップ 1 9 0 に移ってもよく、ここで、付加的な書込コマンドは、「選択されたブロックアドレス」にある「選択されたブロック」として扱われ、示されるようにフローが戻る。ルーチンは、付加的な書込コマンドが受信されなくなるまでこのように継続し、この時点でそれ以上の前処理が終了される、ステップ 1 9 2。

【 0 0 3 9 】

図 7 は、いくつかの実施形態に従うアレイ中の予測的前処理のための、図 6 のルーチン 1 8 0 に対応するタイミングシーケンスを与える。第 1 のメモリブロック N にデータを書込む際、熱的前処理は次のメモリブロック N + 1 および N + 2 に同時に適用される。ブロック N + 1 へのその後の書込動作の結果、ブロック N + 2 の継続した前処理 + 後続のブロック N + 3 の同時の前処理が行なわれ、以降も同様である。この処理は必要に応じて継続するまたはタイムアウトになり得る。

【 0 0 4 0 】

図 8 は代替的なタイミングシーケンスを示す。第 1 のメモリブロック N への書込動作の結果、選択された範囲のブロック N + 1、N + 2 および N + 3 に予測的熱的前処理が適用される。熱的处理は、書込動作がこれらのブロックの各々に対して実行されるまたはタイムアウト条件が宣言されるまで、これらのブロックの各々に適用されたままとなる。

【 0 0 4 1 】

なお、これらの他のブロックに対するその後の書込の実行はさらなる前処理の作業をトリガするわけではなく、たとえば、前処理されたブロック N + 1、N + 2 または N + 3 への書込は、ブロック N + 4、N + 5 などのさらなる前処理をトリガするように働かないことが留意される。むしろ、設定されたブロックの範囲はまず初期未処理ブロックアドレスに基づいて前処理され、これらのブロックに対して書込が実行されるか、または適切なタイムアウト期間の終わりに前処理が終了する。前処理を経た所与のブロックへの実際の書込は、そのブロックのさらなる前処理を終了させるように働いてもよい。しかしながら、特に複数の更新された書込が予期される（または検出される）場合は、そのようなことが必ずしも要件とされるわけではない。

【 0 0 4 2 】

図 8 の異なるブロック X への新たな書込コマンドの受信の結果、同様に、ブロック X + 1、X + 2、および X + 3 にデータが書込まれるまたはタイムアウト条件が宣言されるまで、これらに対して連続した熱的前処理が適用される。

【 0 0 4 3 】

メモリアレイ中への順次書込は、予期される増分していく書込シーケンス（たとえば、ブロック N、N + 1、N + 2、N + 3 ...）にしばしば基づくことが企図される一方で、上記方策は他の条件に適合可能であることが認められる。ブロックアドレスが減少していくシーケンス（たとえば、ブロック N、N - 1、N - 2、N - 3）が検出されてもよく、その結果、ブロックの予測的前処理はアドレスが減少していく方向に行なわれる。順番になっていない書込コマンドを受信すると、所与の範囲内の関連のブロックの十分な時間的および空間的局所性を考慮して、その範囲内の他のブロックへの予測的前処理が選択される結果となり得る。

【 0 0 4 4 】

デバイス 100 が維持するファイル割当テーブル（FAT）または他のデータ構造は、さもなければ非ローカルなアドレスを有するブロックのための論理関連性情報を与えてもよい。たとえば、所与のデータ構造は、ブロック N、N + 2、N + 6、N + 17 などのブロックのグルーピングのより高レベルの関連性を与えてもよい。このように、たとえば N + 2 などのグループ内の選択されたブロックに対する書込動作は、そのようなデータ構造（たとえば、ブロック N、N + 6、N + 17 ...）によって同定されるような他のアドレスにある他のブロックについての前処理決定をもたらし得る。

【 0 0 4 5 】

以上の考察は 106 などのメモリアレイ中のセルに対する予測的書込前処理の適用を企図したが、そのような前処理はキャッシュなどの他の種類のメモリ構造中のセルに容易に適用可能である。認められるように、100 などのデバイスはそのようなキャッシュを利用して、ホストとアレイ 106 との間の転送の際にデータの間接記憶を提供することができる。

【 0 0 4 6 】

1 つのそのようなキャッシュは I / F 104 中のデータバッファであり得、これは、アレイ 106 への符号化および記憶を待っている入力ユーザデータを一時的に記憶し、ホストへの転送を待っているアレイから検索されたリードバックデータを記憶する。局所化キャッシュは、L1、L2 および / または L3 キャッシュなどのコントローラレベルに設けられて、データおよび / またはプログラミング命令もしくはステータスデータなどの情報を制御してもよい。

【 0 0 4 7 】

10

20

30

40

50

図9は、連想記憶装置(CAM)構成を有する連想記憶200(キャッシュ)の機能的表示を与える。CAMベースの連想記憶は、コンピュータシステムキャッシュ、ネットワークルータ、およびさまざまな埋込アプリケーションなどの多数の適用例における広範な使用を見出した。

【0048】

キャッシュ200は、各々がインデックスフィールド202およびワードデータフィールド204を有する多数のキャッシュ線(行)を有するように配置される。インデックスフィールド202は、フィールド204中の関連のワードデータの識別子として働くタグデータを記憶する。タグデータは任意の数の所望の形態を取ることができ、(アレイ106などのメモリ中の別の場所のブロックアドレスなどの)ワードデータの何らかの他のアドレスと関連付けられるマルチビット値として表現することができる。

10

【0049】

キャッシュ200は一般的に、それぞれのインデックスフィールド202中のタグデータと迅速に比較される入力サーチデータを証明することによって、データ検索動作の際にアクセスされる。一致が見つかり、関連のワードデータフィールド204から対応のワードデータが出力される。キャッシュ200のサイズおよび配置に依存して、単一のクロックサイクルにわたってサーチを実行することができ、CAM構造を多くの他のハードウェアまたはソフトウェアベースのサーチシステムよりも高速にする。

【0050】

200などのキャッシュ中のデータにはしばしば、データが記憶されるキャッシュ中の場所に対する時間的局所性が与えられる。これは、データが与えられたシーケンスに関連して、データがキャッシュ内で順に順序付けられ得るからである。さらに、複数のデータ行は、負荷要件に依存して、データ群がキャッシュに移動されるのと同時にキャッシュされてもよい。このように、特定のキャッシュ線に対する書込動作の後に、近い将来、書込まれたキャッシュ線に先行するおよび/またはその後続のキャッシュ線に対してその後の書込動作が行なわれてもよい。

20

【0051】

図10のタイミング図に従って、200などのキャッシュに前処理を適用可能である。図10では、書込コマンドが実行され、選択されたワードデータ線204に新たなデータが書込まれる。これらのデータは、本明細書中ではアドレスNと称される関連のブロックアドレスを有する。アドレスNは、局所化キャッシュアドレス(たとえばインデックスフィールド202を介した行インジケータ)であってもよく、または、ホストレベルのLBA、アレイレベルの行ブロックアドレスなどのグローバルブロックアドレスであってもよい。

30

【0052】

図10では、キャッシュ200中のブロックNへのデータの書込の結果、ブロックNのアドレスに先行するおよびそれに引き続くブロック、すなわちブロックN-2、N-1、N+1、およびN+2に対する予測的熱的前処理動作が同時に行なわれる。非対称範囲(たとえばブロックN-3からN+4など)を含む他の範囲を用いることができる。キャッシュ200へのデータの書込の結果、アレイ106の場合のように、既存のデータの上書きが行なわれてもよいことが認められる。

40

【0053】

ブロックN-2に対するデータのその後の書込はブロックN-3の同時前処理を開始させ、ブロックN+2に対するデータのその後の書込はブロックN+3の前処理を開始させる。以前のように、書込まれた第1のブロック(ブロックN)は未処理であり、したがってよりゆっくりである、および/またはより高い書込電流を要するが、前処理により前処理ブロックのその後の書込効率がより高くなる。図1、図4、および図5中の以上で論じたさまざまな機構138、140、および/または142などの好適なタイミング機構を用いて、書込動作が一旦停止するとさらなる前処理の作業を止める。

【0054】

50

図 11 は、200 などのキャッシュにデータを書込むための代替的なタイミングシーケンスを与える。図 11 で、未処理ブロック N に対する初期の書込の結果、ブロック N - 3 から N + 3 のより大きな範囲の前処理が行なわれる。しかしながら、これらの他のブロックへのその後の書込は、それ以上の前処理の作業をトリガしない。以前のように、前処理は能動的に終了されるまで継続する。

【0055】

当業者には認められ得るように、本明細書中に図示されるさまざまな実施形態は、前処理されたメモリセルに対するデータの書込によるメモリセル効率および精度の両者において利点を与える。将来の書込動作の予測に基づいて前処理されるべきセルのみを賢明に選択することにより、実質的な電力および時間の節約を経験することができる。タイミング機構を用いることにより、変化するデータ負荷条件にตอบสนองしてそれ以上の前処理を終了するやり方を設けることによって、電力および時間の節約がさらに与えられる。本明細書中で論じたさまざまな実施形態は数多くの潜在的な適用例を有し、ある分野の電子媒体またはデータ記憶デバイスの種類に限定されるものではない。

【0056】

添付の請求項の目的のため、「同時に」という用語などは、そのような動作が個別に異なる時間に開始または終了したとしても、時間的に重なる動作を記載する上記考察と矛盾しないと解釈される。「未処理」という用語などは、メモリセルへの書込動作直前に熱的前処理が適用されていないメモリセルを記載する上記考察と矛盾しないと解釈される。

【0057】

以上の説明において、本発明のさまざまな実施形態の数多くの特性および利点を発明のさまざまな実施形態の構造および機能の詳細とともに述べたが、この詳細な説明は例証のためのみのものであり、添付の請求項に表現される用語の広い一般的な意味によって示される全範囲に、詳細、特に本発明の原則の範囲内の部品の構造および配置の点で変更がなされてもよいことを理解すべきである。

【図 1】

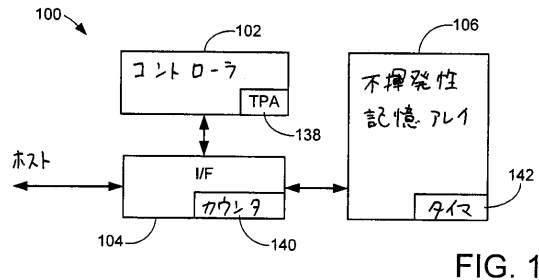


FIG. 1

【図 2】

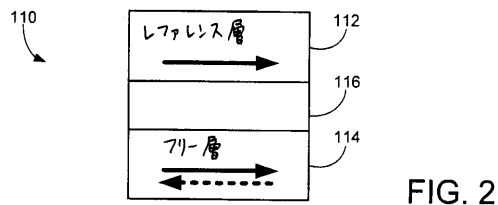


FIG. 2

【図 3】

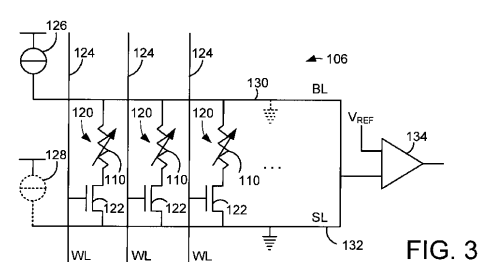


FIG. 3

【図 4】

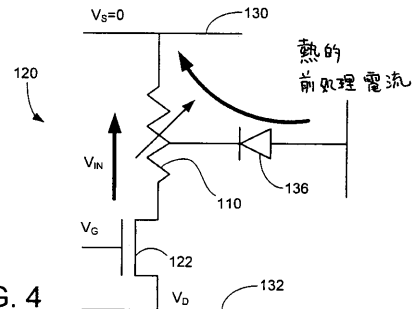


FIG. 4

【図 5】

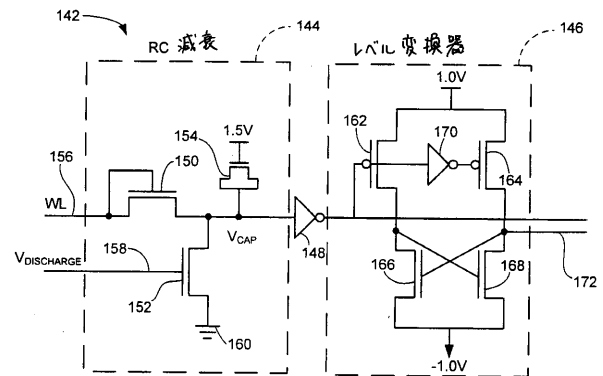


FIG. 5

10

20

【図 6】

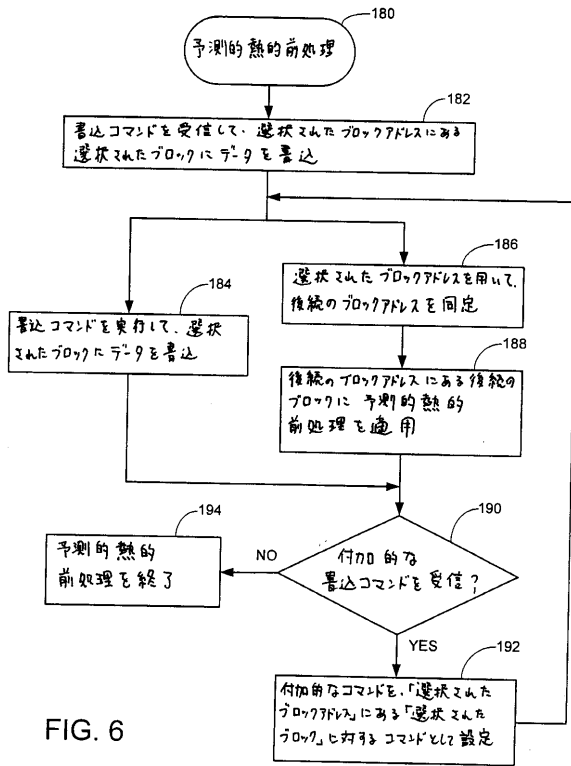


FIG. 6

【図 7】

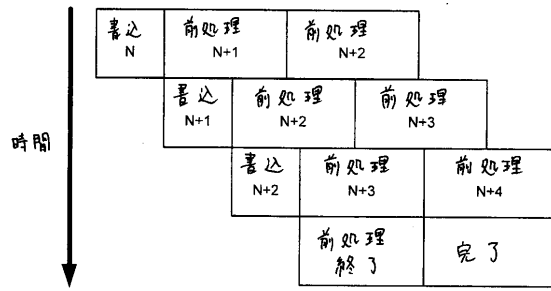


FIG. 7

【図 8】

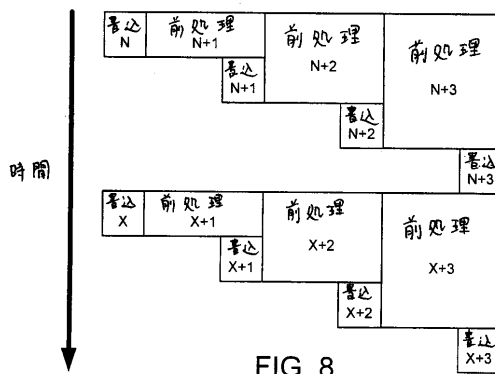


FIG. 8

【図 9】

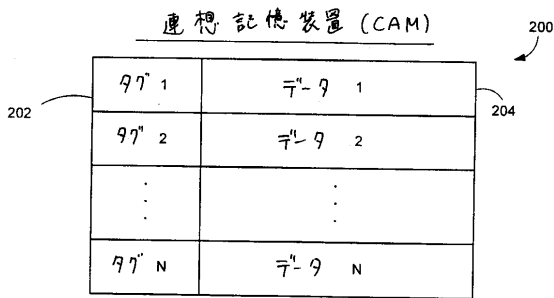


FIG. 9

【図 10】

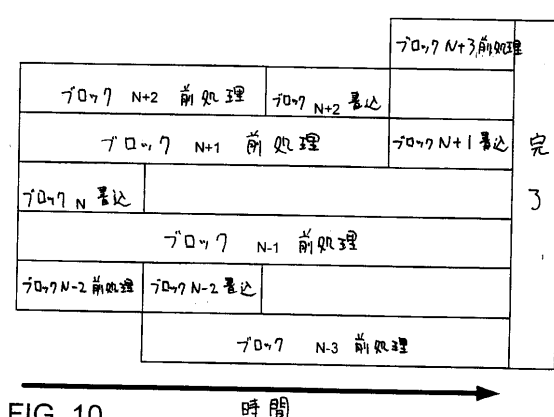


FIG. 10

【図 11】

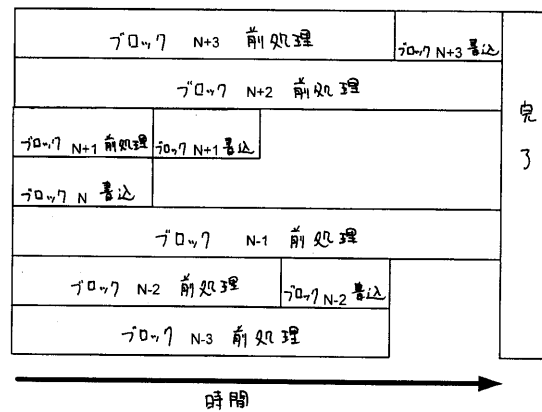


FIG. 11

フロントページの続き

- (72)発明者 リュウ, ハリー・ホンギョ
アメリカ合衆国、 5 5 3 1 1 ミネソタ州、メープル・グローブ、シックスティフィフス・アベニ
ユ・ノース、 1 8 5 4 0
- (72)発明者 ディミトロフ, ディミタル・バイ
アメリカ合衆国、 5 5 4 3 9 ミネソタ州、エディナ、シックスティエイトス・ストリート・ウェ
スト、 5 7 0 9
- (72)発明者 ワン, アラン・シュグアン
アメリカ合衆国、 5 5 3 4 6 ミネソタ州、エデン・プレーリー、アシュビー・レーン、 1 6 5 3
5
- (72)発明者 ワン, シャオピン
アメリカ合衆国、 5 5 3 1 7 ミネソタ州、チャンハッセン、ブラフ・リッジ・コート、 1 8 0

審査官 滝谷 亮一

- (56)参考文献 特開 2 0 0 2 - 2 4 5 7 7 4 (J P , A)
特開 2 0 0 4 - 1 7 2 6 1 4 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
G 1 1 C 1 1 / 1 5