ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

238723
(11) (B1)

(51) Int. Cl.[4]
G 11 C 5/02

(22) Přihlášeno 04 08 82
(21) PV 5814-82

(40) Zveřejněno 15 05 85

(45) Vydáno 16 03 87

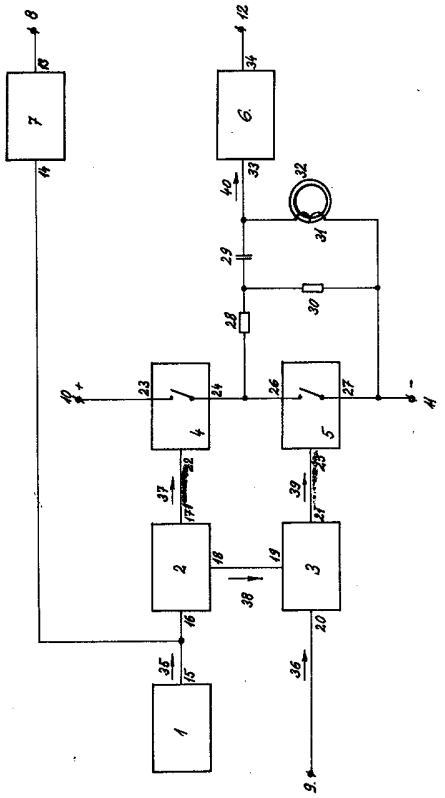
(75)
Autor vynálezu

PSOHLAVEC STANISLAV ing., KRÁLŮV DVŮR, FUKÁTKO TOMÁŠ ing., KRČEK KAREL ing., PRAHA

(54) Feritová paměť s jediným vinutím

Feritová paměť s jediným vinutím provedená tak, že umožňuje záznam i čtení informace, přičemž na feritovém jádru je umístěno pouze jediné vinutí. Paměť není v základní koncepci adresovatelná a je vhodná ke zpracování malého počtu bitů, například k uchování podstatných dat po dobu výpadku napájecího napětí. Jediné vinutí na feritovém jádru je připojeno ke kondenzátoru, k hlavnímu odporu a k vybíjecímu odporu, přičemž celý systém je vybaven doplňkovými obvody. Při vhodné volbě napájecího napětí a hodnot součástkové základny lze docílit toho, že čtené informace jsou přímo na úrovni TTL logiky.

Vynálezu se využije v nejrůznějších aplikacích feritových pamětí, zejména tam, kde je třeba uchovat podstatná data po dobu výpadku napájecího napětí. Jedná se např. o číslicově řízená zařízení, kde je zapotřebí spojit funkci počátečního nastavení, neb momentálního technologického stavu s funkcí paměti. Typickým příkladem použití je programovací jednotka automatických praček, myček, kuchynských strojů, ale i jakýchkoliv průmyslových, laboratorních, lékařských, zemědělských a ostatních zařízení, která jsou napájena síťovým napětím a pracují formou programových postupných operací.



Obr. 1

Vynález se týká feritové paměti s jediným vinutím, která umožňuje záznam i čtení informace. Paměť není adresovatelná a je vhodná ke zpracování malého počtu bitů, například k uchování podstatných dat po dobu výpadku napájecího napětí.

V praxi je používána řada pamětí s feritovými jádry. Tyto paměti jsou v současné době nejpoužívanější jakožto hlavní paměť počítačů.

Základní pracovní princip dnes používaných feritových pamětí je takový, že stejnosměrný magnetizační proud s možností reverzace prochází buď jedním, nebo současně několika magnetizačními vinutími, čímž magnetický tok v magneticky tvrdém jádru dosáhne nasyceného stavu. Jelikož magnetická remanence jádra je značná, zůstane jádro v nasyceném stavu i po zániku magnetizačního proudu. V souladu s polaritou stejnosměrného magnetizačního proudu je k dispozici i dvojkový charakter magnetizace. Třetí stav, kdy v jádru není uplatněn žádný magnetický tok, není v praxi používán. Chceme-li naopak přečíst informaci, uloženou ve feritovém jádru, přivedeme do magnetizačního vinutí procházejícího jádrem takový proud, který překlopí jádro do stavu "L". Informaci uloženou v jádru čteme pak na separátním čtecím vinutí, přičemž byla-li v jádru uložena informace "H", projeví se tato situace po zavedení čtecího proudu indukovaným impulsem a byla-li v jádru uložena původní informace "L", nenastává prakticky využitelná změna magnetického toku v jádru a impuls ve čtecím vinutí je rovněž nulový. Čtením došlo v každém případě k výmazu informace.

V paměti jsou feritová jádra uspořádána většinou do matic. Každým jádrem je pak protaženo několik vodičů, kterými provádíme operace "zápis" a "čtení" informace obsažené v jednotlivých jádrech. Ať se již jedná o uspořádání feritových pamětí s tzv. koincidenčním, adresovým, či jiným výběrem, vždy zůstává skutečností, že každé jádro obsahuje minimálně dva magnetizační, neb čtecí vodiče. V běžné praxi je však těchto vodičů více a technologie výroby těchto pamětí včetně následného zapojování jsou obtížné. Relativně náročná jsou i související obvodová zapojení. I při maximálním zjednodušení běžně využívaných principů vychází feritové paměti pro několik bitů neúměrně složité a drahé.

Tyto nedostatky odstraňuje feritová paměť s jediným vinutím podle vynálezu. Podstata vynálezu spočívá v tom, že vinutí feritového jádra je svými konci připojeno k sériové kombinaci kondenzátoru a vybíjecího odporu s tím, že do stykového místa kondenzátoru a vybíjecího odporu je jedním koncem ještě připojen hlavní odpor. Stykové místo prvného konce vinutí feritového jádra a vybíjecího odporu je připojeno na svorku záporného napájecího napětí a současně na výstup spínače "zápis". Stykové místo druhého konce vinutí feritového jádra a kondenzátoru je připojeno na vstup bloku úpravy čtené informace, jehož výstup je dále připojen ke svorce čtení informace. Druhý konec hlavního odporu je připojen mezi vstup spínače "zápis" a výstup spínače "čtení", přičemž vstup spínače "čtení" je spojen se svorkou kladného napájecího napětí. Řídicí vstup spínače "čtení" je spojen s prvým výstupem bloku řízení "zápis - čtení" a řídicí vstup spínače "zápis" je spojen s výstupem bloku řízení zápisu. Druhý výstup bloku řízení "zápis - čtení" je spojen s prvým vstupem bloku řízení zápisu. Vstup bloku řízení "zápis - čtení" je spojen s výstupem zdroje řídicího signálu a současně se vstupem bloku pomocných signálů, jehož výstup je v dalším spojen se svorkou pomocných signálů. Druhý vstup bloku řízení zápisu je spojen se svorkou zapisované informace.

Příklady uspořádání feritové paměti s jediným vinutím podle vynálezu jsou schematicky znázorněny na výkresech obr. 1 a obr. 2.

Na obr. 1 je znázorněno blokové schéma feritové paměti s jediným vinutím a se souvisejícími obvody. Vinutí 31 feritového jádra 32 je připojeno jedním koncem k vybíjecímu odporu 30, k výstupu 27 spínače "zápis" 5 a ke svorce záporného napájecího napětí 11. Druhý konec vinutí 31 feritového jádra 32 je spojen se vstupem 33 bloku úpravy čtené informace 6, a s jedním koncem kondenzátoru 29, jehož druhý konec je spojen se zbývajícím koncem vybíje-

cího odporu 30 a s jedním koncem hlavního odporu 28. Druhý konec hlavního odporu 28 je pak připojen mezi vstup 26 spínače "zápis" 5 a výtup 24 spínače "čtení" 4. Vstup 23 spínače "čtení" 4 je spojen se svorkou kladného napájecího napětí 10. Řídicí vstup 22 spínače "čtení" 4 je spojen s prvým výstupem 17 bloku řízení "zápis - čtení" 2 a řídicí vstup 25 spínače "zápis" 5 je spojen s výstupem 21 bloku řízení zápisu 3. Spojený jsou rovněž druhý výstup 18 bloku řízení "zápis - čtení" 2 a prvý vstup 19 bloku řízení zápisu 3. Vstup 16 bloku řízení "zápis - čtení" 2 je spojen jednak s výstupem 15 zdroje řídicího signálu 1 a současně se vstupem 14 bloku pomocných signálů 7, jehož výstup 13 je dále spojen se svorkou pomocných signálů 8. Svorka zapisované informace 9 je spojena s druhým vstupem 20 bloku řízení zápisu 3 a svorka čtené informace 12 je spojena s výstupem 34 bloku úpravy čtené informace 6.

Z blokového schématu na obr. 1 vyplývá, že jeden konec vinutí 31 feritového jádra 32 je připojen přes kondenzátor 29 a hlavní odpor 28 mezi spínač "čtení" 4 a spínač "zápis" 5. Spínač "čtení" 4 je ovládán signálem "čtení" 37 přímo z bloku řízení "zápis - čtení" 2. Podobně spínač "zápis" 5 je ovládán signálem "zápis" 39 z bloku řízení zápisu 3, který ale produkuje na svém výstupu 21 signál "zápis" 39 jen tehdy, je-li současně přiveden na jeho prvý vstup 19 signál "zápis povolen" 38 a zapisovaná informace 36 přicházející ze svorky zapisované informace 9 je ve stavu "H". Řídicí signál "zápis - čtení" 35 produkovaný zdrojem řídicího signálu 1 je zaveden nejen do bloku řízení "zápis - čtení" 2, ale i na vstup 14 bloku pomocných signálů 7. Od řídicího signálu "zápis - čtení" 35 jsou tak odvozeny bloku pomocných signálů 7 pomocné signály, které jsou k dispozici na svorce pomocných signálů 8 a které slouží k řízení dalšího zpracování čtené informace. Vlastní čtený signál 40 je pak veden od vinutí 31 feritového jádra 32 do bloku úpravy čtené informace 6, který upravuje čtenou informaci na požadovanou formu. Upravená čtená informace je pak k dispozici na svorce čtené informace 12.

V souladu s obr. 1 je popis operace "zápis" následující:

Jelikož poslední předcházející operace je předpokládána "čtení", je obvod v ustáleném stavu:

- spínač "čtení" 4 je sepnut; spínač "zápis" 5 je rozepnut;
- kondenzátor 29 je přes hlavní odpor 28, spínač "čtení" 4 a vinutí 31 feritového jádra 32 nabit téměř na plné napájecí napětí; proud procházející vybíjecím odporem 30 je malý, neboť velikost vybíjecího odporu 30 je podstatně větší, než velikost hlavního odporu 28;
- zmagnetování feritového jádra 32 odpovídá "L", neboť předcházející operace byla "čtení".

"Zápis" - zapisovaná informace 36 je "H":

Ze zdroje řídicího signálu 1 je uplatněn řídicí signál "zápis - čtení" 35 určující "zápis". Blok řízení "zápis - čtení" 2 rozepne spínač "čtení" 4 a zároveň předá bloku řízení zápisu 3 signál "zápis povolen" 38. Vzhledem k tomu, že na svorce zapisované informace 9 je současně úroveň "H", vydá blok řízení zápisu 3 signál "zápis" 39 a spínač "zápis" 5 sepne. Tím je uzavřena proudová smyčka tvořená nabitým kondenzátorem 29, vinutím 31, spínačem "zápis" 5 a hlavním odporem 28. Procházející proud je definován nábojem kondenzátoru 29, hodnotou hlavního odporu 28 a impedancí vinutí 31 feritového jádra 32. Náboj kondenzátoru 29 má takovou velikost, že vybíjecí proud bezpečně zmagnetuje feritové jádro 32 do stavu, který odpovídá "H" a to nezávisle na jeho předchozím stavu. Vybíjecí odpor 30 se v tomto případě prakticky neuplatní. Tím je zapsána ve feritovém jádru 32 informace typu "H".

"Zápis" - zapisovaná informace 36 je "L":

Ze zdroje řídicího signálu 1 je uplatněn řídicí signál "zápis - čtení" 35 určující "zápis". Blok řízení "zápis - čtení" 2 rozepne spínač "čtení" 4 a zároveň předá bloku řízení zápisu 3 signál "zápis povolen" 38. Vzhledem k tomu, že na svorce zapisované informace 9 je současně úroveň "L", blok řízení zápisu 3 nepovolí sepnutí spínače "zápis" 5. Kondenzátor 29 se může vybíjet jen malým proudem přes vinutí 31 feritového jádra 32 a dále přes vybíjecí odpor 30, který má vysokou impedanci. Malá hodnota vybíjecího proudu nestačí k přemagnetování feritového jádra 32 a proto feritové jádro zůstane ve stavu odpovídajícímu "L",

do kterého bylo uvedeno při předcházející operaci "čtení".

V souladu s obr. 1 je popis operace "čtení" následující:

Po předcházejícím "zápisu" je obvod v tomto ustáleném stavu:

- spínač "čtení" 4 je rozepnut; spínač "zápis" 5 sepnut, nebo rozepnut;
- kondenzátor 29 je přes vinutí 31 feritového jádra 32, přes vybíjecí odpor 30, případně přes hlavní odpor 28 a spínač "zápis" 5 vybit;
- zmagnetování feritového jádra 32 odpovídá "L", nebo "H" a to podle předchozí fáze zápisu.

Ze zdroje řídicího signálu 1 je uplatněn řídicí signál "zápis - čtení" 35 určující "čtení". Blok řízení "zápis - čtení" 2 zajistí zánik signálu "zápis povolen" 38 a blok řízení zápisu 3 rozepne spínač "zápis" 5 byl-li sepnut, neb potvrdí jeho rozepnutý stav, byl-li rozepnut. Signál "čtení" 37 způsobí sepnutí spínače "čtení" 4, čímž je uzavřena proudová smyčka v sestavě: svorka kladného napájecího napětí 10, spínač "čtení" 4, hlavní odpor 28, kondenzátor 29, vinutí 31 a svorka záporného napájecího napětí 11. Průběh proudu určuje nabíjení kondenzátoru 29. Proud procházející vinutím 31 feritového jádra 32 bezpečně je feritové jádro 32 do stavu odpovídajícímu "L" a to proto, že stejnosměrný proud, procházející v této fázi "čtení" vinutím 31 má opačný směr, než jak tomu bylo v předchozím případě při operaci "zápis". Jestliže tedy bylo feritové jádro 32 před operací "čtení" ve stavu "H", dochází nyní k jeho přemagnetování a na vinutí 31 se v okamžiku tohoto přemagnetování objeví napěťový impuls, mající charakter čteného signálu 40. Čtený signál 40 zaregistruje blok úpravy čtené informace 6 a na svorce čtené informace 12 je k dispozici údaj "H".

Jestliže naopak bylo feritové jádro 32 před operací "čtení" ve stavu "L", k přemagnetování nedochází, krátkodový napěťový impuls na vinutí 31 se neobjevuje a tento stav je vyhodnocen jako "L".

Řídicí signál "zápis - čtení" 35 produkovaný zdrojem řídicího signálu 1 je současně zaveden na vstup 14 bloku pomocných signálů 7 a to s tím důsledkem, že blok pomocných signálů 7 má tak možnost prostřednictvím svorky pomocných signálů 8 informovat následné obvody o tom, že na svorce čtení informace 12 je k dispozici údaj pro další zpracování.

Je pochopitelné, že obvod feritové paměti s jedním vinutím je možno realizovat i s opačnou polaritou napájecího napětí a s opačně zvolenými úrovněmi "L" a "H".

Na obr. 2 je znázorněn příklad zapojení feritové paměti s jediným vinutím a to s principiálním vnitřním zapojením jednotlivých bloků.

Zdroj řídicího signálu 1 je libovolný indikátor nedovoleného poklesu napájecího napětí, zaručující, že řídicí signál "zápis - čtení" 35 bude dle situace přecházet z jedné logické úrovně do druhé a to za dobu delší, než je doba nabití, nebo vybití kondenzátoru 29. Jedná se o komparátor s hysterezí, která zajišťuje dostatek času pro cyklus "zápis" a "čtení" z feritové paměti.

Blok řízení "zápis - čtení" 2 a blok řízení zápisu 3 jsou sestaveny z běžných pasivních a logických prvků.

Spínač "čtení" 4 a spínač "zápis" 5 jsou běžné (např. tranzistorové) spínače.

Blok úpravy čtené informace 6 pracuje se čteným signálem 40. Při vhodné volbě feritového jádra 32 a vinutí 31, jakož i napájecího napětí a velikosti hlavního odporu 28, kondenzátoru 29 a vybíjecího odporu 30 lze dosáhnout toho, že údaj získaný na svorce čtené informace 12 je přímo v úrovni TTL logiky. Blok úpravy čtené informace 6 obsahuje i diodu, zajišťující potlačení záporného pulsu při zápisu a odpor, který svou velikostí napomáhá dosa-

žení signálu upotřebitelného v TTL logice.

Blok pomocných signálů 7 může kromě signálu nutného pro následné zpracování čtené informace, odebírané ze svorky čtené informace 12, generovat i další signály obvykle nutné pro rozběh číslicových obvodů (RESET, $\overline{\text{RESET}}$, LOAD, atd.).

Vynálezu se využije v nejrůznějších aplikacích feritových pamětí, zejména tam, kde je třeba uchovat podstatná data po dobu výpadku napájecího napětí. Jedná se např. o číslicově řízená zařízení, kde je zapotřebí spojit funkci počátečního nastavení, neb momentálního technologického stavu s funkcí paměti. Typickým příkladem použití je programovací jednotka automatických praček, myček, kuchyňských strojů, ale i jakýchkoliv průmyslových, laboratorních, lékařských, zemědělských a ostatních zařízení, která jsou napájena síťovým napětím a pracují formou programovaných postupných operací.

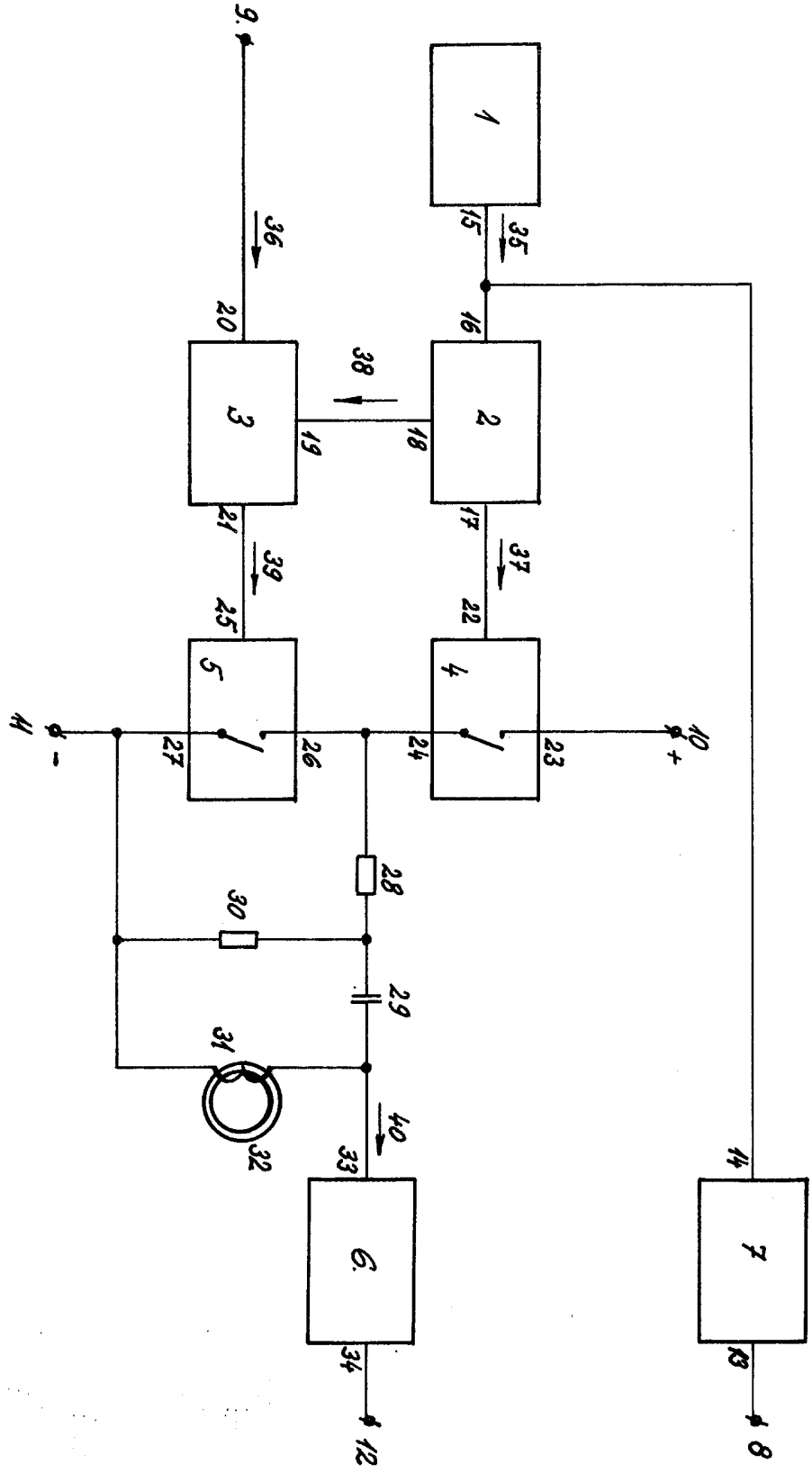
PŘEDMĚT VYNÁLEZU

1. Feritová paměť s jediným vinutím, vyznačující se tím, že vinutí (31) feritového jádra (32) je připojeno jedním koncem k vybíjecímu odporu (30), k výstupu (27) spínače "zápis" (5) a ke svorce záporného napájecího napětí (11), přičemž druhý konec vinutí (31) feritového jádra (32) je spojen se vstupem (33) bloku úpravy čtené informace (6) a s jedním koncem kondenzátoru (29), jehož druhý konec je spojen se zbývajícím koncem vybíjecího odporu (30) a s jedním koncem hlavního odporu (28) a kde dále druhý konec hlavního odporu (28) je připojen mezi vstup (26) spínače "zápis" (5) a výstup (24) spínače "čtení" (4), přičemž vstup (23) spínače "čtení" (4) je spojen se svorkou kladného napájecího napětí (10), řídicí vstup (22) spínače "čtení" (4) je spojen s prvým výstupem (17) bloku řízení "zápis - čtení" (2) a řídicí vstup (25) spínače "zápis" (5) je spojen s výstupem (21) bloku řízení zápisu (3) a kde dále je spojen druhý výstup (18) bloku řízení "zápis - čtení" (2) s prvým vstupem (19) bloku řízení zápisu (3), přičemž vstup (16) bloku řízení "zápis - čtení" (2) je spojen jednak s výstupem (15) zdroje řídicího signálu (1) a současně se vstupem (14) bloku pomocných signálů (7), jehož výstup (13) je dále spojen se svorkou pomocných signálů (8) a kde svorka zapisované informace (9) je spojena s druhým vstupem (20) bloku řízení zápisu (3) a svorka čtené informace (12) je spojena s výstupem (34) bloku úpravy čtené informace (6).

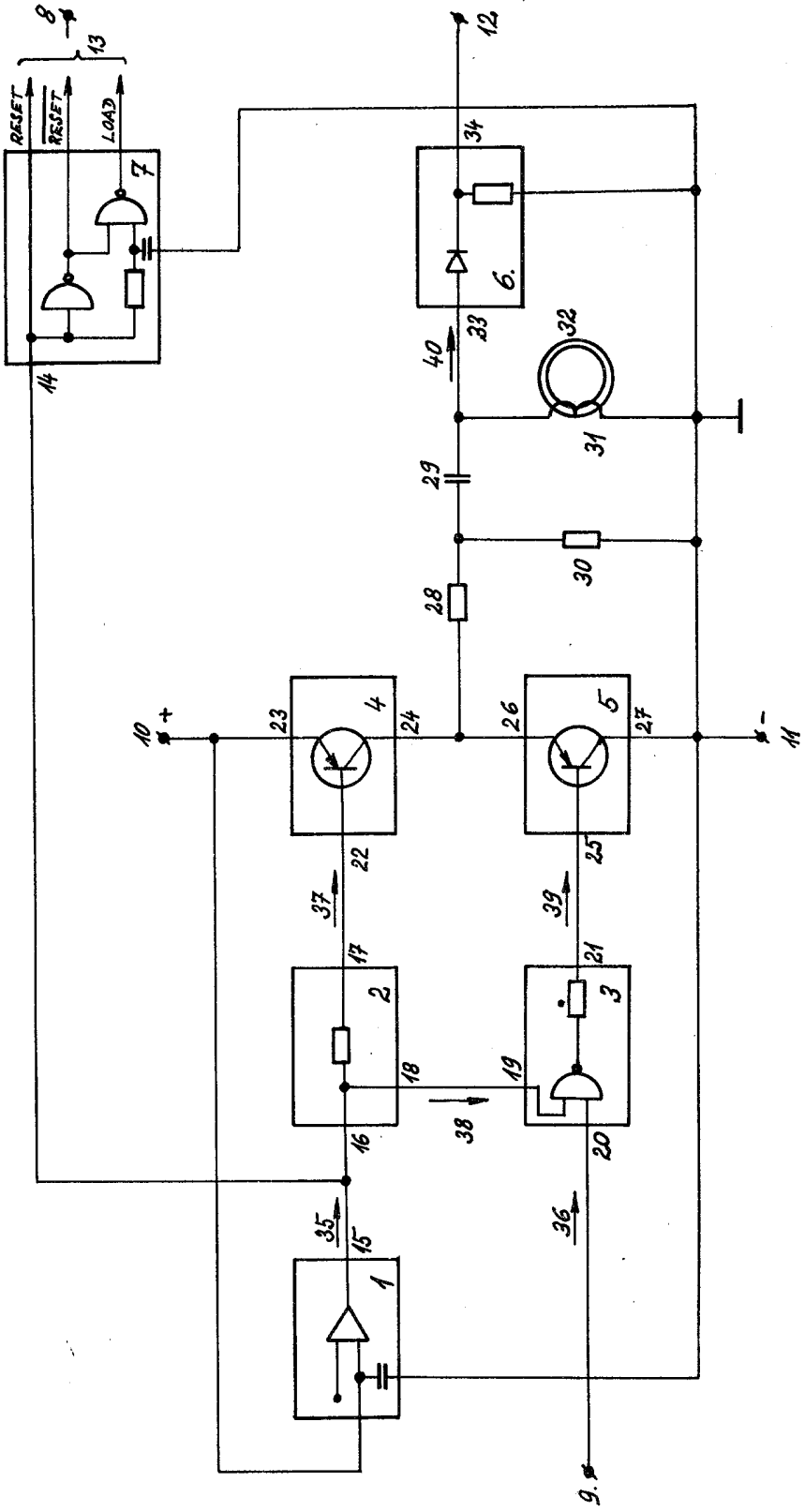
2. Feritová paměť s jediným vinutím podle bodu 1, vyznačující se tím, že zdroj řídicího signálu (1) je tvořen indikátorem nedovoleného poklesu napájecího napětí.

3. Feritová paměť s jediným vinutím podle bodů 1 a 2, vyznačující se tím, že spínač "čtení" (4) a spínač "zápis" (5) jsou tvořeny polovodičovými spínači.

2 výkresy


9
1
15
35
36
20
16
38
3
2
19
18
21
17
39
37
25
22
5
4
11
-
27
26
24
23
10
+
28
30
29
31
32
40
33
6
14
7
34
13
12
8

Obr. 1


8
13
RESET
RESET
LOAD
7
14
12
34
6.
33
40
32
31
29
30
28
10 +
23
4
24
26
5
27
11 -
22
25
37
39
17
21
2
3
18
19
38
16
20
35
36
15
1
9.

Obr. 2