

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4376191号  
(P4376191)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int. Cl. F I  
 HO 1 L 27/10 (2006.01) HO 1 L 27/10 4 3 1  
 HO 1 L 27/105 (2006.01) HO 1 L 27/10 4 4 8

請求項の数 15 (全 22 頁)

(21) 出願番号	特願2004-571614 (P2004-571614)	(73) 特許権者	503003854
(86) (22) 出願日	平成15年4月3日(2003.4.3)		ヒューレット・パカード デベロップメント カンパニー エル. ピー.
(65) 公表番号	特表2006-514781 (P2006-514781A)		アメリカ合衆国 テキサス州 77070
(43) 公表日	平成18年5月11日(2006.5.11)		ヒューストン コンパック センタ ド
(86) 国際出願番号	PCT/US2003/010351		ライブ ウェスト 11445
(87) 国際公開番号	W02004/100267	(74) 代理人	100087642
(87) 国際公開日	平成16年11月18日(2004.11.18)		弁理士 古谷 聡
審査請求日	平成17年12月6日(2005.12.6)	(74) 代理人	100076680
			弁理士 溝部 孝彦
		(74) 代理人	100121061
			弁理士 西山 清春
		(72) 発明者	フリッケ, ピーター, ジェイ
			アメリカ合衆国オレゴン州97330, コーバリス, ローダ・ウェイ・7101
			最終頁に続く

(54) 【発明の名称】 3次元メモリアレイ

(57) 【特許請求の範囲】

【請求項1】

3次元メモリアレイであって、  
 平坦な表面(12)を有する基板(10)と、  
 前記平坦な表面(12)に対して平行な2つ以上の平面(14、16)内に構成される複数の第1の選択線(20)と、  
 前記基板(10)の前記平坦な表面(12)に対して直交して配置されるピラー内に形成される複数の第2の選択線(18)と、及び  
 前記複数の第1の選択線(20)及び前記複数の第2の選択線(18)にそれぞれ結合される複数のメモリセル(22)とを含み、前記メモリセル(22)のうち少なくとも1つが、メモリ記憶素子(24)と直列に接続される制御素子(26)を含み、前記制御素子(26)が前記第1の選択線(20)のうち1つの選択線のエッジに沿って形成され、前記制御素子(26)が、前記第1の選択線(20)の少なくとも2つの隣接するエッジに沿って形成され、前記メモリ記憶素子(25)が前記少なくとも2つの隣接するエッジを少なくとも部分的に包囲するように角度をなして形成され、それによりプログラミング中の電界が強化される、3次元メモリアレイ。

【請求項2】

前記メモリ記憶素子(24)が、前記ピラー(18)のうち1つのピラーのエッジに沿って形成される、請求項1に記載の3次元メモリアレイ。

【請求項3】

前記メモリ記憶素子(24)がアンチヒューズデバイスである、請求項1に記載の3次元メモリアレイ。

【請求項4】

前記メモリ記憶素子(24)が、書込み/消去/書込み、又は書換え可能な相変化材料からなる、請求項1に記載の3次元メモリアレイ。

【請求項5】

前記第1の選択線(20)が蛇行した形状である、請求項1に記載の3次元メモリアレイ。

【請求項6】

前記制御素子(26)がトンネル接合デバイスである、請求項1に記載の3次元メモリアレイ。 10

【請求項7】

少なくとも1つのピラー(18)に電気接続され、且つ個々のピラーの概ね真下に配置される切替え素子(60、61)を前記基板内にさらに含む、請求項1に記載の3次元メモリアレイ。

【請求項8】

メモリ回路を形成する方法であって、

基板(10)に対して概ね平行な平面(14、16)内に第1の選択線(20)のアレイを形成するステップ(62)と、

前記第1の選択線の平面に対して垂直な第2の選択線(18)のアレイを形成するステップ(64)と、及び 20

個々の第1及び第2の選択線にそれぞれ結合されるメモリセル(22)のアレイを形成するステップ(66)とを含み、前記メモリセルのアレイを形成するステップが、ドーピングされた半導体材料から制御素子(26)を形成することをさらに含み、前記制御素子(26)が前記第1の選択線(20)のうちの1つの選択線の少なくとも2つの隣接するエッジに沿って形成され、前記第1の選択線(20)の平面に対して垂直な第2の選択線(18)を形成するステップが、前記少なくとも2つの隣接するエッジに前記メモリセル(22)を接触させることを更に含む、メモリ回路を形成する方法。

【請求項9】

前記メモリセルのアレイを形成するステップが、メモリ記憶デバイス(22)を前記第2の選択線(18)のうちの1つに接触させるステップをさらに含む、請求項8に記載の方法。 30

【請求項10】

前記メモリセルのアレイを形成するステップが、トンネル接合デバイスを形成するステップをさらに含む、請求項8に記載の方法。

【請求項11】

請求項9に記載のステップが繰り返される、請求項8に記載の方法。

【請求項12】

前記第2の選択線(18)の前記形成されたアレイのうちの少なくとも1つに対して概ね隣接して配置されて結合されるトランジスタ(60)を前記基板内に形成するステップをさらに含む、請求項8に記載の方法。 40

【請求項13】

メモリ回路を製作する方法であって、

基板(10)上に絶縁体(40)を被着するステップ(82)と、

前記基板(10)に対して平行な1つ又は複数の平面(14、16)内に1組の第1の導体(20)を被着するステップ(83)と、

個々の第1の導体(20)のエッジに沿って1組の制御素子(26)を形成するステップ(84)であって、前記1組の第1の導体(20)を酸化させるステップと、前記酸化した1組の第1の導体(20)上に1組のパターニングされた第3の導体(42)を被着するステップとをさらに含む、形成するステップ(84)と、 50

前記第1の導体(20)の前記平面に対して直交する第2の導体(18)を被着するステップ(85)と、及び

前記第2の導体(18)と個々の前記制御素子(26)との間に1組のメモリ記憶素子(24)を形成するステップ(86)とを含む、メモリ回路を製作する方法。

【請求項14】

請求項13に記載のステップをN回繰り返すことを含む、N段のメモリ回路を製作する方法。

【請求項15】

前記1組のメモリ記憶素子(24)を形成するステップが、前記1組のパターニングされた第3の導体(42)を酸化させるステップをさらに含む、請求項13に記載の方法。

【発明の詳細な説明】

【背景技術】

【0001】

パーソナルコンピュータ、ワークステーション、ディスプレイのグラフィックサブシステム、電子ゲーム及び他の電子装置は全て、データを格納するためのメモリシステムを含む。より大容量で、より高速のメモリシステムへの需要は、絶え間なく増加し続けている。メモリ技術の属性は、データアクセス時間(即ち、速度)、コスト、信頼性、サイズ(即ち密度)及び電力損失を含む。フロッピィ(R)ドライブ、ハードドライブ、CD/DVDドライブ及び半導体メモリなどのいくつかのメモリ技術が存在する。半導体メモリは、数例を挙げると、DRAM、SRAM、ROM、PROM、OTP、EEPROM、FLASH及びVRAMメモリを含む。マイクロプロセッサ処理能力(即ち、速度)は、ムーアの法則に従って著しく増加しているが、マイクロプロセッサと通信するメモリデバイスは、密度の増加についていくことだけではできているものの、速度を高めることには対応できていない。メモリデバイスの速度を高めることに関する問題の一部は、所与のメモリ技術の中でメモリセルの密度を高めていくと、容量性遅延、センス回路及び従来のメモリレイアウト構成によって、アクセス時間の改善が最小限に抑えられたままにされることである。メモリの密度が改善されると同時にアクセス時間を改善できない場合には、コンピュータシステムの開発は低迷するであろう。従って、密度を高めるだけでなく、データアクセス時間も高める新たなメモリアーキテクチャが必要とされている。

【0002】

発明の概要

3次元(3D)メモリアレイは、平坦な表面を有する基板上に製作される。3次元メモリアレイは、平坦な表面に対して平行な2つ以上の平面内に構成される複数の第1の選択線を含む。複数の第2の選択線は、基板の平坦な表面に対して直交して配置されるピラー内に形成される。複数のメモリセルは、複数の第1の選択線及び複数の第2の選択線にそれぞれ結合される。

【0003】

本発明は、添付の図面を参照することにより、さらに理解を深められる。図面の構成要素は、必ずしも互いに対して一律の縮尺に従って描かれていない。むしろその代わりに、本発明を明確に例示することに重点が置かれている。さらに、いくつかの図面を通して、類似の参照符号は、対応する類似の部品を指している。

【0004】

好適な実施形態の詳細な説明

本明細書で説明される、3Dメモリアーキテクチャの実施形態は、メモリセルのアレイ内の特定のメモリセルを選択するために用いられる行線又は列線のいずれかを形成するために垂直ピラーを利用する。このアーキテクチャは、積重することにより従来のクロスポイントメモリアレイに簡単に拡張する従来の3Dアーキテクチャに比べてはるかに容積空間効率が高く、高速で、しかも製作するのが容易である複数のメモリセルから、「立方形の」アレイ構造を作成する。本明細書で説明される一実施形態は、ワンタイムプログラマブル(OTP)メモリ又は追記型(WORM)メモリとしても知られている、ライトワン

10

20

30

40

50

スアレイを含む。「3次元」(即ち、3つの次元を有するが、それぞれは同じ長さである必要はない)メモリアレイにおいて垂直ピラーをビット線(又は代案として、ワード線)として用いてライトワンスアレイを実現するとき、水平なワード線と垂直なビット線の交差部分において、垂直ピラー上にトンネル接合が形成される。3次元メモリアレイを形成する際に、水平なワード線と垂直なビット線との間に、記憶素子に物理的に隣接し、且つ記憶素子に直列に接続される各記憶素子に制御素子が含まれることが好ましい。本発明の範囲及び思想から逸脱することなく、ワード線が垂直になされ、列線が水平になされてもよいことは当業者には理解されたい。本明細書において本発明を説明する際にわかりやすくするために、垂直な選択線は、列線又はビット線と呼ばれ、水平な選択線は、ワード線又は行線と呼ばれる。代わりに、水平な選択線は一般的にドライブ線と呼ばれる場合もあり、垂直な選択線はセンス線と呼ばれる場合もある。ドライブ線及びセンス線の向きは互いに交換できるので、実際には、互いに対して直交する別個の面内に配置され、3次元メモリアレイを形成する1組の第1の選択線及び1組の第2の選択線が存在する。第1又は第2の選択線のうちの一方は、メモリアレイが形成される基板の平面に対して垂直なピラーを形成する。

#### 【0005】

メモリアレイは、平面を画定する基板上に製作される。メモリアレイは、垂直に積重された複数のメモリセルを含む。メモリセルは、絶縁性表面を形成する誘電体層と、誘電体層上に、基板の平面に対して平行に配置されるワード線とを含む。メモリセルは、ワード線を包囲する制御素子と、制御素子の少なくとも一部を包囲するメモリ記憶素子とを有することが好ましい。制御素子は第1の断面積を有する。記憶素子は第2の断面積を有する。記憶素子の断面積は、好適には制御素子の断面積よりもはるかに小さく、制御素子が影響を及ぼされない状態を維持しながら、記憶素子はその状態を変更できるようにすることが好ましい。制御素子及び記憶素子は、類似したタイプのデバイス、例えばトンネル接合デバイスとして製作されることが好ましい。代案として、記憶素子に相変化材料が用いられる場合、記憶素子の断面積は、制御素子の断面積よりも小さくすることができるか、同じにすることができるか、又は大きくすることができる。電力を最小限に抑え、メモリ状態を変更する速度を高めるために、記憶素子の断面積は、制御素子の断面積よりも小さいことが好ましい。メモリセルは、基板の平面に対して概ね直交し、且つメモリ記憶素子と接触する垂直ピラーを含む。

#### 【0006】

この垂直ピラーによって3次元メモリアレイを構成する場合、メモリ記憶素子の数は、ピラー毎に列、制御素子及び状態変化メモリ素子を垂直に積重(スタック)するための半導体プロセスのアスペクト比によってのみ制限される。このアーキテクチャの1つの特徴は、複数の3次元アレイを積重することにより、従来の半導体プロセスによって可能なアレイよりも大きなアレイが可能になることである。垂直ピラーのこの3Dアーキテクチャの場合、各垂直ビット線当たり20まで、又はそれ以上の水平なワード線にアクセスすることができる。

#### 【0007】

さらに、3次元メモリアレイは、数例を挙げると、マイクロプロセッサ、グラフィックプロセッサ及び記憶プロセッサのような従来の集積回路に埋め込まれ得る。例えば、従来のCPUは、内部レベル1及びレベル2キャッシュメモリのために大きなメモリアレイを用いる。これらのキャッシュメモリは通常、従来のプロセッサレイアウト内で大きな面積を消費する。プロセッサコアコンピュータ回路の上に配置される3次元メモリアレイを用いることにより、より小さな面積のダイサイズが達成される。

#### 【0008】

従来のメモリ記憶素子は一般に、その最小面積が最小半導体フォトリソグラフィ工程の幾何学的形状、及びトランジスタをベースにする制御FETを必要とすることによって伝統的に制限されている、平行板構造(又は垂直な容量性ウエル)として実現される。本明細書に開示される3Dアーキテクチャによれば、水平な選択線と垂直な選択線との交差部

10

20

30

40

50

分において、垂直ピラーと接触しているメモリ記憶素子を形成することが可能になる。このような形成により、メモリ記憶素子の面積は、水平な選択線のエッジの高さ、及び垂直な選択ピラーの幅によって決定されるようになる。従って、このアーキテクチャでは、メモリ記憶素子の面積を大幅に削減することができ、それによりアクセス速度をより速くし、トンネル接合又は絶縁破壊デバイスのための溶断動作を実行する際に必要とされるエネルギーを低減することが可能になる。さらに、メモリ記憶素子が水平及び垂直な選択線の垂直なエッジ上にトンネル接合を用いて形成される場合、従来の平面的なトンネル接合において見出される欠陥の影響が大幅に低減される。それぞれ水平及び垂直な平面内に配置されたメモリドライブ線及びセンス選択線を有することにより、ドライブ線とセンス選択線との間のキャパシタンスが低減される。このようにキャパシタンスを低減することにより、メモリアレイのアクセス速度をより速くすることが可能になる。

10

## 【 0 0 0 9 】

メモリセルの3次元メモリアレイは、垂直ピラーに結合し、メモリ選択回路の一部として用いられる記憶素子及び制御素子のために、任意の種々の半導体デバイスのうちの1つを用いて形成される。3Dアーキテクチャの大部分の具現化形態は、従来の半導体装置と、出発材料としてシリコン基板とを用いて実行される。しかしながら、本発明の半導体デバイスは広範な半導体デバイス技術に適用することができ、種々の半導体材料から製作され得る。現時点で入手可能な半導体デバイスの大部分がシリコン基板内に製作され、本発明の最も一般に直面する応用形態がシリコン基板を含むことになるので、以下の説明は、本発明の半導体デバイスの現時点で好適ないくつかの実施形態を、シリコン基板内に実現するものとして説明する。それにもかかわらず、本発明は、ガリウムヒ素、ゲルマニウム及び他の半導体材料においても有利に用いることができる。従って、本発明は、シリコン半導体材料内に製作されるデバイスに限定されることを意図するものではなく、ガラス基板上にポリシリコンを用いる薄膜トランジスタ(TFT)技術のような、当業者が利用可能な半導体材料及び技術のうちの1つ又は複数において製作されるデバイスを含む。本発明のメモリアレイを製作する際に有用な他の基板は、プラスチック及びセルロース材料を含む。

20

## 【 0 0 1 0 】

図面が一律の縮尺に厳密に従っていないことに留意されたい。さらに、能動素子の種々の部分も一律の縮尺に従って描かれてない。本発明をより明確に例示し、理解を深めてもらうために、或る特定の寸法が他の寸法に対して誇張されている。

30

## 【 0 0 1 1 】

さらに、本明細書において例示される実施形態は時として、深さ及び幅を有する種々の領域を有する2次元の図で示されるが、これらの領域が、実際には3次元の構造であるデバイスの一部のみを例示することは明確に理解されたい。従って、これらの領域は、実際のデバイス上に製作される場合には、長さ、幅及び深さを含む3次元を有する。さらに、本発明は能動デバイスを対象にする好ましい実施形態によって例示されるが、これらの例示は本発明の範囲又は適用可能性に関して制限することを意図していない。本発明の能動素子は、例示された物理的な構造に制限されることを意図していない。これらの構造は、現時点で好ましい実施形態に対する本発明の有用性及び応用形態を例示するために含まれる。

40

## 【 0 0 1 2 】

図1は、メモリ回路30の回路図であり、複数のメモリセル22が、ここでは例示的な2次元の4×4レイアウトとして示されるアレイで形成される。各メモリセル22は、行として示される1組のワード線20(20a~20d)のうちの1つ、及び列として示される1組のビット線18(18a~18d)のうちの1つに接続される。メモリ回路30は、1組の外部アドレス線32及びデータ線34に接続される。アドレス線32は、メモリセルのアレイ内の特定のメモリセル22を選択してアドレス指定するための符号化された形式(好ましくは2値)の記憶位置を含む。ワード線デコーダ38は、アドレス線のうちのいくつかを解釈し、その特定の選択されたメモリセル22が、どの行又はワード線に

50

位置するかを決定する。一般に、ただ1つのワード線が選択されて、所定の電圧レベルに駆動され、他のワード線は一般にグランドレベルに駆動される。また、アドレス線32は、ビット線18から或る特定のビット線を選択し、選択された特定のメモリセルをデータ線34のうちの少なくとも1つに結合し、選択されたメモリセルの状態をセンシングすることによってデコードするために、列デコーダ36によっても使用される。また、メモリ回路30は、ワード線デコーダ38及び列デコーダ36に接続され、各動作中に、選択されたメモリセル22及び選択されないメモリセル22に適切な電圧及びタイミングを与える、読出し/書込み/消去回路28も含む。消去動作は全てのタイプのメモリ回路30に与えられるとは限らないことに留意されたい。

#### 【0013】

また、図1は、3次元メモリアレイの実施形態を形成するためのメモリセル22のレイに関する1つの例示的な構成も示す。この例では、一方の上に他方を重ねることにより、メモリセル22の2つの段(又は別の言い方をすると、2つの面)が形成される。各段のメモリセルは、隣接する段内のメモリセルと概ね位置合わせされることが好ましい。段0(52)はワード線20a及び20cを含む。段1(54)はワード線20b及び20dを含む。段0(52)及び段1(54)は、基板表面に対して概ね平行であるそれぞれの平面内に形成される。ビット線18(18a~18d)は、ワード線及び基板の平面に対して直交する別の面内に形成される。こうして、各ビット線18は「水平な」基板に対して「垂直な」ピラーを形成する。その向きは、本発明を説明する際に便宜のために選択されており、実施形態の実際の向きは任意である。ワード線及び列ビット線の3次元レイへの構成を選択するための他の構成も存在し、依然として本発明の思想及び範囲を満たす。

#### 【0014】

例えば、図2は、本発明を組み込む、図1の3次元メモリアレイの例示的な物理的レイアウトである。ここでは、シリコン基板のような基板10が平坦な表面12を形成し、その表面12には、図1の列デコーダ36、ワード線デコーダ38、及び読出し/書込み/消去回路28のような制御回路を組み込むことができる。基板10の平坦な表面12には、メモリセル22のレイから形成される第1のメモリ面14(例えば段0(52))が配置される。第1のメモリ面14は、図示されるように、ワード線20によって接続されるメモリセル22の行を有する。第1のメモリ面14の上には、メモリセル22の第2のメモリ面16(例えば段1(54))が配置され、それらのメモリセルは第1のメモリ面14のメモリセル22と概ね位置合わせされることが好ましい。2つのメモリ面14、16は、図示されるように、垂直なビット線18を用いて相互接続され、それにより3次元のメモリアレイが形成される。本開示の目的を果たすための3次元レイは、「3つの次元を有する」ものとして定義される。レイの実際の次元はそれぞれ異なる長さであってもよく、実際には3つの等しい長さからなる立方体が形成されなくてもよい。しかしながら、本明細書では、「3次元」は、「3つの次元を有し」、メモリアレイの基本的な箱形の構造を指す別の意味で用いられる。実際の次元の長さは、設計者が面当たりのメモリセルの数及び積重されることになる面の数を選択するのに応じて変化する。

#### 【0015】

メモリセル22をアドレス指定するために用いられる少なくとも1つの選択線のために垂直ピラーを用いることにより、メモリセル22を互いにより近接して積重し、容積効率を高めることができる。さらに、3次元メモリアレイを形成するために用いられる工程を利用することにより、簡略化されたメモリセル22を形成することができる。メモリセル22は、通常、オン又はオフ状態に構成可能であるか、又はオン又はオフ状態を表す電荷を含む、少なくとも1つの記憶素子を含む。代案として、メモリセル22は、複数の状態を格納することができるか、又は複数の状態を表す電荷を格納することができ、メモリセル22当たり2ビット以上の情報が格納されるようにすることもできる。

#### 【0016】

図3は、代表的なメモリセル22のブロック図である。メモリセル22は、ワード線2

10

20

30

40

50

0とビット線18との間に直列に接続される記憶素子24及び制御素子26を含む。この実施形態では、記憶素子24は、プログラム可能なトンネル接合デバイスのようなアンチヒューズデバイスであることが好ましい。そのアンチヒューズデバイスは、絶縁破壊タイプのデバイスか、又はトンネル接合デバイスのいずれかであることが好ましい。しかしながら、記憶素子24は、変化した抵抗値として読み出され得るメモリ状態を格納する任意のデバイスとすることができるが、トンネル接合デバイスであることが好ましい。トンネル接合は、酸化金属、熱成長された酸化物、又は堆積された酸化物又は窒化物から形成され得る。また、記憶素子は任意に、ポリシリコン、多結晶、アモルファス、微結晶、金属フィラメントエレクトロマイグレーション、トラップ誘起ヒステリシス、強誘電体キャパシタ、ホール効果、及びポリシリコン抵抗のような半導体材料でも具現化され得る。記憶素子の他の実施形態は、トンネル磁気抵抗、相変化材料、又は浮遊ゲートのような容量性素子を含む。

10

#### 【0017】

制御素子26は、その両端に印加される電圧とそれを流れる電流との間で非線形な挙動を示す電流ステアリングデバイスであることが好ましい。代案として、制御素子26は、抵抗を用いて実現される場合のように、線形な挙動を有することができる。制御素子26は、トンネル接合デバイス、又はpn、pin又はショットキーダイオードから形成されることが好ましい。使用され得る他のダイオードには、ツェナーダイオード、アバランシェダイオード、トンネルダイオード、及びシリコン制御式整流器のような4層ダイオードが含まれる。代案として、制御素子は、接合形電界効果トランジスタ又はバイポーラトランジスタとすることができる。制御素子26は、記憶素子24の状態を変更できるような適切な電流を伝えるのに十分な大きさになっている。好適には、このような大きさにすることは、制御素子26の断面積を記憶素子24の断面積よりも大きくすることにより達成される。制御素子26及び記憶素子24は、同じデバイスタイプ、例えばトンネル接合デバイスからなることが好ましいが、状況に応じて、制御素子及び記憶素子のためにそれぞれ、ダイオード及びトンネル接合デバイスのような異なるデバイスタイプを用いることもできる。制御素子26がダイオードである場合、ドーピングされたポリシリコン、アモルファスシリコン、又は微晶質シリコンを用いて形成されることが好ましい。従って、代案として、制御素子は、再結晶半導体、アモルファス半導体、多結晶半導体、接合形電界効果トランジスタ、ゲートがソース又はドレインに接続された接合形電界効果トランジスタ、ゲートがソース又はドレインに接続された絶縁ゲート電界効果トランジスタ、4層ダイオード、NPNトランジスタ、及びPNPトランジスタを含む一群の選択肢から選択される。

20

30

#### 【0018】

例えば、図4～図6は、3次元メモリアレイにおいて用いられるメモリセル22の製作を可能にする、実現可能なほんのいくつかの実施形態を例示する。

#### 【0019】

例えば、図4は、好ましくは制御素子26及び記憶素子24が形成された後に堆積される、好ましくはタングステン(W)から形成される材料の列としてビット線18を示す、メモリセル22の第1の実施形態を示す。このビット線18は、誘電材料(ILD)40からなる絶縁層に隣接して配置される。

40

#### 【0020】

ILD40のために種々の材料を用いることができ、それらの材料には、数例を挙げると、二酸化シリコン、窒化シリコン、酸窒化物及びテトラエチルオルトシリケート(TEOS)が含まれる。ILDは、化学蒸着法(CVD)、常圧CVD、低圧CVD、プラズマCVD、物理蒸着法(PVD)、及びスパッタリングのようないくつかの異なる従来技術を用いて堆積され得る。ILDは、化学的機械的研磨(CMP)のような従来のプロセスを用いて平坦化され得る。ILD40は、1つ又は複数の層上にある誘電体充填材料を示すために、本明細書の全体を通して用いられる。実際の誘電材料は、上述した材料のうちの1つ又は複数の材料から構成され得る。

50

## 【0021】

ILD40上には、金属1として示される導電性薄膜、例えばアルミニウムから形成されることが好ましいワード線20が配置される。ワード線20は、自己酸化、熱成長又は酸化物の堆積のいずれかによって酸化される。その酸化物は、ワード線20の露出した全ての部分にわたって、好ましくはその全長にわたって形成されることが好ましい。酸化物の厚みは10nm(100オングストローム)未満であることが好ましく、5nm(50オングストローム)未満であることがさらに好ましい。酸化物の部分の上に、金属2(好適にはアルミニウム)として示される別の導電性薄膜が堆積され、パターニングされて、制御素子26、即ち金属1及び金属2を電極として有するトンネル接合デバイスが形成される。また、金属2は、ワード線20とビット線18との間に電氣的に形成されるので、中間電極42とも呼ばれる。金属2の上、及び中間電極42が存在しない酸化物の部分の上には、ILD40の別の層が配置される。ILD40内にバイアがエッチングされて、垂直ピラーの場所が特定される。中間電極42の一部は酸化されるか、又はその上に酸化物が堆積されて、記憶素子24が形成されることが好ましい。最後に、タングステンが堆積されてビット線18が形成され、そのビット線は酸化物と接触して、電極として中間電極42及びビット線18を有する記憶素子24が形成される。

10

## 【0022】

金属1(20)は、金属1全体の露出した表面の上に直に形成される酸化物層(アルミニウム(A1)導体の場合にはアルミナ( $Al_2O_3$ ))を有することが好ましい。情況に応じて、金属1(20)及び金属2(42)は、アルミニウム、銅、又はシリサイド及びその合金から形成されるが、他の導電性金属又は半導体を用いることもできる。金属1及び金属2と接する酸化物層は、制御素子26を形成する。酸化物層の形成は、金属1がエッチングされて、側壁を覆うことができるようにした後に実行されることが好ましい。トンネル接合制御素子は一般に、金属/酸化物/金属接触面によって形成され、実施形態によっては、好ましい制御素子とすることができる。

20

## 【0023】

酸化物層を用いて形成される場合、記憶素子24は、電子トンネル効果、又は代案として絶縁破壊のダイナミクスを利用することが好ましい。最も好適には、電子トンネル効果は直接トンネル効果であり、それにより酸化物層の厚みは、約0.5nm~約5nm(約5~約50オングストローム)のように最小限である必要がある。そのような記憶素子24は、好ましい電流/電圧特性を有するアンチヒューズ構造を形成する。メモリセルの読み出し中のように、酸化物層に低電位がかけられるときには、電流は低いマイクロアンペア又はナノアンペアの範囲内にあり、それゆえ電力が効率的である。酸化物を貫通するフィラメントを形成することによってアンチヒューズがプログラムされる場合には、電流はマイクロアンペア又は低いミリアンペアの範囲にある。この電流レベルの変化によって、その酸化物が論理0状態としてプログラムされたか、又は論理1状態としてプログラムされたかをセンシングするための非常に良好な信号対雑音比が生成される。これらの電流範囲は、現時点で達成され得る0.18マイクロメートルの幾何学的構成の場合の例であるが、実際の電流レベルは、実際に用いられるプロセスの幾何学的構成に応じて変化するであろう。プログラミング中などの、より高い電位において、酸化物層は、トンネル電流に起因して、さらに大きな電流を流し始める。このトンネル電流は、記憶素子24、即ち酸化物を局所的に加熱する電子の流れを生成し、酸化物を貫通する導電性フィラメントを形成する。酸化物障壁の両端に十分なエネルギーがかけられ、溶断場所が十分に加熱される場合、酸化物を貫通して導電性フィラメントが形成され、一度だけプログラム可能な構造のための酸化物の状態が永久的に変更される。情況に応じて、酸化物層は、トンネル接合デバイスではなく、絶縁破壊デバイスになるように処理され得る。

30

40

## 【0024】

記憶素子24のために代替りの状態変化技術を用いることができる。例えば、記憶素子24は、読み取り専用LeComberスイッチ又はシリサイドスイッチ、又は読み出し/書き込み可能な相変化材料のいずれかとすることができる。LeComberスイッチを形成する1つの方法は

50

、金属1上にアモルファス真性シリコンの薄い層を堆積することである（この例では、金属1はクロム（Cr）の層であることが好ましい）。その後、金（Ag）のような別個の金属がアモルファス真性シリコン上に堆積される。プログラミングの前に、LeComberスイッチは、逆方向バイアスをかけられたトンネルダイオードとして働く。本発明に従ってアモルファスシリコンの中により一層集中された電界を生成することにより、導電性経路が形成されるか、又はホッピング伝導が可能になり、かくしてアンチヒューズが形成される。

#### 【0025】

読出し/書込み可能（又は書込み/消去/書込み）状態変化素子のための1つの好ましい相変化材料は、テルル化ゲルマニウム（GeTe）であり、それは、適切な速度で加熱及び冷却することにより半導体（アモルファス）状態から金属（結晶）状態に可逆的に変更され得る。例えば、GeTeが、半導体状態にあるときにp型になるようにドーピングされ、n型半導体層の上に堆積される場合には、GeTeが金属状態に変更される場合に、接合部を横切って通り過ぎるキャリアの数において大きな相違が見られるであろう。GeTe又は同等の相変化材料を用いることにより、メモリセルは読出し-書込み可能にすることができ、例えば何度も書き込み、消去し、書き込むことができる。この機能は、いくつかの応用形態の場合に、メモリセル構造の有用性を高める。GeTeの代わりに他の相変化材料を用いることもでき、それでも本発明の思想と範囲を満たす。他の好ましい相変化材料のいくつかの例は、GaSb、InSb、InSe、Sb<sub>2</sub>Te<sub>3</sub>、Ge<sub>2</sub>Sb<sub>2</sub>Te<sub>5</sub>、InSbTe、GaSeTe、SnSb<sub>2</sub>Te<sub>4</sub>、InSbGe、AgInSbTe、(GeSn)SbTe、GeSb(SeTe)、Te<sub>81</sub>Ge<sub>15</sub>Sb<sub>2</sub>S<sub>2</sub>、及びGeSbTeのようなカルコゲニド合金である。

#### 【0026】

シリサイドスイッチのような他のアンチヒューズ構造も実現可能である。シリサイドスイッチは、シリコンと、プログラミングされるときに抵抗を変更する遷移金属薄膜とを交互に積重することにより形成される。一般に、シリサイドアンチヒューズのプログラミングのプロセスは不可逆的である。書き込む前に、遷移金属及びシリコン層の積重体（スタック）は第1の抵抗を有する。適切な行線及び列線を選択して、選択されたメモリセルに電流を流す。選択されたメモリセルに流れる電流は、ジュール熱を生成し、それによりシリサイド化反応が起きて、完了する。本発明によって生成される集中した電界を用いることにより、より小さい面積に電流が集められ、ひいてはジュール熱が集中され、それにより本発明を用いない場合に比べて短い時間でプログラミングを完了することが可能になる。シリサイド化反応によって、選択されたメモリセルの抵抗が、はるかに低い値に変化する。プログラムされたメモリセルを読み出すために、選択されたメモリセルに小さなセンス電流が供給され、選択されたメモリセルの両端の電圧降下が検出される。いくつかの好ましいシリサイド化合物は、Ni<sub>2</sub>Si、NiSi、NiSi<sub>2</sub>、Pd<sub>2</sub>Si、PdSi、Pt<sub>2</sub>Si、及びPtSiである。シリコンとの種々の化合物における他の考えられる遷移金属は、Ti、V、Cr、Mn、Fe、Co、Zr、Nb、Mo、Rh、Hf、Ta、W、及びIrを含む。

#### 【0027】

図5は、図4に示された実施形態の代替の実施形態であり、中間電極42の少なくとも2つのエッジを包囲する、角度のある記憶素子25を含む。中間電極42の少なくとも2つのエッジを包囲することにより、2つのエッジの交差部分において、強化された電界が形成される。角度のある記憶素子25のためにトンネル接合又は絶縁破壊デバイスが用いられる場合等で、アンチヒューズを短絡するとき、この強化された電界により、プログラミング電圧又は電流を下げることができ、全電力が低減され、より速いプログラミング時間が可能になる。この実施形態では、ILD40が、好ましくはタングステン（W）から形成されるビット線18に隣接し、且つ当接する表面上に配置される。ビット線18が堆積される際、角度のある記憶素子25を覆って接触表面が形成される。角度のある記憶素子を有することにより、中間電極42とビット線18との間に電圧が印加される際に生成

10

20

30

40

50

される電界が強化され、それによってより低いプログラミング電圧、より低いプログラミング電流、又はその組み合わせの形で電力要件を下げる事が可能になる。また、電界を強化することにより、より速いプログラミング速度が提供される。他の点では、図5のメモリセルの構成は、図4に関して説明された構成と類似する。

#### 【0028】

図6は、メモリセル22の別の実施形態であり、制御素子26がpn接合ダイオードから形成される。この実施形態では、ILD40が1つの表面上に配置され、アルミニウムのような第1の金属が堆積されてパターンニングされ、ワード線20が形成される。その後、ワード線20の上に、nシリコン44の層が堆積される。次いで、nシリコン44の上に、後続のpシリコン46の層が堆積される。その後、組み合わせられたシリコンがパターンニングされてエッチングされ、制御素子26が形成される。その後、pシリコン46の層上にILD40が堆積されるか、又は別の方法で被着される。ILD40内にバイアがエッチングされて、垂直なビット線18の場所が特定される。垂直なビット線18と接するpシリコン46の層のエッジは酸化されて、好ましくは10nm(100オングストローム)未満、さらに好ましくは5nm(50オングストローム)未満の厚みの記憶素子24のための二酸化シリコン層が形成される。その後、垂直なビット線18が堆積される。記憶素子24は、電極としてpシリコン46の層及びビット線18を有し、アンチヒューズ可能材料として酸化物層を有する。

10

#### 【0029】

図7は、垂直なビット線が従来の平面状の選択線に如何にして接するかを示す、本発明の一実施形態の1つの垂直なビット線及び3つの水平なワード線の組立分解図である。この実施形態では、従来の水平な列選択線19が、従来の処理された半導体ウエハのような材料の何らかの基板上の表面に対して平行に配置される。ILD40の境界面層が水平な列選択線19上に堆積される。ILD40に隣接して垂直なビット線18が形成され、水平な列選択線19と接触させる。その後、図4～図6に示されたメモリセル又は他の実現可能な具現化形態の任意のメモリセルのようなメモリセル22が、ILD40上に配置される。その後、先行する垂直なビット線18上に垂直なビット線18が形成され、垂直ピラーが形成される。第2及び第3のメモリセル22が先行するメモリセル22上に堆積され、先行する垂直なビット線18上に垂直なビット線18が堆積されて、垂直ピラーが延長される。

20

30

#### 【0030】

図8及び図9は、メモリ記憶素子の数を増やすために、メモリの3次元アレイが如何にして所望のように拡張されるかを例示する。図8は、3次元メモリアレイの構成要素及び層の部分組立分解図である。図9は、図8に示されたアレイの平面図である。図8では、基板表面が、ここではメモリアレイの列0及び列2を表す19a及び19bのような1つ又は複数の水平なビット線を含む。水平なビット線19a及び19b上には、50a及び50bのような1組又は複数組のメモリセルがある。種々のILD40の層によって、種々の水平な行線が、隣接する水平な行線と接触しないように絶縁される。垂直なビット線18a及び18bは、それぞれの水平なビット線19a及び19b上に配置され、その上に堆積され、それらのビット線と接触する。また、ILD40の誘電体層は、隣接する垂直なビット線18a及び18bも分離する。垂直なビット線18a～18dは、中間電極42a～42d(図9を参照)上に形成された酸化物層と接触する。中間電極は、メモリセル22内の制御素子、好ましくはトンネル接合デバイス又はダイオードによって、水平な行線20a～20b(図9)から分離される。

40

#### 【0031】

また、図9は、アレイを延長し続けるために、さらなる垂直ピラー選択線の組が第2の組のメモリセル50bに如何にして隣接して配置されるかも示す。さらなる垂直ピラーの組に別のILD40が隣接して配置され、別の組のメモリセルが分離される。

#### 【0032】

図10は、3次元メモリアレイの代替の実施形態であり、水平なワード線20a及び2

50

0 bが蛇行して形成され、角度のある記憶素子25 a ~ 25 dが形成される。蛇行した行線のこれらの角度は、電界を強化し、角度のある記憶素子25 a ~ 25 dをプログラムするために必要とされるプログラミング電力、電圧、電流及び時間を減じる。

【0033】

図11は、本発明の代替の実施形態の部分組立分解図である。この実施形態では、第1の組のメモリセル50 aが垂直ピラービット線18 a及び18 bとの交差部分を形成する。第2の組のメモリセル50 bが、任意の層間誘電体(ILD)によって、第1の組のメモリセル50 a及び垂直ピラー18 a、18 bから分離される。第2の組のメモリセル50 bは、垂直ピラービット線18 c及び18 dとの交差部分を形成する。垂直ピラービット線18 a及び18 cは、水平なビット線19 aと電気接触する。垂直ピラービット線18 b及び18 dは、水平なビット線19 bと電気接触する。この図に例示されるように、メモリセル22の3つの段が互いに垂直に積重されている。使用される特定の製作プロセスによっては、先行して製作された表面が平坦でないことに起因して、メモリセル22の垂直に積重される層を延長し続けることが難しい場合もある。従って、さらに高くできるようにするための1つの手法は、メモリセルの形成済みの層の上にILD層(図示せず)を形成することである。次いで、このILD層は、CMP又は他の既知の平坦化技術などで平坦化されて、新たな平面基板が形成され、その上に、水平なビット線19 c及び19 dが配置される。水平なビット線19 c ~ 19 dの上にメモリセルのさらなる組を追加するためにさらに処理することにより、3次元メモリアレイの垂直方向の寸法を延長することが可能になる。

10

20

【0034】

図12は、本発明の代替の実施形態の斜視図であり、この実施形態により、現在の垂直ピラービット線の組から次の隣接する水平なワード線を分離するために用いられるスペーサILD40をなくすことにより、アンチヒューズ記憶素子を用いる際の容積効率が高められる。この実施形態では、デュアルメモリセル23が2つの垂直ピラービット線18 aと18 bとの間に直に配置され、それぞれ記憶素子24 a及び24 bが形成される。2つの記憶素子が形成されるが、実際にはメモリアレイにおいて1つの記憶素子だけが用いられる。他の記憶素子はプログラムされない(アンチヒューズの場合、開回路にされた)ままであり、付加的な容量性負荷を与えるだけである。かくして、或る特定の段上において、2つ以上の記憶素子が垂直ピラーに接触するが、実際には1つの記憶素子だけが用いられる。

30

【0035】

図13は、図12に示された代替の実施形態の積重された具現化形態の斜視図である。この実施形態では、第1の段52が水平なビット線19 a及び19 b上に配置される。状況に応じて、使用されるプロセスに応じて、第1の段52は基板の表面上に配置されることができ、水平なビット線19 a及び19 b(破線の図で示される)はそれぞれ、垂直ピラー18 a及び18 bの上に取り付けられ得る。垂直ピラービット線18 a及び18 bはそれぞれ、水平なビット線19 a及び19 bに電気的に結合されて接触する。メモリセルの第2の段54がメモリセルの第1の段52上に配置される。メモリセルの第3の段56がメモリセルの第2の段54上に配置される。垂直ピラー18 a及び18 bはタングステン(W)を用いて形成されることが好ましいが、他の金属導体を用いることもできる。1つの垂直ピラーと接触する記憶素子24 a及び24 bが示されており、このように列選択信号が共有される。

40

【0036】

図14 ~ 図16は、垂直ピラーが層当たり2つ以上のメモリセルに接触する場合に使用されるデュアルメモリセル23の例示的な実施形態である。

【0037】

例えば、図14は、デュアルメモリセル23の第1の実施形態を示しており、好ましくは制御素子26及び記憶素子24が形成された後に堆積されることになるタングステン(W)から形成されることが好ましい材料の列としてビット線18が示される。このビット

50

線 18 は、誘電材料 (ILD) 40 の絶縁層に隣接して配置される。

【0038】

ILD 40 のために種々の材料を用いることができ、それらの材料には、数例を挙げると、二酸化シリコン、窒化シリコン、酸窒化物、及びテトラエチルオルトシリケート (TEOS) が含まれる。ILD は、化学蒸着法 (CVD)、常圧 CVD、低圧 CVD、プラズマ CVD、物理蒸着法 (PVD)、及びスパッタリングのようないくつかの異なる従来技術を用いて堆積され得る。ILD は化学的機械的研磨 (CMP) のような従来のプロセスを用いて平坦化され得る。ILD 40 は、1 つ又は複数の層上にある誘電体充填材料を示すために、本明細書の全体を通して使用される。実際の誘電材料は、上述した材料のうちの一つ又は複数の材料から構成され得る。

10

【0039】

ILD 40 上には、金属 1 として示される導電性薄膜、例えばアルミニウムから形成されることが好ましいワード線 20 が配置される。ワード線 20 は、自己酸化、熱成長、又は堆積のいずれかによって酸化される。その酸化物は、ワード線 20 の露出した全ての部分にわたって、好ましくはその全長にわたって形成されることが好ましい。酸化物の厚みは 10 nm (100 オングストローム) 未満であることが好ましく、5 nm (50 オングストローム) 未満であることがさらに好ましい。酸化物の部分にわたって、金属 2 (好適にはアルミニウム) として示される別の導電性薄膜が堆積され、パターンングされて、2 つの分離された制御素子 26、即ち金属 1 及び金属 2 を電極として有するトンネル接合デバイスが形成される。また、金属 2 は、ワード線 20 とビット線 18 との間に電氣的に形成されるので、中間電極 42 とも呼ばれる。金属 2 上、及び中間電極 42 が存在しない酸化物の部分の上には、ILD 40 の別の層が配置される。ILD 40 内にバイアがエッチングされて、垂直ピラーの場所が特定される。中間電極 42 の一部は酸化されるか、又はその上に酸化物が堆積されて、記憶素子 24 が形成されることが好ましい。最後に、タングステンが堆積されてビット線 18 が形成され、そのビット線は酸化物と接触して、電極として中間電極 42 及びビット線 18 を有する記憶素子 24 が形成される。

20

【0040】

図 15 は、図 14 に示された実施形態に対するデュアルメモリセル 23 の代替の実施形態であるが、この実施形態には、中間電極 42 の少なくとも 2 つのエッジを包囲する 2 つの角度のある記憶素子 25 が含まれる。中間電極 42 の少なくとも 2 つのエッジを包囲することにより、2 つのエッジの交差部分において、強化された電界が形成される。角度のある記憶素子 25 のためにトンネル接合又は絶縁破壊デバイスが用いられる場合等で、アンチヒューズを短絡する際、この強化された電界により、プログラミング電力、電圧、電流、又は時間を減じることが可能になる。この実施形態では、ILD 40 が、好ましくはタングステン (W) から形成されるビット線 18 に隣接し、且つ当接する表面上に配置される。ビット線 18 が堆積される場合、角度のある記憶素子 25 を覆って接触表面が形成される。角度のある記憶素子を有することにより、中間電極 42 とビット線 18 との間に電圧が印加される際に生成される電界が強化され、それによってより低いプログラミング電圧が可能になる。他の点では、図 15 のメモリセルの構成は、図 14 に関して説明された構成と類似する。

30

40

【0041】

図 16 は、デュアルメモリセル 23 の別の実施形態であり、制御素子 26 が p n 接合ダイオードから形成される。この実施形態では、ILD 40 が 1 つの表面上に配置され、アルミニウムのような第 1 の金属が堆積されてパターンングされ、ワード線 20 が形成される。その後、ワード線 20 上に、n シリコン 44 の層が堆積される。その後、n シリコン 44 上に、後続の p シリコン 46 の層が堆積される。その後、組み合わせられたシリコンがパターンングされてエッチングされ、2 つの制御素子 26 が形成される。その後、p シリコン 46 の層上に ILD 40 が堆積されるか、又は別の方法で被着される。ILD 40 内にバイアがエッチングされて、垂直なビット線 18 の場所が特定される。垂直なビット線 18 と接する p シリコン 46 の層のエッジは酸化されて、好ましくは 10 nm (100

50

オングストローム)未満、さらに好ましくは5nm(50オングストローム)未満の厚みの記憶素子24のための二酸化シリコン層が形成される。その後、垂直なビット線18が堆積される。記憶素子24は、電極としてpシリコン46の層及びビット線18を有し、アンチヒューズ可能材料として酸化物層を有する。

#### 【0042】

図17は、図12及び図13に示される基本的なデュアルメモリセル23を組み込む3Dメモリアレイの一実施形態の部分組立分解図である。この実施形態では、水平なビット線19a及び19bが、1つの面を画定する基板表面内に形成される。基板のその面に対して平行な面内に形成される複数の組のメモリセル50c~50dが基板上に配置される。垂直なビット線18a~18dが基板の面に対して垂直である面内に形成される。垂直なビット線18a~18dは、メモリセル50c~50dのそれぞれの隣接する組内の記憶素子に隣接し、且つ接触する。状況に応じて、メモリセルの組の上にILD層(図示せず)を追加し、それを平坦化して、新たな基板表面を形成することにより、3次元メモリアレイを延長することができる。この平坦な表面上には、別の組の水平なビット線19c及び19dが配置され、上側ILD層内へのパイアによって、それぞれの垂直ピラー18c及び18dに接続される。状況に応じて、その後、さらなるメモリセルの組及び垂直なビット線が、付加的な基板表面上に構築される。隣接するメモリセルの組から垂直なビット線を分離するILDが存在しないので、垂直なビット線のそれぞれは、水平な層当たり2つの記憶素子と接触している。

#### 【0043】

図18は、図17に示された実施形態の平面図である。この実施形態では、中間電極42c及び42dがそれぞれ垂直ピラービット線18c及び18dと接触し、メモリ記憶素子24b及び24cが形成される。さらに、次の組の中間電極42a及び42bをそれぞれ垂直ピラービット線18c及び18dから分離するILD40が存在しないので、第2の組のメモリ記憶素子24a及び24dが形成される。

#### 【0044】

図19は、図18に示された実施形態の代替の実施形態の平面図であり、蛇行している水平なワード線を用いて、電界を強化し、実際にプログラムされるメモリセルのプログラミング電力、電圧、電流、及び時間を減じる。1つの点又は角を形成する2つのエッジを有することにより、中間電極42(42a~42d)と垂直ピラービット線18(18a~18d)との間の所与の電位に対して、電界が高められる。

#### 【0045】

図20及び図21は、本発明の代替の実施形態の斜視図である。図22は、図20及び図21に示された代替の実施形態の部分回路図である。図20の実施形態では、ビット線選択信号を水平なビット線を用いて垂直ピラービット線18a及び18bに送るのではなく、垂直ピラービット線18a及び18bは基板10と接触し、それぞれ制御トランジスタ60a及び60b(図22)に直結される。制御トランジスタは、従来の半導体処理を用いて基板上に製作され、種々の技術、例えば電界効果トランジスタ(FET)で実現され得る。代案として、制御トランジスタは、ダイオード61a及び61bのような他の制御素子で置き換えることができる。制御トランジスタ又はダイオードは、垂直ピラービット線18a及び18bの概ね真下、又はそれらに隣接して配置されることが好ましい。センストランジスタ60a、60b(図22)又はダイオード61a、61bがそれぞれ垂直ピラービット線18a、18bの真下に分散配置されることによって、センス線にかかる容量性負荷を低減することにより、センシング速度が高められる。メモリセル23a、23b、23cがそれぞれ、第1の段52、第2の段54、及び第3の段56において互いに積重される。パッシベーション層として、又はさらなる層を構築するための平坦な表面としての役割を果たすように、最後の段、この例では第3の段56上にILD40が配置される。

#### 【0046】

図21は、代替の実施形態の部分組立分解図であり、3次元アレイが、必ずしも半導体

基板ではない基板上に形成される。この実施形態では、垂直ピラー 18 a 及び 18 b が形成された後に、ダイオード 61 a 及び 61 b が形成される。ダイオード 61 a 及び 61 b は、傾斜ドーピングシリコン堆積プロセス (ramped doped silicon deposition process) を用いて形成されることが好ましい。ダイオード 61 a 及び 61 b が形成された後に、水平なビット線 19 a 及び 19 b を堆積する前に、ダイオード 61 a と 61 b との間に I L D 層 (図示せず) が堆積される。ダイオード 61 a 及び 61 b は、1 つ又は複数の垂直ピラーに電気接続されることができ、かくして共有されるダイオードが可能になる。ダイオード 61 a 及び 61 b は、故障を引き起こすことなく、プログラミング中に適切な電流を供給するように、適切な大きさにされることが好ましい。

【 0 0 4 7 】

10

図 2 2 は、ワード線デコーダ 3 8 及び列デコーダ 3 6 (図 1 を参照) のワード線及びビット線へのアンチヒューズ接続の部分回路図を示す。行 a 0 ~ a 2、b 0 ~ b 2 及び c 0 ~ c 2 は、ワード線デコーダ 3 8 (図示されないので、図 1 を参照) からの出力であり、デュアルメモリセル 2 3 a ~ 2 3 l に結合される。垂直ピラービット線 1 8 a、1 8 b がセンストランジスタ 6 0 a 及び 6 0 b (又は代案ではダイオード 6 1 a 及び 6 1 b) のような切替え素子に接続され、それらの切替え素子はそれぞれ制御され、列デコーダ 3 6 に入力される。列デコーダ 3 6 に結合されるアドレス線 3 2 の入力の内容に基づいて、センシングされたデータがデータバス 3 4 上に出力される。

【 0 0 4 8 】

20

図 2 3 は、本発明の代替の実施形態の断面図であり、垂直ピラー選択線 1 8 a 及び 1 8 b が 2 つ以上のピラー内に形成され、上側サブ列接続 8 8 及び下側サブ列接続 8 9 によって相互接続される。上側 8 8 及び下側 8 9 のサブ列ドライブ接続は、バイア 4 8 を介して、垂直ピラー 1 8 a 及び 1 8 b に結合される。垂直ピラー 1 8 a 及び 1 8 b はピラーのそれぞれの側においてメモリ記憶素子 2 4 を短絡するので、一度にピラー当たり 1 つの記憶素子 2 4 だけにアクセスすることができる。従って、1 つおきのピラーがサブ列接続線に接続される。各メモリセルは、中間電極 4 2 を介して直列に結合される制御素子 2 6 と直列に接続された記憶素子 2 4 を有する。垂直ピラー 1 8 a 又は垂直ピラー 1 8 b は、図 1 の列デコーダ 3 6 内のセンス増幅器回路に接続される水平な単一のビット線 1 9 に相互接続される。この相互接続は、トランジスタ 6 0 a 又は 6 0 b のうちの一方が所望の垂直ピラー 1 8 a 及び 1 8 b を選択できるようにすることにより達成される。

30

【 0 0 4 9 】

図 2 4 は、本発明の少なくとも 1 つの実施形態を組み込むメモリキャリア 7 0 の例示的なレイアウトである。そのメモリキャリアは、数例を挙げると、P C M C I A、P C カード、スマートメモリ、メモリスティック (R)、デジタルフィルム、A T A、及びコンパクトフラッシュ (R) のような、いくつかの従来の標準的な、又は独自仕様のメモリカードフォーマットの任意のものを表す。そのメモリキャリアは、実施されるメモリキャリア標準規格タイプの特定のコネクタとの機械的接触及び電氣的接触の両方を提供する機械的インターフェース 7 2 を含む。任意の電氣的インターフェース 7 4 が、機械的コネクタ 7 2 上の電気コンタクトと電氣的に結合し、本発明の少なくとも 1 つのメモリアレイを組み込む 1 組のメモリ I C 8 0 に、適切なセキュリティ、アドレスデコーディング、電圧変換、書込み保護、又は他の一般的なインターフェース機能を提供する。一般に、キャリア 7 6、例えばプリント回路基板又はセラミック基板を用いて、メモリ I C 8 0、電氣的インターフェース 7 4、及び機械的インターフェース 7 2 が物理的に支持される。電気デバイスによっては電氣的インターフェース 7 4 の機能を組み込む場合もあり、それによりメモリキャリア 7 0 においてその機能が不要であることは当業者には理解されよう。1 組のメモリ I C 8 0 は、1 つ又は複数のデバイスを含むことができる。さらに、メモリ I C 8 0 のために、O T P メモリ I C 及び読出し - 書込み可能なメモリ I C のような、2 つ以上のタイプのメモリアレイが存在する場合もある。

40

【 0 0 5 0 】

図 2 5 は、本発明の少なくとも 1 つの実施形態を組み込む電子装置、この例ではコンピ

50

ユーザシステム 90 のブロック図である。コンピュータシステムの場合は特に、図示されるいくつかの異なる電子装置をパッケージに組み込むことができる。ここでは、マイクロプロセッサ 92 が、コンピュータ実行可能命令及び/又はユーザデータを保持するために用いられるメモリ回路 94 に結合される。例示的なメモリ回路 94 は、数例を挙げると、BIOSメモリ、DRAMメモリ、ROM、及び種々のレベルの内部又は外部キャッシュメモリを含む。また、マイクロプロセッサ 92 は、ハードディスクドライブ、フロッピー(R)ドライブ、CD/DVDドライブ、テープドライブ、又は本発明を用いる半導体メモリICを組み込むデバイスのような他の大容量記憶デバイスなどの記憶デバイス 96 にも接続される。マイクロプロセッサ 92 は、例えば、その内部キャッシュメモリ内に 3Dメモリアーキテクチャを含むことができる。また、メモリ 94 は、BIOS、又はDRAM及びROM回路のような他のシステムメモリアリアなどのメモリIC内に 3Dメモリアーキテクチャを含むこともできる。マイクロプロセッサ 92 はさらに、本発明を利用するメモリICを組み込むこともできるディスプレイデバイス 98 に接続される。従って、電気装置内に、本発明の 1 つ又は複数の具現化形態が存在する場合があります、かくして既存の電気装置を改善するために本発明が幅広く適用できることが示される。

#### 【0051】

例えば、図 26 は、レベル 1 及び/又はレベル 2 キャッシュのようなメモリ 94 をマイクロプロセッサ 92 と集積する埋込式 3 次元メモリアレイ 100 の例示的な実施形態である。埋込式 3 次元メモリアレイ 100 はマイクロプロセッサ 92 のダイの上に製作され、それによってより小さいダイ面積サイズが可能になる。マイクロプロセッサ 92 は水平な基板表面を形成する。メモリ 94 は、メモリセル 22 又は 23 (図示せず) の 1 つ又は複数の垂直な層から構築され、埋込式 3 次元メモリアレイ 100 を形成することが好ましい。メモリセル 22 又は 23 は、第 1 及び第 2 の組の選択線によって相互接続される。選択線のうちの少なくとも 1 つは、埋込式 3 次元メモリアレイ 100 内に垂直ピラーとして形成される。選択線の組は、マイクロプロセッサ 92 のダイ上に形成される選択回路に電気接続される。マイクロプロセッサ 92 は、ボンディングワイヤ 97 又は TAB 回路技術などによって、パッケージ 95 に電氣的に取り付けられる。マイクロプロセッサがパッケージ 95 に取り付けられた後に、汚染物及び取り扱いから保護するために、そのパッケージはカプセル封入される(図示せず)。埋込式 3 次元メモリアレイ 100 が、マイクロプロセッサ集積回路の上に配置されるものとして示されるが、メモリ回路を利用する任意の集積回路をマイクロプロセッサ 92 の代わりに用いることができることは当業者には理解されよう。一例はグラフィックスディスプレイコントローラである。

#### 【0052】

図 27 は、本発明の種々の実施形態を実施するために用いられる基本的なステップの例示的な流れ図である。ステップ 62 では、基板又は他の平坦な表面に対して概ね平行である平面内に、1 組のワード線のアレイが形成される。ステップ 64 では、1 組のビット線のアレイが、ワード線の面又は基板表面に対して概ね垂直に形成される。基板の平面、それゆえにワード線の平面に対して垂直なビット線を形成することにより、1 組の垂直ピラービット線が形成される。ステップ 66 では、メモリセルのアレイが、好ましくは個々のワード線と各ビット線との間に形成されるが、アドレス位置がプログラムできないことが望ましい場合には、ワード線及びビット線のいくつかの交差部分はメモリセルを含まなくてもよい。

#### 【0053】

図 28 は、本発明を組み込むメモリセルを形成するための基本的なステップの例示的な流れ図である。ステップ 82 では、ILD 40 のような絶縁体が基板表面、好ましくは概ね平坦な表面上に被着される。ステップ 83 では、第 1 の導体が基板に対して平行な平面内に被着され、ワード線が形成される。ステップ 84 では、第 1 の導体上に、トンネル接合デバイス又はダイオードのような制御素子が形成される。ステップ 85 では、第 1 の導体の平面に対して直交する(又は垂直な)第 2 の導体が、処理済の基板表面に被着される。ステップ 86 では、第 2 の導体と制御素子との間にメモリ記憶素子が形成される。メモ

10

20

30

40

50

リ記憶素子は、トンネル接合アンチヒューズデバイスであることが好ましいが、他のメモリ記憶素子を用いることもでき、それでも本発明の範囲及び思想の範囲内に含まれ得る。

【0054】

本発明は、上記の好ましい実施形態及び代替の実施形態に関連して特に図示及び説明されてきたが、添付の特許請求の範囲に規定されるような本発明の思想及び範囲から逸脱することなく、多くの変更を行うことができることは当業者には理解されよう。本発明のこの説明は、本明細書に記載される素子の全ての新規で、且つ自明でない組み合わせを含むものと理解されるべきであり、特許請求の範囲は、これらの素子の任意の新規で、且つ自明でない組み合わせに対する、現在又は将来の応用形態において提供され得る。上記の実施形態は例示であり、現在又は将来の応用形態において特許請求される場合がある全ての考えられる組み合わせに対して、単一の機構又は素子は不可欠ではない。請求項が、等価物の「1つの」又は「第1の」素子を列挙する場合、そのような請求項は、1つ又は複数のそのような素子を組み合わせることを含み、2つ以上のそのような素子を要求も排除もしないものと理解されるべきである。

【図面の簡単な説明】

【0055】

【図1】本発明の少なくとも1つの実施形態のメモリアレイの回路図である。

【図2】本発明の一実施形態におけるメモリアレイの物理的なレイアウトの概略図である。

【図3】図2のメモリアレイに用いられる例示的なメモリセルを示す図である。

【図4】図3に示されるメモリセルの例示的な実施形態を示す図である。

【図5】図3に示されるメモリセルの別の例示的な実施形態を示す図である。

【図6】図3に示されるメモリセルの別の例示的な実施形態を示す図である。

【図7】1つの垂直ピラー列及び複数の行線に関する本発明の一実施形態の部分組立分解図である。

【図8】本発明の例示的な実施形態の部分組立分解図である。

【図9】図8に示される例示的な実施形態の平面図である。

【図10】蛇行レイアウトを用いる本発明の代替の実施形態の例示的な平面図である。

【図11】本発明の代替の実施形態の部分組立分解図である。

【図12】本発明の代替の実施形態の斜視図である。

【図13】複数のメモリセル層を有する、図12に示される実施形態の斜視図である。

【図14】1組のデュアルメモリセルの例示的な実施形態を示す図である。

【図15】1組のデュアルメモリセルの別の例示的な実施形態を示す図である。

【図16】1組のデュアルメモリセルの別の例示的な実施形態を示す図である。

【図17】図12に示される基本構造を組み込む例示的なメモリアレイの部分組立分解図である。

【図18】図17に示される実施形態の平面図である。

【図19】図18に示される基本構造に対して蛇行レイアウトを用いる本発明の代替の実施形態の平面図である。

【図20】本発明の代替の実施形態の斜視図である。

【図21】本発明の代替の実施形態の部分組立分解図である。

【図22】デュアルメモリセルを用いる代替の実施形態の部分回路図である。

【図23】本発明の例示的な実施形態の側面図である。

【図24】本発明の少なくとも1つの実施形態を組み込むメモリキャリアの例示的なレイアウト図である。

【図25】本発明の少なくとも1つの実施形態を組み込む、電子装置、コンピュータシステムのブロック図である。

【図26】埋込式3次元メモリアレイの一実施形態の例示的な部分斜視図である。

【図27】本発明の実施形態を実施するために用いられる基本的なステップの例示的な流れ図である。

10

20

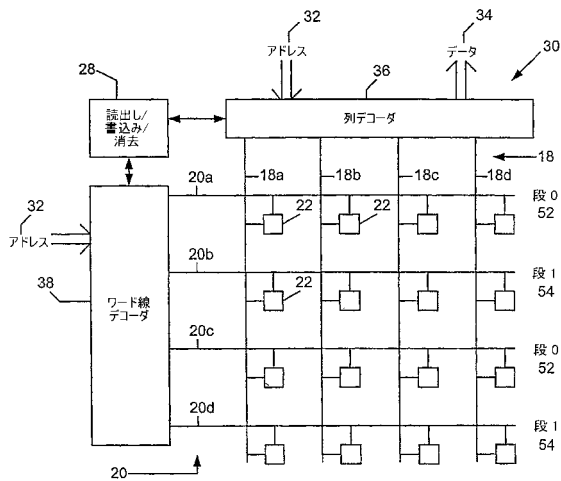
30

40

50

【図28】本発明を組み込むメモリセルを形成するための基本的なステップの例示的な流れ図である。

【図1】



【図3】

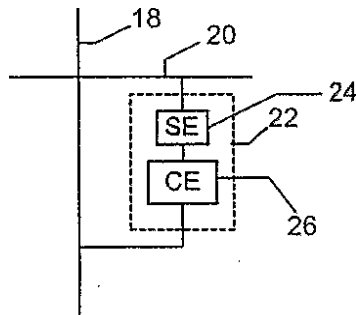
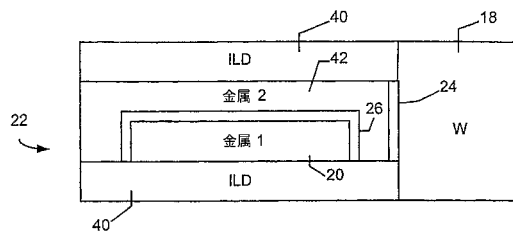
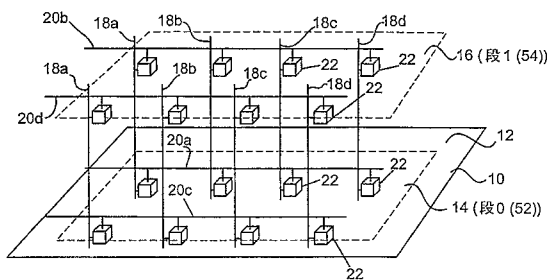


Fig. 3

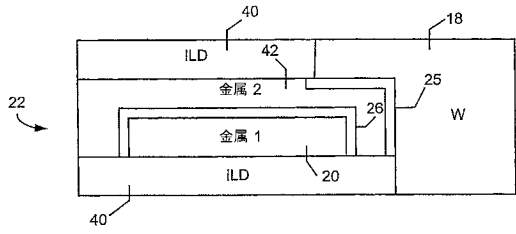
【図4】



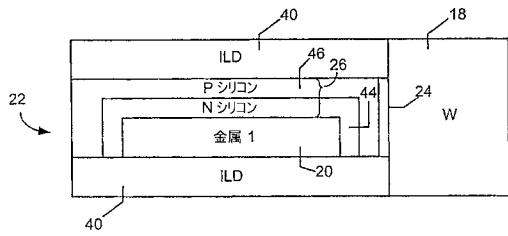
【図2】



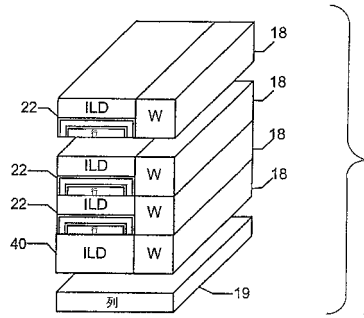
【図5】



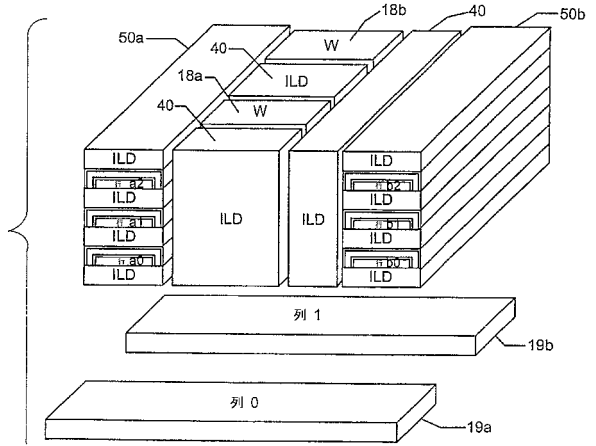
【図6】



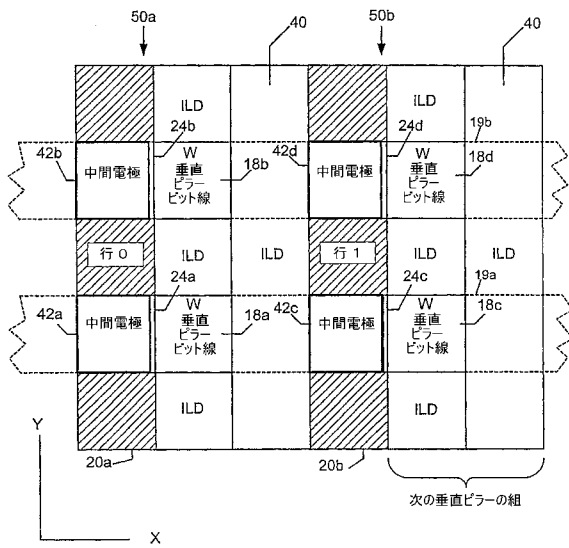
【図7】



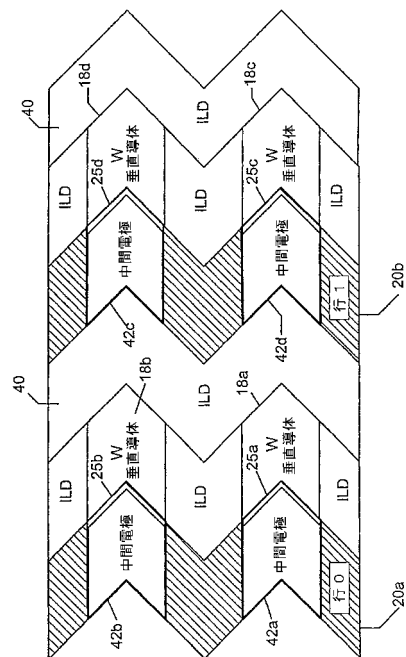
【図8】



【図9】

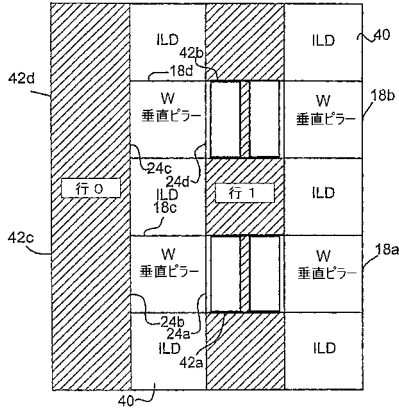


【図10】

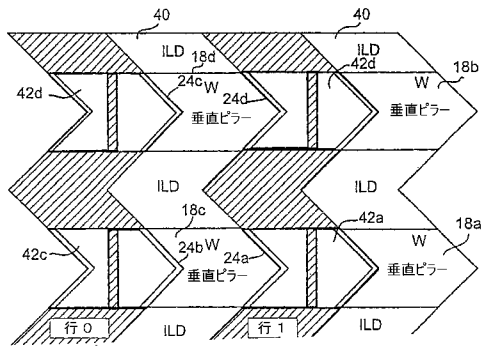




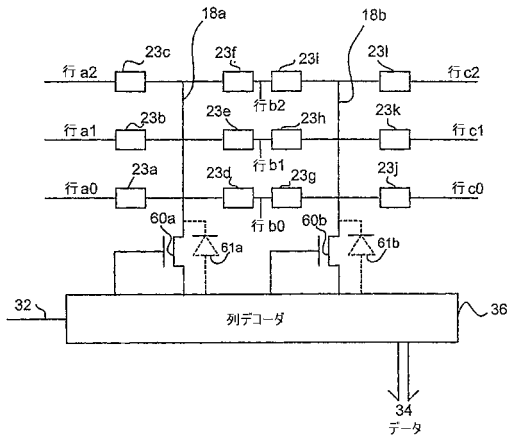
【図18】



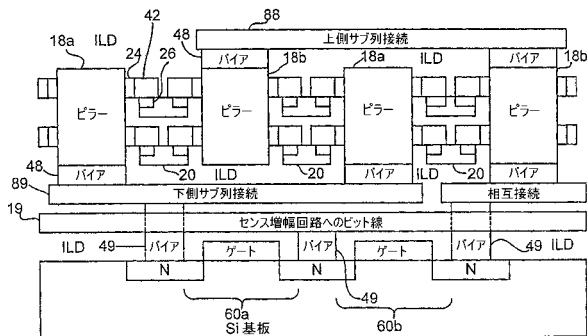
【図19】



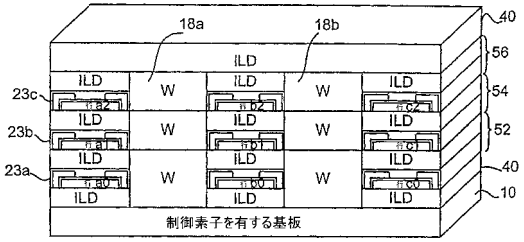
【図22】



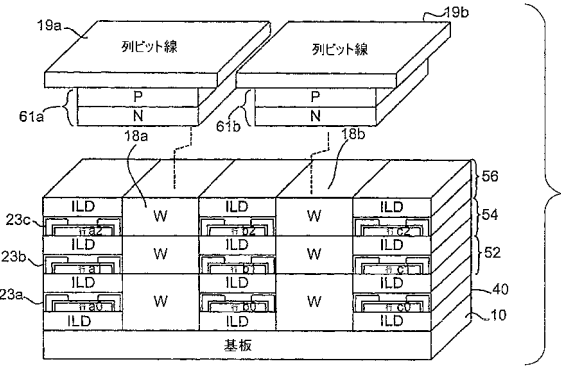
【図23】



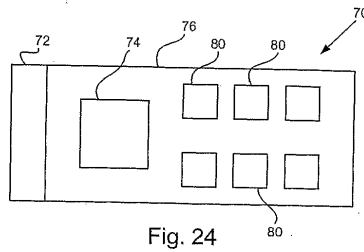
【図20】



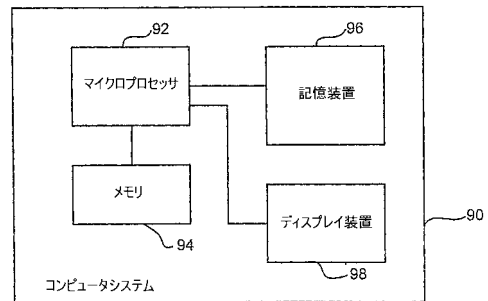
【図21】



【図24】



【図25】



【図26】

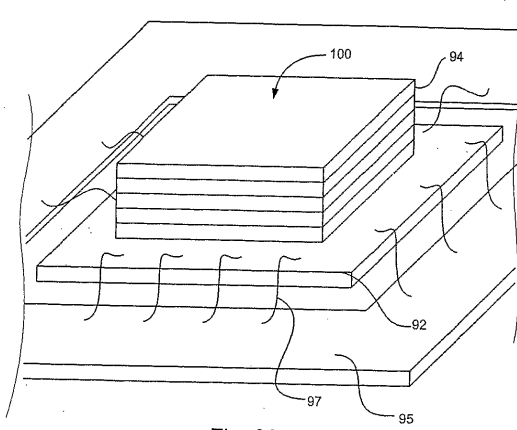
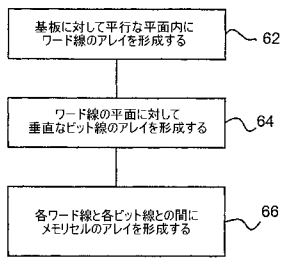
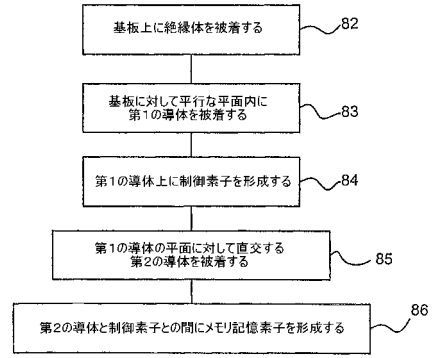


Fig. 26

【図27】



【図28】



---

フロントページの続き

- (72)発明者 ヴァン・ブロックリン, アンドリュー, エル  
アメリカ合衆国オレゴン州97330, コーバリス, ノースウエスト・ハッピー・バレー・ドライ  
ブ・6050
- (72)発明者 アンダーソン, ダリル, イー  
アメリカ合衆国オレゴン州97333, コーバリス, サウスイースト・ホワイト・オーク・ドライ  
ブ・32991

審査官 河合 俊英

- (56)参考文献 特開平02-262364(JP, A)  
特開平02-016766(JP, A)  
特開2001-357666(JP, A)  
特開平02-148763(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10  
H01L 27/105