

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/00 (2006.01)



# [12] 发明专利说明书

专利号 ZL 01142745.0

[45] 授权公告日 2007 年 6 月 20 日

[11] 授权公告号 CN 1322543C

[22] 申请日 2001.12.6 [21] 申请号 01142745.0

[30] 优先权

[32] 2000.12.6 [33] JP [31] 370873/00

[73] 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

[72] 发明人 村上智史 塚本洋介 热海知昭

坂仓真之

[56] 参考文献

JP11-111987A 1999.4.23

US5926735A 1999.7.20

CN1194039A 1998.9.23

JP2000-332256A 2000.11.30

CN1158502A 1997.9.3

审查员 赵煜

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 罗朋 梁永

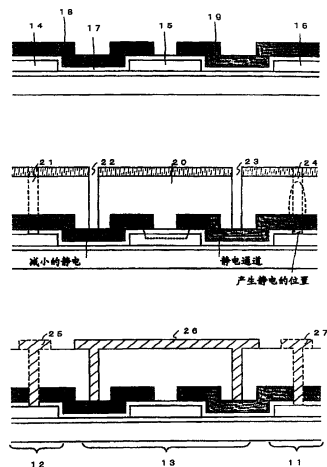
权利要求书 5 页 说明书 16 页 附图 20 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

半导体器件制造中,用于腐蚀法在层间绝缘膜中形成接触孔时产生静电。为了防止因所产生的静电移动损坏像素区或驱动电路区。在结晶半导体膜上的栅信号线相互隔开。在层间绝缘膜中开接触孔时不电连接第 1 保护电路。开接触孔进行的干腐蚀过程中产生的静电到达栅信号线之前,静电沿栅信号线移动,损坏栅绝缘膜,穿过结晶半导体膜,再损坏栅绝缘膜。随着干腐蚀中产生的静电损坏第 1 保护电路,静电能量减小,直到失去损坏驱动电路 TFT 的能力为止,由此防止静电放电损坏驱动电路 TFT。



1. 一种半导体器件, 包括:
  - 在一个绝缘表面上形成的一个结晶半导体膜;
  - 在所述结晶半导体膜上形成的一个第一绝缘膜;
  - 局部覆盖所述结晶半导体膜、其间有所述第一绝缘膜的第一信号线和第二信号线; 和
  - 处于所述第一信号线和所述第二信号线上的一个第二绝缘膜;
  - 处于所述第二绝缘膜上的金属布线;
  - 其中, 所述第一信号线和第二信号线通过所述金属布线相互电连接。
2. 按照权利要求 1 所述的半导体器件, 其中, 所述第一信号线和所述第二信号线是栅信号线。
3. 按照权利要求 1 所述的半导体器件, 其中, 所述第一信号线和第二信号线的其中之一电连接到一个象素区中的一个薄膜晶体管的栅电极。
4. 按照权利要求 1 所述的半导体器件, 其中, 所述结晶半导体膜包含一个给出 n 型或 P 型导电类型的杂质元素。
5. 按照权利要求 1 所述的半导体器件, 其中, 所述第一信号线和所述结晶半导体膜之间夹有所述第一绝缘膜, 并且所述第二信号线和所述结晶半导体膜之间夹有所述第一绝缘膜。
6. 按照权利要求 5 所述的半导体器件, 其中, 所述第一信号线和第二信号线是栅信号线。
7. 按照权利要求 5 所述的半导体器件, 其中, 所述第一信号线和第二信号线的其中之一电连接到一个象素区中的一个薄膜晶体管的栅电极。
8. 按照权利要求 5 所述的半导体器件, 其中, 所述结晶半导体膜包含一个给出 n 型或 P 型导电类型的杂质元素。
9. 按照权利要求 1 所述的半导体器件, 还包括:
  - 一个第一电路,
  - 一个包括一个第一晶体管的第二电路;

一个包括一个第二晶体管的第三电路;

其中, 所述第一电路包括:

所述结晶半导体膜;

所述第一绝缘膜;

所述第一信号线和第二信号线;

所述第二绝缘膜;

所述金属布线, 并且

所述第一信号线电连接到所述第二电路, 所述第二信号线电连接到所述第三电路。

10. 按照权利要求 9 所述的半导体器件, 其中, 所述第二电路是一个象素部分, 并且所述第三电路是一个用于驱动所述象素部分的驱动电路。

11. 按照权利要求 9 所述的半导体器件, 其中, 所述第二电路是一个象素部分, 并且所述第三电路是一个保护电路。

12. 按照权利要求 9 所述的半导体器件, 其中, 所述第一和第二信号线是栅信号线。

13. 一种包括按照权利要求 1 所述的半导体器件的电子设备, 其中, 所述电子设备中选自下列设备的组: 视频摄像机, 数码照相机, 投影机, 头戴式显示器, 汽车导航系统, 汽车收音机, 个人计算机, 便携式信息终端, 移动计算机, 便携式电话, 和电子书籍。

14. 一种包括按照权利要求 10 所述的半导体器件的电子设备, 其中, 所述电子设备中选自下列设备的组: 视频摄像机, 数码照相机, 投影机, 头戴式显示器, 汽车导航系统, 汽车收音机, 个人计算机, 便携式信息终端, 移动计算机, 便携式电话, 和电子书籍。

15. 一种半导体器件, 包括:

一个第一电路, 其中包括:

在一个绝缘表面上形成的一个第一结晶半导体膜;

在所述第一结晶半导体膜上形成的一个第一绝缘膜;

局部覆盖所述第一结晶半导体膜、其间有所述第一绝缘膜的第一信号线和第二信号线;

- 处于所述第一信号线和所述第二信号线上的一个第二绝缘膜;
- 和
- 一个处于所述第二绝缘膜上的、电连接所述第一信号线和第二信号线的第一金属布线;
- 一个第二电路, 其中包括:
- 在所述绝缘表面上形成的一个第二结晶半导体膜;
- 在所述第二结晶半导体膜上形成的所述第一绝缘膜;
- 局部覆盖所述第二结晶半导体膜、其间有所述第一绝缘膜的第三信号线和第四信号线;
- 处于所述第三信号线和所述第四信号线上的一个第二绝缘膜;
- 和
- 一个处于所述第二绝缘膜上的、电连接所述第三信号线和第四信号线的第二金属布线;
- 一个包括一个第一晶体管的第三电路;
- 一个包括一个第二晶体管的第四电路;
- 其中, 所述第一信号线电连接到所述第三电路,
- 其中, 所述第二信号线电连接到所述第三信号线, 并且
- 其中, 所述第四信号线电连接到所述第四电路。
16. 按照权利要求 15 所述的半导体器件, 其中, 所述第一和第二金属布线沿平行于沿所述第一信号线和第四信号线的方向的方向延伸。
17. 按照权利要求 15 所述的半导体器件, 其中, 所述第一和第二金属布线沿垂直于沿所述第一信号线和第四信号线的方向的方向延伸。
18. 按照权利要求 15 所述的半导体器件, 其中, 所述第三电路是一个像素部分, 并且所述第四电路是一个用于驱动所述像素部分的驱动电路。
19. 按照权利要求 15 所述的半导体器件, 其中, 所述第三电路是一个像素部分, 并且所述第四电路是一个保护电路。
20. 按照权利要求 15 所述的半导体器件, 其中, 所述第一和第四信号线是栅信号线。
21. 一种包括按照权利要求 15 所述的半导体器件的电子设备, 其中,

所述电子设备中选自下列设备的组：视频摄像机，数码照相机，投影机，头戴式显示器，汽车导航系统，汽车收音机，个人计算机，便携式信息终端，移动计算机，便携式电话，和电子书籍。

22. 一种半导体器件，包括：

一个第一电路，其中包括：

在一个绝缘表面上形成的一个第一结晶半导体膜；

在所述绝缘表面上形成的一个第二结晶半导体膜；

在所述第一和第二结晶半导体膜上形成的一个第一绝缘膜；和  
局部覆盖所述第一结晶半导体膜、其间有所述第一绝缘膜的第一信号线，

局部覆盖所述第二结晶半导体膜、其间有所述第一绝缘膜的第二信号线，

处于所述第一结晶半导体膜上的第三信号线；

处于所述第一至第三信号线上的一个第二绝缘膜；和

一个处于所述第二绝缘膜上的、电连接所述第一信号线和第二信号线的金属布线；

一个包括一个第一晶体管的第二电路；

一个包括一个第二晶体管的第三电路；

其中，所述第三信号线局部覆盖所述第一和第二结晶半导体膜，并且

其中，所述第一信号线连接到所述第二电路，并且，所述第二信号线连接到所述第三电路。

23. 按照权利要求 22 所述的半导体器件，其中，所述金属布线沿垂直于沿所述第一信号线和第二信号线的方向的方向延伸。

24. 按照权利要求 22 所述的半导体器件，其中，所述第二电路是一个像素部分，并且所述第三电路是一个用于驱动所述像素部分的驱动电路。

25. 按照权利要求 22 所述的半导体器件，其中，所述第二电路是一个像素部分，并且所述第三电路是一个保护电路。

26. 按照权利要求 22 所述的半导体器件，其中，所述第一和第二信号

线是栅信号线。

27. 一种包括按照权利要求 22 所述的半导体器件的电子设备, 其中, 所述电子设备中选自下列设备的组: 视频摄像机, 数码照相机, 投影机, 头戴式显示器, 汽车导航系统, 汽车收音机, 个人计算机, 便携式信息终端, 移动计算机, 便携式电话, 和电子书籍。

## 半导体器件及其制造方法

### 技术领域

本发明涉及提高半导体器件生产率的方法，具体涉及防止诸如薄膜晶体管（TFT）的转换器件的静电放电损坏的方法。

### 背景技术

这里所用的术语“半导体器件”通常是指利用半导体特性来控制器件功能的器件。因此，电-光器件（以后叫做显示器件）。半导体电路和电子设备都是半导体器件。

最近已开发出的 TFT 制造方法包括在有绝缘表面的衬底上形成半导体薄膜，半导体薄膜的厚度为几百至几千纳米。TFT 用于各种半导体器件中，如集成电路（IC）和电-光器件，要求飞速开发用作显示器件中的转换器件的 TFT。

新的半导体器件寻求扩大用途，例如，用作监视器，电视机，和便携式终端显示器等。因而，大批量生产半导体器件已很普遍。

图 18 是展示常规半导体器件的总电路结构的示意图大量的像素单元设置成行和列，在像素区 1701 中形成像素单元矩阵。每个像素单元包括 TFT，透明像素电极、液晶和储能电容器。

栅信号线一边的驱动电路 1711 包括：移位寄存器电路 1707，电平移相器电路 1708，缓冲电路 1709，和保护电路 1710。

源信号线一边的驱动电路 1712 包括：移位寄存器电路 1702，电平移相器电路 1703，缓冲电路 1704，放大电路 1705 和预充电电路 1706。可把预充电电路 1704 放置在面对移位寄存器电路 1702，位于电平移相器电路 1703，缓冲电路 1704 和有像素区 1701 的取样电路 1705 之间的位置。

该半导体器件中，绝缘表面上形成结晶半导体膜，结晶半导体膜上形成栅绝缘膜，栅绝缘膜上形成栅电极，由此制成 TFT。之后用层间绝缘膜覆

盖 TFT，用干式腐蚀法在层间绝缘膜中形成接触孔，并形成使 TFT 相互电连接用的金属布线。

上述半导体器件的制造方法的特征是，通过相同的工艺步骤同时形成像素区 1701，栅信号线一边的驱动电路 1711，和源信号线一边的驱动电路 1712。

现在参见图 19A 至 19C 说明常规电路的制造方法，静电发生和静电对 TFT 的损坏。绝缘表面上首先形成结晶半导体膜 1803 和 1804。之后，形成覆盖结晶半导体膜 1803 和 1804 的绝缘膜 1805。之后，绝缘膜 1805 上形成栅信号线 1806。经过这三个步骤同时形成了像素 TFT1801 和驱动电路 TFT1802。（见图 19A）

形成覆盖像素 TFT1801 和驱动电路 TFT1802 的层间绝缘膜 1807。为了把像素 TFT1801 电连接到驱动电路 TFT1802，用干腐蚀法形成接触孔 1808 和 1809 已证实，在干腐蚀步骤中产生了静电，所产生的静电由一个接触孔移动到栅信号线。图 19B 中的箭头指示像素 TFT 的接触孔中产生的静电经栅信号线向驱动电路 TFT 移动的方向。到达驱动电路 TFT 的静电损坏了驱动电路 TFT 的栅绝缘膜，之后，移动到结晶半导体膜 1803。因此，驱动电路 TFT1802 被静电损坏。见图 19B，常规电路没有防止上述产生和移动的静电对 TFT 损坏的能力。

图 20 示出静电放电对常规电路中预充电电路附近的 TFT 的损坏情形。像素区中产生的静电沿源信号线移动到像素区顶端上的接触孔 1903。静电然后移到预充电电路的漏部分中的接触孔 1904。静电由预充电电路的漏部分中的接触孔 1904 移到预充电电路的第 1 信号线 1905，之后，移到预充电电路的第 2 信号线 1906。

当静电由预充电电路的漏部分中的接触孔 1904 移到预充电电路的第 1 信号线 1905 时，绝缘膜损坏使预充电电路断裂。常规电路没有防止上述产生和移动的静电所造成预充电电路损坏的能力。

上述的静电损坏会导致使用半导体器件的显示屏中的行缺陷和点缺陷等显示缺陷，因而降低了合格率和可靠性。

制造半导体电路时，特别是在层间绝缘膜中形成直径为  $3\mu\text{m}$  的接触孔



时，必需来用微细工艺，和能提供优异的微细处理的干腐蚀。

干腐蚀工艺包括下述的步骤（1）至（6）和重复步骤（2）至（6）。

（1）腐蚀气体，例如  $\text{XeF}_2$  或  $\text{CF}_4$ ，被引入其真空室，并在上电极与下电极之间加高频电压，产生等离子体。

（2）有正电荷的反应离子从产生的等离子体以直角进入层间绝缘膜的表面。

（3）反应离子吸附到层间绝缘膜表面上。

（4）吸附在层间绝缘膜表面的反应离子在其上反应，生成反应产物。

（5）从层间绝缘膜表面除去反应产物。

（6）层间绝缘膜表面除去的反应产物被排除。

静电产生是因机械作用而使正电荷和负电荷分离的结果，因此，会在固体表面或固体与液体之间的表面发生静电。气体分隔固体表面和液体表面时，或固体或液体含有离子化气体时也会产生静电。静电会在上述步骤（3）和（5）中产生，静电产生是不可避免的。

实际上，用干腐蚀在层间绝缘膜中开接触孔时，接触孔与栅信号线之间发生的静电放电损坏大到能消除硅的程度。这种情况下，通常能看到静电从一个接触孔移动到另一接触孔。

长栅信号线有吸引静电的天线作用，并在栅信号线的两端出现静电放电损坏。

为了防止静电放电损坏，常规电路设有放在栅信号线一边的驱动电路 1711 中的保护电路 1710。但是，保护电路 1710 是一种在金属布线形成之后才起作用的电路，因此，对防止在如 TFT 制造工艺中包括的层间绝缘膜中开接触孔时产生的静电对 TFT 的损坏是无效的。在静电从 TFT 的源区或漏区移到源信号线之前，静电沿栅信号线移到 TFT 的栅极并损坏栅绝缘膜。以上述方式，静电损坏栅信号线一边的驱动电路 1711 和像素区 1701 中的 TFT。

用干腐蚀法在层间绝缘膜中开接触孔的过程中像素区中产生的静电还从像素区 1701 上端的接触孔移到预充电电路 1706 的漏部分中的接触孔。之后，静电移动到预充电电路 1706 的第一信号线和移动到预充电电路的第

2 信号线。随着静电以预充电电路 1706 的漏部分中的接触孔移到预充电电路的第 1 信号线，它损坏绝缘膜。

如上所述，常规半导体器件电路没有能力防止层间绝缘膜中开接触孔的干腐蚀过程中产生的静电损坏栅信号线一边的驱动电路 1711，象素区 1701 和源信号线驱动电路 1712 中的 TFT。这就导致用半导体器件的显示屏中出现行缺陷和点缺陷等显示缺陷。

### 发明内容

本发明的目的是提供一种能避免静电损坏的半导体器件及其制造方法。

本发明的特征之一是，半导体器件包括：绝缘表面上形成的结晶半导体膜；结晶半导体膜上形成的绝缘膜；局部覆盖结晶半导体膜的第 1 和第 2 信号线，其中第 1 和第 2 信号线之间夹有绝缘膜，第 1 和第 2 信号线经金属布线而相互连接。

按上述特征，其中，第 1 和第 2 信号线相互隔开，第 1 信号线和结晶半导体膜之间夹有绝缘膜，而第 2 信号线和结晶半导体膜之间也夹有绝缘膜。

按上述特征，第 1 信号线和第 2 信号线是栅信号线。

按上述特征，第 1 和第 2 信号线连接到构成驱动电路或象素的 TFT 的栅极。

按上述特征，结晶半导体膜含有给出 n 型或 P 型导电性的杂质。

按本发明的另一特征，半导体器件包括象素和驱动电路，其中，在用栅信号线相互连接的驱动电路和象素之间，或第 2 保护电路和象素之间，驱动电路和象素之间，或第 2 保护电路和象素之间设有一个以上的第 1 保护电路，其中第 1 保护电路保护象素和驱动电路不被静电损坏。

本发明还有一个特征是，半导体器件的制造方法包括以下步骤：在绝缘表面上形成结晶半导体膜；结晶半导体膜上形成绝缘膜；绝缘膜上形成导电膜；对导电膜构图以形成栅电极；形成覆盖栅极的层间绝缘膜，在层间绝缘膜中形成接触孔；形成电连接到薄膜晶体管的金属布线；其中，方

法还包括以下步骤：在形成结晶半导体膜的步骤中在绝缘表面上形成第 2 结晶半导体膜的步骤中在绝缘表面上形成第 2 结晶半导体膜；在形成绝缘膜的步骤中在第 2 结构半导体膜上形成绝缘膜；给导电膜构图，形成第 1 和第 2 栅信号线；形成覆盖第 1 和第 2 栅信号线的层间绝缘膜；层间绝缘膜中形成接触孔；形成连接第 1 栅信号线和第 2 栅信号线的金属布线。

本发明的另一特征是，半导体器件包括预充电电路。其中，预充电电路的第 1 栅信号线与第 2 栅信号线被隔开，在第 1 栅信号线的端部配置有接触部分。

本发明的特征之一是，在器件中吸引静电的路径中设第 1 保护电路以允许静电损坏第 1 保护电路，而本发明的另一特征是供静电通过的路径预先设在器件中的预充电电路中，以防止静电损坏预充电电路。用该方法能防止静电放电损坏像素 TFT 和驱动电路 TFT。因此，按本发明的特征之一，像素区与驱动电路区之间，或像素区与第 2 保护电路之间设有防止静电放电损坏像素 TFT 和驱动电路 TFT 的第 1 保护电路。而且，在预充电电路中，在预充电电路的第 1 信号线的端部与像素区的信号线端部隔开，预充电电路的第 1 信号线的端部形成接触孔，以使产生的静电移动到预充电电路的第 2 信号线而不损坏预充电电路中的 TFT。

按本发明，在形成像素区和驱动电路区中的 TFT 的同时用制造 TFT 的相同工艺形成防止静电损坏像素 TFT 和驱动电路 TFT 的第 1 保护电路。因此，不需额外的制造工艺。

第 1 保护电路在本说明书中叫做防止半导体器件制造工艺中产生的静电损坏像素 TFT 和驱动电路 TFT 的保护电路。第 1 保护电路让产生的静电自己损坏，以减小产生的静电的能量，由此，防止静电损坏像素 TFT 和驱动电路 TFT。

参见图 1A 至 1C 首先说明的是，在吸引层间绝缘膜中形成接触孔的干腐蚀过程中产生的静电的路径中设置第 1 保护电路，允许损坏第 1 保护电路，而防止静电放电损坏像素 TFT 和驱动电路 TFT 的方法。

首先，绝缘表面上形成结晶半导体膜 14，15 和 16。之后，形成覆盖结晶半导体 14，15 和 16 的绝缘膜 17。绝缘膜 17 上形成栅信号线 18 和 19，

见图 1A。

第 1 保护电路中，结晶半导体膜 15 上的栅信号线 18 与 19 被分隔开，因此在层间绝缘膜 20 中开接触孔时，栅信号线 18 和 19 不电连接。由于形成接触孔 24 的干腐蚀过程中产生的静电不能沿栅信号线 19 直接移动，如图 18 中箭头所示，由栅信号线 19 移动的静电到达栅信号线 18 之前，损坏栅绝缘膜 17，穿过结晶半导体膜 15，再损坏栅绝缘膜 17。图 1B 中所示接触孔 21 和 24 分别到达半导体膜 14 和 16，见图 1B。

层间绝缘膜 20 中形成接触孔的干腐蚀过程中产生的静电损坏第 1 保护电路 13 时，静电能量下降直到它丧失了损坏驱动电路 TFT12 的能力为止。结果，使驱动电路 TFT 避免受静电损坏（见图 1B）。

图 1B 所示的阶段，栅信号线 18 和 19 不相互接触，所以，像素区不电连接到驱动电路区。用金属布线形成工艺形成金属布线 2b，用于使像素区和驱动电路区相互连接，见图 1C。

以下说明的防止静电损坏预充电电路的方法是，在器件中预先设置使层间绝缘膜中形成接触孔的干腐蚀过程中产生的静电通过的路径。

预充电电路与像素区分开，使层间绝缘膜中形成接触孔的干腐蚀过程中产生的静电移动到预充电电路的第 1 信号线。像素区旁边的预充电电路的第 1 信号线的端部形成接触孔。结果，静电从像素区上端的接触孔经由设在预充电电路的第 1 信号线端部的接触孔移动到预充电电路的第 1 信号线。移动到第 1 信号线的静电流过预充电电路的第 2 信号线。由此能防止静电放电损坏预充电电路。

#### 附图说明

附图中，

图 1A 至 1C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意图；

图 2A 至 2C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意图；

图 3A 至 3C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意图；

图;

图 4A 至 4C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意

图;

图 5A 至 5C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意

图;

图 6A 至 6C 是其中包括第 1 保护电路的半导体器件的制造工艺的示意

图;

图 7 是半导体器件的全部电路结构示意图;

图 8A 和 8B 分别先设在象素区与驱动电路区之间的第 1 保护电路的 1 个实施模式示意图和第 1 保护电路的剖视图;

图 9A 和 9B 分别是设在象素区与第 2 保护电路之间的第 1 保护电路的 1 个实施模式示意图和第 1 保护电路的剖视图;

图 10 是在预充电电路中设置路径以使静电沿该路径通过,以防止静电放电损坏预充电电路的方法的示意图;

图 11 是设在象素区与驱动电路区之间的第 1 保护电路的实施模式示意图;

图 12A 和 12B 分别是设在象素区与驱动电路区之间的第 1 保护电路的实施模式示意图和第 1 保护电路的剖视图。

图 13A 和 13B 分别是设在象素区与驱动电路区之间的第 1 保护电路的实施模式示意图和第 1 保护电路的剖视图。

图 14A 至 14F 展示出利用半导体器件的设备的实例的示意图;

图 15A 和 15B 是展示出利用半导体器件的设备的实例的示意图;

图 16A 和 16B 是展示在预充电电路中设置路径以使静电沿该路径通过,以防止静电放电损坏预充电电路的成功例的示意图;

图 17A 至 17C 是电特性曲线图;

图 18 是展示常规半导体器件的全部电路结构的实例的示意图;

图 19A 至 19C 是展示常规电路制造方法,静电产生和静电损坏 TFT 的示意图; 和

图 20 是展示常规电路中预充电电路附近静电损坏 TFT 的示意图。

## 具体实施方式

### [实施模式 1]

图 8A 示出本发明的一个实施模式、电路中有设在象素区与驱动电路区之间的第 1 保护电路。图 8B 是第 1 保护电路的局部放大剖视图；以下参见图 8A 和 8B 说明第 1 保护电路的实施模式。

玻璃表面上形成的底膜（图 8A 和 8B 沿用符号指示）上形成结晶半导体膜 704。形成覆盖结晶半导体膜 704 的栅绝缘膜 705，栅绝缘膜 705 的厚度为 10 至 200nm、最好是 50 至 150nm。栅绝缘膜 705 上形成 100 至 400nm 的栅信号线 706 和 707。在结晶半导体膜 704 上栅信号线 706 和 707 相互隔开。

结晶半导体膜 704 和栅信号线 706 和 707 上形成层间绝缘膜 708。层间绝缘膜 708 中形成接触孔，和形成金属布线 709，用它电连接栅信号线 706 和 707。当第 1 保护电路被静电损坏时，金属线 709 把象素区 703 电连接到驱动电路区 701。

象素区 703 中的层间绝缘膜中开接触孔的干腐蚀过程中产生的静电从栅信号线 706 向驱动电路区 701 移动。当层间绝缘膜中开接触孔时，栅信号线 706 和 707 相互隔开。因此，静电移动到结晶半导体膜

时,栅信号线 706 和 707 相互隔开。因此,静电移动到结晶半导体膜 704 之前沿栅信号线 706 通过的静电损坏栅绝缘膜 705。之后,静电再损坏栅绝缘膜 705,和经栅信号线 707 移到驱动电路 701。

静电损坏第 1 保护电路 702,以降低它的能量,直到静电丧失了损坏驱动电路区 701 的能力为止。因此,达到驱动电路区 701 的静电不会损坏驱动电路区 701。从而,能防止静电损坏驱动电路区。

另一方面,驱动电路区 701 中的层间绝缘膜中开接触孔的干腐蚀过程中产生的静电从栅信号线 707 向像素区 703 移动。

该静电损坏第 1 保护电路 702,以降低它的能量,直到静电丧失损坏像素区 703 的能力为止。因此,到达像素区 703 的静电不会造成损坏,由此能防止静电损坏像素区 703。

之后,金属布线 709 电连接到栅信号线 706 和 707,电连接到像素区 703 到驱动电路区 701。

#### [实施模式 2]

图 9A 展示出具有设置在像素区与第 2 保护电路之间的第 1 保护电路的本发明电路的实施模式。图 9B 是第 1 保护电路的局部放大剖视图。将参见图 9A 和 9B 说明第 1 保护电路的实施模式。

第 1 保护电路 802 设在像素区 801 和第 2 保护电路 803 之间。该第 1 保护电路 802 的结构和功能与实施模式 1 中设在像素区与驱动电路区之间的第 1 保护电路 702 的结构和功能相同。第 2 保护电路 803 包括半导体膜。

在像素区 801 中的层间绝缘膜中开接触孔的干腐蚀过程中产生静电。产生的静电从栅信号线 807 移到第 2 保护电路 803。当层间绝缘膜中开接触孔时,栅信号线 806 和 807 相互隔开。因此,沿栅信号线 807 移动的静电在达到结晶半导体膜 804 之前损坏栅绝缘膜 805。之后,静电再损坏栅绝缘膜 805,并经栅信号线 806 移到第 2 保护电路 803。

静电损坏第 1 保护电路 802,以降低它的能量,直到静电失去损坏第 2 保护电路的能力为止。因此,到达第 2 保护电路 803 的静电不会造成损坏,从而能防止静电损坏第 2 保护电路 803。

之后,金属布线 809 电连接到栅信号线 806 和 807 以将像素区 801 电连接到第 2 保护电路 803。

### [实施模式 3]

图 10 示出按本发明实施模式的预充电电路及其外围电路。以下参见图 10 说明预充电电路的实施模式。

预充电电路 901 与象素区 902 隔开。预充电电路有第 1 信号线 907, 它有在象素区一边上的端部处的接触孔 904。还设有预充电电路的接触孔 905, 预充电电路的第 2 信号线 908, 预充电电路的第 2 信号线的接触孔 906。预充电电路的第 1 信号线 907 不直接连接到预充电电路的第 2 信号线 908, 但是, 经金属布线电连接到第 2 信号线 908。

象素区 902 中的层间绝缘膜中开接触孔的干腐蚀过程中产生静电。产生的静电从象素的接触孔 903 移动到预充电电路的第 1 信号线的接触孔 904。静电从预充电电路的第 1 信号线的接触孔 904 移动到预充电电路的接触孔 905。之后, 静电离开预充电电路的接触孔 905 移到预充电电路的第 2 信号线的接触孔 906。

在上述静电移动时, 由于预充电电路的第 1 信号线的接触孔 904 使静电通过预充电电路的第 1 信号线 907 移动, 但不流进预充电电路的漏部分的接触孔, 因而避免损坏预充电电路。

### [实施模式 4]

图 11 所示电路中, 在象素区与驱动电路区之间设两个第 1 保护电路 1002。

每个第 1 保护电路 1002 有与第 1 保护电路 702 相同的结构, 层间绝缘膜中开接触孔的开腐蚀过程中产生的静电允许损坏第 1 保护电路 1002, 由此, 防止静电损坏象素 TFT 和驱动电路 TFT。

用两个第 1 保护电路设置在图 11 所示电路中, 使层间绝缘膜中开接触孔的干腐蚀过程中产生的静电失去了大部分能量, 因而更有效地防止静电损坏。

### [实施模式 5]

图 12A 所示电路中, 在象素区与驱动电路区之间设置两个第 1 保护电路 1102。图 12B 是第 1 保护电路 1102 的局部示意图。

每个第 1 保护电路 1102 与第 1 保护电路 702 的结构相同。层间绝缘膜中开接触孔的干腐蚀过程中产生的静电允许损坏第 1 保护电路 1102, 由此, 能防止静电损坏象素 TFT 和驱动电路 TFT。

用两个第 1 保护电路设置在图 12 所示电路中, 使层间绝缘膜中



开接触孔的干腐蚀过程中产生的静电失去大部分能量。这使共能更有效地防止静电损坏。

#### [实施模式 6]

图 13A 所示电路有设在象素区与驱动电路区之间的第 1 保护电路 1202。图 13B 是第 1 保护电路 1202 的局部示意图。

玻璃表面上形成的底膜（图 12A 和 13B 中没有用符号指示）上形成结晶半导体膜 1203 和 1204。形成覆盖结晶半导体膜 1203 和 1204 的栅绝缘膜 1205。栅绝缘膜 1205 上形成栅信号线 1206 至 1208。在结晶半导体膜 1203 上栅信号线 1206 和 1207 相互隔开。

结晶半导体膜 1204 上栅信号线 1207 和 1208 相互隔开。结晶半导体膜 1203 和 1204 和栅信号线 1206 至 1208 上设置层间绝缘膜 1209。层间绝缘膜 1209 中形成接触孔，和形成金属布线 1210，用它使栅信号线 1206 和 1208 相互电连接。静电损坏第 1 保护电路后，金属布线 1210 电连接象素区 703 到驱动电路区 701。

与实施模式 1、2、4 和 5 相同，第 1 保护电路 1202 减小层间绝缘膜中开接触孔的干腐蚀过程中产生的静电能量，由此，防止静电放电损坏象素 TFT 和驱动电路 TFT。

#### [实施例 1]

以下将参见图 2A 至 7 详细说明其中包括第 1 保护电路的半导体器件的制造方法。

图 7 是按本发明的半导体器件的全部电路结构图。半导体器件包括象素区 601，栅信号线一边的驱动电路 612，和源信号线一边的驱动电路 613。栅信号线一边的驱动电路 612 包括移位寄存器电路 606，电平移相器电路 607，缓冲电路 608，第 2 保护电路 609 和第 1 保护电路 611。源信号线一边的驱动电路 613 包括移位寄存器电路 602，电平移相器电路 603，缓冲电路 604，取样电路 605，和预充电电路 610。能有效防止热载流子的有 GOLD 结构的多晶硅 TFT 用于移位寄存器电路 602 和 606，电平移相器电路 603 和 607，和缓冲电路 604 和 608。另一方面，能有效减小截止电流值的有 LDD 结构的多晶硅 TFT 用于象素区 601 和是部分外围电路的取样电路 605。象素区 611 与缓冲电路 608 之间设置一个第 1 保护电路 611，另一个第 1 保护电路 611 放在象素区 011 与第 2 保护电路 609 之间。预充电电路 610 设在象素

区 601 与取样电路 605 之间。

以下参见图 2A 至 6C 具体说明有上述电路结构的半导体器件的制造方法。图 2A 至 6C 是沿展示实施模式 1 的图 8A 中的 A-A' 线的剖视图。

首先,在玻璃衬底 100 上用等离子 CVD 法形成底膜 101。底膜 101 由 50nm 厚的第 1 层氮氧化硅膜 101a 和 100nm 厚的第 2 层氮氧化硅膜 101b 组成。这里用的玻璃衬底 100 可用石英玻璃,硼硅酸钡玻璃,硼硅酸铝玻璃等制造,见图 2A。

之后,在底膜 101 (101a 和 101b) 上用等离子 CVD 法形成 55nm 厚的非晶硅膜 102。之后,非晶硅膜的顶表面上加含镍的溶液。非晶硅膜在 506℃ 经 1 小时脱氢处理后,在 550℃ 经 4 小时热结晶处理,并在非晶硅膜上进行激光退火处理,使非晶硅膜变成多晶硅膜 103,见图 2B。

多晶硅膜 104 上形成 130nm 厚的氧化硅膜 105,之后,用 B 或 P 杂质元素对它掺杂,以控制 TFT 的阈值,见图 2C。

之后,用光刻腐蚀法给多晶硅膜构图,形成半导体层 202 至 204,见图 3A 和 3B。

之后用等离子法形成覆盖半导体层 202 至 204 的厚 115nm 的氮氧化硅膜作为栅绝缘膜 301。在栅绝缘膜 301 上用溅射法形成 30nm 厚的 TaN 膜 302 和 370nm 厚的钨膜 303 组成的栅电极膜,见图 4A。

之后,用于形成栅电极的光刻胶图形 304 至 307 用作掩模,在 TaN 膜和 W 膜组成的总厚度为 400nm 栅电极膜上进行干腐蚀,干式腐蚀过程中逐渐蚀光刻胶图形背面,形成锥形栅电路(见图 4B)。

干腐蚀后不去掉光刻胶图形 304 至 307,进行 n 型杂质的高浓度离子注入,作为第 1 离子注入处理。结果,在半导体层 203 和 204 中没被栅极 310 和 311 覆盖的区域内形成高浓度杂质区,即 n+ 区。进行第 1 离子注入处理的条件包括用磷(P)作 n 型杂质,杂质剂量设定为  $1.5 \times 10^{15}$  原子/cm<sup>2</sup>,加速电压设定为 80kV,见图 4B。

栅电极再经过干腐蚀。这时,用最初的光刻胶图形 304 至 307,但腐蚀条件改变,使栅电极进行各向异性腐蚀。该腐蚀中,TaN 膜被腐蚀缩小,W 膜形成角度约为 90° 的锥形,见图 4C。

进行 n 型杂质低浓度离子注入作为第 2 离子注入处理。杂质剂量

设定为  $1.5 \times 10^{14}$  原子/ $\text{cm}^2$ , 加速电压设定为 90kv。第 2 离子注入处理中, 经 TaN 膜和栅绝缘膜给被 TaN 膜覆盖的区域掺磷, 结果, 在覆盖栅极的位置形成 n--区 403 和 404。另一方面, 没被 TaN 膜覆盖的区域内, 栅电极的部分外边径栅绝缘膜掺磷 (P), 形成区域 401 和 402 (见图 5A)。

下一步骤是, 用光刻胶作掩模进行光刻构图, 在象素区中的储能电容器区 522 中开一光刻胶孔, 而用光刻胶图形 405 和 406 覆盖其余的部分, 见图 5B。

用光刻胶图形 405 和 406 作掩模, 进行 P 型杂质的高浓度离子注入作为第 3 离子注入处理。第 3 离子注入处理中, 储能电容器区 522 接收 P 型杂质注入, 如硼, 硼是确定与前述离子注入中用的杂质所确定的导电类型相反的导电类型的杂质。被 TaN 膜而不是被栅电极 311 覆盖的区域 407 中形成高浓度杂质区, 即 P' 区。第 3 离子注入区已经接收有 n 型杂质磷的离子注入。但是, 用 P 型杂质硼 (B) 掺杂的区域的 B 浓度是  $2 \times 10^{20}$  至  $2 \times 10^{21}$  原子/ $\text{cm}^3$ , 因此, 它能用作 P-沟道多晶硅 TFT 的源和漏区, 见图 5C。

去掉光刻胶图形 405 和 406, 之后, 用等离子 CVD 法形成 150nm 的氮氧化硅膜作为第 1 层间绝缘膜 501。半导体层 202 至 204 在 550℃ 经 4 小时热退火, 以热激活注入半导体层中的杂质元素。本实施例中, 在热激活杂质元素时用镍吸气剂作为半导体层 202 至 204 的结晶催化剂。镍吸气剂用于减小 TFT 的截止电流值, 提高 TFT 的场效应迁移率。通过吸气, 镍迁移到含高浓度磷的杂质区 312 至 314, 镍的浓度在用作沟道形成区的半导体层中减小。用该方法形成沟道形成区, TFT 能具有优异的电性能, 如能减小截止电流值。可在第 1 层间绝缘膜 501 形成之前进行热激活处理。但是, 若栅极 310 和 311 的布线材料的耐热性差, 就应像本例一样在热激活处理之前形成层间绝缘膜。之后, 在含 3% 的  $\text{H}_2$  的氮气氛中在 410℃ 进行 1 小时的热处理, 使半导体层 202 至 204 被氢化处理 and 它的悬空键被终止, 见图 6A。

在用氮氧化硅形成的第 1 层间绝缘膜 501 上形成厚  $0.16 \mu\text{m}$  用丙烯酸树脂构成的有机绝缘材料制成的第 2 层间绝缘膜 506。此后, 用光刻干腐蚀法形成接触孔, 它把两根栅信号线 502 和 503 和第 1 保护电路 520 连接到是第 1 和第 3 离子注入区的杂质区 312, 313 和 407。

已证实在这阶段已产生了静电。但是，第1保护电路已经完成，所产生的静电损坏第1保护电路520。因此，能防止静电放电损坏像素TFT的驱动电路TFT，见图6B。

之后，形成电连接第1保护电路520的两根栅信号线502和503的金属布线507。在形成金属布线507的同时形成像素区523中的连接电极508和509和储能电容器522中的连接电极510。这里用的金属布线是50nm厚的钛(Ti)膜和500nm厚的Al-Ti合金膜的叠层膜。连接电极509连接到像素TFT521的杂质区313，连接电极510连接到存储电容器522的杂质区407。之后，经光刻和干腐蚀形成110nm厚的诸如ITO(氧化铟锡)的透明电极膜，它构成透明像素电极511。透明像素电极511经连接电极509电连接到像素TFT521的杂质区313。透明像素电极511经连接电极510电连接到储能电容器522的杂质区407，见图6C。

这样制成的半导体器件包括第1保护电路520和具有像素TFT和储能电容器522的像素区523。

#### [实施例2]

图16A至17C示出本发明方法用于半导体器件的一个实例。图16B是图16A的放大图。

像素区上端接触孔(1)中产生的静电移动到器件中预充电电路的第1信号线(3)的下端设置的接触孔(2)，静电从接触孔(1)沿预充电电路的第1信号线(3)移动到预充电电路的第2信号线的接触孔(5)，然后移到预充电电路的第2信号线。

常规电路中，接触孔(2)不设在预充电电路的第1信号线(3)的下端。像素区中产生的静电从像素区上端的接触孔(1)移动到预充电电路的漏部分中的接触孔(2)，之后，沿预充电电路的第1信号线(2)移动，到达预充电电路的第2信号线的接触孔(5)，并由此进入预充电电路的第2信号线。当静电从预充电电路的漏部分的接触孔移动到预充电电路的第1保证线(3)时，损坏预充电电路。

图17A至17C是电性能测试曲线图，它表明，用本发明方法，即使像素区中产生的静电通过预充电电路，也能成功防止静电损坏预充电电路。

图17B是静电在第1280级地址的移动轨迹，但它的电性能与图

17A 所示第 1279 级地址的电性能没有差别, 图 17C 所示的第 1281 级地址没有发现移动轨迹。这表明具有好的防静电损坏功能。

以上结果表明, 本发明能防止静电损坏预充电电路, 提高半导体器件的合格率和可靠性。

### [实施例 3]

按本发明制造的有源矩阵衬底和液晶显示器能用于各种电-光装置。通常本发明能用于包括作为显示部分的电-光装置的全部电子设备中。

以下将说明这些电子设备: 视频摄像机, 数码照相机, 投影机, 头戴式显示器, 汽车导航系统, 汽车收音机, 个人计算机, 便携式信息终端, 移动计算机, 移动电话, 和电子书籍等。图 14 和 15 示出这些电子设备的实例。

图 14A 示出个人计算机, 它包括: 主体 1301; 图像输入部分 1302; 显示部分 1303; 和键盘 1304。本发明能用于图像输入部分 1302, 显示部分 1303 和其它驱动电路。

图 14B 示出视频机, 它包括: 主体 1305; 显示部分 1306; 声音输入部分 1307; 操作开关 1308; 电池 1309 和图像接收部分 1310。本发明能用于显示部分 1306, 声音输入部分 1307 和其它驱动电路。

图 14C 示出移动计算机, 它包括主体 1311; 摄像机部分 1312; 图像接收机部分 1313; 操作开关 1314 和显示部分 1315。本发明能用于显示 1315 和其它驱动电路。

图 14D 是显示镜型显示器, 它包括: 主体 1316; 显示部分 1317; 和镜腿部分 1318。本发明能用于显示部分 1317 和其它驱动电路。

图 14E 是用记录节目的记录介质(以下叫做记录介质)的播放机, 它包括: 主体 1319; 显示部分 1320; 话筒 1321; 记录介质 1322 和操作开关, 该设备用 DVD(数码多功能盘), CD 等作记录介质, 能用于欣赏音乐、电影、做游戏、和用于互联网。本发明能用于显示部分 1320 和其它驱动电路。

图 14F 示出的是数码照像机, 它包括: 主体 1324; 显示部分 1325; 取景器 1326; 操作开关 1327; 和图像接收部分(图中没画)。本发明能用于显示部分 1325 和其它驱动电路。

图 15A 是前(或正)投型投影机, 它包括: 光源光学系统和显示

器 1401; 屏幕 1402. 本发明能用于显示部分和其它驱动电路.

图 15B 是背投型投影机, 它包括: 主体 1403; 光源光学系统和显示器 1404; 镜子 1405 和屏幕 1406. 本发明能用于显示部分和其它驱动电路.

如上所述, 本发明的应用领域很宽, 本发明可用于各种领域的电子设备. 注意, 可用实施模式 1 至 4, 实施例 1、2 和 3 的任何结构组合制成本实施例的这些电子设备.

按本发明, 用第 1 保护电路, 或预充电电路第 1 保护线端部的接触孔减小层间绝缘膜中开接触孔用的干腐蚀过程中产生的静电能量. 由此防止静电损坏象素 TFT, 驱动电路 TFT 和预充电电路.

通过防止静电损坏, 本发明能提高半导体器件的合格率和可靠性, 能有效降低生产成本.

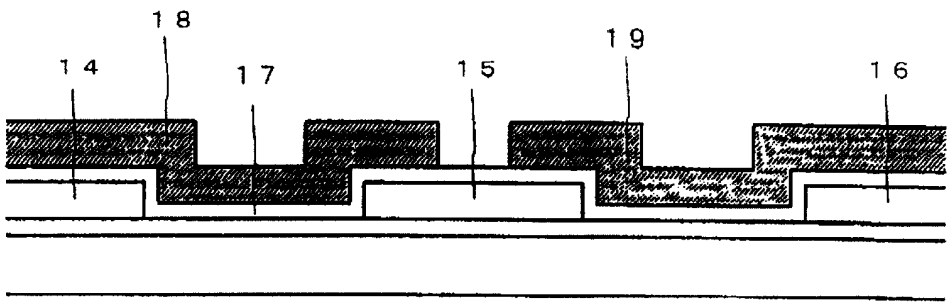


图 1A

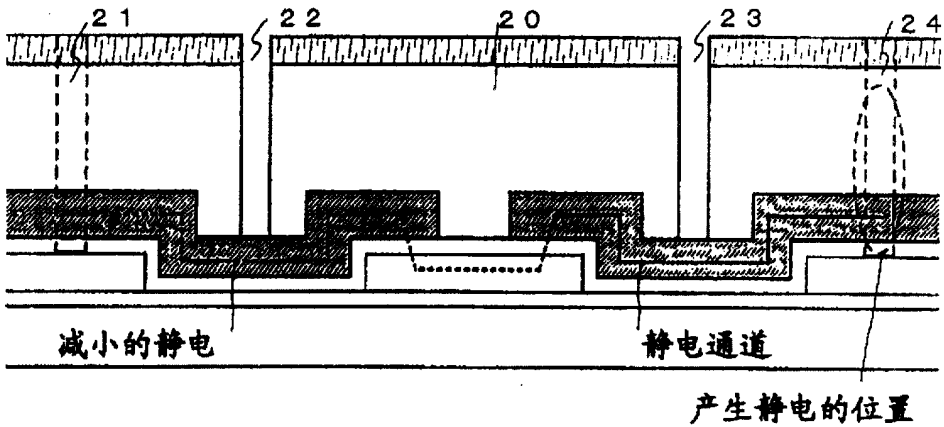


图 1B

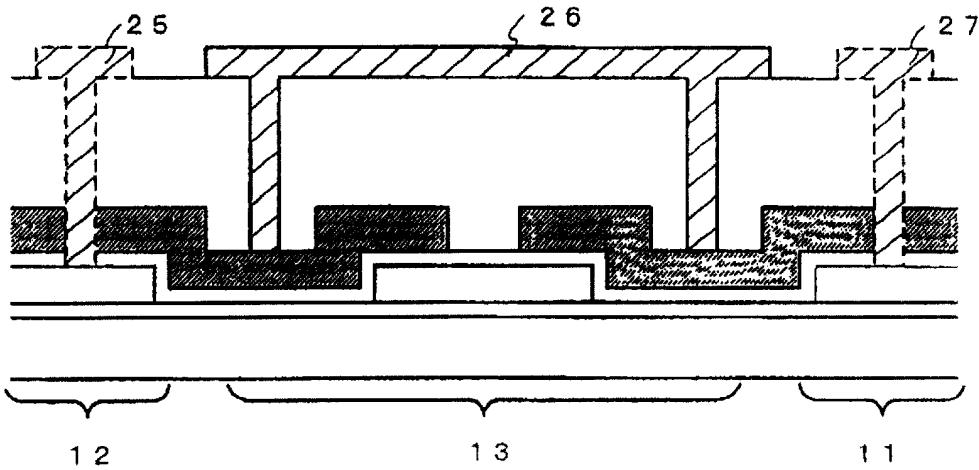


图 1C

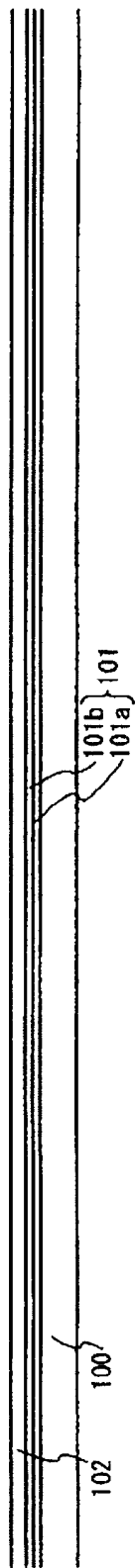


图 2A



图 2B

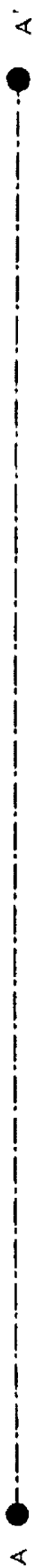
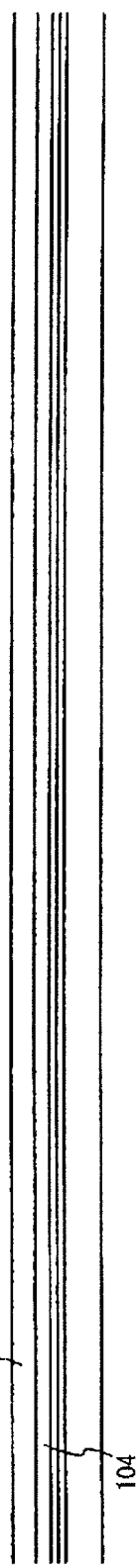


图 2C



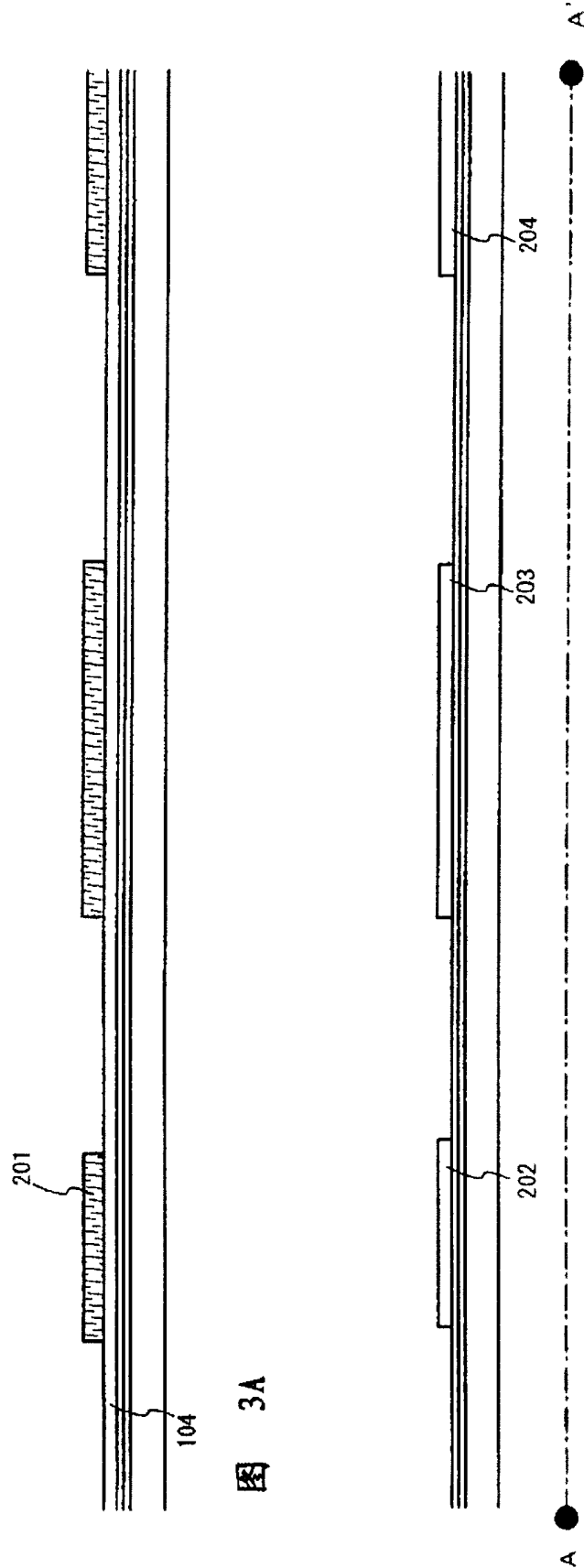
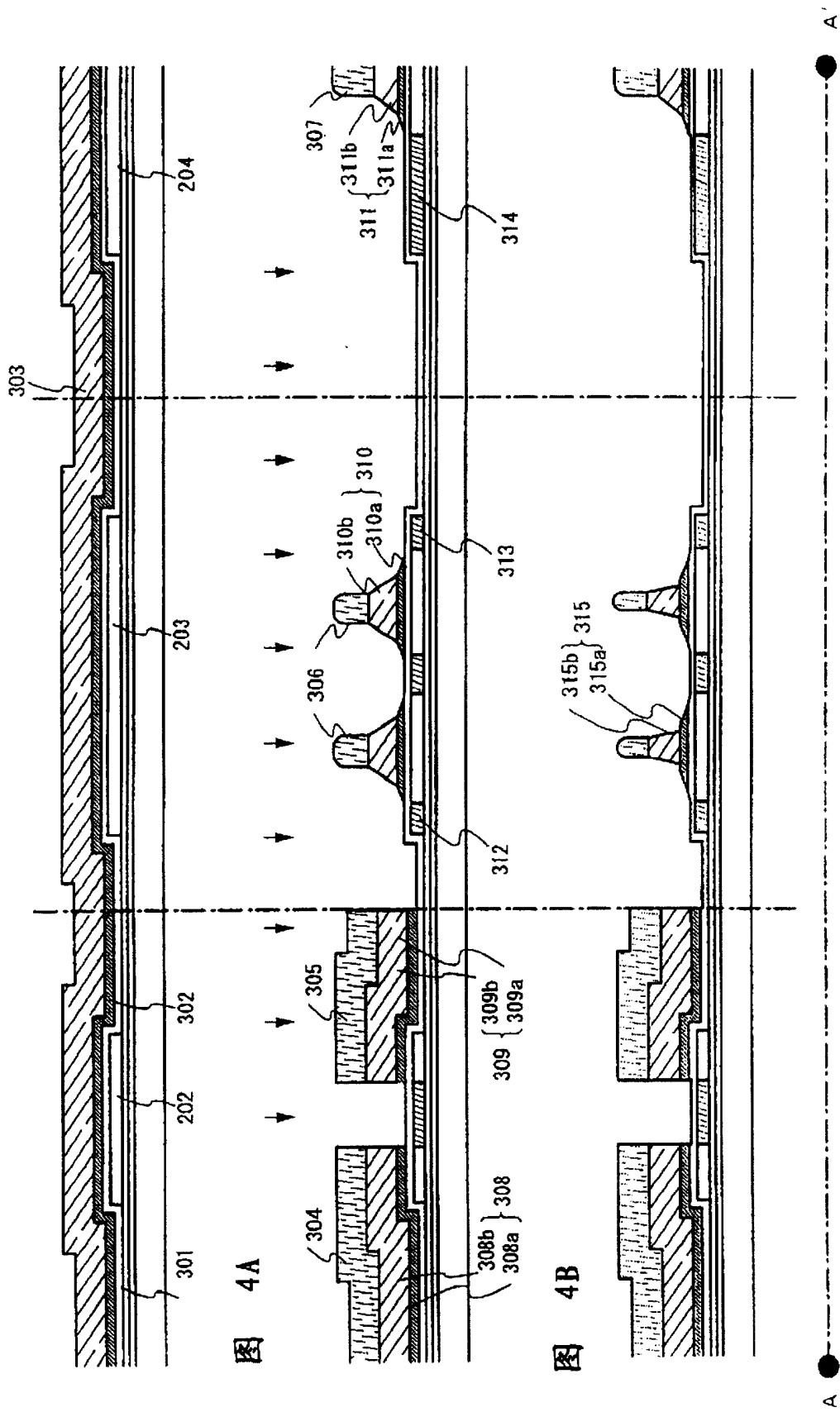
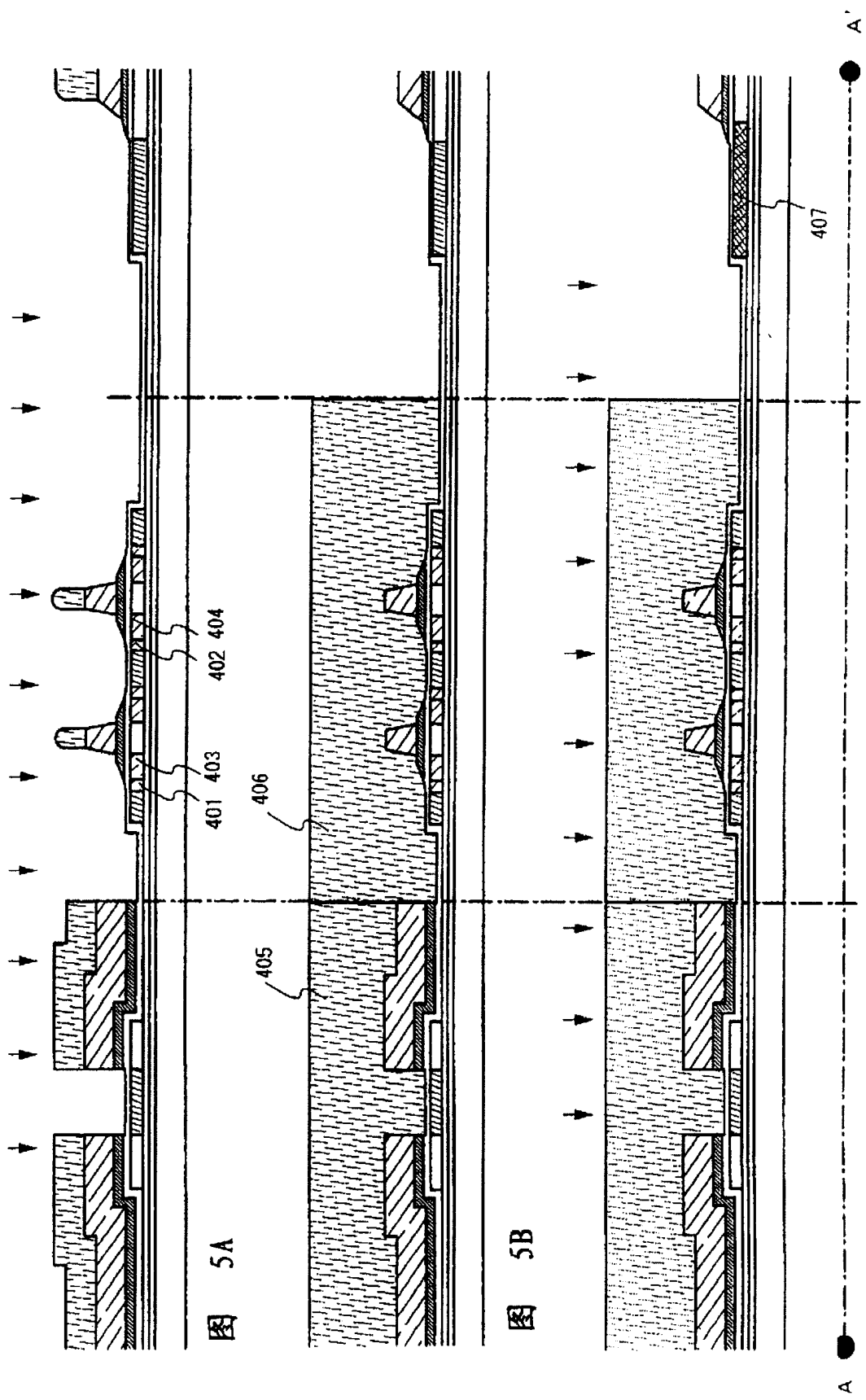


图 3A

图 3B







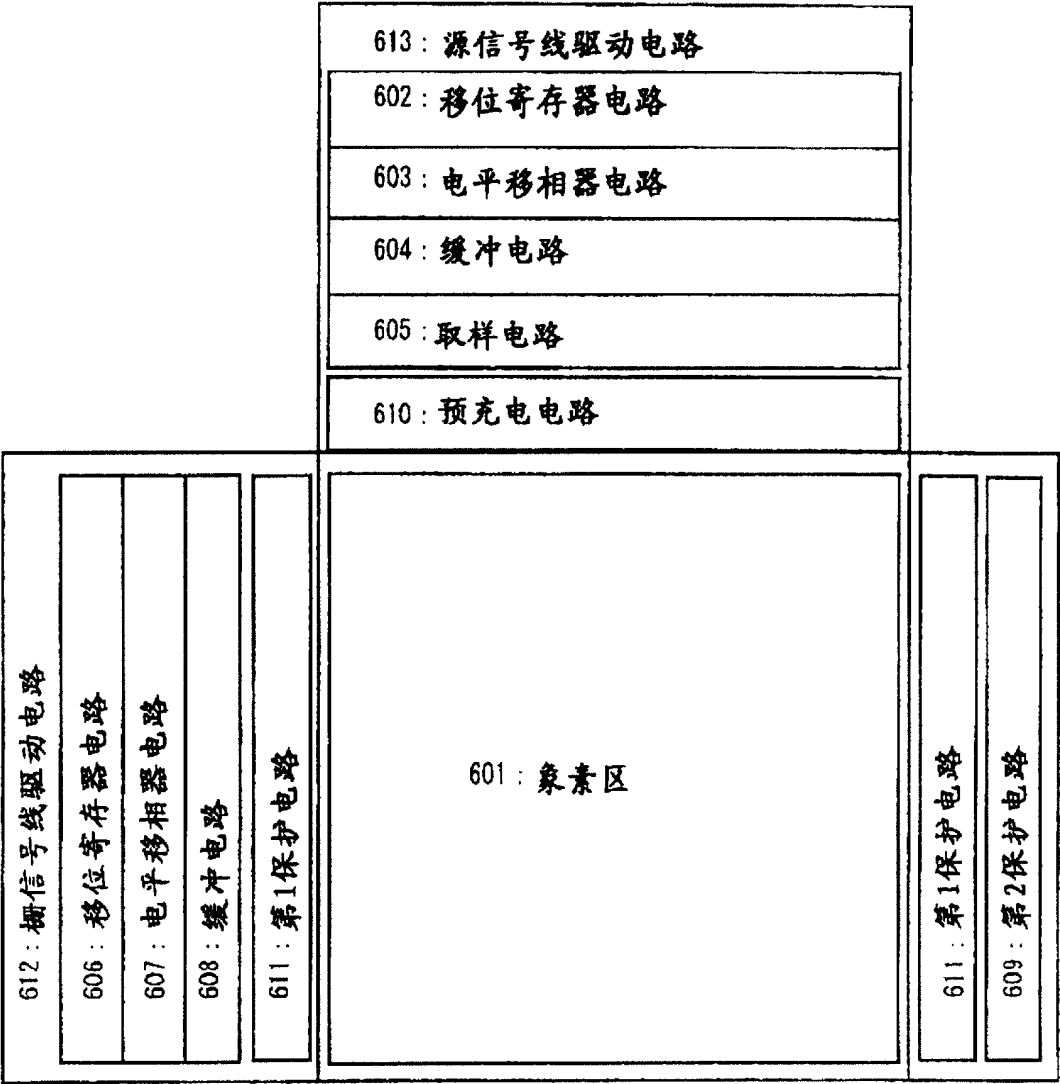


图 7

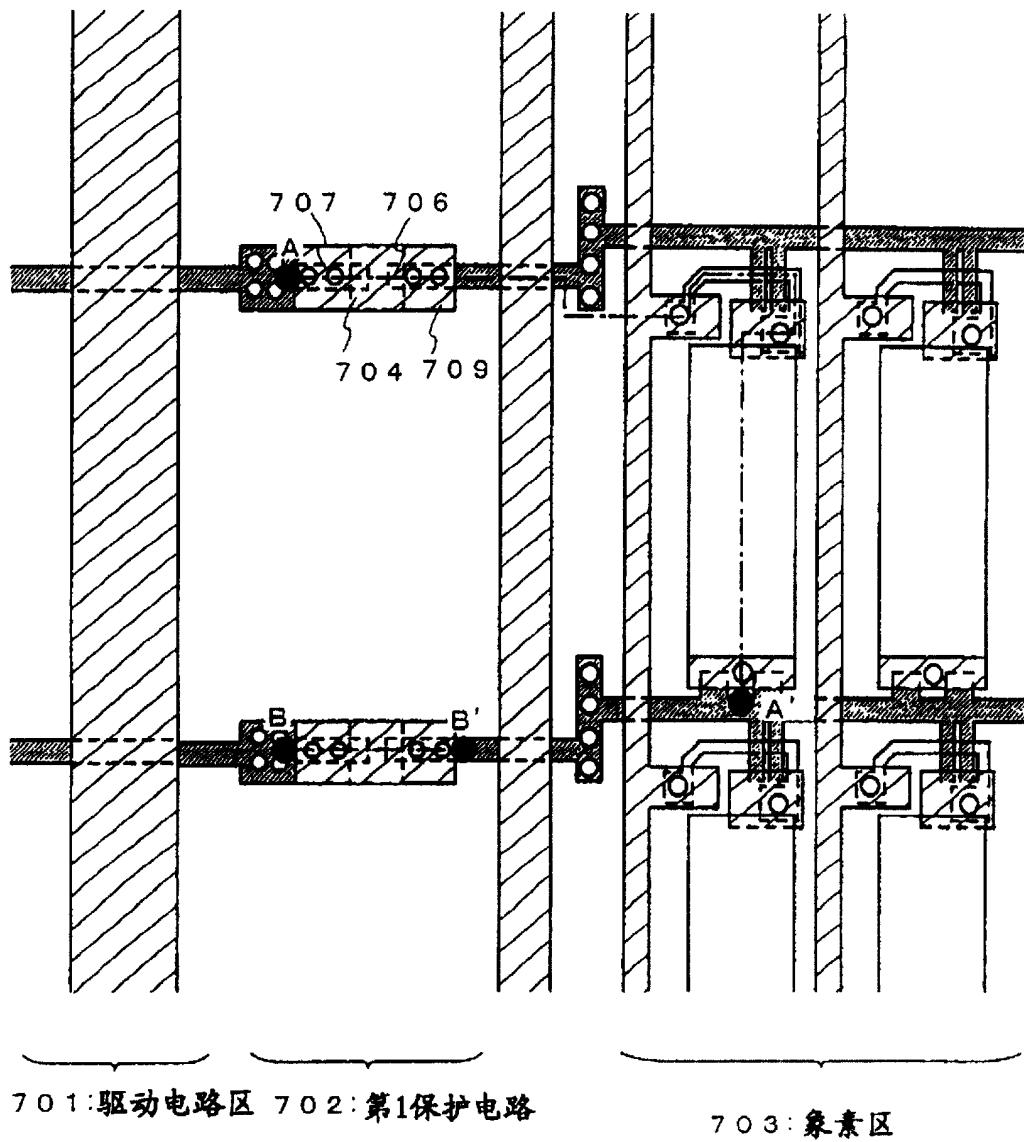


图 8A

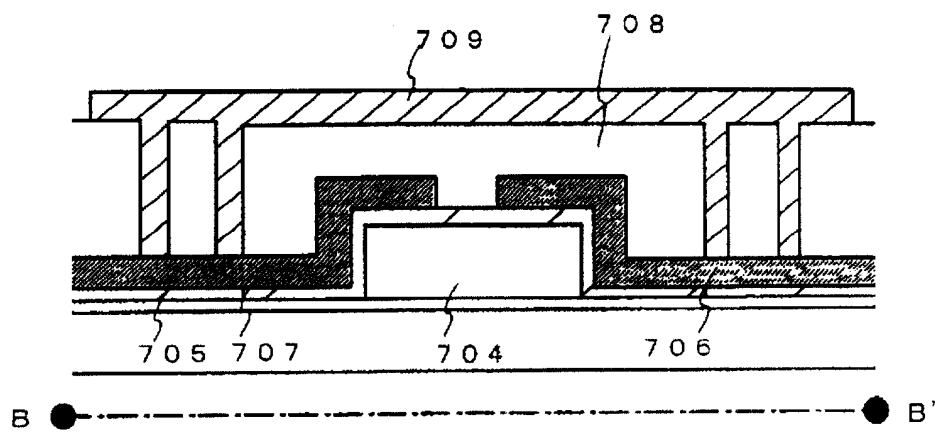


图 8B

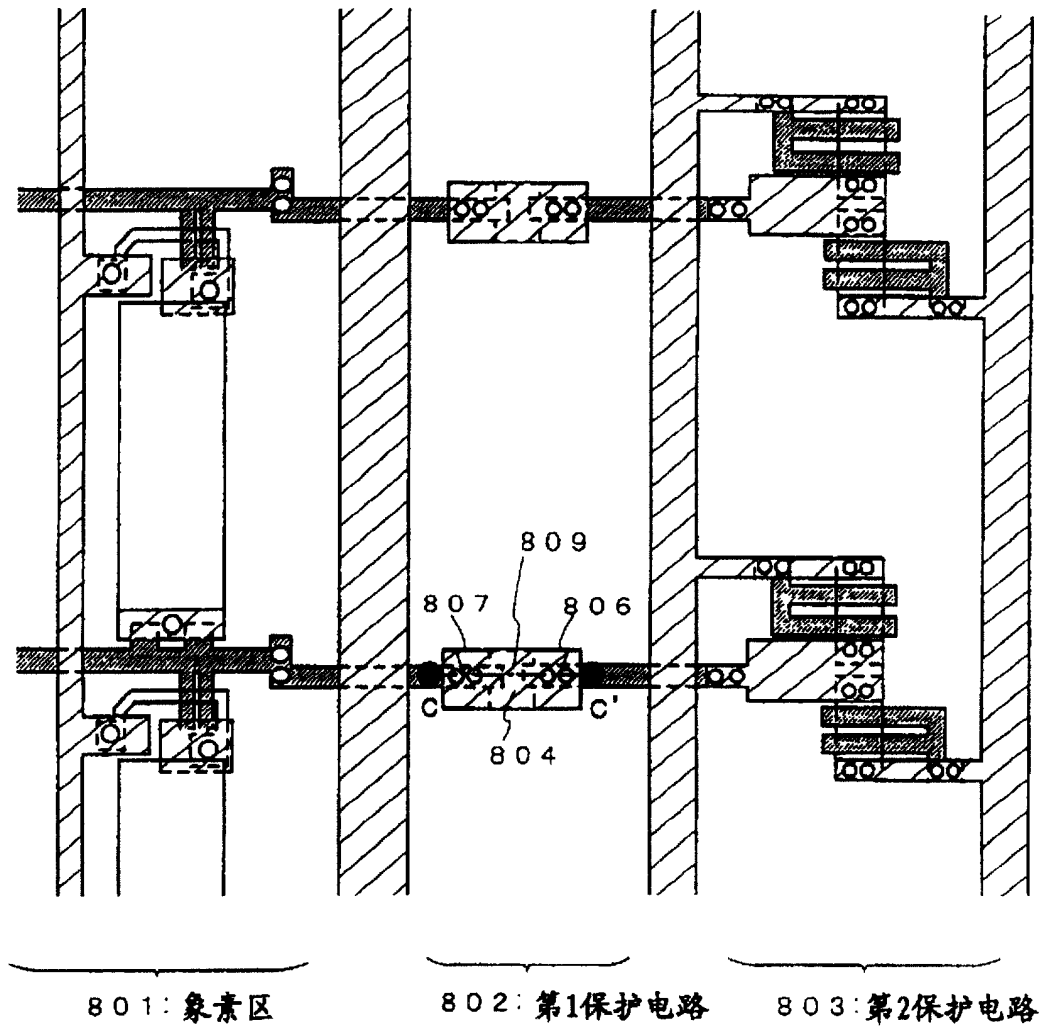


图 9A

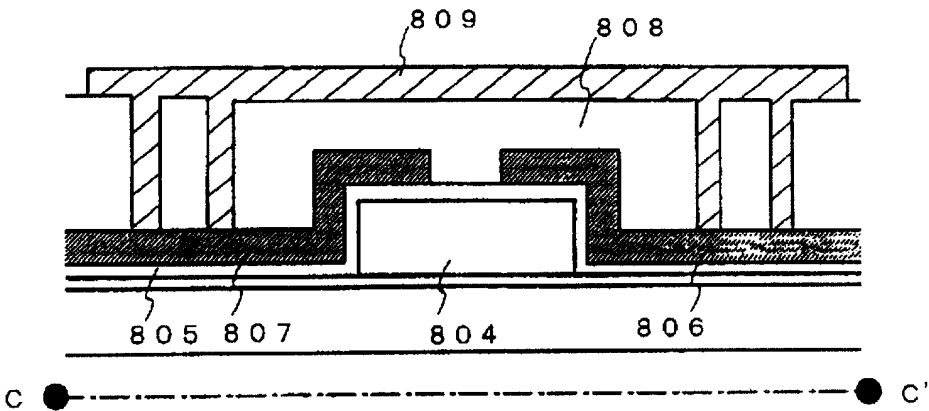


图 9B

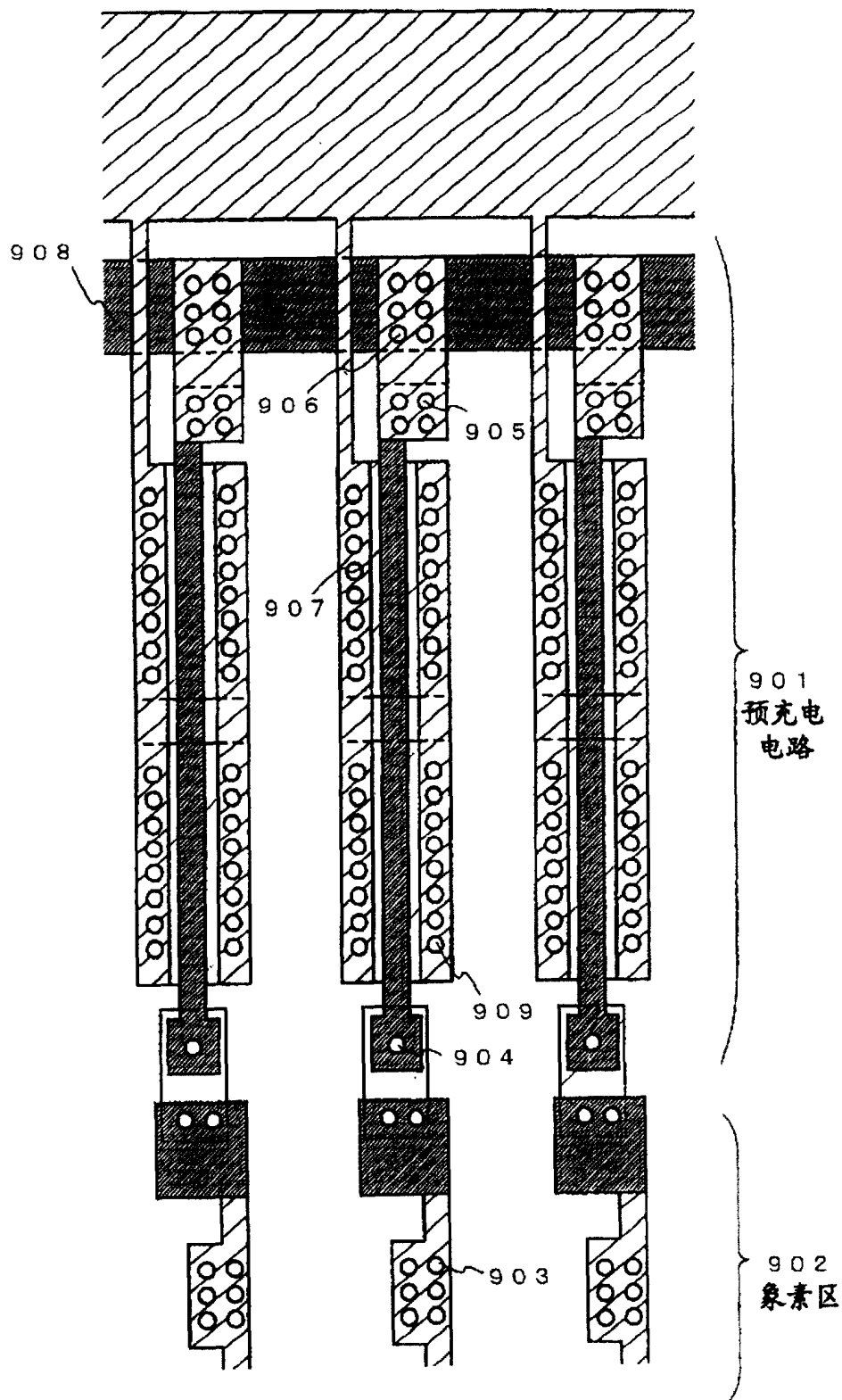


图 10



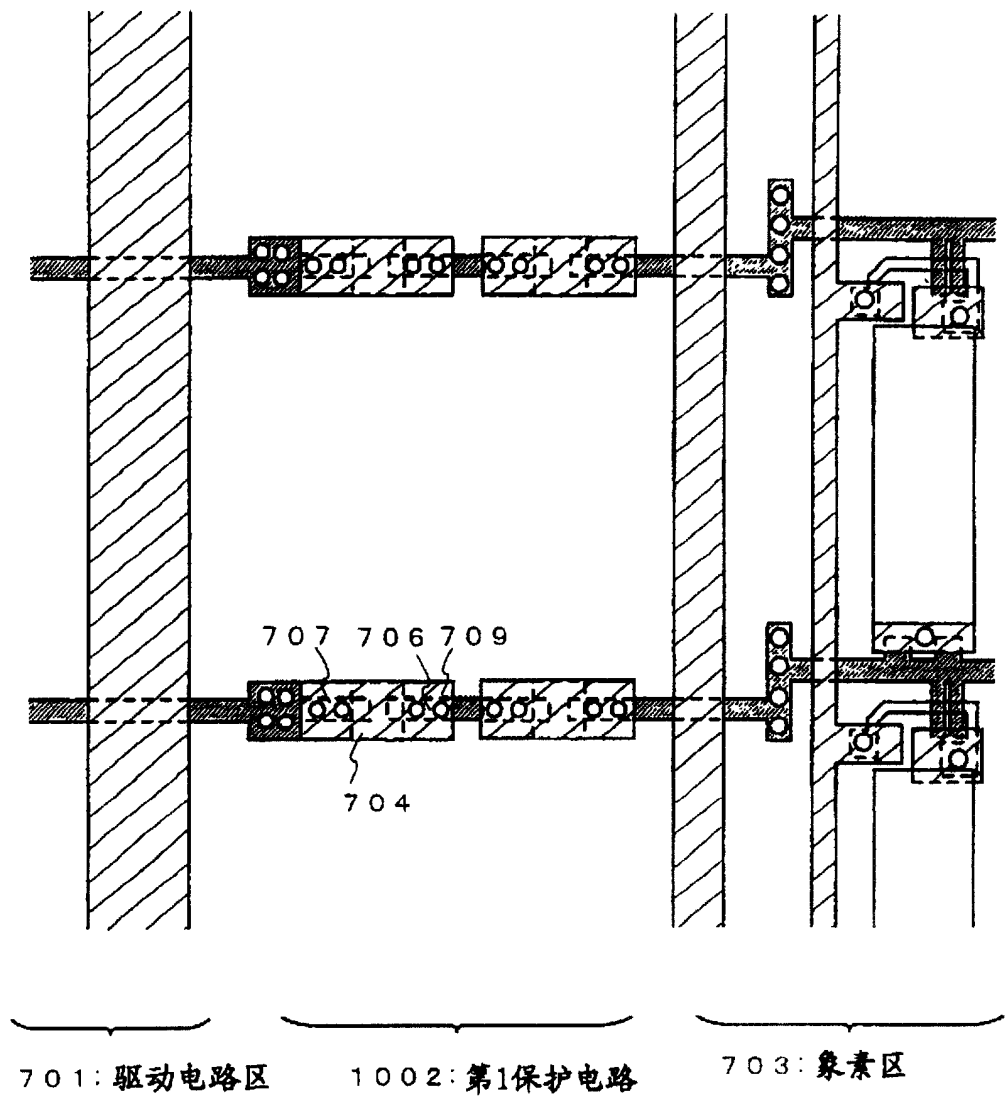


图 11

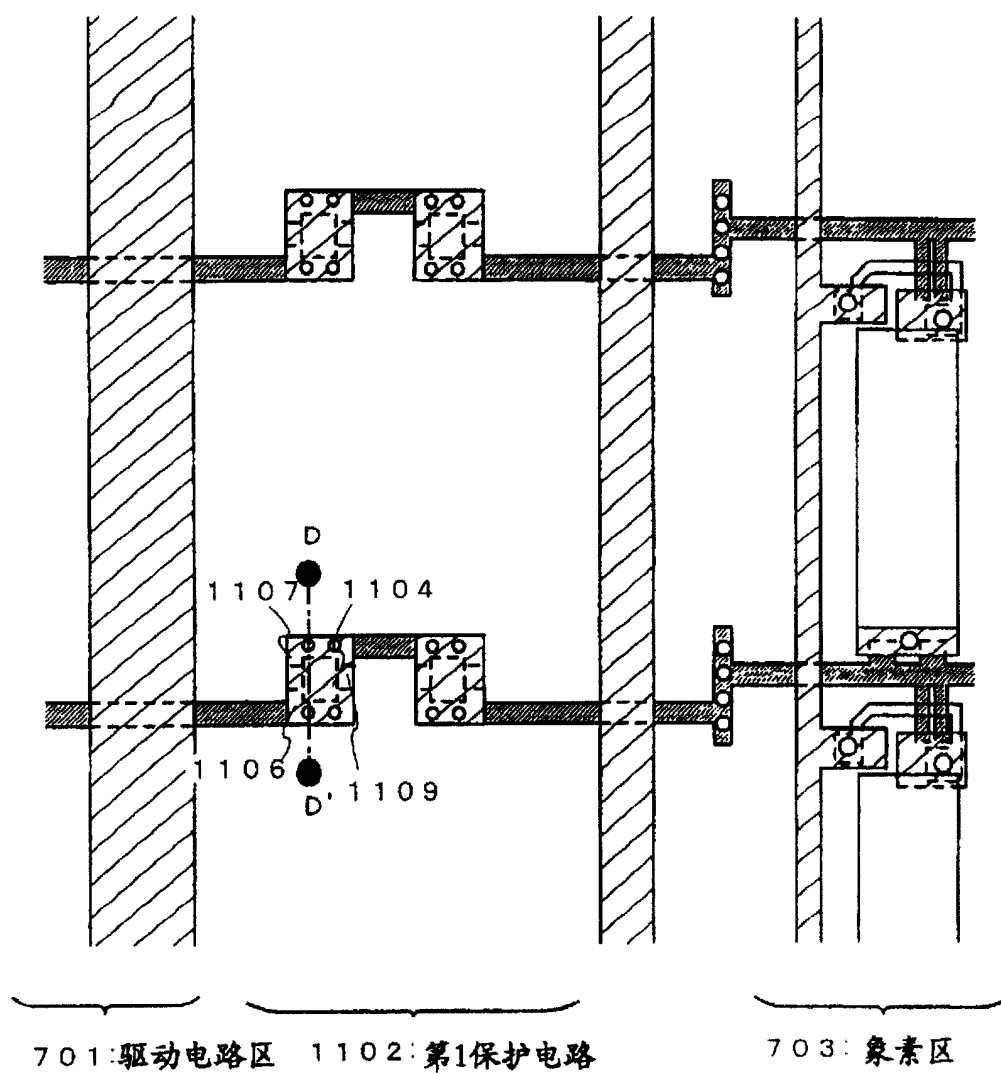


图 12A

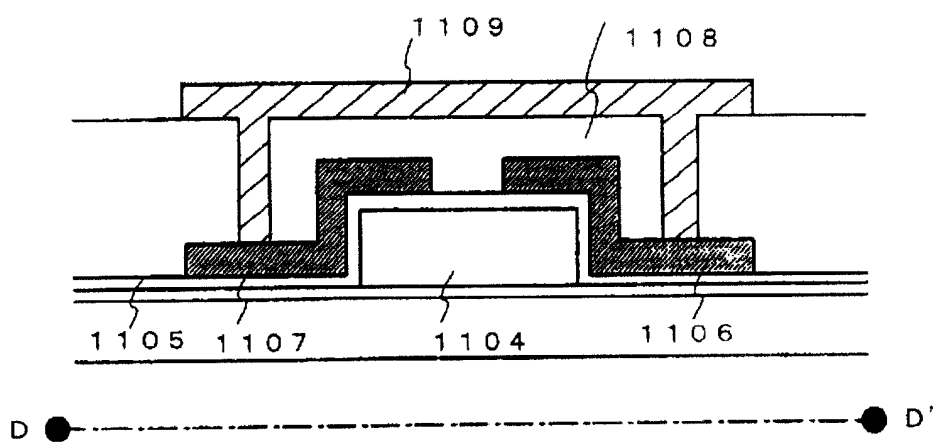


图 12B

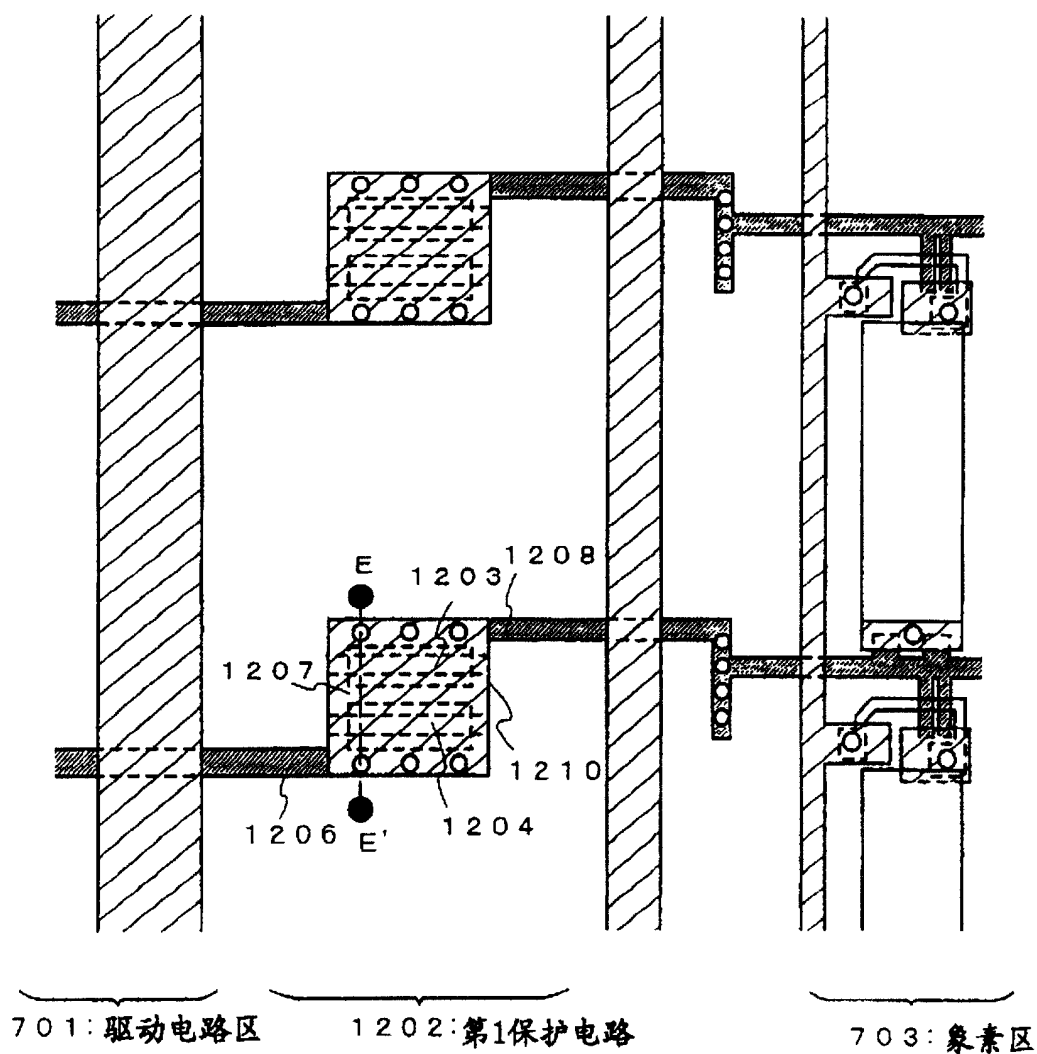


图 13A

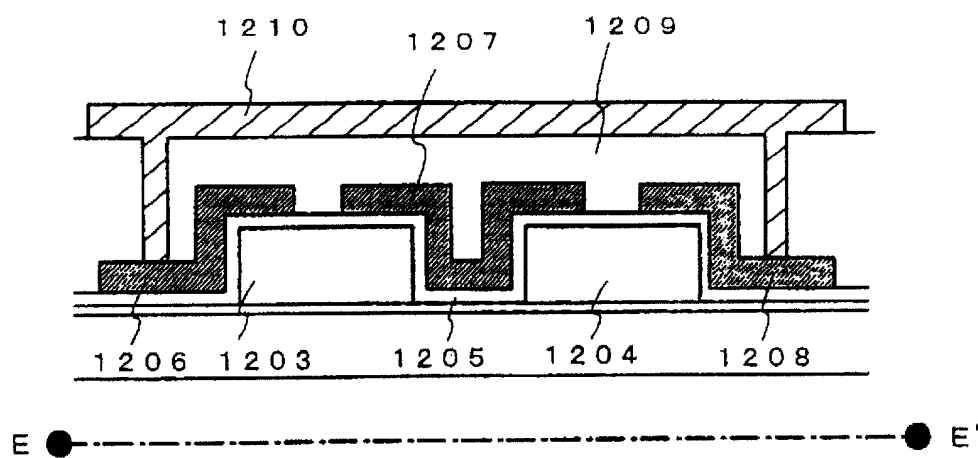


图 13B

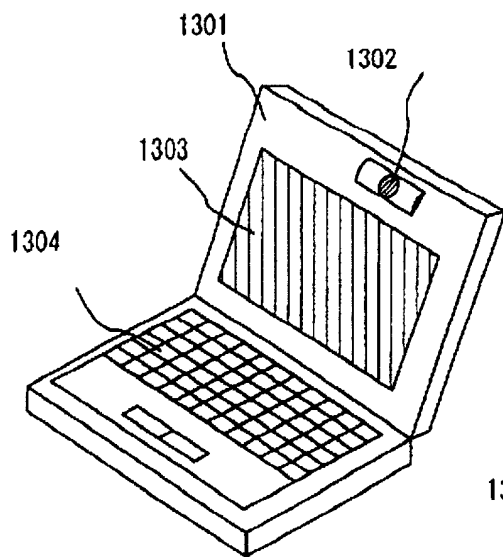


图 14A

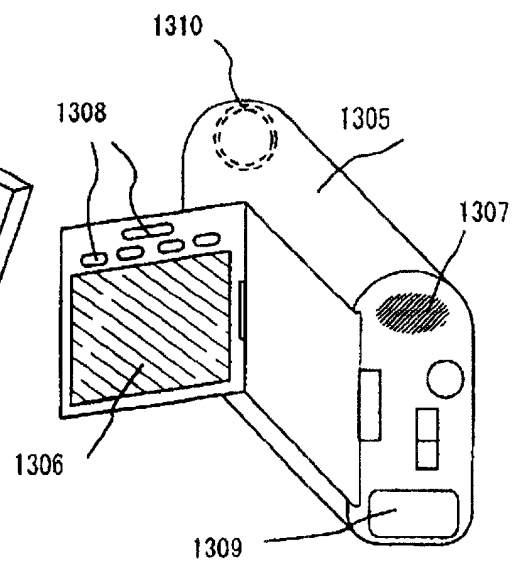


图 14B

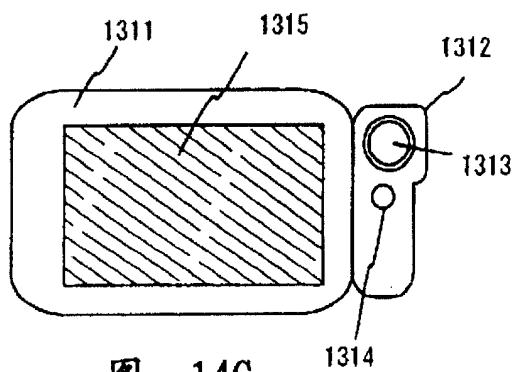


图 14C

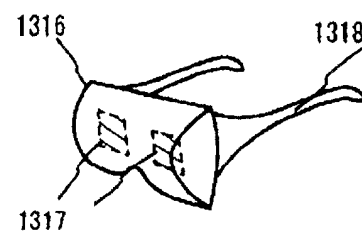


图 14D

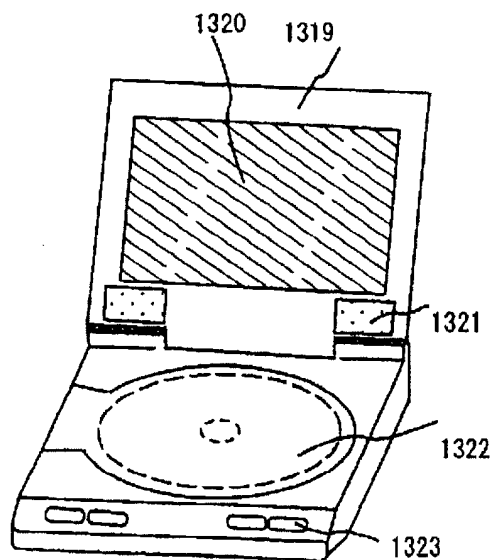


图 14E

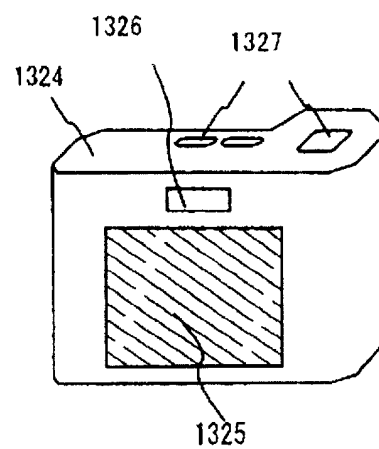


图 14F

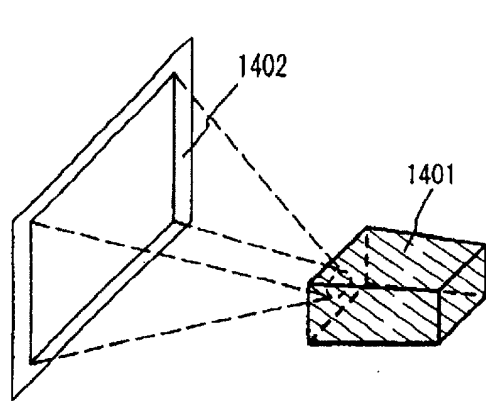


图 15A

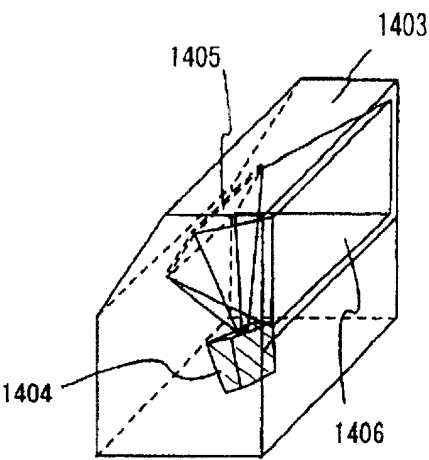


图 15B

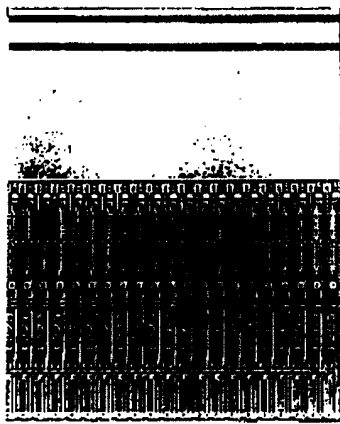


图 16A

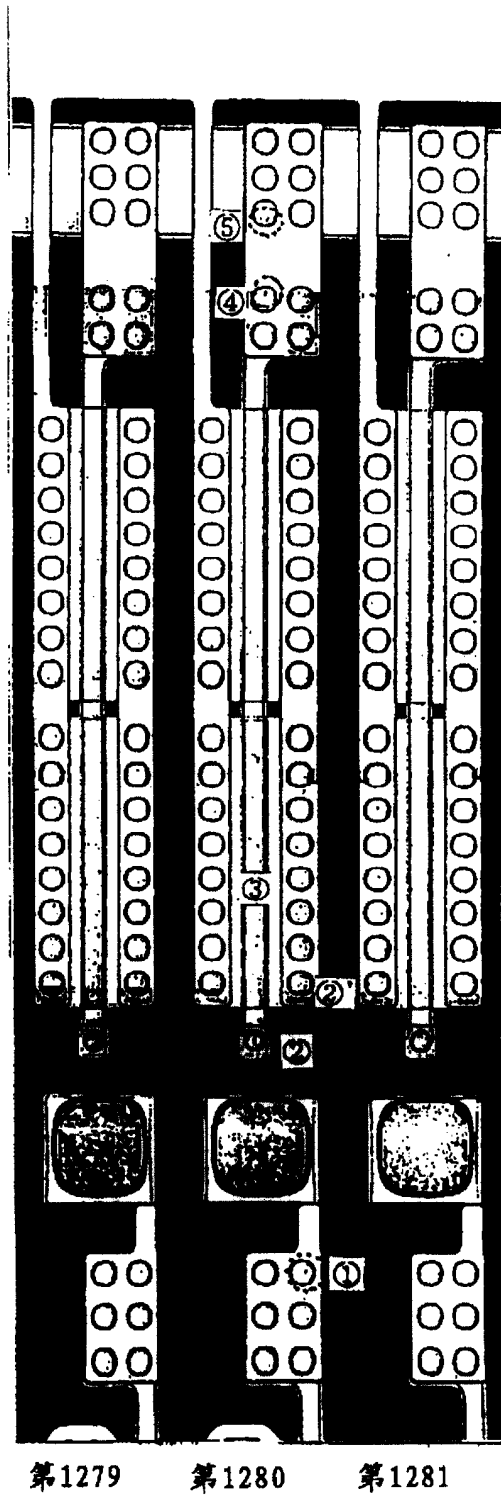
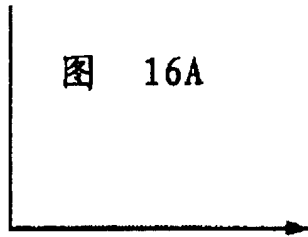


图 16B

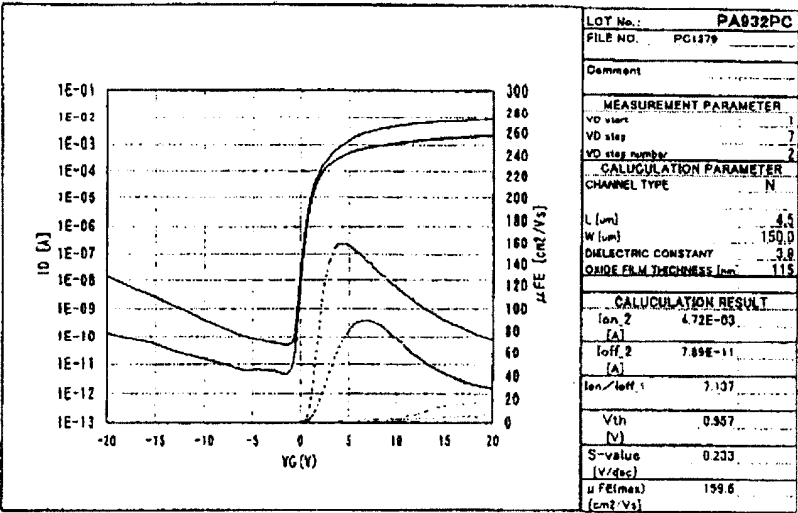


图 17A

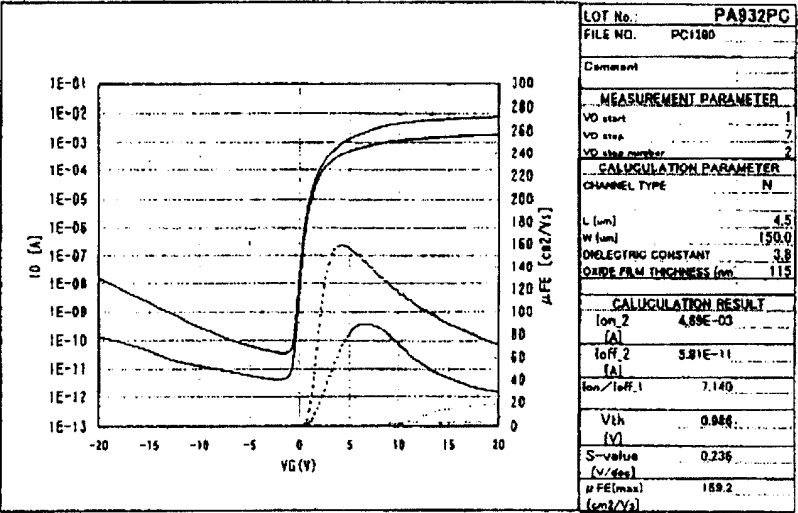


图 17B

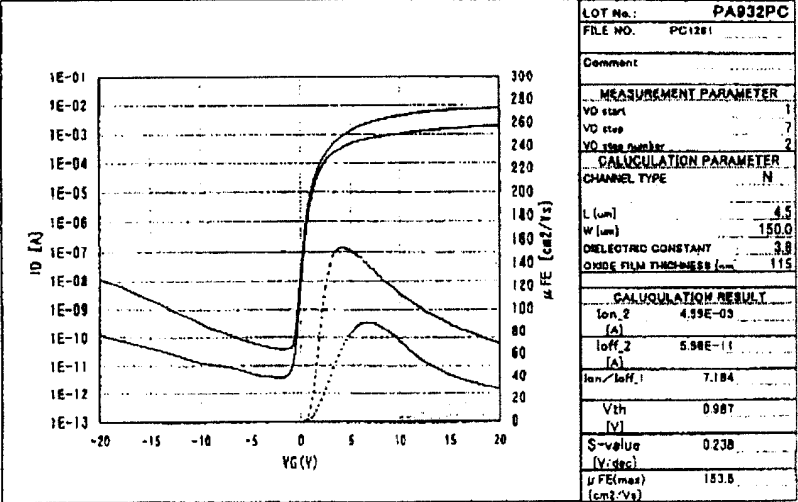


图 17C

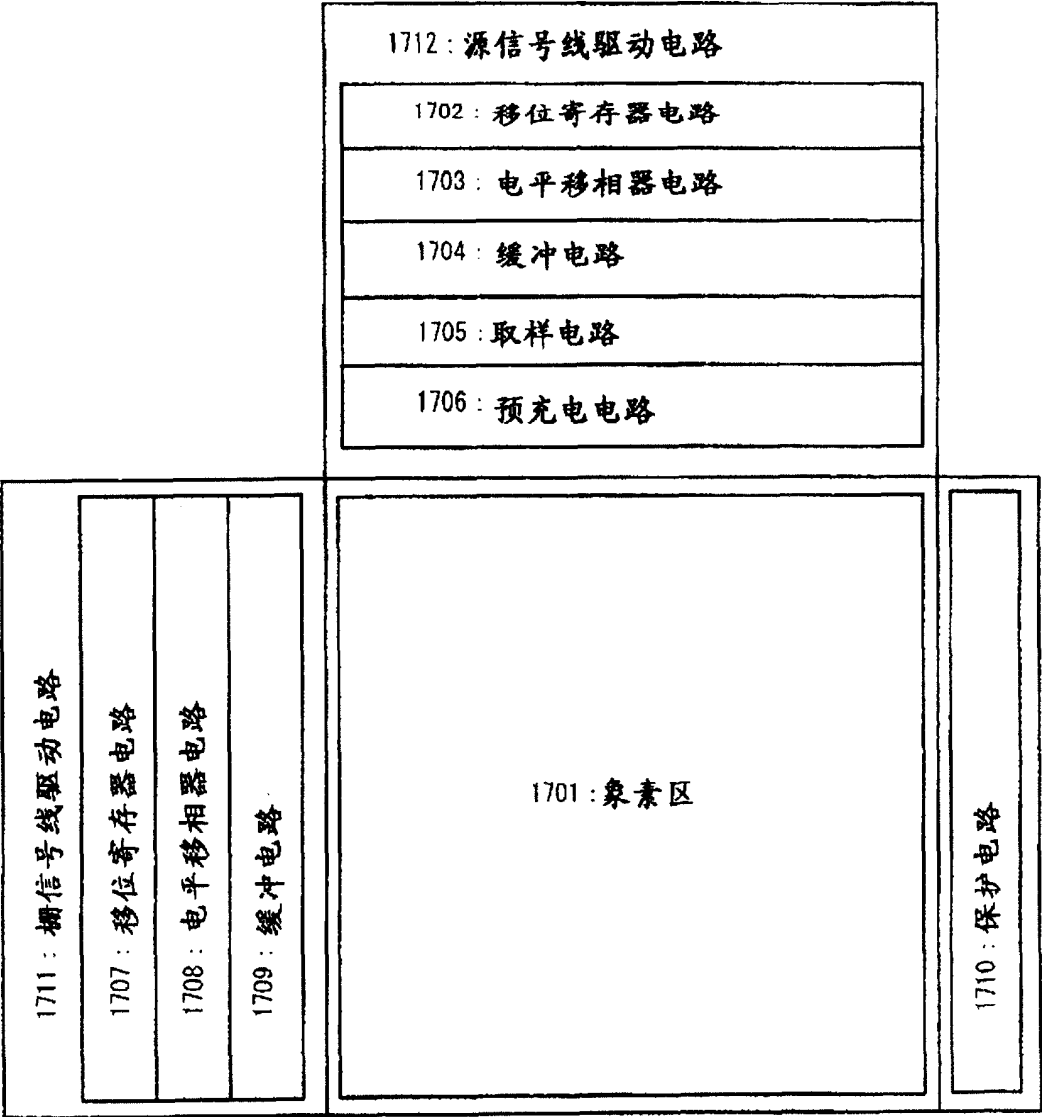


图 18



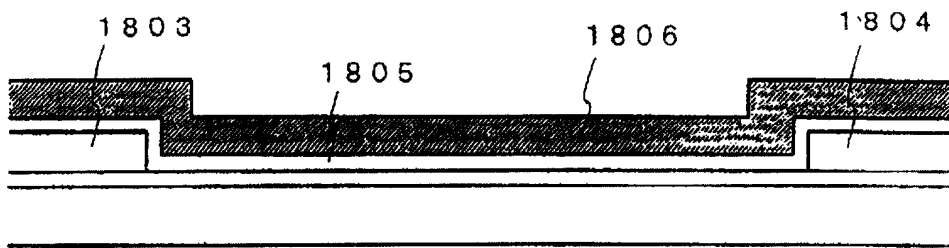


图 19A

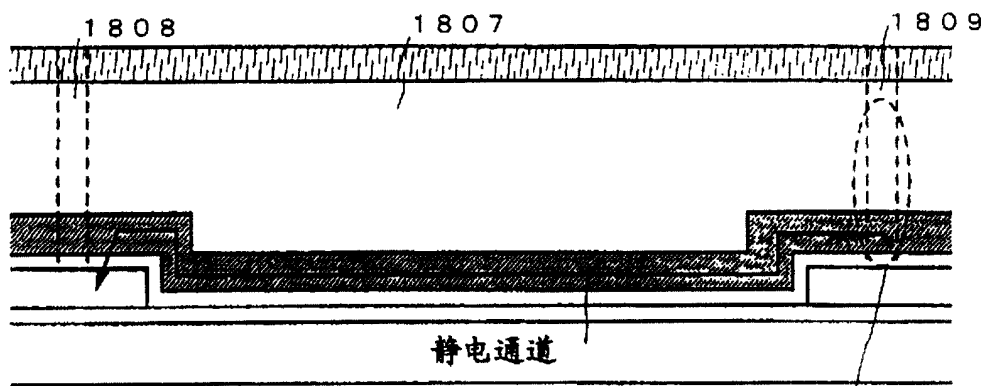


图 19B

产生静电的位置

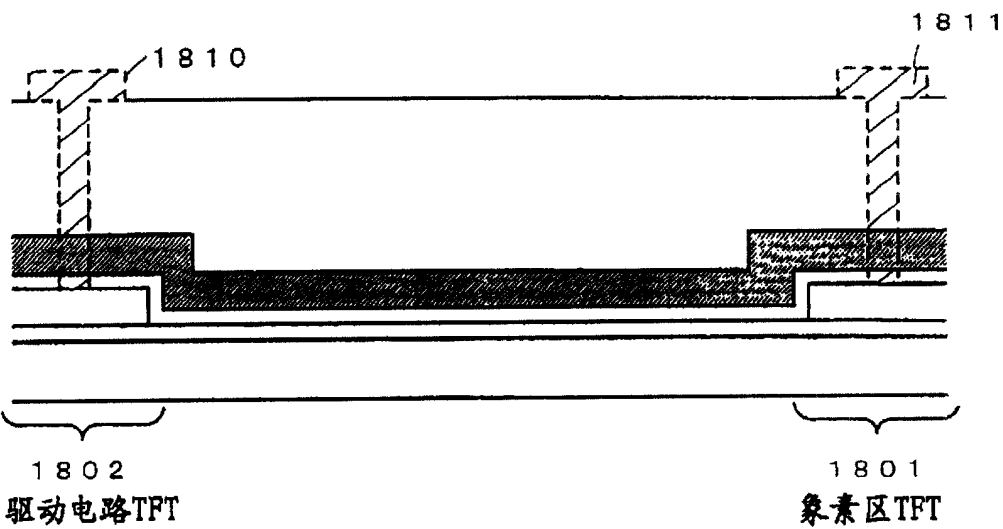


图 19C

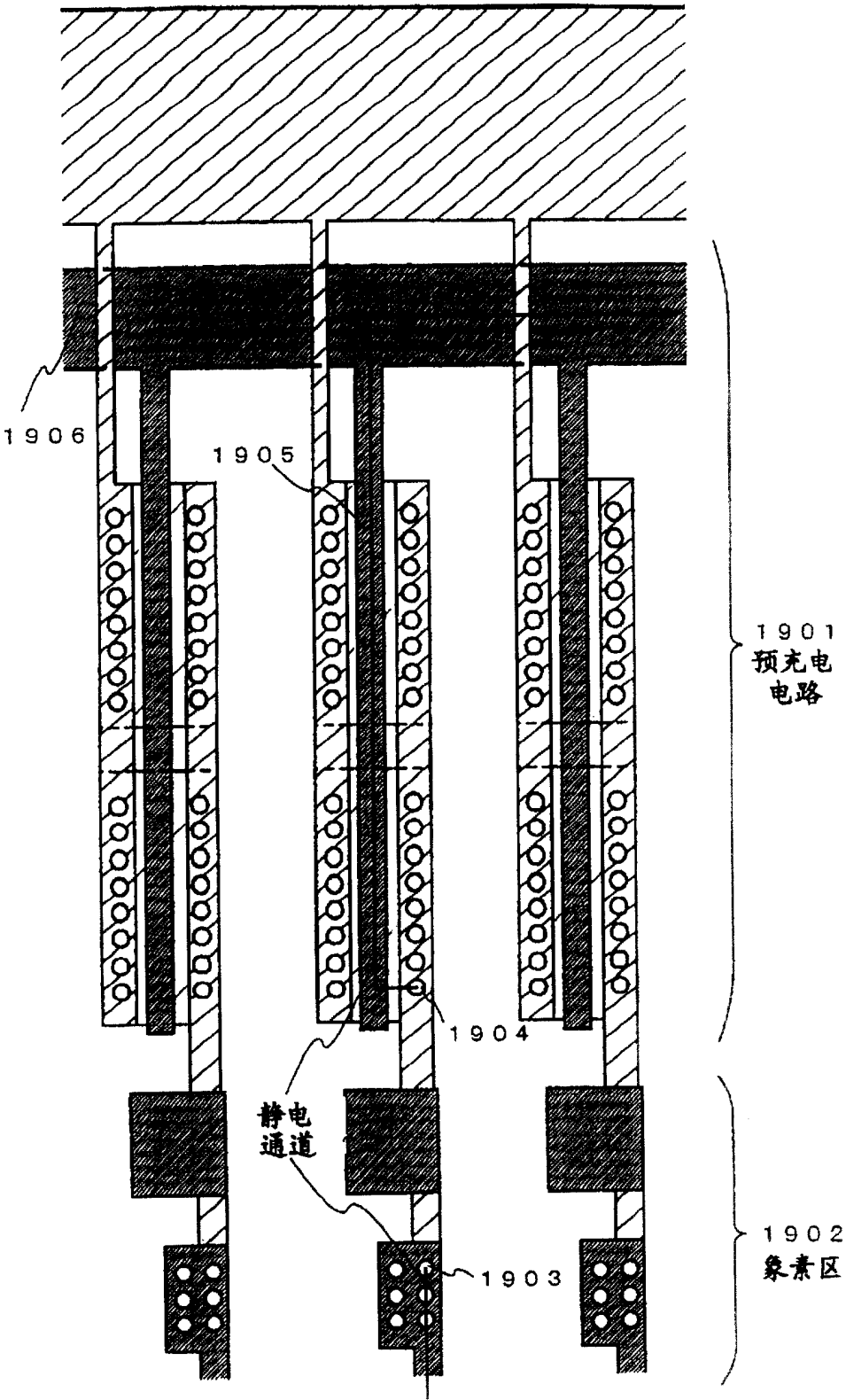


图 20