

①9 RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
—
PARIS
—

①1 N° de publication : **2 567 302**
(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : **84 10874**

⑤1 Int CI* : G 11 C 11/40.

①2 **DEMANDE DE BREVET D'INVENTION** **A1**

②2 Date de dépôt : 9 juillet 1984.

③0 Priorité :

④3 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 2 du 10 janvier 1986.

⑥0 Références à d'autres documents nationaux appa-
rentés :

⑦1 Demandeur(s) : *COMPAGNIE GENERALE DES MA-
TIERES NUCLEAIRES - COGEMA. — FR.*

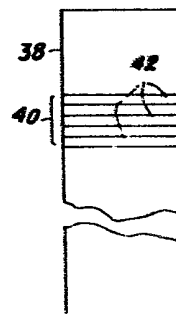
⑦2 Inventeur(s) : Stanislas Cottignies.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : Brevatome.

⑤4 Procédé de contrôle d'une mémoire non volatile de type semi-conducteur à injection de charges électriques, mémoire contrôlable et dispositif de contrôle de ladite mémoire.

⑤7 Le procédé de contrôle concerne une mémoire 38 comprenant une pluralité de mots constitués chacun d'un ensemble de cellules mémorisant chacune une information binaire, un premier état binaire étant représenté par une présence de charges électriques dans ladite cellule, le second état binaire par une absence de charges électriques dans ladite cellule, ce procédé comprenant les étapes de définition dans la mémoire d'une zone de test 40 et d'une zone programmable, chaque zone comprenant un ou plusieurs mots, de programmation de la zone programmable par injection d'un nombre N de charges électriques dans les cellules mémorisant le premier état binaire, d'injection dans chacune des cellules des mots 42 de la zone de test d'un nombre M de charges électriques inférieur à N, et de lecture périodique de l'état binaire des cellules des mots de la zone de test.



FR 2 567 302 - A1

PROCEDE DE CONTROLE D'UNE MEMOIRE NON VOLATILE DE
TYPE SEMICONDUCTEUR A INJECTION DE CHARGES ELECTRIQUES,
MEMOIRE CONTROLABLE ET DISPOSITIF DE CONTROLE DE
LADITE MEMOIRE

5 La présente invention concerne un procédé de
contrôle d'une mémoire non volatile de type semiconduc-
teur à injection de charges électriques. Ce procédé de
contrôle a pour but l'amélioration de la fiabilité des
systèmes électroniques utilisant une telle mémoire.
10 L'invention concerne également une mémoire non volatile
de type semiconducteur à injection de charges électri-
ques contrôlable selon le procédé de l'invention. L'in-
vention concerne enfin un dispositif de contrôle d'une
telle mémoire.

15 Les mémoires non volatiles de type semicon-
ducteur à injection de charges sont des mémoires mortes
(en abrégé MEM). Le contenu de certaines mémoires mor-
tes peut être modifié. Ces mémoires sont effaçables
soit par un rayonnement énergétique, tel qu'un rayonne-
ment ultraviolet, soit par un signal électrique. Ces
20 différentes mémoires sont notées ROM, EPROM, EEPROM en
terminologie anglosaxonne.

 Ces mémoires sont utilisées dans les ordina-
teurs, et de manière générale dans tous les systèmes
25 électroniques programmés, pour mémoriser de manière
permanente une information, programme ou données, sous
forme numérique.

 Les domaines d'application privilégiés de
l'invention sont les domaines tels que l'aviation,
30 l'énergie nucléaire, la robotique ou autre où un degré
de sécurité élevé est primordial et où il n'est pas
toujours possible de prendre des mesures de sauvegarde
suffisamment rapidement après l'apparition d'une dé-
faillance de la mémoire. L'invention trouve également

une application intéressante dans le cas où une immobilisation du système électronique est gênante si elle survient inopinément alors qu'elle est sans importance si la défaillance de la mémoire peut être prévue. C'est le cas notamment des cartes à mémoire.

De manière générale, la mémoire est constituée d'une pluralité de cellules qui permettent chacune de mémoriser une information binaire. Les deux états binaires, désignés conventionnellement par l'état "0" et l'état "1" correspondent à deux états particuliers de la cellule. La mémoire est structurée en mots qui constituent l'unité minimale adressable et qui comprennent chacun un nombre donné de cellules, par exemple 8, 16 ou 32.

Deux principes de mémorisation sont essentiellement utilisés pour mémoriser une information binaire dans une cellule. Selon un premier principe, chaque cellule est une bascule bistable dont on change le contenu en commandant des transistors extérieurs. La lecture de l'information contenue dans la cellule s'effectue également par l'intermédiaire de transistors permettant la sélection de la cellule ou du mot contenant la cellule. Ce principe de mémorisation est utilisé notamment pour les mémoires en technologie TTL. La durée de vie d'une telle mémoire, c'est-à-dire la durée de rétention d'une information par une cellule, est pratiquement infinie tant que l'alimentation n'est pas supprimée.

Les deux niveaux possibles de ces bascules sont bien définis. Ils ne dépendent que des caractéristiques des éléments constitutifs et de la valeur de la tension d'alimentation. On ne peut donc modifier facilement le niveau d'une bascule sans modifier celui d'une bascule voisine soumise à la même tension d'alimentation.

Par ailleurs, les niveaux sont généralement stables. L'intérêt qu'il y a à les surveiller est donc minime, d'autant plus qu'on ne peut envisager que des défaillances aléatoires : la détection de la détérioration d'un niveau d'une cellule est généralement sans
5 corrélation avec la détérioration d'une cellule voisine.

Selon un second principe de mémorisation, un premier état binaire est représenté par la présence de
10 charges électriques piégées dans une cellule et le second état binaire est représenté par une absence de charges électriques dans ladite cellule. Ce principe de mémorisation est notamment mis en oeuvre dans les mémoires en technologie MOS. Les charges électriques
15 piégées dans une cellule s'écoulent peu à peu au cours du temps et la durée de vie de la mémoire n'est donc pas infinie. Elle dépend de la technologie utilisée et est en général de l'ordre d'une dizaine d'années.

L'invention concerne les mémoires fondées
20 sur ce second principe de mémorisation et a pour objectif une amélioration de la fiabilité des systèmes utilisant de telles mémoires par un contrôle permanent de la dégradation de cette mémoire.

On a représenté sur la figure 1A la structure
25 d'un transistor MOS qui constitue l'essentiel d'une cellule dans le cas d'une mémoire non volatile à injection de charges électriques en technologie MNOS.

Ce transistor comprend une couche 2 de silicium polycristallin dopée négativement dans laquelle
30 deux zones positives et disjointes 4 et 6 sont réalisées par implantation ou diffusion d'ions positifs. Une couche d'isolant 8, par exemple de SiO_2 , est ensuite déposée sur le substrat 2 et en contact avec les zones 4 et 6. Cette couche est recouverte d'une seconde
35 couche d'isolant 10, par exemple en Si_3N_4 , pour constituer

la grille du transistor MOS. L'épaisseur de la couche 8 est par exemple de l'ordre de 2 à 3 nanomètres et l'épaisseur de la couche 10 de l'ordre de 40 à 50 nanomètres. Une couche d'isolant 12, 14 par exemple en Si_3N_4 , est également déposée au-dessus des zones 4, 6. Enfin, des métallisations 16, 18, 20 sont réalisées respectivement sur les couches 14, 10, 12 et constituent la source, la grille et le drain du transistor.

A l'interface entre les deux couches d'isolant 8, 10, il existe des pièges qui sont susceptibles de retenir les charges injectées d'une façon non volatile. La présence ou l'absence de charges à cette interface définit les deux états logiques de la cellule. Par convention, l'état "0" correspond à une présence de charges et l'état "1" correspond à une absence de charges.

L'écriture d'un "0" dans la cellule s'effectue comme représenté sur la figure 1B en portant le potentiel de la grille à une tension V_G de 25 V environ, le drain et la source étant mis à la masse. Cette injection est réalisée en environ 100 millisecondes pour des structures ayant une couche de SiO_2 de 3 nanomètres et une couche de Si_3N_4 de 45 nanomètres.

L'effacement de l'état "0" s'effectue symétriquement comme représenté sur la figure 1C en portant la grille du transistor à une tension V_G de -25 volts environ, le drain et la source étant de nouveau à la masse. L'effacement est donc ici réalisé électriquement. Il s'agit d'une mémoire dite EEPROM en terminologie anglosaxonne.

On connaît un autre type de cellule à injection de charges dans laquelle l'effacement est réalisé par exposition à un faisceau de rayons ultraviolets. La coupe de la figure 2A illustre la structure du transistor MOS d'une cellule dans le cas d'une mémoire en

technologie FAMOS (Floating Avalanche-injection MOS).

5 Ce transistor est constitué d'un substrat 22 en silicium polycristallin dopé négativement dans lequel deux zones positives 24 et 26 sont réalisées par implantation ou diffusion d'ions positifs. Sur le substrat 22 est déposée une couche d'isolant 28, par exemple en SiO_2 , dans laquelle des trous de contact sont gravés au droit des zones 24 et 26. La grille du transistor est réalisée par une couche 30 de silicium polycristallin noyée dans la couche d'isolant 28. Des lignes d'interconnexion 32, 34 reliées respectivement aux zones 24 et 26 définissant la source et le drain du transistor complètent la fabrication du transistor. Une ligne d'interconnexion (non représenté) est reliée également à la grille du transistor par un trou de contact (non représenté).

10 La mémorisation de l'état logique "0" dans la cellule est réalisée comme représenté sur la figure 2B en portant le drain du transistor à une tension négative V_D de l'ordre de 25 volts, ce qui charge la grille par injection d'électrons à partir de la jonction P^+N 36 portée au claquage. Le plasma de paires électron-trou dans la zone de charges d'espace drain-substrat crée des électrons suffisamment énergétiques pour qu'ils traversent la couche d'isolant 28.

25 L'état logique de la cellule est détecté en mesurant le courant drain-substrat du transistor MOS. L'état "1" correspond à un courant et l'état "0" à une absence de courant.

30 L'effacement de la cellule consiste à évacuer les charges de la grille flottante. Ceci peut se faire en rendant la couche d'isolant 28 conductrice grâce à un faisceau de rayons ultraviolets comme représenté sur la figure 2C.

35 Dans les deux types de mémoire à injection

de charges électriques connues qui viennent d'être décrites, la mémorisation de l'état "0" correspond à un piégeage de charges électriques dans la grille du transistor. La durée de vie de la mémoire est définie par la durée de rétention de ces charges dans la grille.

Cette durée n'est pas infinie. Elle est limitée par les défauts d'isolement des couches 8 et 28 en SiO_2 . La qualité isolante de cette couche dépend de nombreux facteurs tels que le procédé de fabrication, les rayonnements parasites, la température, la quantité de charges initialement injectée lors de la programmation, ou autre.

La couche 8, 28 d'isolant de grille est en général réalisée par dépôt d'une couche de silicium polycristallin qui est ensuite oxydée par implantation ou diffusion. Ce procédé ne peut garantir une oxydation parfaite et donc une couche isolante homogène. Par ailleurs, l'écoulement des charges piégées dans la grille peut être favorisé par des rayonnements énergétiques parasites, tel qu'un faisceau de rayons ultraviolets ou de rayons X, qui favorisent la conduction dans la couche de SiO_2 . Une élévation de la température du transistor peut également favoriser cette conduction. Enfin, puisque les charges s'écoulent au cours du temps, la durée de vie de la mémoire dépend également de la quantité de charges initialement injectée.

L'action de ces différents facteurs implique que la durée de vie d'une mémoire est en général mal connue. Il est donc nécessaire de contrôler l'état d'une telle mémoire pour être averti lorsqu'un système automatique programmé n'est plus en état de remplir les fonctions qui lui ont été assignées. Il est alors possible de prendre des mesures de sauvegarde pour arrêter le système, le remplacer ou l'aider par un système de

secours.

On connaît plusieurs méthodes de contrôle du fonctionnement correct d'une mémoire à injection de charges. Une première méthode, simple à mettre en oeuvre, consiste en une redondance. Le contenu de la mémoire, ou une partie de ce contenu, est mémorisé dans deux mémoires différentes. Le contrôle consiste à vérifier plus ou moins fréquemment l'identité des deux mémoires. Cette méthode nécessite une troisième mémoire, identique aux deux premières, si l'on veut être capable de détecter et d'identifier une mémoire défectueuse. Cette méthode, pour être efficace, nécessite donc au moins une redondance d'ordre 3, ce qui induit un coût élevé.

Le contrôle de la mémoire et la restauration d'une information défaillante peut également être réalisé par l'utilisation de codes autocorrecteurs. Ces codes consistent soit à effectuer un codage algébrique d'un bloc d'informations binaires à mémoriser, soit à associer audit bloc une clé de redondance. Ceci permet de détecter, et dans certains cas de corriger, une erreur dans le bloc lors de la lecture.

Si la détection d'une seule erreur dans le bloc est relativement simple (elle peut être mise en oeuvre par un procédé aussi simple qu'un contrôle de parité), la correction de cette erreur nécessite l'utilisation de codes plus sophistiqués. Dans le cas d'erreurs multiples la détection, et surtout la correction, deviennent complexes. Pour augmenter la puissance du code, l'homme de l'art est alors conduit à utiliser des clés de redondance de plus en plus longues. Ceci augmente la taille de la mémoire nécessaire pour stocker un volume d'information donné. D'autre part, quel que soit le code utilisé, il n'est pas possible de se prémunir simultanément contre de fausses détections d'er-

reurs et des non-détections d'erreurs.

On connaît un autre procédé de contrôle dit du chien de garde. Ce procédé consiste à insérer dans le programme supporté par la mémoire un sous-programme qui, lorsqu'il est exécuté par le système, engendre une impulsion ou tout autre signal. Ce sous-programme est exécuté à intervalles réguliers par le système. Un dispositif spécialisé est chargé de vérifier la bonne périodicité du signal produit. Si un défaut survient dans la mémoire, il est plus que probable que la périodicité de ce signal s'en trouve affectée et il est donc possible d'être averti que le système ne fonctionne plus correctement.

Le défaut commun des méthodes connues qui viennent d'être décrites est qu'elles ne permettent pas de prévoir les défaillances de la mémoire. Toutefois, la méthode de redondance, et dans une certaine mesure l'utilisation de codes autocorrecteurs, permet de corriger les défaillances de la mémoire, mais ceci est obtenu au prix d'une augmentation de la taille de la mémoire.

Dans le cas où la mémoire fait partie d'un système de calcul scientifique par exemple, la défaillance de cette mémoire peut ne pas avoir de conséquences fâcheuses, les calculs pouvant être repris après réparation de la machine. Mais il est des cas où l'on ne peut pas reprendre un calcul interrompu par une défaillance du système. C'est le cas général dans les systèmes fonctionnant en temps réel. Par ailleurs, dans le cas de systèmes automatiques, il peut se faire qu'une défaillance entraîne des dégâts graves avant qu'une défaillance de la mémoire ne soit mise en évidence. Enfin, même si la défaillance de la mémoire n'entraîne aucun dégât immédiat, elle peut être très gênante du fait de l'immobilisation d'une machine jusqu'à sa réparation ou son remplacement.

Il est donc hautement souhaitable de pouvoir prévenir les défaillances possibles d'un système incluant une mémoire à injection de charges électriques avant qu'une défaillance ne se réalise. Les méthodes connues ne permettent pas cette prévision. L'invention a précisément pour but de pallier cette lacune.

Le procédé de contrôle d'une mémoire non volatile de type semiconducteur à injection de charges électriques de l'invention concerne une mémoire comprenant une pluralité de mots constitués chacun d'un ensemble de cellules mémorisant chacune une information binaire, un premier état binaire étant représenté par une présence de charges électriques dans ladite cellule, le second état binaire par une absence de charges électriques dans ladite cellule, ce procédé comprenant les étapes de définition dans la mémoire d'une zone de test et d'une zone programmable, chaque zone comprenant un ou plusieurs mots, de programmation de la zone programmable par injection d'un nombre N de charges électriques dans les cellules mémorisant le premier état binaire, d'injection dans chacune des cellules des mots de la zone de test, d'un nombre M de charges électriques inférieur à N , et de lecture périodique de l'état binaire des cellules des mots de la zone de test.

De manière préférée, l'injection des charges électriques dans la mémoire comprend une première étape et une seconde étape, la première étape consistant à injecter un nombre M de charges électriques dans chaque cellule de chaque mot de la zone de test et dans les cellules des mots de la zone programmable mémorisant le premier état binaire et la seconde étape consistant à injecter un complément de charges électriques dans chacune desdites cellules des mots de la zone programmable.

Chaque étape peut comprendre un ou plusieurs

cycles identiques selon l'appareil utilisé pour programmer la mémoire.

De manière préférée, on déclenche une alarme si, pendant la lecture périodique des cellules des mots de la zone de test, un nombre de cellules supérieur à un seuil prédéterminé se trouve dans le second état binaire.

Un second objet de l'invention est une mémoire non volatile de type à injection de charges électriques comprenant une pluralité de mots constitués chacun d'un ensemble de cellules mémorisant chacune une information binaire, un premier état binaire étant représenté par une présence de charges étant électriques dans ladite cellule, le second état binaire représenté par une absence de charges électriques dans ladite cellule, et dans laquelle une zone de test et une zone programmable sont prévues, chaque cellule d'un mot de la zone de test contenant un nombre M de charges électriques et chaque cellule d'un mot de la zone de programmation ne contenant aucune charge électrique ou contenant un nombre N de charges électriques, où N est supérieur à M .

L'invention a enfin pour objet un dispositif de contrôle pour la mise en oeuvre du procédé de l'invention comprenant un moyen de traitement relié à la mémoire et apte à lire l'état binaire de chaque cellule de chaque mot de la zone de test et un moyen d'alarme relié audit moyen de traitement.

De manière préférée, le moyen de traitement du dispositif de contrôle active le moyen d'alarme lorsque le nombre de cellules de la zone de test qui sont dans le second état binaire est supérieur à un nombre prédéterminé.

Les caractéristiques et avantages de l'invention ressortiront mieux de la description qui va

suivre, donnée à titre illustratif mais non limitatif, en référence aux dessins annexés, sur lesquels :

5 - les figures 1A, 1B et 1C déjà décrites illustrent la structure connue d'une cellule mémoire en technologie MNOS, la commande d'écriture et la commande d'effacement de cette cellule,

10 - les figures 2A, 2B et 2C déjà décrites illustrent la structure connue d'une cellule mémoire en technologie FAMOS, la commande d'écriture et la commande d'effacement de cette cellule,

- les figures 3A et 3B représentent respectivement deux modes d'implantation de la zone de test dans une mémoire conforme à l'invention,

15 - la figure 4 illustre un mode de réalisation du dispositif de contrôle de l'invention.

Conformément à l'invention, la mémoire morte 38 représentée sur la figure 3A comprend une zone de test permettant de contrôler l'état de la mémoire. Le reste de la mémoire constitue une zone de programmation dans laquelle un programme ou des données est(sont) implanté(es). Comme on l'a représenté sur la figure 3A, la zone de test 40 peut être constituée par un bloc de mot 42 contigus.

20 La mémoire 38 peut également avoir une structure telle que représentée sur la figure 3B où la zone de test est constituée d'un ensemble de mots 42 disséminés dans la mémoire. Ces mots de test peuvent être choisis de manière aléatoire ou être disposés de manière régulière, par exemple un mot de test tous les n mots de la mémoire, où n est un entier.

30 Le procédé de contrôle de l'invention consiste à lire plus ou moins périodiquement l'état des cellules des mots 42 de la zone de test. Pour faciliter l'adressage des mots de la zone de test 40, il est donc préférable que ceux-ci soient consécutifs et définis-

sent une zone comme représentée sur la figure 3A, ou qu'ils soient répartis régulièrement comme sur la figure 3B.

5 Le procédé de l'invention consiste, lors de la programmation de la mémoire, à injecter des charges électriques dans chaque cellule des mots 42 de la zone de test 40. L'état binaire de ces cellules est alors par convention l'état "0".

10 Lors de la programmation, on injecte également des charges électriques dans certaines cellules des mots de la zone de programmation de la mémoire 38 conformément au programme ou aux données que l'on désire implanter. L'état binaire de ces cellules correspond à l'état "0" ou à l'état "1" selon que l'on a injecté
15 dans ladite cellule les charges électriques ou non. La configuration de l'ensemble des mots de la zone de programmation de la mémoire définit un programme ou un ensemble de données qui sont utilisés par le système.

20 Conformément à l'invention, le nombre de charges injectées dans chaque cellule des mots 42 de la zone de test 40 est inférieur au nombre de charges électriques injectées dans les cellules des mots de la zone de programmation. Cette programmation se fait habituellement par une succession de cycles au cours
25 desquels on injecte une certaine quantité de charges, mot par mot, dans les cellules qui doivent être programmées à l'état "0". Le nombre de charges électriques injectées dans une cellule dépend de la quantité de charges électriques injectées lors de chaque cycle et
30 du nombre de cycles.

Les appareils de programmation utilisés ne permettent généralement pas d'ajuster aux caractéristiques exactes des différentes mémoires, telles que le temps d'accès, la quantité de charges électriques injectées dans chaque cellule lors d'un cycle. De plus,
35

le nombre de cycles est généralement fixe.

Cependant, la modification du nombre de cycles de l'appareil nécessite seulement de modifier la valeur d'un paramètre dans son programme. D'autre part, si le nombre de charges injectées durant un seul cycle est jugé insuffisant, il est possible de procéder à une seconde programmation, sans effacement intermédiaire du contenu de la cellule, ce qui conduit à augmenter la quantité de charges injectées dans chaque cellule.

Pour programmer la mémoire conformément à l'invention, on peut donc mettre chaque cellule des mots de la mémoire de test et les cellules de la zone de programmation dans l'état "0" par injection d'un nombre donné de charges, ceci en un ou plusieurs cycles. On peut ensuite "renforcer" l'état "0" des cellules de la zone de programmation en injectant à nouveau des charges électriques, en un ou plusieurs cycles, uniquement dans ces cellules.

Les appareils de programmation de mémoire sont généralement aptes à contrôler si la mémoire s'est bien chargée conformément au programme fixé. Cependant, ce contrôle n'est pas effectué dans les mêmes conditions que lors de l'utilisation ultérieure de la mémoire. Il est donc possible que la mémoire soit parfois jugée correctement programmée alors qu'en utilisation normale, elle ne donnera pas satisfaction. En effet, le temps d'accès est fonction de la quantité de charges injectées. Or, les appareils de programmation ont souvent un temps d'accès supérieur au dispositif qui mettra en oeuvre ultérieurement le programme de la mémoire.

La possibilité de soumettre, lors de la programmation, la mémoire à un ou plusieurs cycles de programmation complémentaire est intéressante en ce qu'elle permet précisément d'ajuster la quantité de

charges injectées dans chaque cellule au temps d'accès de la mémoire en fonctionnement normal.

5 Si on indique par un niveau compris entre 0 et 100 l'état d'une cellule correspondant respectivement à un absence de charges électriques et à une saturation de charges électriques, un niveau inférieur à 45 par exemple sera considéré comme un état "1", et un niveau supérieur à 55 sera considéré comme un état "0", un niveau entre 45 et 55 donnant un état plus ou moins indéterminé.

10 Si, lors de la programmation, le niveau associé aux cellules dans l'état "0" des mots de la zone de programmation est de 100, celui des cellules des mots de la zone de test sera par exemple au niveau 60.

15 Les charges qui ont été injectées lors de la programmation de la mémoire disparaissent peu à peu au cours du temps. Les facteurs de cette disparition peuvent être un échauffement, une exposition à des rayonnements pénétrants, l'imperfection des matériaux isolants des transistors MOS ou autre. Après quelques années, le niveau associé aux cellules a baissé d'un facteur de 0,7 par exemple. Les cellules de la zone de test dont le niveau était égal à 60 ont alors un niveau de 0,4 environ. L'état lu de ces cellules sera donc l'état "1". En revanche, pour les cellules des mots de 20 la zone de programmation dont le niveau d'origine était égal à 100, le niveau est alors de 70. Ces cellules sont donc toujours dans l'état "0".

25 Ainsi, bien que les caractéristiques de la mémoire soient dégradées, le programme mémorisé dans la zone de programmation de la mémoire continue d'être lu, et donc exécuté, correctement. En même temps, le passage de l'état "0" à l'état "1" des cellules des mots de la zone de test avertit l'utilisateur ou le système de la dégradation de la mémoire.

35

On a représenté sur la figure 4 un dessin schématique d'un dispositif pour la mise en oeuvre du procédé de contrôle de l'invention. Ce dispositif comprend un moyen de traitement 44 relié par un bus bidirectionnel 46 à la mémoire 38. Il comprend également un moyen d'alarme 48 qui est commandé par le moyen de traitement 44 par l'intermédiaire d'une interface 50 connectée au bus 46.

Le moyen de traitement 44 peut être un microprocesseur. Ce peut être, par exemple, le processeur de traitement qui exécute le programme contenu dans la mémoire 38. Ce peut être également un autre processeur qui partage l'accès à la mémoire par un canal DMA avec le processeur exécutant le programme de la mémoire 38. Si le moyen de traitement 44 comprend un microprocesseur, le programme de lecture de la zone de test de la mémoire 38 par le microprocesseur peut être contenu dans le moyen de traitement 44, mais aussi dans la zone de programmation de la mémoire 38.

Lorsqu'une cellule d'un mot ou de la zone de test est dans l'état "1", le moyen de traitement 44 commande l'interface 50 de manière à activer le moyen d'alarme 48. Ce moyen peut être visuel, sonore ou autre.

Le moyen d'alarme peut ne pas être un moyen exclusivement réservé au contrôle de la mémoire mais peut être partagé avec les dispositifs utilisés pour la marche habituelle de l'appareil. Par exemple, un voyant utilisé pour transmettre certains messages (marche-arrêt, dépassement d'un seuil ou tout autre message imaginable) peut aussi être utilisé pour signaler que le contrôle de la mémoire a détecté une baisse des caractéristiques. Dans ce cas, il transmettra un autre message (extinction permanente, clignotement, etc...).

Selon le procédé de contrôle de la mémoire

par le moyen de traitement 44, l'activation du moyen d'alarme 48 peut avoir lieu dès lors qu'une cellule d'un mot de la zone de test est passée de l'état "0" à l'état "1".

5 Cependant, de préférence, cette activation n'a lieu que si le nombre de cellules des mots de la zone de test ayant changé d'état est supérieur à un nombre prédéterminé. Ceci permet de s'affranchir de défaillances locales de la mémoire.

10 Le signal délivré par le moyen d'alarme 48 peut être soit définitif, soit simplement fugitif. Ce dernier cas permet de ne pas prendre en compte une mauvaise lecture du fait d'un parasite fugitif. L'alarme peut également n'être déclenchée que si une cellule
15 donnée d'un mot de la zone de test est dans l'état "0" pendant un nombre prédéterminé de lectures consécutives.

REVENDEICATIONS

1. Procédé de contrôle d'une mémoire (38) non volatile de type semiconducteur à injection de charges électriques, ladite mémoire comprenant une pluralité de mots constitués chacun d'un ensemble de cellules mémorisant chacune une information binaire, un premier état binaire étant représenté par une présence de charges électriques dans ladite cellule, le second état binaire par une absence de charges électriques dans ladite cellule, ledit procédé étant caractérisé en ce qu'on définit dans la mémoire une zone de test (40) et une zone programmable, chaque zone comprenant un ou plusieurs mots, en ce qu'on programme la zone programmable par injection d'un nombre N de charges électriques dans les cellules mémorisant le premier état binaire, en ce qu'on injecte, dans chacune des cellules des mots (42) de la zone de test, un nombre M de charges électriques inférieur à N, et en ce qu'on lit périodiquement l'état binaire des cellules des mots (42) de la zone de test.

2. Procédé selon la revendication 1, caractérisé en ce que l'injection des charges électriques dans la mémoire (38) comprend une première étape et une seconde étape, la première étape consistant à injecter un nombre M de charges électriques dans chaque cellule de chaque mot (42) de la zone de test et dans les cellules des mots de la zone programmable mémorisant le premier état binaire et la seconde étape consistant à injecter un complément de charges électriques dans chacune desdites cellules des mots de la zone programmable.

3. Procédé selon la revendication 2, caractérisé en ce que la première étape est constituée de plusieurs cycles identiques.

4. Procédé selon la revendication 2, caractérisé en ce que la seconde étape est constituée de plusieurs cycles identiques.

5 5. Procédé selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'on déclenche une alarme si, pendant la lecture périodique des cellules des mots (42) de la zone de test, un nombre de cellules supérieur à un seuil prédéterminé se trouve dans le second état binaire.

10 6. Mémoire non volatile de type à injection de charges, ladite mémoire (38) comprenant une pluralité de mots constitués chacun d'un ensemble de cellules mémorisant chacune une information binaire, un premier état binaire étant représenté par une présence de charges électriques dans ladite cellule, le second état binaire étant représenté par une absence de charges électriques dans ladite cellule, ladite mémoire étant caractérisée en ce qu'elle comprend une zone de test (40) et une zone programmable, chaque cellule d'un mot de la zone de test contenant un nombre M de charges électriques et chaque cellule d'un mot de la zone de programmation ne contenant aucune charge électrique ou contenant un nombre N de charges électriques, où N est supérieur à M.

25 7. Dispositif de contrôle d'une mémoire non volatile de type à injection de charges conforme à la revendication 6, caractérisé en ce qu'il comprend un moyen de traitement (44) relié à ladite mémoire (38) et apte à lire l'état binaire de chaque cellule de chaque mot de la zone de test et un moyen d'alarme (48) relié audit moyen de traitement (44).

30 8. Dispositif de contrôle selon la revendication 7, caractérisé en ce que le moyen de traitement (44) active le moyen d'alarme (48) lorsque le nombre de

cellules de la zone de test qui sont dans le second état binaire est supérieur à un nombre prédéterminé.

5 9. Dispositif de contrôle selon la revendication 7, caractérisé en ce que le moyen de traitement active le moyen d'alarme (48) lorsque, pendant un nombre prédéterminé de lectures consécutives, le nombre de cellules de la zone de test qui sont dans le second état binaire est supérieur à un nombre prédéterminé.

10 10. Dispositif selon l'une quelconque des revendications 7 à 9, caractérisé en ce que le moyen de traitement (44) est le moyen de calcul exécutant le programme contenu dans la zone programmée de la mémoire (38).

15 11. Dispositif selon l'une quelconque des revendications 7 à 10, caractérisé en ce que le moyen de traitement (44) lit périodiquement le contenu de chaque mot de la zone de test.

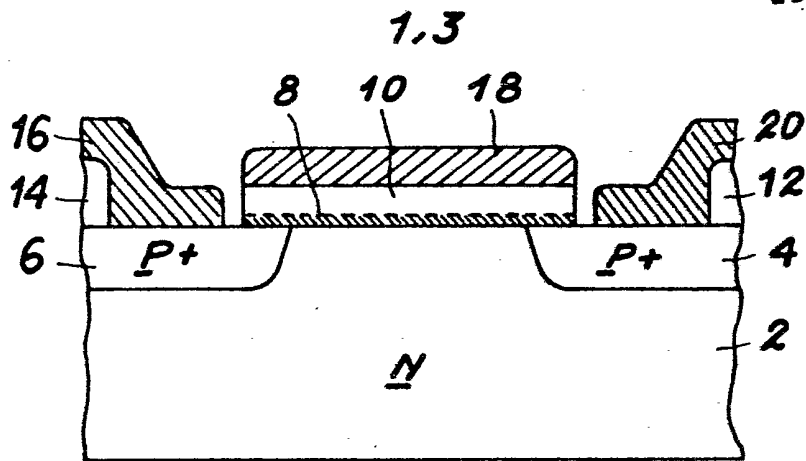


FIG.1A

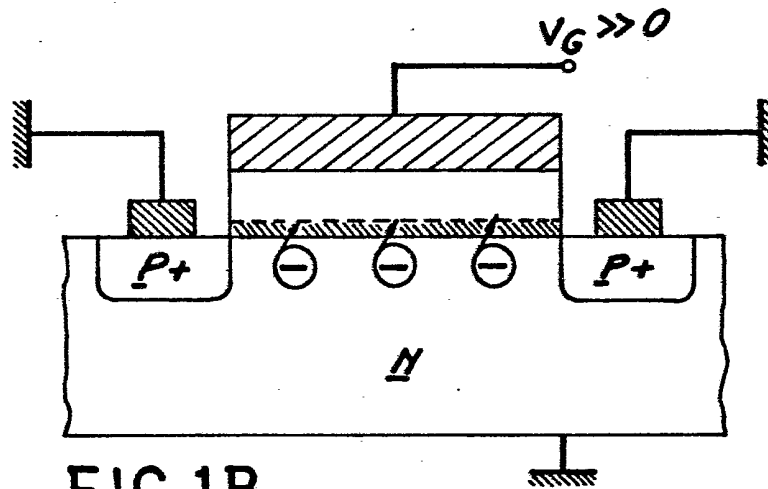


FIG.1B

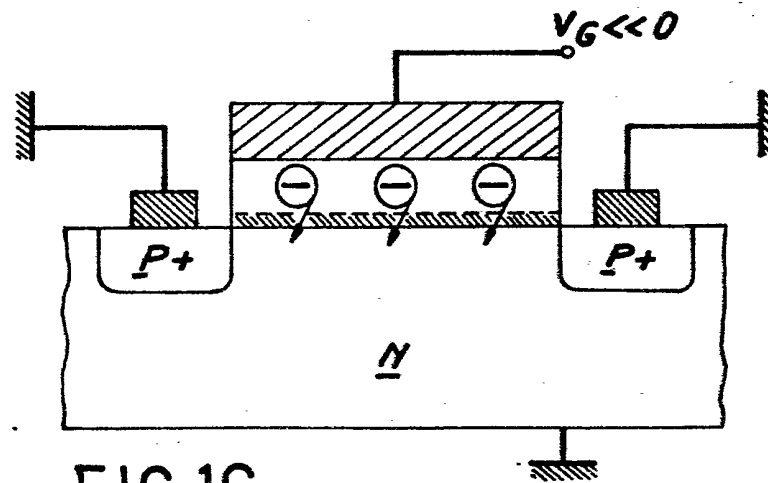


FIG.1C

2,3

FIG. 2A

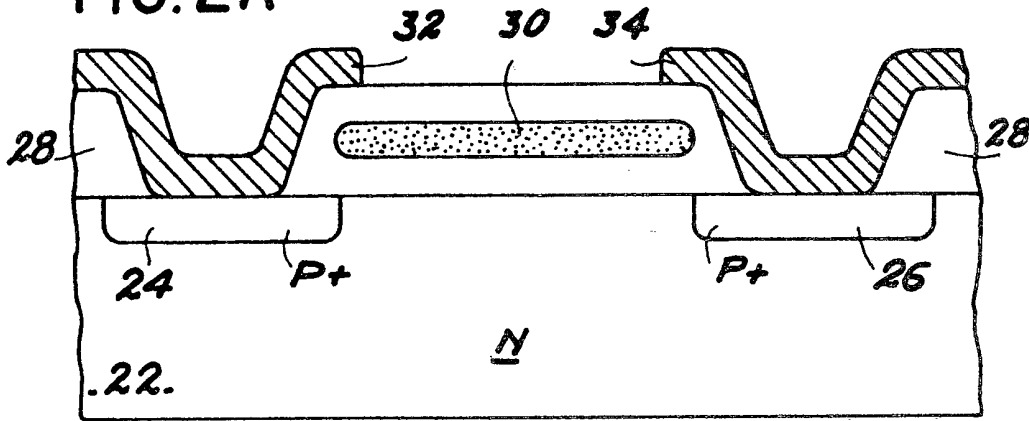


FIG. 2B

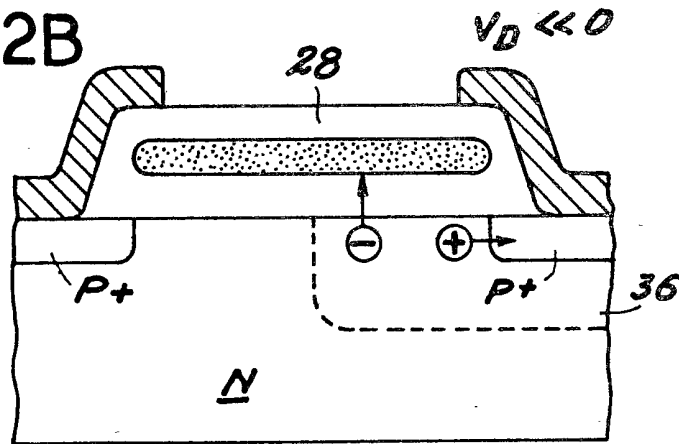
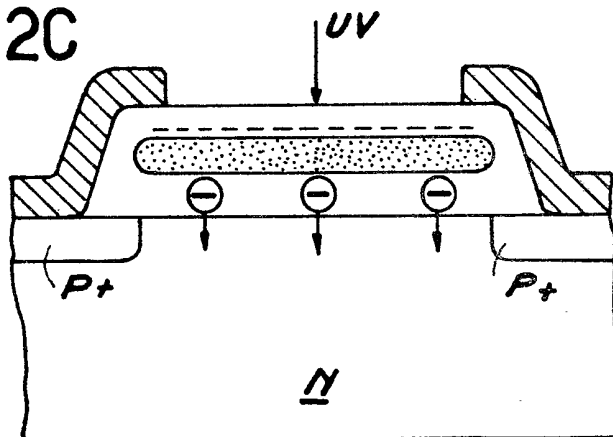


FIG. 2C



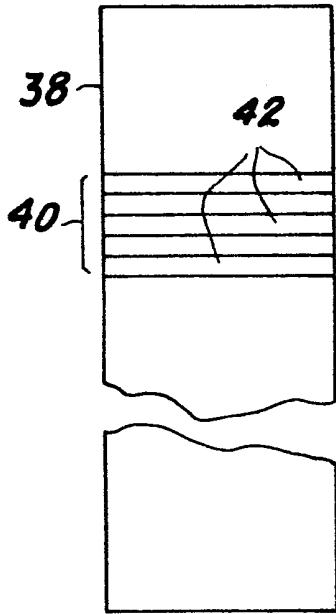


FIG. 3A

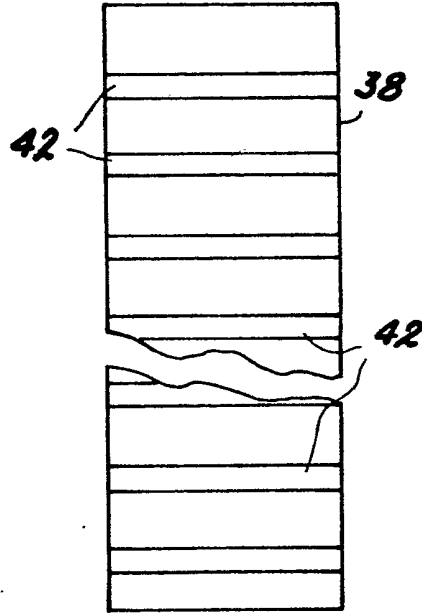


FIG. 3B

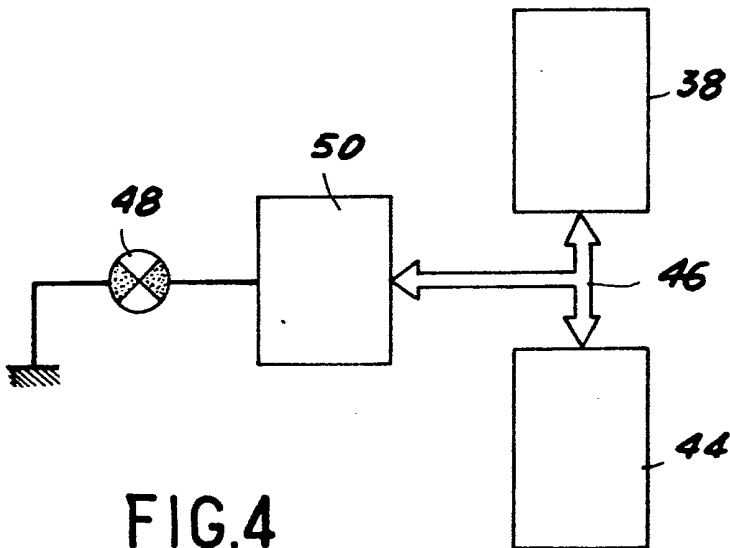


FIG. 4