

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7601571号  
(P7601571)

(45)発行日 令和6年12月17日(2024.12.17)

(24)登録日 令和6年12月9日(2024.12.9)

|                        |                             |          |                                                                                                                                                             |
|------------------------|-----------------------------|----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|
| (51)国際特許分類             |                             | F I      |                                                                                                                                                             |
| H 1 0 B                | 43/27 (2023.01)             | H 1 0 B  | 43/27                                                                                                                                                       |
| H 0 1 L                | 21/8234(2006.01)            | H 0 1 L  | 27/088 E                                                                                                                                                    |
| H 0 1 L                | 27/088(2006.01)             | H 1 0 B  | 43/50                                                                                                                                                       |
| H 1 0 B                | 43/50 (2023.01)             | H 0 1 L  | 29/78 3 7 1                                                                                                                                                 |
| H 0 1 L                | 21/336(2006.01)             | H 1 0 B  | 43/40                                                                                                                                                       |
| 請求項の数 20 (全27頁) 最終頁に続く |                             |          |                                                                                                                                                             |
| (21)出願番号               | 特願2020-105946(P2020-105946) | (73)特許権者 | 390019839<br>三星電子株式会社<br>Samsung Electronics<br>Co., Ltd.<br>大韓民国京畿道水原市靈通区三星路129<br>129, Samsung-ro, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea |
| (22)出願日                | 令和2年6月19日(2020.6.19)        | (74)代理人  | 110000051<br>弁理士法人共生国際特許事務所                                                                                                                                 |
| (65)公開番号               | 特開2021-27333(P2021-27333A)  | (72)発明者  | 金 俊 亨<br>大韓民国 京畿道 水原市 靈通区 三星路129                                                                                                                            |
| (43)公開日                | 令和3年2月22日(2021.2.22)        | 最終頁に続く   |                                                                                                                                                             |
| 審査請求日                  | 令和5年5月15日(2023.5.15)        |          |                                                                                                                                                             |
| (31)優先権主張番号            | 10-2019-0095919             |          |                                                                                                                                                             |
| (32)優先日                | 令和1年8月7日(2019.8.7)          |          |                                                                                                                                                             |
| (33)優先権主張国・地域又は機関      | 韓国(KR)                      |          |                                                                                                                                                             |

(54)【発明の名称】 垂直型メモリ装置

(57)【特許請求の範囲】

【請求項1】

セル領域、前記セル領域の各両側に形成された貫通ビア領域、前記セル領域及び前記貫通ビア領域を囲むモールド領域、並びに前記モールド領域を囲むスクライプレン（S／L）領域を含む基板と、

前記基板のセル領域上で前記基板の上面に垂直な第1方向に沿って互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を含むゲート電極構造物と、

前記基板のセル領域上で前記第1方向に延びて前記ゲート電極構造物の少なくとも一部を貫通するチャンネルと、

前記基板のモールド領域上で前記第1方向に沿って交互に繰り返して積層されて各々互いに異なる絶縁物質からなり、前記モールド領域及び前記S／L領域上に形成された圧縮力及び引張力を有する絶縁膜及び犠牲膜を含む第1モールドと、を備え、

前記第1モールドに含まれる前記絶縁膜は、各々前記ゲート電極構造物に含まれる前記ゲート電極と同一な高さに形成されて、これらに接触することを特徴とする垂直型メモリ装置。

【請求項2】

前記貫通ビア領域は、前記セル領域の前記第2方向への各両側に形成され、

前記モールド領域は、前記基板の上面に平行し、前記第2方向に交差する第3方向への前記セル領域の両側、及び前記貫通ビア領域の前記第2方向への少なくとも一側及び前記

第3方向への両側を囲むことを特徴とする請求項1に記載の垂直型メモリ装置。

【請求項3】

前記第1モールドは、前記セル領域の前記第3方向への両側に各々配置された前記モールド領域の部分上に形成されることを特徴とする請求項2に記載の垂直型メモリ装置。

【請求項4】

前記第1モールドは、前記セル領域の前記第3方向への一侧に配置された前記モールド領域の部分上に形成されることを特徴とする請求項2に記載の垂直型メモリ装置。

【請求項5】

前記セル領域は、前記第2方向に互いに離隔するように複数個形成され、

前記貫通ビア領域は、前記各セル領域の前記第2方向への各両側に形成されることを特徴とする請求項2に記載の垂直型メモリ装置。

【請求項6】

前記第1モールドは、前記セル領域のうちの第1セル領域の前記第3方向への両側に各々配置された前記モールド領域の部分上に形成され、前記セル領域のうちの第2セル領域の前記第3方向への一侧に配置された前記モールド領域の部分上に形成されることを特徴とする請求項5に記載の垂直型メモリ装置。

【請求項7】

前記第1モールドは、前記セル領域のうちの第1セル領域の前記第3方向への両側のうちの少なくとも一侧に配置された前記モールド領域の部分上に形成され、前記セル領域のうちの第2セル領域の前記第3方向への各両側に配置された前記モールド領域の部分上には形成されないことを特徴とする請求項5に記載の垂直型メモリ装置。

【請求項8】

前記基板のセル領域の前記第3方向への中間部分に形成されて前記第2方向に延び、前記第1方向に沿って交互に繰り返して積層された第1パターン及び第2パターンを含む第2モールドを更に備え、

前記第1パターン及び第2パターンは、前記絶縁膜及び犠牲膜と実質的に同一な物質をそれぞれ含むことを特徴とする請求項2に記載の垂直型メモリ装置。

【請求項9】

前記第2モールドは、前記貫通ビア領域に向けて順次に積層された1つの前記第1パターン及び1つの前記第2パターンを共に各階段層とする階段形状を有することを特徴とする請求項8に記載の垂直型メモリ装置。

【請求項10】

前記ゲート電極構造物は、前記第3方向に沿って互いに離隔するように複数個形成され、

前記ゲート電極構造物のうちの前記第3方向への一端部に形成される部分は、前記第1モールドに接触することを特徴とする請求項2に記載の垂直型メモリ装置。

【請求項11】

前記ゲート電極構造物は、前記貫通ビア領域に向けて各々の前記ゲート電極を各階段層とする階段形状を有することを特徴とする請求項1に記載の垂直型メモリ装置。

【請求項12】

前記第1モールドは、前記貫通ビア領域に向けて順次に積層された1つの前記絶縁膜及び1つの前記犠牲膜を各階段層とする階段形状を有することを特徴とする請求項11に記載の垂直型メモリ装置。

【請求項13】

前記第1モールドの各階段層に含まれる前記絶縁膜は、これに対応する前記ゲート電極構造物の各階段層と互いに同一な層に形成されることを特徴とする請求項12に記載の垂直型メモリ装置。

【請求項14】

前記第1モールドの各階段層に含まれる前記絶縁膜とこれに対応する前記ゲート電極構造物の各階段層とは、互いに連結されることを特徴とする請求項13に記載の垂直型メモリ装置。

10

20

30

40

50

## 【請求項 15】

前記第1モールドの前記各階段層に含まれる前記絶縁膜が有する傾斜は、前記ゲート電極構造物に含まれる前記各階段層が有する傾斜と互いに同一であることを特徴とする請求項12に記載の垂直型メモリ装置。

## 【請求項 16】

前記第1モールドの前記各階段層に含まれる前記絶縁膜が有する傾斜は、前記ゲート電極構造物に含まれる前記各階段層が有する傾斜よりも急であることを特徴とする請求項12に記載の垂直型メモリ装置。

## 【請求項 17】

前記基板上に形成された回路パターンと、  
前記回路パターン上に形成されたベースパターンと、を更に含み、  
前記ゲート電極構造物及び前記第1モールドは、前記ベースパターン上に形成されることを特徴とする請求項1に記載の垂直型メモリ装置。

## 【請求項 18】

前記基板の貫通ビア領域上で前記第1方向に延びて前記回路パターンに電氣的に連結される貫通ビアを更に含むことを特徴とする請求項17に記載の垂直型メモリ装置。

## 【請求項 19】

モールド領域及び前記モールド領域を囲むスクライブレイン(S/L)領域を含む基板の上面に垂直な第1方向に沿って前記基板上に互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を各々含み、前記基板の上面に平行する前記第2方向に交差する第3方向に互いに離隔されたゲート電極構造物と、

前記基板上で前記第1方向に延びて各々の前記ゲート電極構造物の少なくとも一部を貫通するチャンネルと、

前記基板上で前記第1方向に沿って交互に繰り返して積層されて各々互いに異なる絶縁物質からなり、前記モールド領域及び前記S/L領域上に形成された圧縮力及び引張力を有する絶縁膜及び犠牲膜を含み、前記第3方向への両縁部に形成された前記ゲート電極構造物のうちの少なくとも1つに接触する第1モールドと、を備え、

各々の前記ゲート電極構造物は、各々の前記ゲート電極を各階段層とする階段形状を有し、

前記ゲート電極構造物に対向する前記第1モールドの部分は、順次に積層された1つの前記絶縁膜及び1つの前記犠牲膜を共に各階段層とする階段形状を有し、

前記第1モールドの各階段層に含まれる前記絶縁膜とこれに対応する前記ゲート電極構造物の各階段層とは、互いに同一な高さに形成されることを特徴とする垂直型メモリ装置。

## 【請求項 20】

モールド領域及び前記モールド領域を囲むスクライブレイン(S/L)領域を含む基板上に形成された回路パターンと、

前記回路パターン上に形成されたベースパターンと、

前記基板の上面に垂直な第1方向に沿って前記ベースパターン上に互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を各々含み、前記基板の上面に平行する前記第2方向に交差する第3方向に互いに離隔されたゲート電極構造物と、

前記ベースパターン上で前記第1方向に延びて各々の前記ゲート電極構造物の少なくとも一部を各々貫通するチャンネルと、

各々の前記チャンネルの外側壁に形成された電荷貯蔵構造物と、

前記第3方向に隣り合う前記ゲート電極構造物の間に各々形成されて前記第2方向に各々延びた共通ソースパターン(CSPs)と、

前記ベースパターン上で前記第1方向に沿って交互に繰り返して積層されて各々互いに異なる絶縁物質からなり、前記モールド領域及び前記S/L領域上に形成された圧縮力及び引張力を有する絶縁膜及び犠牲膜を含み、前記第3方向への両縁部に形成された前記ゲート電極構造物のうちの少なくとも1つの側壁に接触する第1モールドと、

前記ゲート電極構造物のうちの前記第3方向への中間部分に形成された隣り合う2つのゲート電極構造物の間に形成されて前記第2方向に延び、前記第1方向に沿って交互に繰り返して積層されて前記絶縁膜及び犠牲膜と各々実質的に同一な物質を含む第1パターン及び第2パターンを含む第2モールドと、

前記ゲート電極構造物と前記第1モールドとの間に形成されて前記第1方向に延び、前記回路パターンに電氣的に連結された貫通ビアと、を備えることを特徴とする垂直型メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、垂直型メモリ装置に関する。

【背景技術】

【0002】

VNANDフラッシュメモリ装置の製造方法では、チップ領域及びスクライブレーン(S/L)領域を含む基板上に絶縁膜及び犠牲膜を交互に繰り返して積層してモールド膜を形成した後、モールド膜を階段形状にパターニングするためのエッチング工程を遂行する。

【0003】

エッチング工程を遂行するにつれて、S/L領域上に形成されるモールド膜の部分が除去され、これを詰める層間絶縁膜が形成されるが、モールド膜の層数が増加するにつれて層間絶縁膜の厚さが増加する。層間絶縁膜は、圧縮力を有する酸化物又は引張力を有する窒化物の単一材質で構成されるため、S/L領域に発生するストレスが増加する。これによって、S/L領域とチップ領域との間にストレス差が発生し、S/L領域上に形成されるTEG(Test Element Group)を通じてのテストは、その正確性に限界を有する。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2019-96880号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、上記従来の問題点に鑑みてなされたものであって、本発明の目的は、改善された特性を有する垂直型メモリ装置を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するためになされた本発明の一態様による垂直型メモリ装置は、セル領域、前記セル領域の各両側に形成された貫通ビア領域、並びに前記セル領域及び前記貫通ビア領域を囲むモールド領域を含む基板と、前記基板のセル領域上で前記基板の上面に垂直な第1方向に沿って互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を含むゲート電極構造物と、前記基板のセル領域上で前記第1方向に延びて前記ゲート電極構造物の少なくとも一部を貫通するチャンネルと、前記基板のモールド領域上で前記第1方向に沿って交互に繰り返して積層され、各々互いに異なる絶縁物質を含む第1膜及び第2膜を含む第1モールドと、を備え、前記第1モールドに含まれる前記第1膜は、各々前記ゲート電極構造物に含まれる前記ゲート電極と同一な高さに形成されて、これに接触する。

【0007】

上記目的を達成するためになされた本発明の他の態様による垂直型メモリ装置は、基板の上面に垂直な第1方向に沿って前記基板上に互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を各々含み、前記基板の上面に平行する前記第2方向に交差する第3方向に互いに離隔されたゲート電極構造物と、前記基板

10

20

30

40

50

上で前記第1方向に延びて各々の前記ゲート電極構造物の少なくとも一部を貫通するチャンネルと、前記基板上で前記第1方向に沿って交互に繰り返して積層され、各々互いに異なる絶縁物質を含む第1膜及び第2膜を含み、前記第3方向への両縁部に形成された前記ゲート電極構造物のうちの少なくとも1つに接触する第1モールドと、を備え、各々の前記ゲート電極構造物は、各々の前記ゲート電極を各階段層とする階段形状を有し、前記ゲート電極構造物に対向する前記第1モールドの部分は、順次に積層された1つの前記第1膜及び1つの前記第2膜を共に各階段層とする階段形状を有し、前記第1モールドの各階段層に含まれる前記第1膜とこれに対応する前記ゲート電極構造物の各階段層と、は互いに同一な高さに形成される。

【0008】

上記目的を達成するためになされた本発明の他の更に他の態様による垂直型メモリ装置は、基板上に形成された回路パターンと、前記回路パターン上に形成されたベースパターンと、前記基板の上面に垂直な第1方向に沿って前記ベースパターン上に互いに離隔するように積層され、各々が前記基板の上面に平行する第2方向に延びたゲート電極を各々含み、前記基板の上面に平行する前記第2方向に交差する第3方向に互いに離隔されたゲート電極構造物と、前記ベースパターン上で前記第1方向に延びて各々の前記ゲート電極構造物の少なくとも一部を各々貫通するチャンネルと、各々の前記チャンネルの外側壁に形成された電荷貯蔵構造物と、前記第3方向に隣り合う前記ゲート電極構造物の間に各々形成されて前記第2方向に各々延びた共通ソースパターン(CSPs)と、前記ベースパターン上で前記第1方向に沿って交互に繰り返して積層され、各々互いに異なる絶縁物質を含む第1膜及び第2膜を含み、前記第3方向への両縁部に形成された前記ゲート電極構造物のうちの少なくとも1つの側壁に接触する第1モールドと、前記ゲート電極構造物のうちの前記第3方向への中間部分に形成された隣り合う2つのゲート電極構造物の間に形成されて前記第2方向に延び、前記第1方向に沿って交互に繰り返して積層されて前記第1膜及び第2膜と各々実質的に同一な物質を含む第1パターン及び第2パターンを含む第2モールドと、前記ゲート電極構造物と前記第1モールドとの間に形成されて前記第1方向に延び、前記回路パターンに電氣的に連結された貫通ビアと、を備える。

【0009】

一実施形態による垂直型メモリ装置の製造方法は、セル領域、前記セル領域の各両側に形成された貫通ビア領域、前記セル領域及び前記貫通ビア領域を囲むモールド領域、並びに前記モールド領域を囲むスクライブレイン(S/L)領域を含む基板上において、前記基板の上面に垂直な第1方向に沿って絶縁膜及び犠牲膜を交互に繰り返して積層してモールド膜を形成する工程と、前記貫通ビア領域並びにこれに隣接する前記セル領域及び前記モールド領域上に形成されたモールド膜の部分を除去し、前記モールド領域及び前記S/L領域上に第1モールドを形成して前記セル領域上に第2モールドを形成する工程と、前記第2モールドを貫通するチャンネルを形成して前記第2モールドを貫通する開口を形成する工程と、前記開口を通じて前記第2モールドに含まれる前記犠牲膜をゲート電極に各々置換する工程と、を有する。

【0010】

他の実施形態による垂直型メモリ装置の製造方法は、基板上に前記基板の上面に垂直な第1方向に沿って絶縁膜及び犠牲膜を交互に繰り返して積層してモールド膜を形成する工程と、前記モールド膜を貫通して前記モールド膜の部分に階段形状を有するように囲まれる第1開口を形成して前記モールド膜を部分的に除去する工程と、前記モールド膜を貫通するチャンネルを形成する工程と、前記モールド膜を貫通する第2開口を形成する工程と、前記第2開口を通じて前記モールド膜に含まれる前記犠牲膜をゲート電極に各々置換する工程と、を有し、前記犠牲膜を前記ゲート電極に置換する時、前記モールド膜の縁部に含まれる前記犠牲膜は置換されない。

【0011】

更に他の実施形態による垂直型メモリ装置の製造方法は、基板上に前記基板の上面に垂直な第1方向に沿って絶縁膜及び犠牲膜を交互に繰り返して積層してモールド膜を形成す

10

20

30

40

50

る工程と、前記モールド膜を部分的に除去し、前記モールド膜を貫通して前記基板の上面に平行する第3方向に沿って各々延びて前記モールド膜の部分に階段形状を有するように囲まれる第1開口を前記基板の上面に平行する前記第3方向に交差する第2方向に沿って複数個形成する工程と、前記第1開口の間に形成された前記モールド膜の部分の貫通して前記第1方向に延びるチャンネルを形成し、前記第1開口の間に形成されたモールド膜の部分の貫通して前記第2方向に各々延びる複数の第2開口を形成することによって前記第3方向に沿って互いに離隔する複数個のモールドを形成する工程と、前記第2開口を通じて前記複数個のモールドに含まれる各々の前記犠牲膜をゲート電極に各々置換する工程と、を有する。

【発明の効果】

10

【0012】

本発明によれば、垂直型メモリ装置の製造方法において、チップ領域及びS/L領域を含む基板上に交互に繰り返して積層された絶縁膜及び犠牲膜を含むモールド膜が階段形状を有するようにパターニングする工程時、S/L領域上に形成されるモールド膜の部分を除去せずに残留させることにより、チップ領域と同一にS/L領域でも各々圧縮力及び引張力を有する絶縁膜及び犠牲膜を含むモールド膜が残留するため、S/L領域に発生するストレスが減少し、S/L領域がチップ領域と類似のストレスを有することによって、S/L領域上に形成されるTEGを通じてチップ領域に対するテストを正確に行うことができる。

【図面の簡単な説明】

20

【0013】

【図1】一実施形態による垂直型メモリ装置を説明するための平面図である。

【図2】図1のX領域の平面図である。

【図3】図1のX領域の斜視図である。

【図4】図1のY領域の平面図である

【図5】図1のY領域の斜視図である。

【図6】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のA-A'線に沿って切断した断面図である。

【図7】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための図1のX領域の平面図である。

30

【図8】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための図1のY領域の平面図である。

【図9】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のA-A'線に沿って切断した断面図である。

【図10】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のA-A'線に沿って切断した断面図である。

【図11】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のB-B'線に沿って切断した断面図である。

【図12】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための図1のX領域の平面図である。

40

【図13】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のA-A'線に沿って切断した断面図である。

【図14】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のC-C'線に沿って切断した断面図である。

【図15】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のA-A'線に沿って切断した断面図である。

【図16】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図のC-C'線に沿って切断した断面図である。

【図17】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための図1のY領域の平面図である。

50

【図 18】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の A-A' 線に沿って切断した断面図である。

【図 19】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の B-B' 線に沿って切断した断面図である。

【図 20】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の C-C' 線に沿って切断した断面図である。

【図 21】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の D-D' 線に沿って切断した断面図である。

【図 22】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の A-A' 線に沿って切断した断面図である。

10

【図 23】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の B-B' 線に沿って切断した断面図である。

【図 24】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の C-C' 線に沿って切断した断面図である。

【図 25】一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための対応する平面図の D-D' 線に沿って切断した断面図である。

【図 26】図 1 の Y 領域の平面図である。

【図 27 a】図 1 の Y 領域の斜視図である。

【図 27 b】図 1 の Y 領域の斜視図である。

【図 28】図 1 の X 領域の第 2 例の平面図である。

20

【図 29】図 1 の X 領域の第 2 例の斜視図である。

【図 30】図 1 の X 領域の第 3 例の平面図である。

【図 31】図 1 の X 領域の第 3 例の斜視図である。

【図 32】図 1 の X 領域の第 4 例の平面図である。

【図 33】図 1 の X 領域の第 4 例の斜視図である。

【図 34】一実施形態による垂直型メモリ装置を説明するための対応する平面図の A-A' 線に沿って切断した第 2 例の断面図である。

【図 35】一実施形態による垂直型メモリ装置を説明するための対応する平面図の A-A' 線に沿って切断した第 3 例の断面図である。

【発明を実施するための形態】

30

【0014】

以下、本発明を実施するための形態の具体例を、図面を参照しながら詳細に説明する。

【0015】

以下では、基板の上面に実質的に垂直な方向を第 1 方向と定義し、基板の上面に実質的に平行する水平方向のうち、互いに交差する 2 方向を各々第 2 方向及び第 3 方向と定義する。本実施形態において、第 2 方向及び第 3 方向は互いに直交する。

【0016】

図 1～図 5 は、一実施形態による垂直型メモリ装置を説明するための平面図及び斜視図である。具体的に、図 1、図 2、及び図 4 は平面図であり、図 3 及び図 5 は斜視図である。

【0017】

40

ここで、図 2 及び図 4 は各々図 1 の X 領域及び Y 領域の平面図であり、図 3 及び図 5 は各々図 1 の X 領域及び Y 領域の斜視図である。一方、図 3 及び図 5 を含む全ての斜視図では、図面の複雑性を回避するために、層間絶縁膜、キャッピングパターン、CSP などの構成要素を省略して図示しない。

【0018】

図 1 を参照すると、基板 100 は、第 1 領域 (I) 及びこれを囲む第 2 領域 (II) を含む。ここで、基板 100 の第 1 領域 (I) は各第 2 方向及び第 3 方向に沿って複数個形成され、基板 100 の第 2 領域 (II) は各第 1 領域 (I) を囲むように形成される。

【0019】

基板 100 は、シリコン、ゲルマニウム、シリコン-ゲルマニウムのような半導体物質

50

、又はGaP、GaAs、GaSbなどのIII-V族化合物を含む。一実施形態によると、基板100はシリコン-オン-インシュレータ(SOI)基板又はゲルマニウム-オン-インシュレータ(GOI)基板である。

#### 【0020】

基板100の第1領域(I)は半導体チップが形成されるチップ領域であり、基板100の第2領域(II)はチップ領域を囲むスクライブレーン(Scribe lane: S/L)領域である。一実施形態において、基板100の第2領域(II)には、フォトリソグラフィ(Photolithography)工程に使われる露光マスクを正確な位置に整列させるためのアラインキー(Alignment Key)、垂直型メモリ装置の漏洩電流などを検出するTEG(Test Element Group)などが形成される。

10

#### 【0021】

一実施形態において、垂直型メモリ装置はCOP(Cell Over Peri)構造を有する。即ち、基板100の第1領域(I)内に含まれるセル領域に形成されたメモリセルを駆動する回路パターンは、メモリセルの周辺に形成されるのではなく、メモリセルの下部に形成される。これによって、基板100上には回路パターンが形成された回路パターン領域とセル領域とが垂直に積層され、回路パターンは下部回路パターンと称される。但し、本発明は、必ずしもこれに限定されるものではなく、垂直型メモリ装置がCOP構造を有してもよく、セル領域の周辺に回路パターンの一部が形成された周辺回路領域が更に形成されてもよい。

20

#### 【0022】

図2及び図4を参照すると、基板100の第1領域(I)は第3～第5領域(III、IV、V)を含む。

#### 【0023】

基板100の第3領域(III)はメモリセルが形成されるセル領域である。一実施形態において、基板100の第3領域(III)は各第2方向及び第3方向に沿って複数個形成される。

#### 【0024】

以下では、図1のX領域を図示する平面図で左側に形成された第3領域(III)は第1セル領域と称され、右側に形成された第3領域(III)は第2セル領域と称される。また、図1のY領域を図示する平面図で左側に形成された第3領域(III)は第2セル領域と称され、右側に形成された第3領域は第3セル領域と称される。

30

#### 【0025】

基板100の第4領域(IV)は下部回路パターンに連結される貫通ビアが形成される貫通ビア領域であり、第3領域(III)の第2方向への各両側に形成される。一実施形態において、基板100の第4領域(IV)は、第2方向に沿って複数個形成され、第3方向に沿って各々延びる。

#### 【0026】

基板100の第5領域(V)は第3及び第4領域(III、IV)を囲みながら第2領域(II)により囲まれる領域である。基板100の第5領域(V)には、モールド膜がパターンニングされた後にモールドが残留するため、モールド領域と称される。基板100の第5領域(V)は、上から見たときに四角リングと類似の形状を有する。

40

#### 【0027】

一実施形態において、基板100の第5領域(V)は、第3領域(III)の第3方向への両側、及び第4領域(IV)の第2方向への一側、及び第3方向への両側を囲む。

#### 【0028】

図3及び図5を参照すると、ゲート電極構造物360は基板100の第3領域(III)上に形成され、第1モールド207は基板100の第2領域(II)及び第5領域(V)上に形成される。一実施形態において、第4領域(IV)を囲むゲート電極構造物360部分及び第1モールド207部分は共に階段構造物を形成する。

50

## 【0029】

一実施形態において、第1モールド207は基板100の第4領域(IV)に向けて順次に積層された1つの絶縁膜200及び1つの犠牲膜210を共に各階段層とする階段形状を有する階段構造物であり、ゲート電極構造物360は各ゲート電極を各階段層とする階段形状を有する階段構造物である。

## 【0030】

本明細書では、階段構造物の各層を“階段層”と定義し、各階段層の各両端部に形成されて上部階段層により第1方向にオーバーラップされずに外部に露出する部分を“階段”と定義する。

## 【0031】

一実施形態において、第1モールド207の階段層に含まれる犠牲膜210はこれに対応するゲート電極構造物360の各階段層と互いに同一な高さに形成され、第1モールド207の階段層に含まれる犠牲膜210が有する傾斜はゲート電極構造物360に含まれる階段層が有する傾斜と互いに同一である。

## 【0032】

一実施形態において、第1モールド207の階段層に含まれる犠牲膜210とこれに対応するゲート電極構造物360の各階段層とは互いに連結される。

## 【0033】

一実施形態において、第3モールド209は、基板100の第3領域(III)の第3方向への中間部分に形成されて隣り合うゲート電極構造物360の間で第2方向に延び、第1方向に沿って交互に繰り返して積層された絶縁パターン205及び犠牲パターン215を含む。

## 【0034】

一実施形態において、第1モールド207に類似するように、第3モールド209も順次に積層された1つの絶縁パターン205及び1つの犠牲パターン215を共に各階段層とする階段形状を有する階段構造物である。

## 【0035】

一実施形態において、第3モールド209の各階段層に含まれる犠牲パターン215とこれに対応するゲート電極構造物360の各階段層とは互いに連結される。

## 【0036】

垂直型メモリ装置は、基板100の第1領域(I)の縁部に形成された第5領域(V)、及び基板100の第1領域(I)を囲む第2領域(II)内に第1モールド207が存在し、これにより、後述する垂直型メモリ装置の製造方法において、各々圧縮力及び引張力を有する絶縁膜200及び犠牲膜210が基板100の第5領域上及び第2領域上に交互に積層されることで基板100に一方的なストレスが印加されない。

## 【0037】

図6～図25は、一実施形態による垂直型メモリ装置の製造方法の各段階を説明するための平面図及び断面図である。具体的に、図7～図8、図12、及び図17は平面図であり、図6、図9～図11、図13～図16、及び図18～図25は断面図である。

## 【0038】

ここで、図7及び図12は図1のX領域の平面図であり、図8及び図17は図1のY領域の平面図である。一方、図6、図9、図10、図13、図15、図18、及び、図22は対応する平面図のA-A'線に沿って切断した断面図であり、図11、図19、及び図23は対応する平面図のB-B'線に沿って切断した断面図であり、図14、図16、図20、及び図24は対応する平面図のC-C'線に沿って切断した断面図であり、図21及び図25は対応する平面図のD-D'線に沿って切断した断面図である。

## 【0039】

図6を参照すると、基板100上に回路パターンを形成し、これをカバーする第1及び第2下部層間絶縁膜(130、180)を基板100上に順次に形成する。

## 【0040】

基板１００は上部に素子分離パターン１１０が形成されたフィールド領域及びそれ以外のアクティブ領域を含む。素子分離パターン１１０はＳＴＩ工程により形成され、例えば酸化物を含む。

【００４１】

回路パターンは、トランジスタ、下部コンタクトプラグ１４０、下部配線（１５０、１７０）、下部ビア１６０などを含む。

【００４２】

例えば、基板１００上に形成された下部ゲート構造物１２０及びこれに隣接するアクティブ領域の上部に形成された第１不純物領域１０５を含むトランジスタが形成される。一実施形態において、下部ゲート構造物１２０は基板１００上に順次に積層された下部ゲート絶縁パターン、下部ゲート電極、及び下部ゲートマスクを含む。

10

【００４３】

第１下部層間絶縁膜１３０は基板１００上に形成されてトランジスタをカバーし、下部コンタクトプラグ１４０は第１下部層間絶縁膜１３０を貫通して第１不純物領域１０５又は下部ゲート構造物１２０に接触する。第１下部配線１５０は第１下部層間絶縁膜１３０上に形成されて下部コンタクトプラグ１４０の上面に接触する。第１下部配線１５０上には第１下部ビア１６０及び第２下部配線１７０が順次に積層される。第２下部層間絶縁膜１８０は第１下部層間絶縁膜１３０上に形成されて第１及び第２下部配線（１５０、１７０）及び第１下部ビア１６０をカバーする。

【００４４】

20

図６は回路パターンが基板１００の第４領域（ＩＶ）上のみ形成されたものを図示しているが、本発明は必ずしもこれに限定されるものではない。即ち、回路パターンは基板１００の第１～第５領域（Ｉ、ＩＩ、ＩＩＩ、ＩＶ、Ｖ）上に各第２方向及び第３方向に沿って複数個形成される。

【００４５】

その後、第２下部層間絶縁膜１８０上にベースパターン１９０を形成し、ベースパターン１９０上に絶縁膜２００及び犠牲膜２１０を交互に繰り返して積層することによってモールド膜を形成する。

【００４６】

ベースパターン１９０は、例えばシリコンのような半導体物質を含み、絶縁膜２００は、例えばシリコン酸化物のような酸化物を含み、犠牲膜２１０は絶縁膜２００に対してエッチング選択比を有する物質、例えばシリコン窒化物のような窒化物を含む。

30

【００４７】

図７～図９を参照すると、基板１００の第１及び第２領域（Ｉ、ＩＩ）をカバーし、且つ基板１００の第４領域（ＩＶ）をカバーしない第１フォトレジストパターン（図示せず）を最上層の絶縁膜２００上に形成し、これをエッチングマスクに使用するエッチング工程及び第１フォトレジストパターンの面積を縮小させるトリム工程を交互に繰り返して遂行することによって、モールド膜をエッチングする。

【００４８】

40

ここで、第１フォトレジストパターンは基板１００の第４領域（ＩＶ）のみを露出させる第１開口を含み、第１開口はトリム工程が繰り返して遂行されるにつれてそのサイズが拡張される。これによって、第１フォトレジストパターンの第１開口は、トリム工程が繰り返して遂行される度に第４領域（ＩＶ）を囲み、これに隣接する第３及び第５領域（ＩＩＩ、Ｖ）部分を徐々に多く露出させるように拡張される。エッチング及びトリム工程を遂行した後、第１フォトレジストパターンは、例えばアッシング（a s h i n g）及び／又はストリップ（s t r i p p i n g）工程により除去される。

【００４９】

モールド膜に対するエッチング工程後、基板１００の第２領域（ＩＩ）及び第５領域（Ｖ）上には第１モールド２０７が残留し、基板１００の第３領域（ＩＩＩ）上には第２モールド２０８が残留する。ここで、第１及び第２モールド（２０７、２０８）は基板１０

50

0の第3領域(III)と第5領域(V)との境界で互いに接触して連結される。一方、基板100の第4領域(IV)上には第1開口によりベースパターン190が露出する。

【0050】

一実施形態において、第2モールド208は、1つの絶縁膜200及び1つの犠牲膜210を各階段層とし、第2方向に向かう階段形状を有する階段構造物であり、これに対向する第1モールド207の部分もやはり1つの絶縁膜200及び1つの犠牲膜210を各階段層とする階段形状を有する階段構造物である。また、基板100の第4領域(IV)に隣接する第3領域(III)及び第5領域(V)の部分上に各々形成された第1及び第2モールド(207、208)の部分は共に第4領域(IV)を囲む階段形状を有する階段構造物である。

【0051】

一実施形態において、第4領域(IV)を囲む第1及び第2モールド(207、208)の部分が共に形成する階段構造物は、上から見たとき、第4領域(IV)の中心に近づくほどサイズが徐々に小さくなる四角リング形状を有する。

【0052】

図10及び図11を参照すると、第1及び第2モールド(207、208)の側壁をカバーする第1層間絶縁膜220をベースパターン190上に形成した後、最上層の絶縁膜200の上面及び第1層間絶縁膜220の上面に第2層間絶縁膜230を形成する。

【0053】

第1及び第2層間絶縁膜(220、230)は、例えばシリコン酸化物のような酸化物を含み、絶縁膜200と又は相互間に併合される。

【0054】

図12～図14を参照すると、第2層間絶縁膜230上に第1マスク(図示せず)を形成した後、これをエッチングマスクに使用して基板100の第3領域(III)上に形成された第2層間絶縁膜230、絶縁膜200、及び犠牲膜210をエッチングすることによって、これらを貫通してベースパターン190の上面を部分的に露出させるチャンネルホールを形成し、これを詰める柱構造物を次のように形成する。

【0055】

即ち、第1マスクを除去した後、チャンネルホールにより露出したベースパターン190の上面をシード(seed)に使用する選択的エピタキシャル成長(Selective Epitaxial Growth: SEG)工程を遂行してチャンネルホールを部分的に詰める半導体パターン240を形成する。一実施形態において、半導体パターン240は、その上面が絶縁膜200のうちのベースパターン190の上面から第1方向に2番目層に形成された絶縁膜200の上面と底面との間に位置する。場合によって、半導体パターン240の形成工程は省略される。

【0056】

その後、チャンネルホールの側壁、半導体パターン240の上面、及び第2層間絶縁膜230の上面に第1ブロッキング膜、電荷貯蔵膜、トンネル絶縁膜、及び第1スペーサー膜(図示せず)を順次に形成し、第1スペーサー膜を異方性エッチングしてチャンネルホールの側壁上のみに残留する第1スペーサー(図示せず)を形成した後、第1スペーサーをエッチングマスクに使用して第1ブロッキング膜、電荷貯蔵膜、及びトンネル絶縁膜をエッチングすることによって、半導体パターン240及びチャンネルホールの側壁上に底面の中央部が開いたカップ形状を有する第1ブロッキングパターン250、電荷貯蔵パターン260、及びトンネル絶縁パターン270を各々形成する。ここで、半導体パターン240の上部も部分的に共に除去される。トンネル絶縁パターン270、電荷貯蔵パターン260、及び第1ブロッキングパターン250は共に電荷貯蔵構造物280を形成する。

【0057】

第1スペーサー膜は、例えばシリコン窒化物のような窒化物を含み、トンネル絶縁パターン270及び第1ブロッキングパターン250は、例えばシリコン酸化物のような酸化物を含み、電荷貯蔵パターン260は、例えばシリコン窒化物のような窒化物を含む。

## 【0058】

第1スペーサーを除去した後、露出した半導体パターン240、トンネル絶縁パターン270、及び第2層間絶縁膜230上にチャンネル膜を形成し、チャンネルホールの残りの部分を詰める充電膜をチャンネル膜上に形成する。第2層間絶縁膜230の上面が露出するまで充電膜及びチャンネル膜を平坦化することによって、チャンネルホールの残りの部分を詰める充電パターン300を形成してチャンネル膜をチャンネル290に変換する。

## 【0059】

一実施形態において、チャンネル290は基板100の第3領域(III)上で各第2方向及び第3方向に沿って複数個形成され、これらはチャンネルブロック及びチャンネルアレイを形成する。

## 【0060】

その後、充電パターン300、チャンネル290、及び電荷貯蔵構造物280の上部を除去してトレンチ(図示せず)を形成し、トレンチを詰めるキャッピングパターン310を形成する。これによって、チャンネルホール内には半導体パターン240、チャンネル290、電荷貯蔵構造物280、充電パターン300、及びキャッピングパターン310を含む柱構造物が形成される。

## 【0061】

チャンネル290及びキャッピングパターン310は各々不純物がドーピングされるか又はドーピングされない単結晶シリコン又はポリシリコンを含む。

## 【0062】

その後、第2層間絶縁膜230及びキャッピングパターン310上に第3層間絶縁膜320を形成し、第3層間絶縁膜320上に第2マスク(図示せず)を形成した後、これをエッチングマスクに使用して基板100の第3領域(III)上で、第2及び第3層間絶縁膜(230、320)、絶縁膜200、及び犠牲膜210を貫通して第2方向に各々延びる第2開口330を形成し、ベースパターン190の上面を露出させる。これによって、基板100の第3領域(III)上に残留する第2モールド208に含まれる絶縁膜200及び犠牲膜210は各々絶縁パターン205及び犠牲パターン215に変換される。

## 【0063】

第2開口330のうちの第3方向への両縁部に各々形成された部分は基板100の第5領域(V)から第3方向に沿って一定の距離だけ離隔するように形成され、また第2開口330は基板100の第3領域(III)の第3方向への中間部分には形成されない。

## 【0064】

図15及び図16を参照すると、第2マスクを除去した後、第2開口330により露出した犠牲パターン215を、例えば湿式エッチング工程により除去して各層の絶縁パターン205の間にギャップ340を形成し、ギャップ340により第1ブロックパターン250の外側壁の一部及び半導体パターン240の側壁の一部が露出する。

## 【0065】

ここで、第2開口330は基板100の第3領域(III)上のみに形成され、湿式エッチング工程により基板100の第3領域(III)上に残留する第2モールド208に含まれる犠牲パターン215のみが除去され、基板100の第2領域(II)及び第5領域(V)上に残留する第1モールド207に含まれる犠牲膜210は除去されない。

## 【0066】

一実施形態において、第1モールド207は基板100の第3領域(III)の第3方向への両側に各々配置された第5領域(V)部分上に形成される。他の実施形態において、第1モールド207は基板100の第3領域(III)の第3方向への一側に配置された第5領域(V)部分上のみに形成される。

## 【0067】

一方、第2開口330は基板100の第3領域(III)の第3方向への中間部分には形成されないため、基板100の第3領域(III)の中間部分上では犠牲パターン215が除去されずに残留し、これらは絶縁パターン205と共に第3モールド209を形成

10

20

30

40

50

する。第3モールド209は、基板100の第3領域（III）上で第2方向に延びる。

【0068】

一実施形態において、第1モールド207は基板100の第4領域（IV）に向けて順次に積層された1つの絶縁膜200及び1つの犠牲膜210を共に各階段層とする階段形状を有する階段構造物である。

【0069】

これと類似するように、第3モールド209は順次に積層された1つの絶縁パターン205及び1つの犠牲パターン215を共に各階段層とする階段形状を有する階段構造物である。

【0070】

図17～図21を参照すると、露出した第1ブロッキングパターン250の外側壁、露出した半導体パターン240の側壁、ギャップ340の内壁、絶縁パターン205の表面、露出したベースパターン190の上面、及び第3層間絶縁膜320の上面に第2ブロッキング膜350を形成し、第2ブロッキング膜350上にギャップ340の残りの部分を十分に詰めるゲート導電膜を形成する。第2ブロッキング膜350とゲート導電膜との間にはゲートバリア膜が更に形成される。

【0071】

第2ブロッキング膜350は、例えばアルミニウム酸化物などの金属酸化物を含み、ゲート導電膜は、例えばタングステン、アルミニウムなどの低抵抗金属を含み、ゲートバリア膜は、例えばチタニウム窒化物、タンタリウム窒化物などの金属窒化物を含む。

【0072】

その後、ゲート導電膜を部分的に除去してギャップ340の内部にゲート導電パターンを形成し、ゲートバリア膜が形成された場合には、これもやはり部分的に除去してゲートバリアパターンを形成する。ゲート導電パターン及びゲートバリアパターンは共にゲート電極を形成する。ゲート電極は第1方向に沿って互いに離隔するように複数の層に積層されてゲート電極構造物360を形成し、各ゲート電極は基板100の第3領域（III）上で第2方向に延びる。

【0073】

一実施形態において、ゲート電極構造物360は第3方向に沿って複数個形成される。即ち、第2方向に各々延びるゲート電極構造物360は第2開口330により第3方向に互いに離隔される。一実施形態において、ゲート電極構造物360のうちの第3方向への各両端部に形成された部分は第1モールド207に接触する。

【0074】

一実施形態において、ゲート電極構造物360は基板100の第3領域（III）と第5領域（V）との境界で第1モールド207に接触し、基板100の第3領域（III）の中間部分で第3モールド209に接触する。

【0075】

一実施形態において、ゲート電極構造物360に含まれるゲート電極は各々第1モールド207に含まれる犠牲膜210及び第3モールド209に含まれる犠牲パターン215と実質的に同一な高さに形成される。

【0076】

ゲート電極構造物360に含まれるゲート電極は基板100の第3領域（III）上の犠牲パターン215を各々置換して形成され、犠牲パターン215を含む第2モールド208が階段形状を有することによって、ゲート電極構造物360もやはり各ゲート電極を各階段層とする階段形状を有する。

【0077】

一実施形態において、ゲート電極構造物360の各階段層はこれに対応する第1モールド207の各階段層に含まれる犠牲膜210と互いに同一な層に形成され、ゲート電極構造物360に含まれる階段層が有する傾斜は第1モールド207の階段層に含まれる犠牲膜210が有する傾斜と互いに同一である。

10

20

30

40

50

## 【0078】

ゲート電極は、第1方向に沿って順次に形成された第1～第3ゲート電極（362、364、366）を含む。一実施形態において、第1ゲート電極362は最下層に形成され、第3ゲート電極366は、最上層及びその下部の1つの層、即ち第1及び第2層に形成され、第2ゲート電極364は第1ゲート電極362と第3ゲート電極366との間で複数の層に形成されるが、本発明はこれに限定されるものではない。

## 【0079】

その後、第2開口330により露出したベースパターン190の上部に不純物を注入して第2不純物領域195を形成する。

## 【0080】

その後、第2開口330により露出したベースパターン190の上面、第2開口330の側壁、及び第3層間絶縁膜320の上面に第2スペーサー膜を形成した後、第2スペーサー膜を異方性エッチングすることによって、第2開口330の各側壁上に第2スペーサー370を形成する。

## 【0081】

その後、第2不純物領域195上に第2開口330の残りの部分を詰める共通ソースパターン（CSP）380を形成する。

## 【0082】

一実施形態によると、第2開口330を詰める第1導電膜を、露出した第2不純物領域195の上面、第2スペーサー370、及び第3層間絶縁膜320上に形成した後、第3層間絶縁膜320の上面が露出するまで第1導電膜の上部を平坦化することによって、CSP380を形成する。ここで、第3層間絶縁膜320の上面に形成された第2ブロッキング膜350の部分も共に除去される。CSP380は、第2開口330内に形成されて下部の第2不純物領域195の上面に接触する。

## 【0083】

第2方向に延びる第2開口330を詰めるCSP380及び第2スペーサー370により同一な層に形成される各第1～第3ゲート電極（362、364、366）は第3方向に沿ってそれぞれ分離される。

## 【0084】

図22～図25を参照すると、第3層間絶縁膜330、CSP380、第2スペーサー370、及び第2ブロッキング膜350上に第4層間絶縁膜390を形成した後、第3及び第4層間絶縁膜（320、390）を貫通してキャッピングパターン310の上面に接触する第1コンタクトプラグ402を形成し、第1～第4層間絶縁膜（220、230、320、390）、絶縁パターン205、及び第2ブロッキング膜350を貫通して第1～第3ゲート電極（362、364、366）のうちのいずれか1つのパッドの上面に各々接触する第2～第4コンタクトプラグ（404、406、408）を形成する。

## 【0085】

その後、第1～第4層間絶縁膜（220、230、320、390）、ベースパターン190、及び第2下部層間絶縁膜180を貫通して第2下部配線170の上面に接触する貫通ビア410を形成する。

## 【0086】

その後、第4層間絶縁膜390、第1～第4コンタクトプラグ（402、404、406、408）及び貫通ビア410上に第5層間絶縁膜を形成し、これを貫通して第1コンタクトプラグ402の上面に接触するビットライン及び上部配線を形成することによって、垂直型メモリ装置を完成する。

## 【0087】

上述したように、基板100上に交互に繰り返して積層された絶縁膜200及び犠牲膜210を含むモールド膜をパターンニングする時、基板100の第2及び第5領域（ⅠⅠ、Ⅴ）上に形成されたモールド膜の部分除去せずに第1モールド207に残留させる。これによって、第1モールド207に含まれる絶縁膜200及び犠牲膜210が各々酸化物

10

20

30

40

50

及び窒化物を含むため、これらの各々が有する圧縮力及び引張力が互いに相殺されて基板 100 の第 2 領域 (II) に発生するストレスが減少する。

【0088】

図 26、図 27 a、及び図 27 b は、一実施形態による垂直型メモリ装置を説明するための平面図及び斜視図である。具体的に、図 26 は図 1 の Y 領域の平面図であり、図 27 a 及び図 27 b は図 1 の Y 領域の斜視図である。

【0089】

垂直型メモリ装置は、アラインキーを除外すると、図 1～図 5 を参照して説明した垂直型メモリ装置と実質的に同一又は類似するため、これに対する詳細な説明は省略する。

【0090】

図 26 を参照すると、第 2 層間絶縁膜 230 を形成する前に、基板 100 の第 2 領域 (II) 上に形成された第 1 モールド 207 を部分的に除去することによって、第 1 モールド 207 を第 1 方向に貫通するアラインキー (Alignment Key) 225 を更に形成する。

【0091】

一実施形態において、アラインキー 225 は第 1 モールド 207 の全ての層に形成された絶縁膜 200 及び犠牲膜 210 を除去することによって形成され、この場合、アラインキー 225 が形成される部分上にはベースパターン 190 の上面が露出する。

【0092】

これとは異なり、アラインキー 225 は第 1 モールド 207 の最上層の絶縁膜 200 から特定層に形成された絶縁膜 200 まで除去することによって形成され得る。

【0093】

一方、図 26 はアラインキー 225 が上から見たときに四角形状を有するものとして図示しているが、本発明は必ずしもこれに限定されるものではない。即ち、アラインキー 225 は上から見たときに四角形状以外に多様な形状を有することができる。

【0094】

また、図 26 には 1 つのアラインキー 225 が基板 100 の第 2 領域 (II) 上に形成されたものを図示しているが、本発明は必ずしもこれに限定されるものではない。即ち、複数のアラインキー 225 が基板 100 の第 2 領域 (II) 上に形成され、複数のアラインキー 225 は基板 100 の第 1 領域 (I) 上にも形成され得る。

【0095】

図 27 a を参照すると、第 3 マスク (図示せず) を使用するエッチング工程を遂行することにより、第 2 領域 (II) 上に形成された第 1 モールド 207 を部分的に除去し、これによってアラインキー 225 は基板 100 の上面に垂直な側壁を有する。

【0096】

図 27 b を参照すると、第 2 フォトリソパターン (図示せず) を使用するエッチング工程及び第 2 フォトリソパターンの面積を縮小させるトリム工程を交互に繰り返して遂行することにより、第 2 領域 (II) 上に形成された第 1 モールド 207 を部分的に除去し、これによって 1 つの絶縁膜 200 及び 1 つの犠牲膜 210 を各階段層とする階段形状を有するアラインキー 225 が形成される。

【0097】

図 28～図 33 は、一実施形態による垂直型メモリ装置を説明するための多様な例の平面図及び斜視図である。具体的に、図 28、図 30、及び図 32 は図 1 の X 領域の平面図であり、図 29、図 31、及び図 33 は図 1 の X 領域の斜視図である。

【0098】

垂直型メモリ装置は、第 1 モールドの形状を除外すると、図 1～図 5 を参照にして説明した垂直型メモリ装置と実質的に同一又は類似するため、これに対する詳細な説明は省略する。

【0099】

図 28 及び図 29 を参照すると、第 1 モールド 207 は、基板 100 の第 3 領域 (III)

10

20

30

40

50

I)のうちの左側に配置された第1セル領域の第3方向への両側に各々配置された第5領域(V)部分上に形成され、基板100の第3領域(III)のうちの右側に配置された第2セル領域の第3方向への一侧に配置された第5領域(V)部分上に形成される。これにより、第1モールド207は、第1セル領域の第3方向への両側を完全に囲むが、第2セル領域の第3方向への一侧のみを囲む。

【0100】

第1モールド207は、図6～9を参照して説明した工程と実質的に同一又は類似の工程を遂行した後、第4マスク(図示せず)を使用するエッチング工程を遂行することにより、第1モールド207の第2セル領域の一侧に配置された部分を除去して形成される。

【0101】

ここで、基板100の第2及び第5領域(II、V)上で除去された第1モールド207部分はアラインキーの役割を遂行する。

【0102】

図30及び図31を参照すると、第1モールド207は、基板100の第3領域(III)のうちの左側に配置された第1セル領域の第3方向への両側に各々配置された第5領域(V)部分上に形成され、基板100の第3領域(III)のうちの右側に配置された第2セル領域の第3方向への両側に配置された第5領域(V)部分上には形成されない。これにより、第1モールド207は、第1セル領域の第3方向への両側を完全に囲むが、第2セル領域の第3方向への両側は囲まない。

【0103】

第1モールド207は、図6～図9を参照して説明した工程と実質的に同一又は類似の工程を遂行した後、第3フォトリジストパターン(図示せず)を使用するエッチング工程を遂行することによって、第1モールド207の第2セル領域の第3方向への両側に配置された部分を除去して形成される。

【0104】

一実施形態において、第1モールド207の各第2セル領域の両側に残留する部分は基板100の第2領域(II)に向けて順次に積層された1つの絶縁膜200及び1つの犠牲膜210と共に各階段層とする階段形状を有する。

【0105】

一実施形態において、第1モールド207の各第2セル領域の両側に残留する部分が有する階段層に含まれる犠牲膜210は、ゲート電極構造物360の第2方向への各階段層及び第1モールド207の第2方向への各階段層に含まれる犠牲膜210と互いに同一な層に形成され、これらが有する傾斜と互いに同一である。

【0106】

一方、基板100の第2及び第5領域(II、V)上で第1モールド207が除去された部分はアラインキーの役割を遂行する。

【0107】

図32及び図33を参照すると、第1モールド207は、基板100の第3領域(III)のうちの左側に配置された第1セル領域の第2及び第3方向への両側に各々配置された第5領域(V)部分上に形成されず、基板100の第3領域(III)のうちの右側に配置された第2セル領域の第1セル領域に対向する一侧を除外した全ての側上に各々配置された第5領域(V)部分上のみ形成される。これにより、第1モールド207は、第1セル領域の全ての側は囲まず、第2セル領域の一侧を除外した全ての側を囲む。

【0108】

第1モールド207は、図6～図9を参照して説明した工程と実質的に同一又は類似の工程を遂行した後、第1セル領域に対してのみ第4フォトリジストパターン(図示せず)を使用するトリム工程及びエッチング工程を各々遂行することによって形成される。

【0109】

図34及び図35は、一実施形態による垂直型メモリ装置を説明するための多様な例の断面図である。ここで、図34及び図35は対応する平面図のA-A'線に沿って切断した

10

20

30

40

50

断面図である。

【0110】

垂直型メモリ装置は、基板の第5領域上に形成された第1モールドの部分が有する形状を除外すると、図1～図5を参照にして垂直型メモリ装置と実質的に同一又は類似するため、これに対する詳細な説明は省略する。

【0111】

図34を参照すると、基板100の第4領域（IV）を囲む階段構造物部分のうちの基板100の第5領域（V）上に形成された部分は、これに対向する部分、即ち基板100の第3領域（III）上に形成された階段構造物部分に比べて急な傾斜を有する。

【0112】

図35を参照すると、基板100の第4領域（IV）を囲む階段構造物の部分のうちの基板100の第5領域（V）上に形成された部分は、階段形状を有しない。

【0113】

一実施形態において、第3方向に沿って延びて基板100の第4領域（IV）に隣接する第5領域（V）上に形成された第1モールド207部分は、基板100に対して垂直な側壁を有する。

【0114】

以上、本発明の実施形態について図面を参照しながら詳細に説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的思想から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

【0115】

- 100 基板
- 105、195 第1、第2不純物領域
- 110 素子分離パターン
- 120 下部ゲート構造物
- 130、180 第1、第2下部層間絶縁膜
- 140 下部コンタクトプラグ
- 150、170 第1、第2下部配線
- 160 下部ビア
- 190 ベースパターン
- 200 絶縁膜
- 205 絶縁パターン
- 207～209 第1～第3モールド
- 210 犠牲膜
- 215 犠牲パターン
- 220、230、320、390 第1～第4層間絶縁膜
- 225 アラインキー（Alignment Key）
- 240 半導体パターン
- 250 第1ブロッキングパターン
- 260 電荷貯蔵パターン
- 270 トンネル絶縁パターン
- 280 電荷貯蔵構造物
- 290 チャンネル
- 300 充電パターン
- 310 キャッピングパターン
- 330 第2開口
- 340 ギャップ
- 350 第2ブロッキング膜
- 360 ゲート電極構造物

10

20

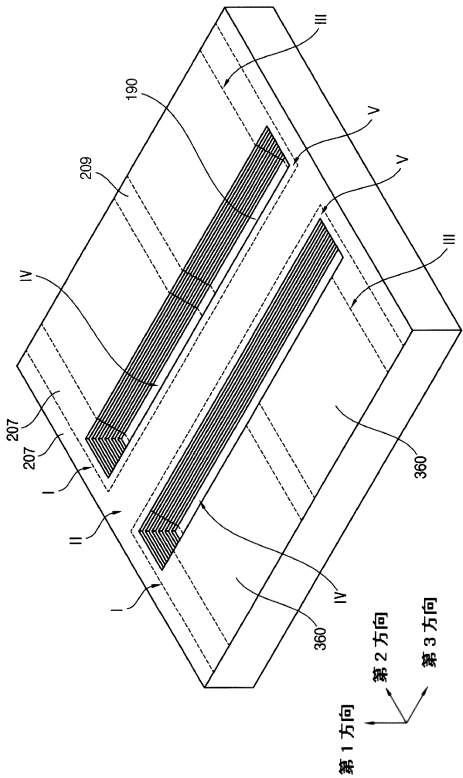
30

40

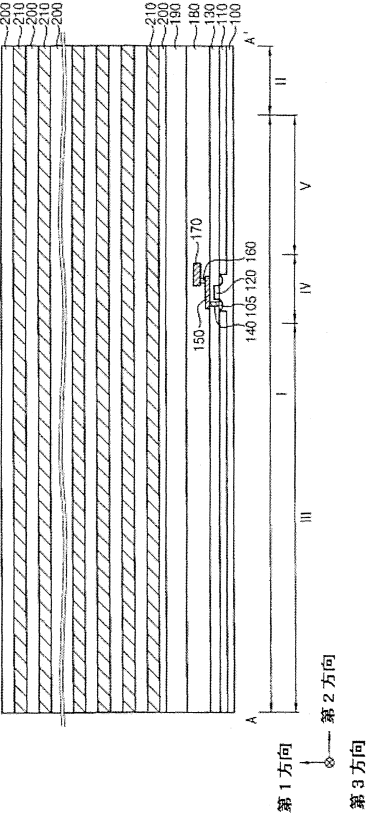
50



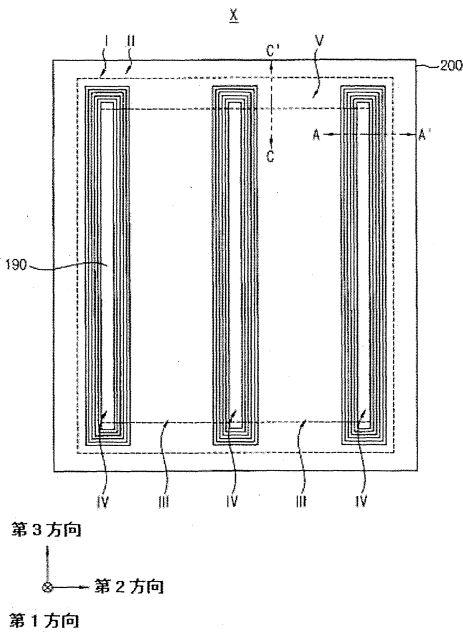
【図 5】



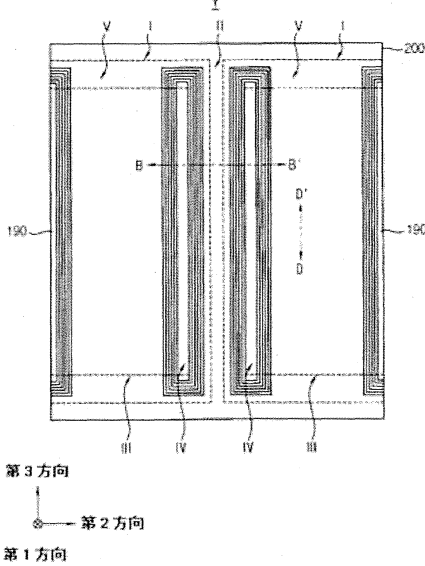
【図 6】



【図 7】



【図 8】



10

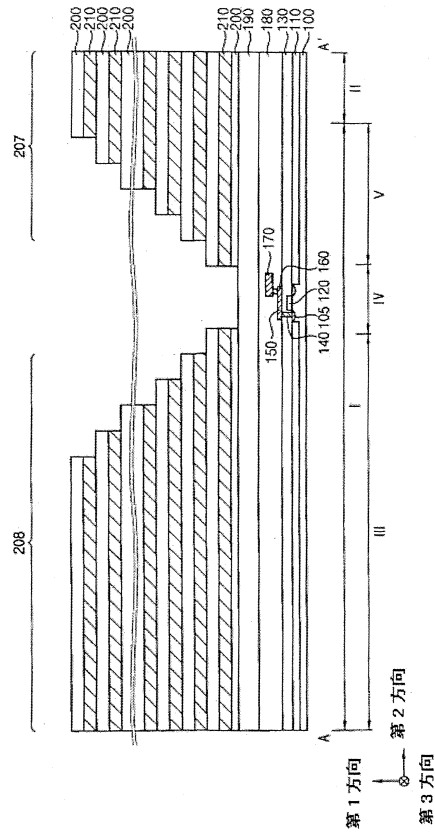
20

30

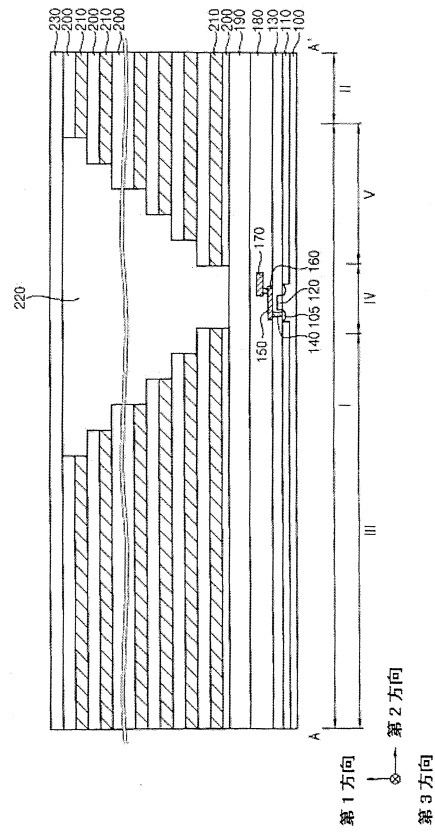
40

50

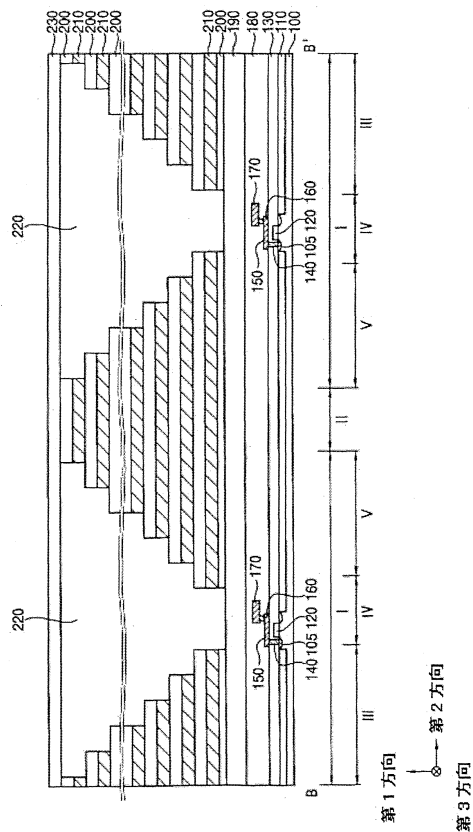
【図 9】



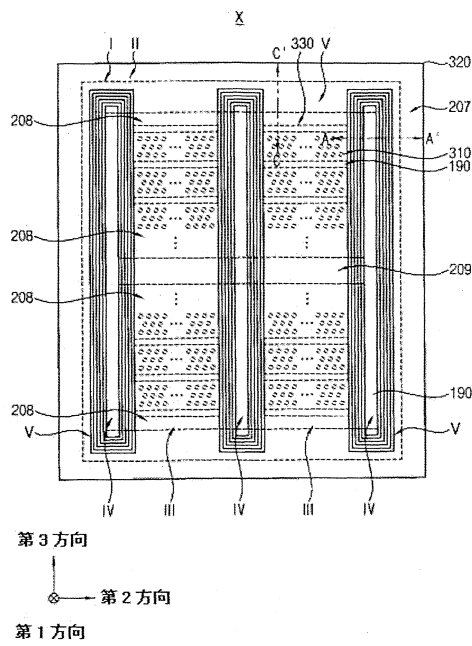
【図 10】



【図 11】



【図 12】



10

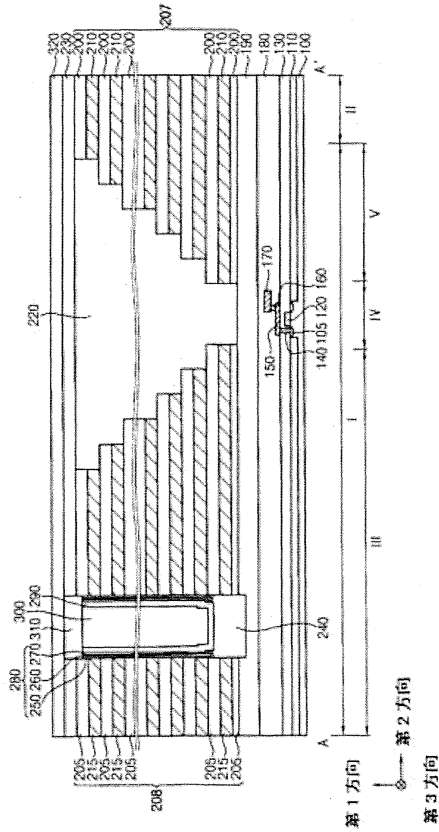
20

30

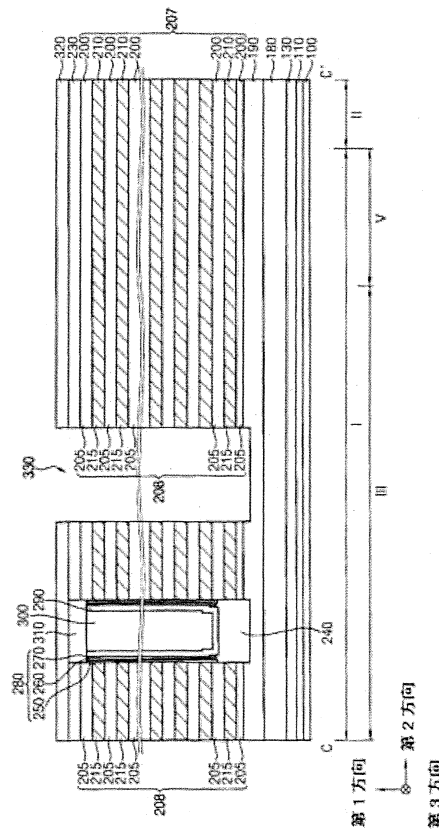
40

50

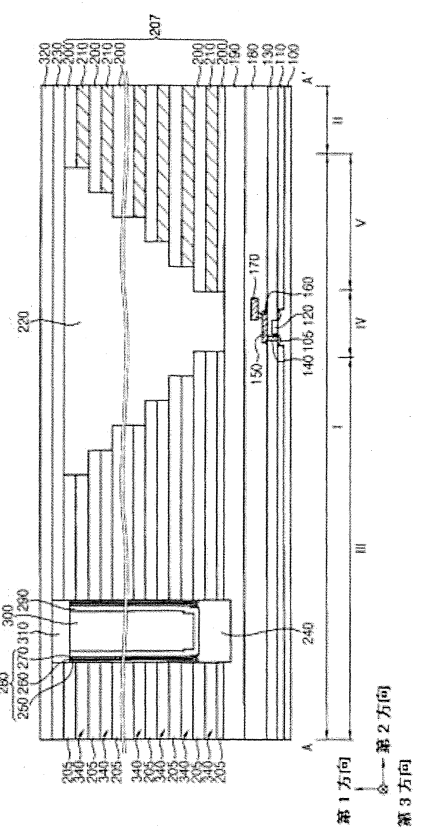
【図 13】



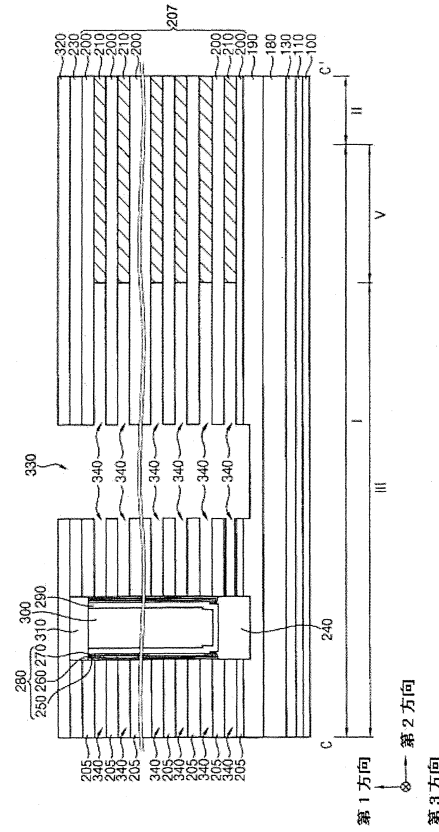
【図 14】



【図 15】



【図 16】



10

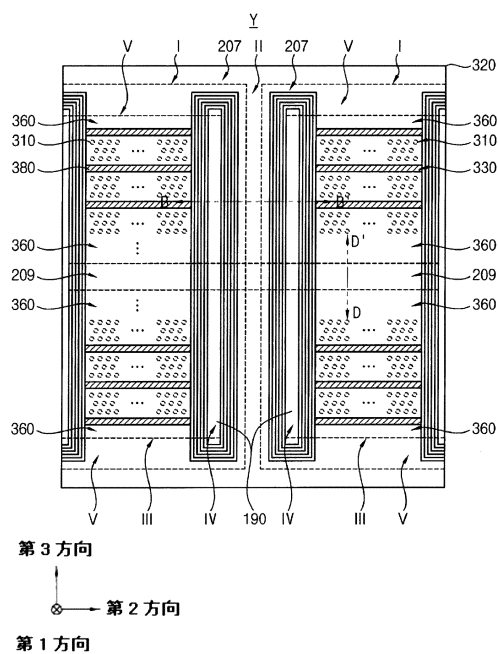
20

30

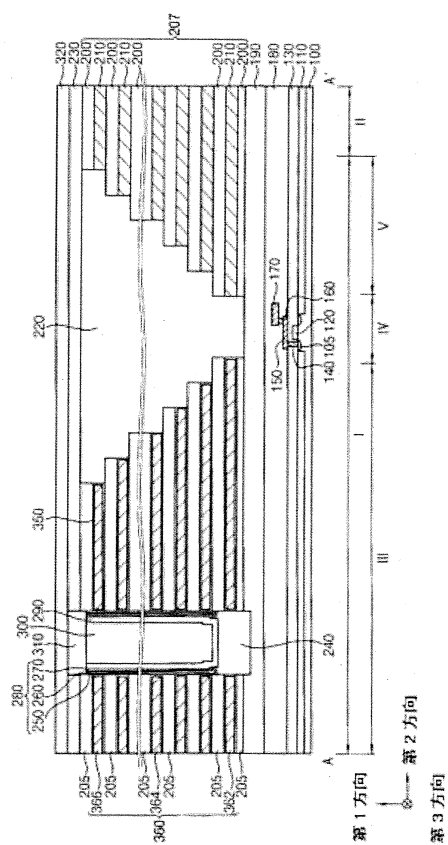
40

50

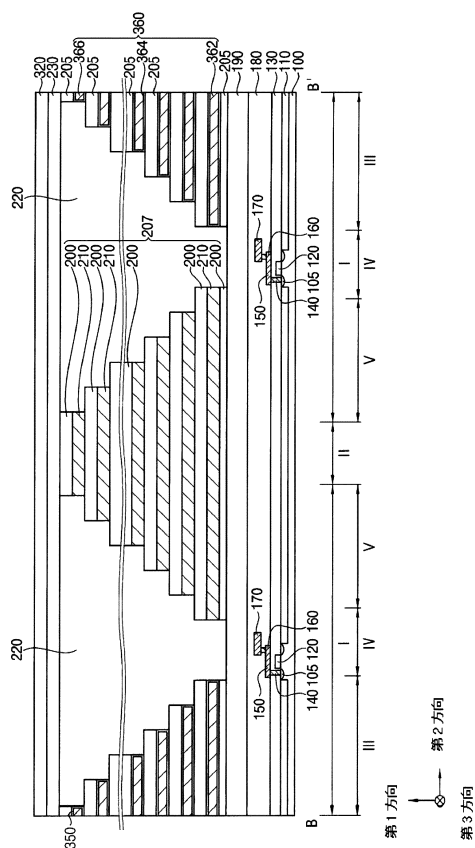
【図 17】



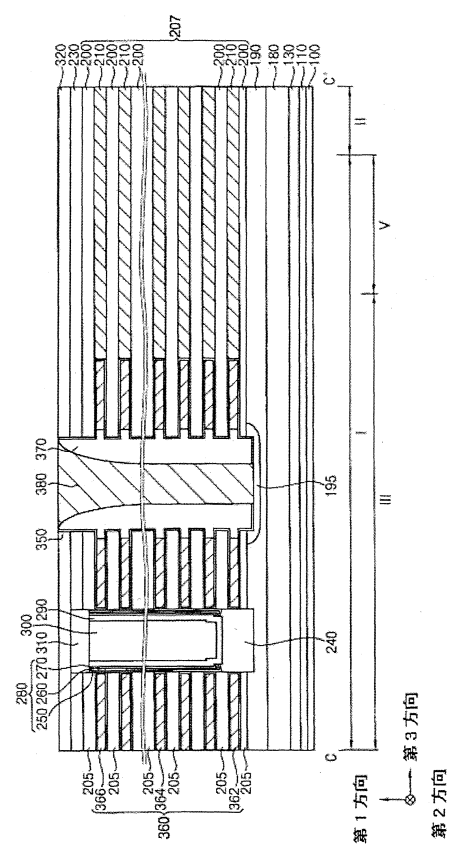
【図 18】



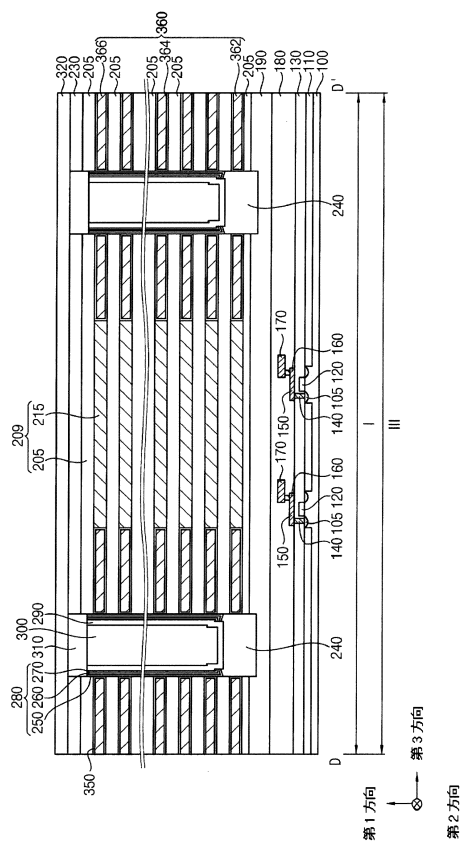
【図 19】



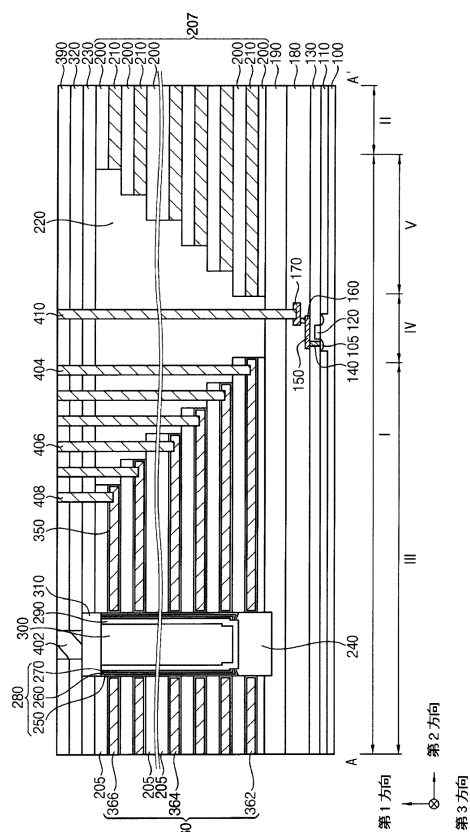
【図 20】



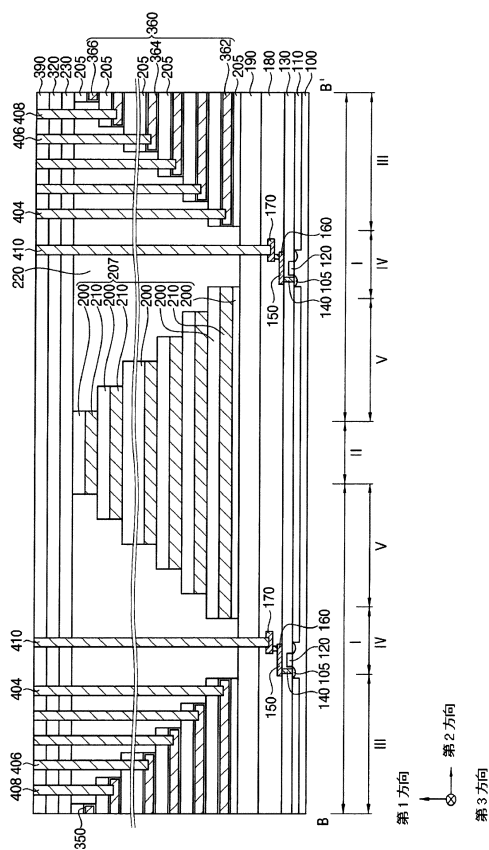
【図 2 1】



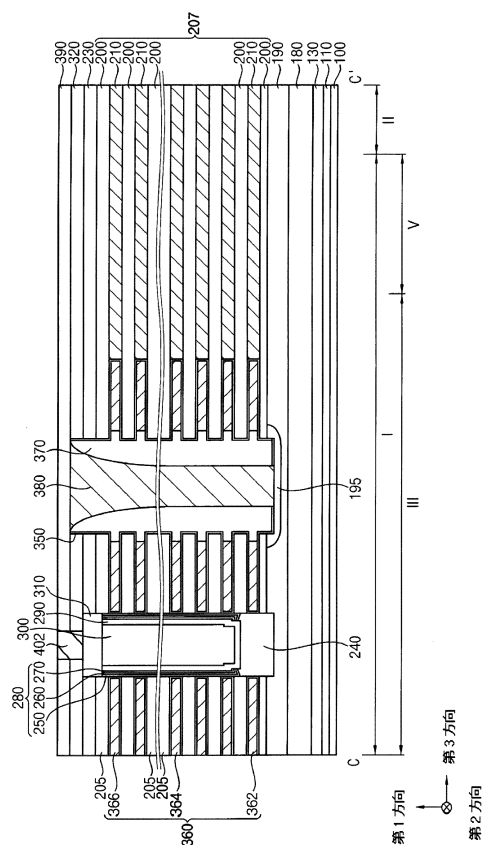
【圖 2 2】



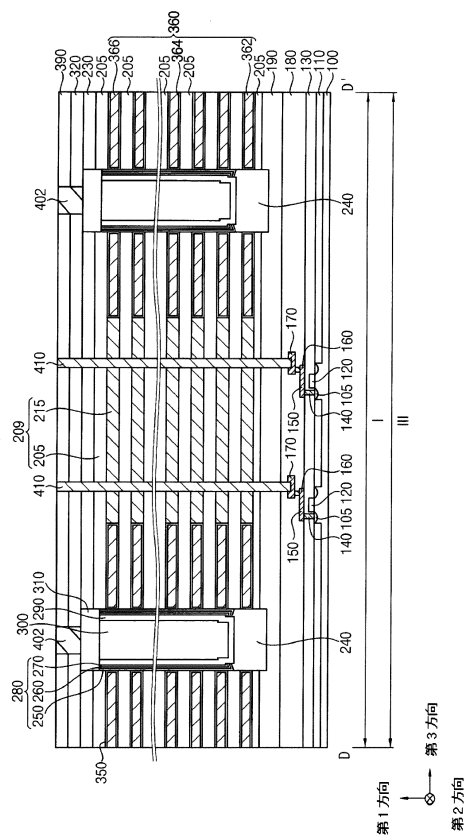
【図 23】



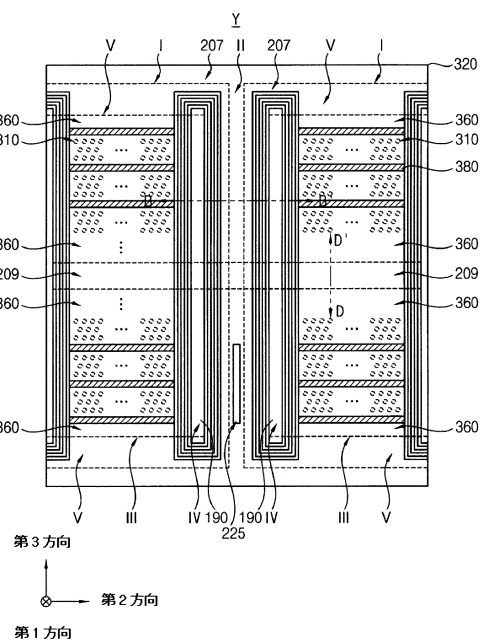
【図 24】



【圖 25】



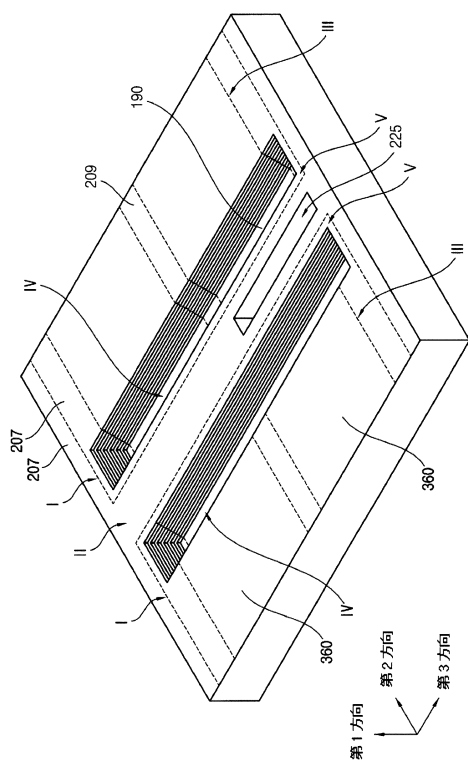
【圖 2 6】



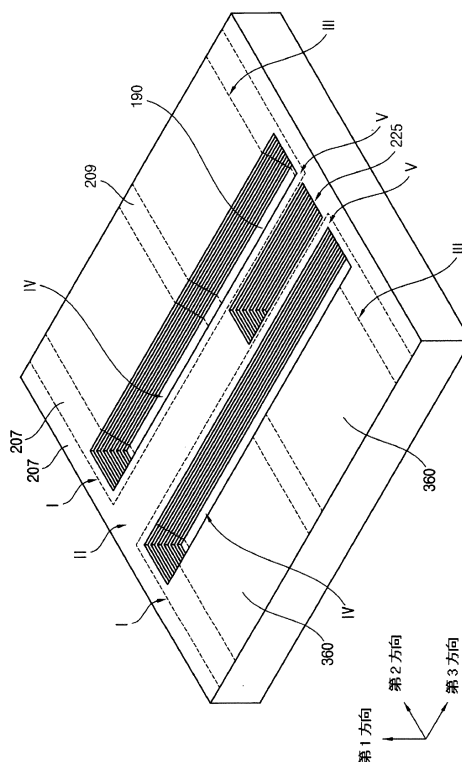
10

20

【図 27 a】



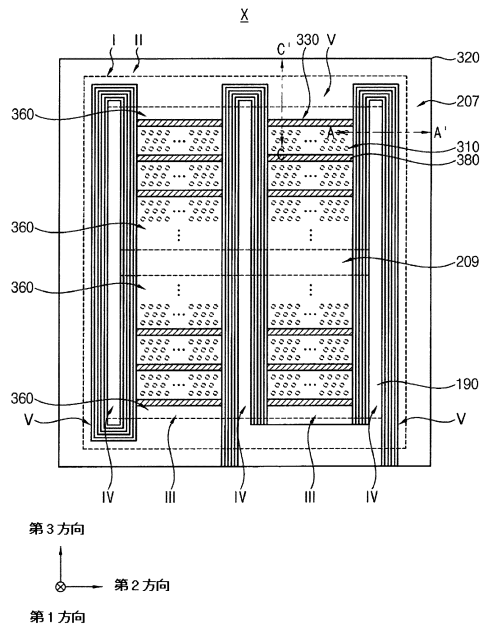
【図 27 b】



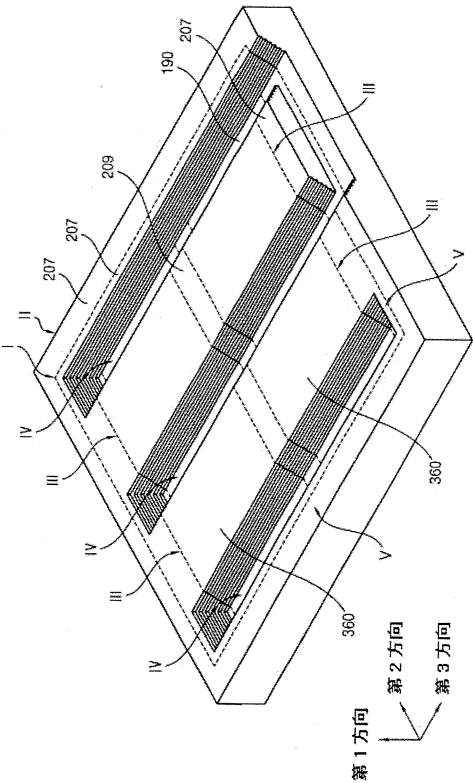
30

40

【図 2 8】



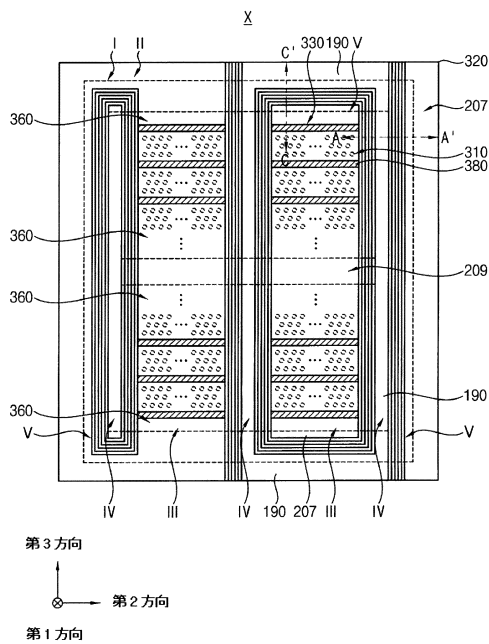
【図 2 9】



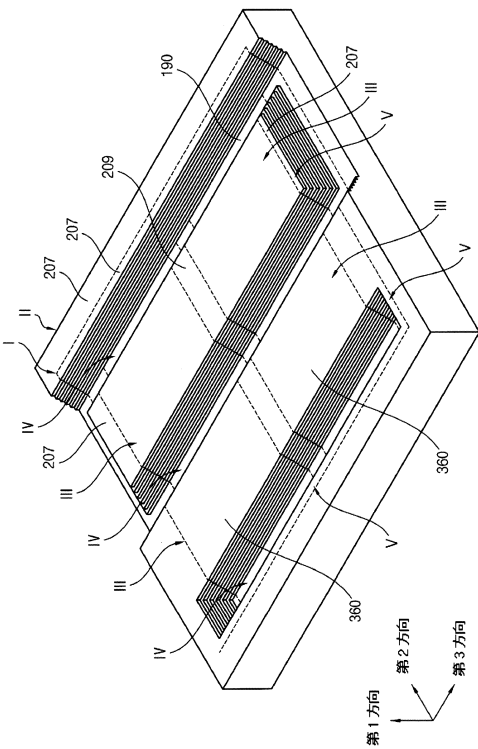
10

20

【図 3 0】



【図 3 1】

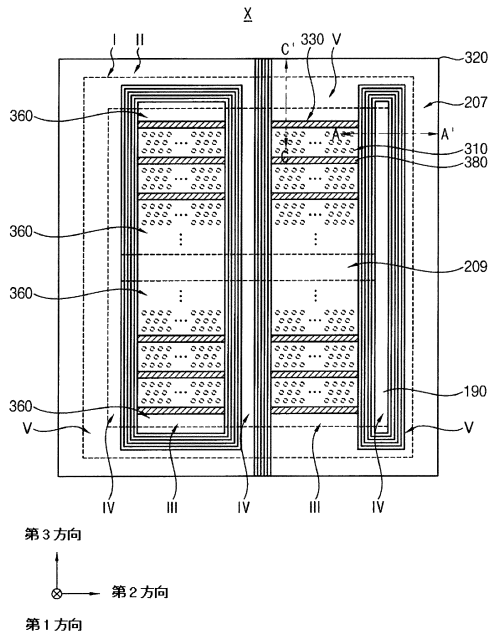


30

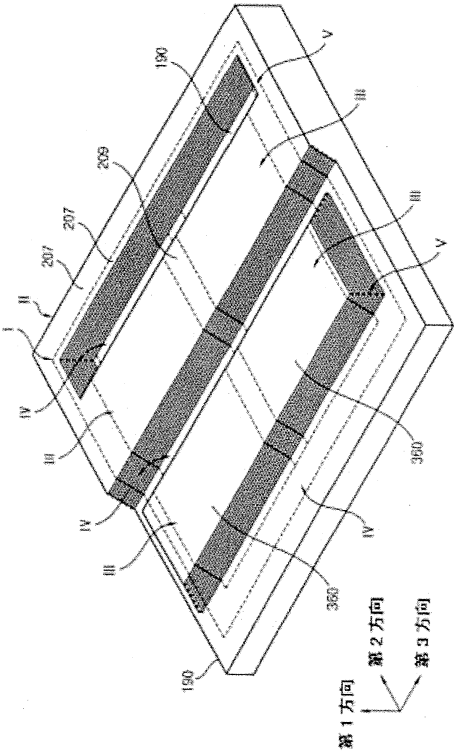
40

50

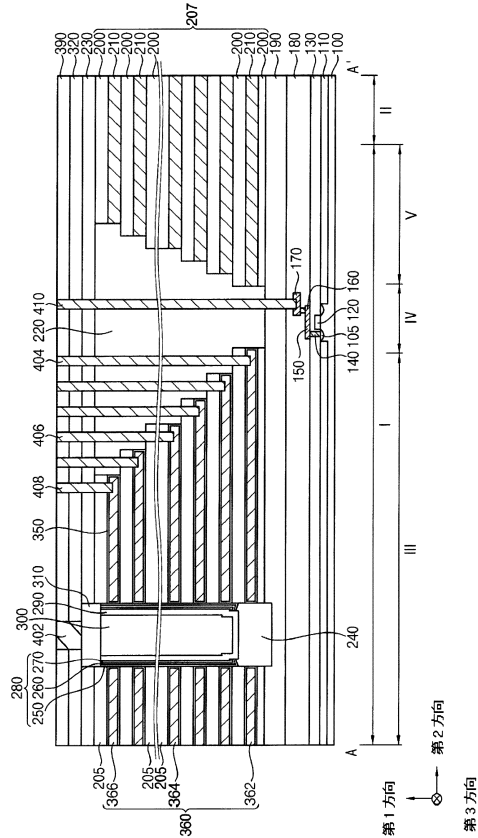
【図 3 2】



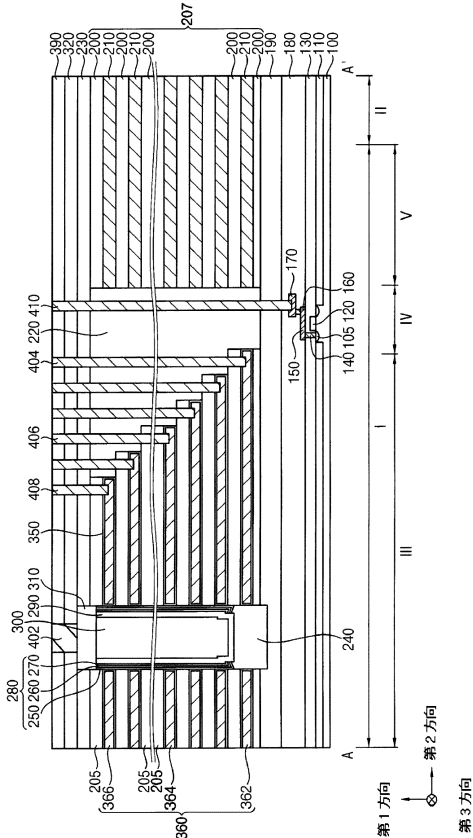
【図 3 3】



【図 3 4】



【図 3 5】



10

20

30

40

50

フロントページの続き

(51)国際特許分類 F I

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 1 0 B 43/40 (2023.01)

(72)発明者 尹 善 昊

大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

(72)発明者 崔 鳳 賢

大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

審査官 柴山 将隆

(56)参考文献 米国特許出願公開第 2 0 1 6 / 0 1 6 3 7 3 2 (US, A 1)

国際公開第 2 0 1 8 / 0 5 1 8 7 2 (WO, A 1)

国際公開第 2 0 1 7 / 1 2 2 3 0 2 (WO, A 1)

米国特許出願公開第 2 0 1 9 / 0 2 1 4 4 0 4 (US, A 1)

米国特許出願公開第 2 0 1 5 / 0 2 6 3 0 2 9 (US, A 1)

(58)調査した分野 (Int.Cl., D B 名)

H 1 0 B 4 3 / 2 7

H 0 1 L 2 1 / 8 2 3 4

H 1 0 B 4 3 / 5 0

H 0 1 L 2 1 / 3 3 6

H 1 0 B 4 3 / 4 0

H 0 1 L 2 9 / 7 8 8

H 0 1 L 2 9 / 7 9 2