



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 16/02 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년06월22일 10-0731237 2007년06월15일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2000-0050653 2000년08월30일 2003년03월04일	(65) 공개번호 (43) 공개일자	10-2001-0082518 2001년08월30일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 1999-246327 1999년08월31일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
 일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

 히다치디바이스 엔지니어링가부시킴가이샤
 일본국 지바켄 모바라시 하야노 3681

(72) 발명자 구라따히테아끼
 일본도쿄도고꾸분지시니시고이가꾸보3-8-148호

 고바야시나오끼
 일본도쿄도세다가야꾸하네끼2-4-9-101

 고바야시다카시
 일본사이따마켄도쿄로자와시가미야스마쯔18반지19

 기무라가쯔따까
 일본도쿄도아끼시마시쇼와쵸1-5-18

 구메히또시
 일본도쿄도무사시노시니시꾸보1-33-7

 사에끼슈니찌
 일본도쿄도오우메시모로오까쵸1-140-4-205

(74) 대리인 구영창
 장수길

(56) 선행기술조사문헌 US05748535NU L US05708369 A1
 US05748535

심사관 : 조명관

전체 청구항 수 : 총 21 항

(54) 불휘발성 반도체 기억 장치

(57) 요약

기입 데이터의 복수 레벨에 대하여 동시에 기입 동작을 행하여 계속해서 높은 기입 처리량으로 검증 동작을 행하는 다중값 기억의 불휘발성 반도체 기억 장치를 제공한다.

그 때문에, 기입 시에 기입 데이터를 유지하는 회로(6)와, 검증 동작 기간에 기입 데이터의 복수의 레벨에 대응하는 구간을 설치하는 타이밍을 발생하는 회로(7)와, 검증 시에 선택 워드선 전압을 상기 타이밍에 따라서 계단형으로 증가시키는 회로(2)와, 상기 타이밍에 따라서 추출한 유지 데이터에 의해 검증 대상의 메모리 셀(1)을 선택하고, 선택한 메모리 셀(1)의 도통/비도통 상태로부터 임계치 레벨의 검증을 행하는 회로(4)와, 기입 불충분한 메모리 셀로의 기입을 위해서 비트선에 기입 바이어스를 검증 결과에 따라서 공급하는 회로(7)를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

임계치가 소거 레벨을 포함하는 4개의 상태를 취하는 것에 의해 2비트의 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 게이트 단자 각각에 접속된 워드선과,

상기 복수의 메모리 셀에의 기입 동작 및 그것에 계속되는 검증 동작에 의한 데이터 기입의 제어 기능을 가지는 타이밍 제어 회로와,

상기 워드선에 전압을 공급하는 워드선 구동 회로를 구비하고,

상기 타이밍 제어 회로의 제어에 의해, 소거 레벨을 제외하는 3개의 상태 중 임의의 상태의 임계치가 되어야 할 제1의 메모리 셀에 대한 제1의 데이터 기록이 완료한 후에, 남은 인접하는 2개의 상태 중 일방의 상태의 임계치가 되어야 할 제2의 메모리 셀 및 상기 일방의 상태의 다음에 높은 타방의 상태의 임계치가 되어야 할 제3의 메모리 셀에 대한 제2의 데이터 기입이 수행되도록, 상기 제1의 데이터 기입의 기간에 제1의 구간이 설치되고, 상기 제2의 데이터 기입의 기간에 제2의 구간이 설치되고,

상기 제2의 메모리 셀의 상기 제2의 데이터 기입에 있어서의 기입 동작은, 인접하는 하위의 임계치 상태로부터의 기입 동작이고,

상기 워드선 구동 회로의 제어에 의해, 상기 제1의 구간에 상기 제1의 메모리 셀의 검증을 수행하기 위한 전압이 상기 워드선에 공급되고, 상기 제2의 구간에 상기 제2의 메모리 셀 및 상기 제3의 메모리 셀의 검증을 수행하기 위한 전압이 상기 워드선에 공급되고, 상기 제1의 메모리 셀에 대한 기입 동작이 완료한 후에, 상기 제2 및 상기 제3의 메모리 셀에 대하여 상기 워드선에 1회의 기입 펄스 전압을 공급함으로써 상기 제2 및 상기 제3의 메모리 셀에 대하여 동시에 기입 동작을 수행하는 것을 계속하여 검증을 수행하는 제2의 데이터 기입이 실행되고,

상기 제2의 구간에서는, 상기 워드선 전압이, 상기 제2의 메모리 셀에 대하여 검증 동작을 수행하기 위한 제1의 검증 전압이 된 후에, 상기 제3의 메모리 셀에 대하여 검증 동작을 수행하기 위한 상기 제1의 검증 전압보다도 높은 제2의 검증 전압이 되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 2.

제1항에 있어서,

상기 제2의 메모리 셀은 제1 비트선에 접속되고,

상기 제3의 메모리 셀은 제2 비트선에 접속되고,

상기 워드선이 상기 제1의 검증 전압이 되기 전에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제1의 프리차지 동작이 수행되고,

상기 워드선이 상기 제2의 검증 전압이 되기 전으로서, 상기 제1의 프리차지 동작 후에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제2의 프리차지 동작이 수행되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 3.

제1항에 있어서,

상기 제2의 메모리 셀과 상기 제3의 메모리 셀 중 적어도 어느 하나의 메모리 셀이 원하는 임계치에 도달하지 않고 있었을 경우에, 원하는 임계치에 도달할 때까지, 상기 워드선에 상기 기입 펄스 전압, 상기 제1의 검증 전압 및 상기 제2의 검증 전압이 순차, 반복하여 인가되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 4.

제3항에 있어서,

상기 기입 펄스 전압은, 기입 동작의 횟수와 함께 커지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 5.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1, 제2 및 제3의 메모리 셀은, 각각 메모리 셀이 직렬로 접속된 메모리 셀 열을 구성하고, 상기 메모리 셀 열의 일단이, 선택 트랜지스터를 통해서 비트선에 접속되어 있는 것을 특징으로 하는 불휘발성 반도체기억 장치.

청구항 6.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1의 메모리 셀에 기입되는 임계치의 상태는, 4개의 임계치의 상태 중에서, 소거 레벨을 포함하는 임계치의 상태에서부터 가장 떨어진 임계치의 상태인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 7.

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제2 및 제3의 메모리 셀에 대하여 상기 제2의 데이터 기입을 수행하기 전의 임계치는, 두 메모리 셀 모두, 소거 레벨을 포함하는 상태 내에 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 8.

임계치가 4개의 제1, 제2, 제3 및 제4의 상태를 취하는 것에 의해 2비트의 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 게이트 단자 각각에 접속된 워드선과,

기입 동작에 계속되는 검증 동작을 수행하는 타이밍을 발생하는 타이밍 제어 회로와

검증시에 상기 워드선의 전압을 상기 타이밍에 따라 제어하는 워드선 구동 회로를 구비하고,

상기 제1의 상태는 소거 레벨의 임계치를 포함하는 상태이고,

상기 제3의 상태는 상기 제2의 상태의 임계치보다도 다음에 높은 임계치를 포함하는 상태이고,

데이터 기입 동작은 메모리 셀에 대하여 기입을 수행하는 기입 동작 및 그것에 계속되는 검증 동작을 포함하고,

상기 타이밍 제어 회로는, 상기 제4의 상태 내의 임계치가 되어야 할 제1의 메모리 셀에 대한 제1의 데이터 기입 동작에 있어서의 제1의 검증 동작과, 상기 제2의 상태 내의 임계치가 되어야 할 제2의 메모리 셀 및 제3의 상태 내의 임계치가 되어야 할 제3의 메모리 셀에 대한 제2의 데이터 기입 동작에 있어서의 제2의 검증 동작을 수행하는 타이밍을 발생하고, 상기 제1의 메모리 셀에 대한 제1의 기입 동작과 상기 제1의 검증 동작이 완료한 후에, 상기 제2 및 상기 제3의 메모리 셀에 대하여 상기 워드선에 1회의 기입 펄스 전압을 인가하는 것에 의해 상기 제2 및 상기 제3의 메모리 셀에 대하여 동시에 제2의 기입 동작이 수행되고, 그것에 계속해서 상기 제2의 검증 동작이 수행되도록 제어를 수행하고,

상기 제2의 기입 동작에 있어서의, 상기 제2의 메모리 셀에의 기입은, 인접하는 하위의 임계치 상태로부터의 기입이고,

상기 워드선 구동 회로는, 상기 제1의 검증 동작의 기간에서, 상기 제1의 메모리 셀에 대하여 검증을 수행하기 위한 제1의 검증 전압을 상기 워드선에 인가하고, 상기 제2의 검증 동작의 기간에서, 상기 제2의 메모리 셀에 대하여 검증을 수행하기 위한 제2의 검증 전압을 상기 워드선에 인가한 후에, 상기 제3의 메모리 셀에 대하여 검증을 수행하기 위한, 상기 제2의 검증 전압보다도 높은 제3의 검증 전압을 상기 워드선에 인가하는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 9.

제8항에 있어서,

상기 제2의 메모리 셀은 제1 비트선에 접속되고,

상기 제3의 메모리 셀은 제2 비트선에 접속되고,

상기 워드선이 상기 제2의 검증 전압이 되기 전에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제1의 프리차지 동작이 수행되고,

상기 워드선이 상기 제3의 검증 전압이 되기 전으로서, 상기 제1의 프리차지 동작 후에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제2의 프리차지 동작이 수행되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 10.

제8항에 있어서,

상기 제2의 메모리 셀과 상기 제3의 메모리 셀 중 적어도 어느 하나의 메모리 셀이 원하는 임계치에 도달하지 않고 있었을 경우에, 원하는 임계치에 도달할 때까지, 상기 워드선에 상기 기입 펄스 전압, 상기 제2의 검증 전압 및 상기 제3의 검증 전압이 순차, 반복하여 인가되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 11.

제10항에 있어서,

상기 기입 펄스 전압은, 기입 동작의 횟수와 함께 커지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 12.

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 제1, 제2 및 제3의 메모리 셀은, 각각 메모리 셀이 직렬로 접속된 메모리 셀 열을 구성하고, 상기 메모리 셀 열의 일단이, 선택 트랜지스터를 통해서 비트선에 접속되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 13.

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 제1의 메모리 셀에 기입되는 임계치의 상태는, 4개의 임계치의 상태 중에서, 소거 레벨을 포함하는 임계치의 상태에서부터 가장 떨어진 임계치의 상태인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 14.

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 제2 및 제3의 메모리 셀에 대하여 상기 제2의 데이터 기입 동작을 수행하기 전의 임계치는, 두 메모리 셀 모두, 소거 레벨을 포함하는 상태 내에 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 15.

임계치가 소거 레벨을 포함하는 4개의 상태를 취하는 것에 의해 2비트의 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 게이트 단자 각각에 접속된 워드선과,

상기 복수의 메모리 셀의 드레인 단자 각각에 접속된 비트선을 구비하고,

상기 워드선에 선택적으로 공급된 워드선 전압 및 상기 비트선에 선택적으로 공급된 비트선 전압에 따라서 개개의 메모리 셀에 대하여 기입 동작 및 그것에 계속되는 검증 동작으로 이루어지는 데이터 기입과, 기억된 데이터의 판독이 수행되고,

소거 레벨을 제외하는 3개의 상태 중 임의의 상태의 임계치가 되어야 할 제1의 메모리 셀에 대한 제1의 데이터 기입이 제1의 구간에서 완료한 후에, 남은 인접하는 2개의 상태 중 일방의 상태의 임계치가 되어야 할 제2의 메모리 셀 및 상기 일방의 상태의 다음에 높은 타방의 상태의 임계치가 되어야 할 제3의 메모리 셀에 대한 제2의 데이터 기입이 제2의 구간에서 수행되고,

상기 제2의 데이터 기입에 있어서의 상기 제2의 메모리 셀의 기입 동작은, 인접하는 하위의 임계치의 상태로부터의 기입 동작이고,

상기 제1의 구간에서 상기 제1의 메모리 셀이 기입 동작 및 계속되는 검증 동작을 수행하도록 제어된 제1의 워드선 전압이 상기 워드선에 공급되고, 상기 제2의 구간에서 상기 제2 및 제3의 메모리 셀이 동시에 기입 동작을 수행하고, 계속해서 검증 동작을 수행하도록 제어된 제2의 워드선 전압이 상기 워드 선에 공급되고,

상기 제2의 구간에서, 상기 제2의 워드선 전압은, 상기 제2의 메모리 셀이 검증 동작을 수행하기 위한 제1의 검증 전압이 된 후에, 상기 제3의 메모리 셀이 검증 동작을 수행하기 위한 상기 제1의 검증 전압보다도 높은 제2의 검증 전압이 되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 16.

제15항에 있어서,

상기 제2의 메모리 셀은 제1 비트선에 접속되고,

상기 제3의 메모리 셀은 제2 비트선에 접속되고,

상기 워드선이 상기 제1의 검증 전압이 되기 전에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제1의 프리차지 동작이 수행되고,

상기 워드선이 상기 제2의 검증 전압이 되기 전으로서, 상기 제1의 프리차지 동작 후에, 상기 제1 비트선 및 상기 제2 비트선에 대하여 제2의 프리차지 동작이 수행되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 17.

제15항에 있어서,

상기 제2의 메모리 셀과 상기 제3의 메모리 셀 중 적어도 어느 하나의 메모리 셀이 원하는 임계치에 도달하지 않고 있었을 경우에, 원하는 임계치에 도달할 때 까지, 상기 워드선에 상기 기입 펄스 전압, 상기 제1의 검증 전압 및 상기 제2의 검증 전압이 순차, 반복하여 인가되는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 18.

제17항에 있어서,

상기 기입 펄스 전압은, 기입 동작의 횟수와 함께 커지는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 19.

제15항 내지 제18항 중 어느 한 항에 있어서,

상기 제1, 제2 및 제3의 메모리 셀은, 각각 메모리 셀이 직렬로 접속된 메모리 셀 열을 구성하고, 상기 메모리 셀 열의 일단이, 선택 트랜지스터를 통해서 비트선에 접속되어 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 20.

제15항 내지 제18항 중 어느 한 항에 있어서,

상기 제1의 메모리 셀에 기입되는 임계치의 상태는, 4개의 임계치의 상태 중에서, 소거 레벨을 포함하는 임계치의 상태로 부터 가장 떨어진 임계치의 상태인 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 21.

제15항 내지 제18항 중 어느 한 항에 있어서,

상기 제2 및 제3의 메모리 셀에 대하여 상기 제2의 데이터 기입을 수행하기 전의 임계치는, 두 메모리 셀 모두, 소거 레벨을 포함하는 상태 내에 있는 것을 특징으로 하는 불휘발성 반도체 기억 장치.

청구항 22.

삭제

청구항 23.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기적으로 재기입 가능한 불휘발성 반도체 기억 장치에 관한 것으로, 특히 메모리 셀이 다중값 데이터를 기억하는 불휘발성 반도체 기억 장치에 관한 것이다.

1셀당 3개 이상의 임계치 전압을 설정함으로써 1셀 N비트의 기억을 가능하게 한 반도체 기억 장치에서는 그 셀 수를 1셀 1비트의 기억 장치의 1/N로 할 수 있다. 이 때, 1셀을 얻는 임계치 상태수 K는 $K=2^N$ 을 만족한다. 1셀당 2비트(N=2) 기억하는 셀의 임계치 분포의 예를 도 59에 도시한다. K=4이므로, 임계치 상태는 기억하는 데이터에 따라서 제0 상태 ~ 제3 상태가 설정되며 임계치 상태의 식별을 위해서 3개의 전압 Vpref1 ~ Vpref3이 설치된다.

이러한 반도체 기억 장치에서는 통상, 일회의 기입으로도 59에 도시하는 각 임계치 상태를 얻는 것은 정밀도의 면에서 곤란하다. 그래서, 기입을 행하고 나서 임계치 상태를 검증하고, 기입이 불충분하면, 재차 기입을 행하고, 소정의 임계치 상태가 되기까지 기입 및 검증을 반복하는 기입 방법이 채용된다. 예를 들면, 기입으로 부유 게이트에 전자를 주입하는 기억 장치에서는 반복될 때마다 소량씩 전자를 주입하여 부유 게이트의 전하량을 늘리고, 부유 게이트의 축적 전하량이 소정의 량 즉 메모리 셀이 기입 데이터(기억하는 데이터)에 따른 임계치 상태가 되기까지 기입을 계속한다.

도 60은 그와 같은 기입을 행하는 경우의 워드선(메모리 셀의 제어 게이트)에 제공하는 전압의 예를 나타낸 것이다. 워드선에는 기입 시에 높은 전압(바이어스)이 제공됨과 함께 비트선(메모리 셀의 드레인)에 워드선에 인가되는 바이어스보다도 낮은 전압의 기입 바이어스가 인가된다. 또한, 검증 시에는 기입 상태인 검증에 필요한 전압 Vprefj(j=1, 2, ..., k-1)가 제공된다. 기입 시에 이 예에서는 기입 횟수 및 기입 데이터의 레벨에 따라서 워드선 전압을 높이고, 일회의 기입 바이어스 인가에 의한 주입 전자의 량을 증가시키고 있다.

이와 같은 주입 전하량의 제어에는 복잡한 회로가 필요해지므로 워드선 전압을 같게 하여 회로를 간단화하는 방법도 자주 채용된다. 그 경우는 기입, 검증의 반복 횟수가 증가하고 특히 기입 데이터의 임계치 상태가 높을수록 반복 횟수가 증가한다.

종래의 기입 검증 방식으로서, 예를 들면 특개평 9-180471호 공보에 기재된 제1 방식이 알려져 있다. 1셀당 2비트 정보를 기억 가능한 메모리 셀의 임계치 분포를 도 59에 기입 검증 동작의 선택 워드선 전위 및 플로우차트를 각각 도 60 및 도 61에 도시한다. 여기서는, 제0 상태가 소거된 상태의 임계치 분포로 되어 있다.

이 제1 방식은 기입 데이터의 레벨마다 시퀀셜에 기입을 완료해 가는 것이 특징이다. 우선 제1 상태로 기입을 행하는 메모리 셀을 대상으로 제1 상태로의 기입과 검증을 행한다. 제1 상태의 기입이 종료한 후, 제2 상태로 기입을 행하는 메모리 셀을 대상으로 제2 상태로의 기입과 검증을 행한다. 제2 상태의 기입이 종료한 후, 제3 상태로 기입을 행하는 메모리 셀을 대상으로 제3 상태로의 기입과 검증을 행하여 제3 상태의 기입을 종료시키고, 이상에 따라서 모든 상태의 기입을 종료시키는 방식이다. 이 방식으로는 메모리 셀이 원하는 임계치 상태가 되기까지 워드선 및 비트선으로 바이어스를 인가하여 행하는 기입 동작(기입 바이어스 인가 동작)과 검증 동작을 반복하여 행함으로써 기입을 종료시키기 때문에, 임계치가 고정밀도로 제어된다. 그러나 레벨마다 시퀀셜에 고정밀도의 임계치 제어를 행하기 때문에, 많은 기입 검증 횟수를 필요로 하고, 그 결과 기입 시간이 길어지는 것을 피할 수 없다.

한편, 상기 제1 방식 이외에 예를 들면 특개평 4-57294호 공보에 기재된 제2 방식도 알려지고 있다. 이 제2 방식에서는 기입 동작은 기입 데이터의 복수의 레벨에 대하여 동시에 행해지며 또한 기입 동작 종료에 계속해서 검증 동작이 즉시 행해지는 것이 특징이다. 복수의 레벨에 대하여 동시에 기입 및 검증을 행하고 있기 때문에, 제2 방식으로는 검증 횟수를 저감할 수 있어 기입 시간의 단축이 가능하다.

이 제2 방식에서의 기입 검증 동작에서는 도 62에 도시한 바와 같이, 복수의 기준 전류 레벨과 메모리 셀 전류를 비교함으로써 임계치 레벨의 판별이 행해진다. 메모리 셀의 비트선에 일정 전압을 제공했을 때 그 임계치 전압에 따라서 메모리 셀에 흐르는 전류가 다르다. 그래서, 검증 대상의 메모리 셀(1)의 전류 Icell을 기준 셀 어레이 R에 흐르는 전류 Iref1 ~ Iref3과 비교하여 그 대소를 검출기 SA1 ~ SA3으로 검출하고, 검출 결과를 논리 회로 LC에서 연산하여 기입 데이터의 레벨을 2 비트의 D1, D2로서 출력한다. 이 제2 방식에서는 전류 감지 방식을 이용하고 있다.

그러나, 이 방식으로는 이하의 성질이 있다. (1) 복수의 기준 전류 레벨을 좋은 정밀도로 발생시키는 것이 회로 상 곤란하며 회로 규모가 커진다. (2) 전류 감지 방식으로는 감지 동작 시의 소비 전류가 크기 때문에, 많은 메모리 셀을 동시에 판별하는 것이 곤란하며 기입 처리량이 억제된다. (3) 다중값 레벨을 메모리 셀 전류에 의해서 판정하기 위해서는 고감도의 증폭기가 필요해지며, 칩 면적의 증대를 초래한다. 이 때문에, 제2 방식은 특히 높은 기입 처리량이 요구되는 경우에는 이용되지 않는다.

도 63에 도시하는 전류 감지 방식의 다른 예가 특개평 10-241373호 공보에 기재되어 있다. 여기서는, 1개의 기준 레벨 Iref를 이용하여 워드선의 바이어스 전압(WL 전위)을 점차 계단형으로 증가시켰을 때의 메모리 셀 전류 Icell을 기준 레벨 Iref와 비교한다. 메모리 셀 전류 Icell이 기준 레벨 Iref를 상회한 타이밍을 타이밍 검출기 TD에서 판별함으로써 기입 검증을 행한다.

이 예에서는, 기입을 행하는 임계치 레벨에 대응하여 워드선을 계단형으로 천이시킬 필요가 있기 때문에, 도 62에 도시한 방식보다도 판별 시간을 요하지만, 하나의 기준 레벨로 판별이 가능하기 때문에, 회로 규모를 축소하는 것이 가능하다. 단지, 이 경우도 메모리 데이터를 판별하는 방법이 전류 감지 방식이기 때문에, 감지 시의 소비 전류가 커지는 것을 피할 수 없고, 동시에 판별하는 셀 수가 이 소비 전류에 의해서 제한을 받는다. 따라서, 기입 처리량이 억제된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 기입 데이터의 복수의 레벨에 대하여 동시에 기입을 행하여 계속해서 검증을 행하는 기입 검증 동작을 높은 기입 처리량으로 행하는 다중값 기억의 불휘발성 반도체 기억 장치를 제공하는데 있다.

상기 목적을 달성하기 위해서, 본 발명의 불휘발성 반도체 기억 장치는 기억하는 N 비트의 데이터를 유지하는 유지 회로와, 기입 동작에 계속해서 행하는 검증 동작의 기간에 소거 레벨의 임계치 이외의 K-1개의 임계치에 대응하는 데이터 레벨에 따라서 K-1개의 구간을 설치하는 타이밍을 발생하는 타이밍 제어 회로와, 검증 시에 워드선 전압을 상기 타이밍에 따라서 계단형으로 증가시키는 워드선 구동 회로와, 상기 타이밍에 따라서 추출한 데이터 유지 회로의 데이터에 의해서 검증 대상의 메모리 셀을 선택하고, 선택한 메모리 셀의 도통/비도통 상태를 검출함으로써 임계치 진술 검증을 행하는 판정 회로를 포함하고, 기입 불충분한 메모리 셀의 비트선으로 기입 바이어스를 검증 결과에 따라 인가하여 재기입을 행하는 것을 특징으로 한다.

이러한 특징에 의해, K-1개의 임계치에 대응하는 데이터 레벨에 대하여 동시에 기입을 행하여 계속해서 검증을 행하는 기입 검증 동작을 실행하고, K-1개의 데이터 레벨에 대응하는 모든 메모리 셀의 기입이 종료하기까지 기입 검증 동작을 반복하는 기입이 행해진다.

메모리 셀의 도통/비도통 상태를 검출하여 메모리 셀의 임계치를 판정하는 검증은 예를 들면 비트선에 전하를 제공하고(프리차지하고), 그 전하가 메모리 셀의 도통/비도통에 의해서 방전되지 않거나 또는 유지된 그대로의 검출을 행함으로써 가능하다. 전하의 유무 즉 전압 변화의 검출은 판독 동작과 동일하며, 검출을 위해서 정상적인 전류를 흘릴 필요가 없이 동작이 고속이다. 본 발명의 반도체 기억 장치에서는 메모리 셀이 원하는 임계치에 달하고 있는지의 여부의 판정이 그와 같은 고속 동작에 의해서 행해지므로 전류 감지 방식의 경우와 같은 기입 처리량의 열화는 없다.

이와 같은 검출 방법을 기초로 검증 기간에 기입 레벨마다 설치한 구간으로부터 해당하는 구간을 기입 데이터에 의해서 선택하고, 선택한 구간에서 해당하는 메모리 셀의 검증을 행한다. 이 때, 워드선 전압을 계단형으로 증대시켜서, 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 연속하여 행한다. 이것에 의해서, 다수의 메모리 셀의 동시 검증이 가능해져서 높은 기입 처리량을 포함한 고속의 불휘발성 반도체 기입 장치를 실현할 수 있다.

또한, 타이밍 제어 회로에 의해 기입 동작의 기간에 소거 레벨 이외의 K-1개의 데이터 레벨에 따라서 K-1개의 다른 구간을 설치하는 다른 타이밍을 더 발생시킨다. 기입 시에 상기 다른 타이밍에 따라서 추출한 데이터 유지 회로의 데이터에 의해 기입 대상의 메모리 셀을 선택하고, 비트선 전압을 상기 다른 타이밍에 따라서 계단형으로 증가시키는 것이 바람직하다. 임계치 레벨이 높을수록 1회의 기입량이 많아지므로 기입 시간의 단축이 가능해진다.

덧붙여, 기입 기간에 기입 레벨마다 구간을 설치함으로써 복수 레벨의 기입 동작을 연속하여 행하는 것이 가능해지며, 다중값 레벨의 고속 기입을 실현할 수 있다. 또, 비트선 전압을 계단형으로 증가시키는 대신에 워드선 전압을 계단형으로 증가시켜도 된다.

또한, 본 발명의 다른 불휘발성 반도체 기억 장치는 소거 레벨의 임계치와는 가장 떨어진 임계치에 대응하는 데이터 레벨(이하 「최원 데이터 레벨」이라 함)의 기입이 완료하고 나서 남은 임계치의 기입을 실행하도록 상기 타이밍이 설정되어 있는 것을 특징으로 한다.

예를 들면, 소거 레벨의 임계치가 가장 낮고, 최원 데이터 레벨이 임계치가 가장 높은 경우, 소거 레벨과 임계치가 가장 높은 메모리 셀 이외의 메모리 셀의 임계치의 분포폭을 좁게 하여 소거 레벨과 가장 높은 레벨과의 임계치 전압차를 축소하는 것이 가능해짐과 함께, 임계치가 가장 높은 메모리 셀 이외의 메모리 셀의 1회당 검증 시간을 단축하는 것이 가능해지며, 고속의 기입 검증 동작을 얻을 수 있다. 또한, 임계치 전압차를 축소함으로써 메모리 셀의 전하 유지 특성의 열화를 방지할 수 있다.

그 경우, 상기 타이밍 제어 회로를 기입 동작의 기간에 소거 레벨 및 최원 데이터 레벨 이외의 K-2개의 데이터 레벨에 따라서 K-2개의 다른 구간을 설치하는 다른 타이밍을 더 발생시킨다. 기입 시에는 상기 다른 타이밍에 따라서 추출한 데이터 유지 회로의 데이터에 의해서 기입 대상인 메모리 셀을 선택하고, 비트선 전압을 상기 다른 타이밍에 따라서 계단형으로 증가시킨다. 임계치 레벨이 높을수록 일회의 기입량이 많아지므로 기입 시간의 단축이 가능해진다.

덧붙여, 기입 기간에 기입 레벨마다 구간을 설치함으로써, 복수 레벨의 기입 동작을 연속하여 행하는 것이 가능해지며, 다중값 레벨의 고속의 기입을 실현할 수 있다. 또, 비트선 전압을 계단형으로 증가시키는 대신에 워드선 전압을 계단형으로 증가시켜도 된다.

본 발명의 진술한 것들 외의 다른 목적, 장점, 동작의 방법, 및 새로운 특성이 첨부 도면과 결부하여 다음의 상세한 설명을 참조함으로써 이해될 수 있을 것이다.

발명의 구성

이하, 본 발명에 따른 불휘발성 반도체 기억 장치를 도면을 참조하여 상세하게 설명한다.

본 발명의 실시 형태에서의 기입 검증 동작을 실행하는 기본 회로의 구성을 도 1에 도시한다. 메모리 셀(1)의 게이트 단자는 워드선 WL을 통하여 워드선 구동 회로(2)에 소스 단자는 소스선 CS를 통하여 소스선 제어 회로(3)에 드레인 단자는 비트선 BL에 각각 접속되어 있다. 비트선 BL에는 판정 회로(4)와 기입 바이어스 회로(5)가 접속되어 있다.

데이터 유지 회로(6)는 기입 시에 기입 데이터를 유지한다. 타이밍 제어 회로(7)는 기입 바이어스 인가 동작에 계속해서 행하는 검증 동작의 기간에 기입 데이터의 복수의 레벨에 대응한 구간을 설치하는 타이밍을 발생한다. 워드선 구동 회로(2)는 검증 시에 선택 워드선 WL의 전압을 상기 타이밍에 따라서 계단형으로 증가시킨다. 제어 회로(4)는 상기 타이밍에 따라서 추출한 데이터 유지 회로(6)의 데이터에 의해 검증 대상의 메모리 셀(1)을 선택하고, 선택한 메모리 셀(1)의 도통/비도통 상태를 검출하여 임계치 레벨의 검증을 행한다. 기입 바이어스 회로(5)는 기입 불충분한 메모리 셀의 비트선으로 검증 결과에 따라서 기입 바이어스를 공급한다.

타이밍 제어 회로(7)로부터, 상기 타이밍의 제어를 행하는 타이밍 신호가 워드선 제어 회로(2), 판정 회로(4) 및 기입 바이어스 회로(5)에 공급된다. 판정 회로(4)에는 데이터 유지 회로(6)가 접속된다. 판정 회로(4)는 상기 타이밍에 따라서 데이터 유지 회로(6)의 데이터를 추출함으로써, 검증 대상의 메모리 셀(1)을 선택하고, 선택한 메모리 셀(1)의 도통/비도통 상태를 검출하여 검증을 행한다. 데이터 유지 회로(6)의 모든 데이터에 대하여 검증을 행하여 메모리 셀(1)의 기입이 종료했는지의 여부를 판정하고, 기입 바이어스 회로(5)에 판정 결과를 나타내는 신호를 보낸다. 기입 바이어스 회로(5)는 이 판정 신호를 받아서 기입 미종료인 메모리 셀의 비트선 BL에만 기입 바이어스를 공급한다. 또, 판정 회로(4)는 검증 대상의 메모리 셀(1)을 선택함으로써 활성화 상태가 된다.

메모리 셀(1)은 1셀당 2 비트의 데이터를 기억하는 것이 가능한 메모리 셀로, 취할 수 있는 4개의 임계치 상태를 도 2a, 도 2b에 도시한다. 도 2a에서는 소거된 상태는 제0 상태이고, 제1, 제2 및 제3 각 상태로 임계치를 증대시킴으로써 기입을 행한다. 도 2b에서는 소거된 상태(제0 상태)가 가장 높은 임계치이며 제1, 제2 및 제3 각 상태에서 임계치를 감소시킴으로써 기입을 행한다. 도 2a와 도 2b 중 어느 하나의 임계치 상태라도 좋다. 이하, 도 1과 맞추어서, 기입 검증 동작을 나타내는 플로우차트인 도 3을 이용하여 본 발명의 개요를 설명한다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되어 데이터 유지 회로(6)로 세트된다. 동시에 기입 대상의 메모리 셀(1)에 대하여 기입 바이어스가 인가되어 기입이 행해지고, 계속해서 데이터 유지 회로(6)의 데이터를 이용하여 검증이 실행된다.

검증에서는 우선, 기입 목표가 제1 상태인 메모리 셀(1)을 선택함으로써 대응하는 판정 회로(4)를 활성화시킨 후, 동일 메모리 셀의 워드선 WL을 제1 상태 검증 레벨로 설정하고, 제1 상태 검증 결과를 상기 제1 상태 기입 메모리 셀(1) 대응의 판정 회로(4)로 유지시킨다. 판정 회로(4)로의 비트선 BL의 접속은 상기 타이밍에 따라서 추출한 데이터 유지 회로의 데이터를 사용하여 행해진다. 계속해서 마찬가지로 하여, 제2 상태 기입 메모리 셀(1)에 대응하는 판정 회로(4)를 활성화시켜서, 동일 메모리 셀의 워드선 WL을 제2 상태 검증 레벨로 설정하여 제2 상태 검증 결과를 상기 제2 상태 기입 메모리 셀(1) 대응의 판정 회로(4)에 유지시킨다. 계속해서, 제3 상태 기입 메모리 셀(1)에 대응하는 판정 회로(4)를 활성화시키고, 동일 메모리 셀의 워드선 WL을 제3 상태 검증 레벨로 설정하여 제3 상태 검증 결과를 상기 제3 상태 기입 메모리 셀(1) 대응의 판정 회로(4)에 유지시킨다. 그 결과, 제1 내지 제3의 검증 결과가 갖추어진다. 그것에 의하여 일괄 판정이 행해진다. 이와 같이, 메모리 셀의 임계치 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 3개의 임계치 상태의 검증 동작을 다음의 기입 즉 기입 불충분한 메모리 셀로의 기입을 행하기 전에 일괄하여 행한다.

일괄 판정한 결과, 기입 미종료된 메모리 셀이 존재한 경우에는 기입 미종료된 메모리 셀에만 기입 바이어스가 인가되도록 기입 바이어스 회로(5)가 동작한다. 상기 기입 바이어스 인가 동작과 검증 동작은 기입을 행해야 할 모든 메모리 셀의 기입이 종료하기까지 반복하여 행해진다.

또, 이상의 동작은 물론, 예를 들면 1셀당 4 레벨 이상의 임계치 상태를 취할 수 있는 메모리 셀에 대하여도 용이하게 적용 가능하다.

상기 기능을 실현하는 일례로서, 판정 회로(4)는 예를 들면 도 4에 도시한 바와 같이 타이밍 선택 회로(8)와 감지 회로(9)에 의해서 구성할 수 있다. 타이밍 선택 회로(8)에는 데이터 유지 회로(6)가 유지하는 기입 데이터와 타이밍 제어 회로(7)로부터의 타이밍 신호가 입력된다. 타이밍 선택 회로(8)는 타이밍 신호에 따라서 상기 유지 데이터를 추출한 경우에만 비트선 BL을 감지 회로(9)에 접속하고, 검증 대상의 메모리 셀의 선택을 행한다. 비트선 BL을 접속된 감지 회로(9)는 활성화 상태가 되어 메모리 셀의 도통/비도통 상태를 검출한다. 이와 같이, 메모리 셀의 임계치 상태를 판정하는 타이밍이 기입 데이터에 따라서 설정된다.

또한, 도 5에 타이밍 선택 회로(8)의 한 구체예를 나타낸다. 타이밍 선택 회로(8)는 비트선 BL과 감지 회로(9)를 접속하는 스위치 SW와, 데이터 유지 회로(6) 및 타이밍 제어 회로(7)로부터의 출력 신호를 입력하여 스위치 SW로의 제어 신호를 발생하는 논리 회로(10)에 따라 구성된다. 양쪽으로부터의 출력 신호가 있는 경우만 스위치 SW가 ON 상태가 된다.

도 6의 플로우차트를 이용하여, 도 5의 구성에 의한 기입 검증 동작을 설명한다. 메모리 셀(1)은 1셀당 2비트 정보를 기억하는 것이 가능하고, 취할 수 있는 4개의 임계치 상태는 도 2에 도시한 바와 같다.

우선, 기입 명령이 입력되면, 외부로부터 기입 데이터를 데이터 유지 회로(6)에 로딩하여 기입이 필요한 메모리 셀(1)로 기입 바이어스를 인가한 후, 기입 검증을 행한다.

기입 검증 동작은 우선 기입 목표가 제1 상태의 메모리 셀에 대응한 스위치 SW를 ON 상태로 하고, 이에 의해서 상기 제1 상태 기입 메모리 셀(1)에 대응하는 감지 회로(9)를 활성화시킨다. 그 후, 메모리 셀의 워드선 WL을 제1 상태 검증 레벨로 설정하고, 제1 상태 검증 결과를 상기 제1 상태 기입 메모리 셀(1) 대응의 감지 회로(9)에 유지시킨다.

제1 상태 기입 셀 대응의 스위치 SW를 OFF 상태로 한 후, 제2 상태 기입 메모리 셀에 대응하는 스위치를 ON 상태로 하여 상기 제2 상태 기입 메모리 셀에 대응하는 감지 회로를 활성화시킨다. 계속해서, 메모리 셀(1)의 워드선 WL을 제2 상태 검증 레벨로 설정하고, 제2 상태 검증 결과를 상기 제2 상태 기입 메모리 셀(1) 대응하는 감지 회로(9)로 유지시킨다.

제2 상태 기입 셀(1) 대응의 스위치 SW를 OFF 상태로 한 후, 제3 상태 기입 메모리 셀(1)에 대응하는 스위치를 ON 상태로 하여 상기 제3 상태 기입 메모리 셀(1)에 대응하는 감지 회로(9)를 활성화시킨다. 계속해서, 메모리 셀(1)의 워드선 WL을 제3 상태 검증 레벨로 설정하고, 제3 상태 검증 결과를 상기 제3 상태 기입 메모리 셀(1) 대응하는 감지 회로(9)로 유지시킨다.

그 후, 각 상태의 감지 회로(9)를 증폭시켜서 모든 기입 상태에 대하여, 기입 종료인지의 여부를 일괄하여 판정한다. 이와 같이, 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써 3개의 상태의 기입 검증 동작을 일괄하여 행하는 것이 가능하다.

여기서, 워드선 WL이 각 상태의 검증 레벨에 있을 때의 스위치 SW의 상태를 표 1로 나타낸다.

[표 1]

기입 데이터	제1 상태 검증	제2 상태 검증	제3 상태 검증
제0상태	OFF	OFF	OFF
제1상태	ON	OFF	OFF
제2상태	ON/OFF	ON	OFF
제3상태	ON/OFF	ON/OFF	ON

기입 데이터가 제0 상태, 즉 기입을 행하지 않은 경우에는 스위치 SW가 OFF 상태 그대로이고, 감지 회로(9)에 의해서 강제적으로 기입 종료 상태가 판정된다. 기입 데이터가 제1 상태인 경우는 워드선 WL의 레벨이 제1 상태 검증 레벨일 때만 스위치 SW가 ON 상태가 되고 있으며, 제2, 제3 상태 검증 레벨에서는 스위치 SW가 OFF 상태가 된다. 이에 의해 최종적으로 감지 회로(9)는 제1 상태 검증 결과를 유지한 그대로가 된다. 기입 데이터가 제2 상태인 경우에는 제1 상태 검증 시에는 스위치 SW가 ON이나 OFF나 상관없지만, 제2 상태 검증 시에는 ON 상태, 제3 상태 검증 시에는 OFF 상태가 된다. 이에 의해 최종적으로 감지 회로(9)는, 제2 상태 검증 결과를 유지하게 된다. 또한, 기입 데이터가 제3 상태인 경우에는 제1, 제2 상태 검증 시에는 스위치 SW가 ON 상태나 OFF 상태나 상관없지만, 제3 상태 검증 시에는 ON 상태로 한다. 이에 의해 최종적으로 감지 회로(9)는 제3 상태 검증 결과를 유지하게 된다.

<실시예 1>

본 발명의 제1 실시예를 도 7 ~ 도 9를 이용하여 설명한다.

도 7은 본 실시예의 구체적인 회로 구성을 나타낸 것이다. 도 7 중 메모리 어레이 MA는 예를 들면 특개평 3-219496호 공보에 기재된 전기적 일괄 소거형의 메모리 어레이이다. 메모리 셀 M11 내지 Mmn[도 1, 도 4, 도 5에서의 메모리 셀(1)]이 매트릭스형으로 배열되며, 각 메모리 셀 M의 드레인 단자가 비트선 BL1 ~ BLm에 접속되며, 소스 단자가 공통 소스선 CS에 접속되며, 제어 게이트가 워드선 WL1 ~ WLn에 접속되고 있다. 여기서, 각 메모리 셀 M은 1셀당 2비트 정보(N=2, K= 4)를 기억하는 것이 가능한 메모리 셀이다.

메모리 셀 M의 취할 수 있는 4개의 임계치 상태를 도 8에 도시한다. 도 8에서 소거 상태는 '00' 레벨이며, 소거 레벨의 임계치 이외의 K-1=3개의 임계치 즉, '01', '10', '11'로 임계치를 증대시킴으로서 기입이 행해진다. 메모리 셀 M으로의 기입은 열 전자 주입(이하 「HE 주입」이라고 함)에 의해서 부유 게이트에 전자를 주입함으로써 행한다. 이 때의 기입 바이어스 조건의 일례를 표 2에 나타낸다.

[표 2]

노드	전압
워드 전압	12V
드레인 전압	5V
소스 전압	0V
웰 전압	0V

이하, 도 7 및 도 8과 더불어 도 9에 도시하는 타이밍차트를 이용하여 본 실시예에서의 기입 검증 동작을 설명한다.

도 7에서 MOS(Metal Oxide Transistor) 트랜지스터 M1 ~ M6 및 Mp가 도 4, 도 5에서의 타이밍 선택 회로(8)를 구성하고, 데이터 유지 회로 DLS1, DLS2가 도 1, 도 4, 도 5에서의 데이터 유지 회로(6)이며, 감지 회로 SL이 도 4, 도 5에서의 감지 회로(9)이다. 이들의 회로 및 기입 바이어스 수단이 되는 기입 바이어스 회로(5)에 의해서 기입 검증 제어 회로 C1 ~ Cm이 구성된다.

기입 명령이 입력되면, 외부로부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1과 DLS2의 상태를 표 3에 나타낸다.

[표 3]

	DLS1	DLS2
'00'	0V	0V
'01'	0V	VDL
'10'	VDL	0V
'11'	VDL	VDL

데이터 유지 회로 DLS1, DLS2는 예를 들면 래치 회로이며, 표 3 중의 VDL은 래치 회로의 전원 전압을 나타내고 있다.

다음에 기입 데이터가 '01', '10', '11'의 비트에 대하여 기입 바이어스를 인가한다. 이 경우의 기입 바이어스는 앞의 표 2에 나타낸 바와 같은 조건이다.

기입 바이어스 인가 후, 기입 검증 동작을 행한다. 우선, MOS 트랜지스터 Mp에 타이밍 신호 Sp를 제공하여, 전원 전압 FPC(예를 들면 1V)를 비트선 BL에 공급한다. 비트선 BL을 1V에 충전(프리차지)한 후, 부유 상태로 한다.

계속해서, 타이밍 신호 S4 및 S5를 상승하여 각각 MOS 트랜지스터 M4, M5를 ON 상태로 하고, 하위 비트가 '1'의 비트 즉 기입 데이터가 '01'과 '11'의 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 이 타이밍 신호 S4 및 S5의 상승에 의해서 도 9에 도시한 바와 같이 검증 기간에 데이터 레벨 '01'에 대응하는 구간이 설치된다.

비트선 BL과 감지 회로 SL을 접속한 후에 선택 워드선 WL을 '01' 레벨의 검증 전압 V1(예를 들면 2V)로 설정하여 '01' 검증 동작을 행한다. 임계치 전압이 V1 이하 즉 '01' 레벨 기입이 종료하고 있지 않은 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V1 이상 즉 '01' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선은 1V로 유지된 그대로가 된다.

이 동작에 의해, 기입 데이터가 '01', '11'의 비트 중, '01' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 고레벨(이하 「HI」라고 표기한다) 상태를 유지하지만, '01' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 저레벨(이하, 「LO」라고 표기한다) 상태가 된다. 이 동안, 기입 데이터가 '00'과 '10'인 비트에 대해서는 MOS 트랜지스터 M2가 OFF가 되며, 메모리 셀의 임계치에 상관없이 노드 SLS가 HI 상태가 된다. 예를 들면, 소거 레벨 '00'에 있는 메모리 셀은 '01' 검증에 의해서 비트선 전하가 방전되지만, 비트선 BL과 감지 회로 SL이 접속되지 않기 때문에 노드 SLS는 HI 상태가 유지된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여 MOS 트랜지스터 M3, M6을 ON 상태로 하고, 상위 비트가 '1'의 비트 즉 기입 데이터가 '10'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 이 타이밍 신호 S3, S6의 상승에 의해서, 도 9에 도시한 바와 같이 검증 기간에 데이터 레벨 '10'에 대응하는 구간이 설치된다.

비트선 BL과 감지 회로 SL을 접속한 후에 워드선 WL 전압을 '10' 레벨의 검증 전압 V2(예를 들면 3V)로 설정하여 '10' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V2 이하의 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상 즉 '10' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10', '11' 비트 중, '10' 레벨 기입이 종료하고 있는 메모리 셀에 대한 노드 SLS는 HI 상태를 유지하지만, '10' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01'의 메모리 셀에 대해서는 MOS 트랜지스터 M1이 OFF가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않기 때문에, 앞의 동작으로 노드 SLS에 판독한 '01' 검증의 결과는 파괴되지 않는다.

타이밍 신호 S3, S6을 하강시킨 후, 타이밍 신호 S3, S4를 상승하여 MOS 트랜지스터 M3, M4를 ON 상태로 하고, 기입 데이터가 '11'의 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 감지 회로 SL을 접속한다. 이 타이밍 신호 S3, S4의 상승에 의해서, 도 9에 도시한 바와 같이 검증 기간에 데이터 레벨 '11'에 대응하는 구간이 설치된다.

비트선 BL과 감지 회로 SL을 접속한 후에 선택 워드선 WL 전압을 '11' 레벨의 검증 전압 V3(예를 들면 4V)으로 설정하여 '11' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V3 이하의 메모리 셀은 도통 상태가 되며 비트선 전하는 메모리 셀을 통하여 공통 소스 CS에 방전된다. 한편 임계치 전압이 V3 이상, 즉 '11' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'의 비트 중 '11' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '11' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01', '10'의 메모리 셀에 대해서는 MOS 트랜지스터 M1, M2 중 적어도 어느 하나가 OFF 상태가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않는다. 따라서, '11' 검증 동작에 앞서서 행해진 동작에 의해서 노드 SLS에 유지된 '01' 검증 결과 및 '10' 검증 결과는 파괴되지 않는다.

또, 기입 데이터가 '00'인 메모리 셀은 '01', '10', '11' 검증 동작 중에 비트선 전하가 방전되지만, 그 동안, 비트선 BL과 감지 회로 SL이 접속되지 않기 때문에 기입 종료 비트라고 판정되게 된다.

검증 결과를 유지하는 감지 회로 SL로서, 본 실시예에서는 도 10에 도시하는 크로스 래치형의 회로를 채용하였다. 검증 결과는 1V 이하의 낮은 전압이지만, 이것을 증폭하여 노드 SLS에서의 판정을 확정한다. 감지 회로 SL은 PMOS 트랜지스터 MSP1, MSP2 및 NMOS 트랜지스터 MSN1, MSN2로 이루어진다. 증폭 전에 전원 SLP, SLN의 전압을 기억 장치의 전원 VCC의 1/2 정도로 해두고 증폭 동작 시에 전원 SLP를 VCC로 하고 전원 SLN을 0V로 한다. 이에 의해서, 노드 SLS의 전압은 증폭되어 3V 정도가 되며 확정한다. 또, 노드 SLR에는 노드 SLS의 반대 극성이 출력된다.

'11' 검증 동작 후, 감지 회로 SL을 증폭 동작시켜서, 메모리 데이터의 감지 동작을 행한다. 노드 SLS가 모든 기입 비트선에 대하여 HI 상태이면 기입 종료라고 판단된다. 그러나, LO 상태의 노드 SLS가 존재한 경우, 이 노드 SLS에 대응하는 메모리 셀은 기입 불충분하기 때문에, 계속해서 행해지는 기입 동작에서 기입 바이어스 회로(5)에 의해서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판별된 메모리 셀에는 기입 바이어스는 인가되지 않는다.

기입 대상의 모든 메모리 셀의 기입이 종료하면, 도 10에 도시한 감지 회로 SL의 반대극성 출력의 노드 SLR은 어느 메모리 셀에서도 LO 상태가 되므로 모든 LO 상태가 검출되었을 때 도 6에 도시하는 기입 종료가 YES가 되며 기입 명령의 실행이 종료한다.

여기서, 도 7 중의 기입 바이어스 회로(5)의 일례를 도 11에 도시한다. 노드 SLS가 LO 상태인 경우에 동 회로의 PMOS 트랜지스터가 ON 상태가 되며 또한 기입 신호 WEB가 상승함으로써, NMOS 트랜지스터가 ON 상태가 되며, 비트선 BL에 기입 바이어스 VWD가 인가된다. 한편 노드 SLS가 HI 상태인 경우에는 기입 신호 WEB를 상승하여도 PMOS 트랜지스터가 OFF 상태가 되어 비트선 BL에는 기입 바이어스가 인가되지 않는다.

이상과 같이, 타이밍에 따라서 추출한 기입 데이터에 의해서 대상 메모리 셀을 선택하고 또한 동일 타이밍에 따라서 계단형으로 증대시킨 워드선 전압을 대상 메모리 셀에 제공한다. 이에 따라, 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 따라 설정하는 것이 가능해져서 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간에 연속하여 행하는 것이 가능해진다.

또한, 본 방식에서는 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능하며 기입 처리량을 증대시킬 수 있다.

또한, 본 실시예에서는 비트선의 프리차지는 검증 개시 시에만 행하고, 그 후는 워드선 전압을 계단형으로 증가시켜서 3 상태 검증 동작을 연속하여 행하였다. 이에 대해, 도 12에 도시한 바와 같이 각 상태 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 따라, 검증에 요하는 시간은 증가하지만 각 상태의 검증 시에 비트선을 원하는 레벨로 감쇠량 작게 유지하는 것이 가능하며, 판정에 높은 레벨의 전하량을 사용할 수 있는 효과가 얻어진다.

<실시예 2>

본 발명의 제2 실시예를 도 13 ~ 도 16을 이용하여 설명한다.

일반적으로 다중값 메모리 셀에서는 도 8에 도시하는 소거 레벨('00' 레벨)과 '11' 레벨 간의 임계치 전압차가 넓어지면, 기입 바이어스 인가 시간이 증대하고 기입 속도가 느려지는 경우가 있다. 또한, 방치 시에 메모리 셀의 기판과 부유 게이트 간의 터널막에 걸린 전계가 커지기 때문에, 메모리 셀의 전하 유지 특성이 열화하는 경우가 있다.

소거 레벨과 '11' 레벨 간 임계치 차를 좁히기 위해서는 중간 '01' 레벨과 '10' 레벨의 분포폭을 협대화하면 된다. 이 때문에 1회의 기입 펄스에서의 임계치 변화를 작게 설정하여, 고정밀도로 임계치를 제어하는 것이 바람직하다. 한편으로 '11' 레벨은 소정의 임계치 전압 이상이면 되며 상한에 엄격한 제약이 존재하지 않기 때문에, 임계치를 초벌 제어하는 것이 가능하다.

이 때문에, '11' 레벨 기입 동작을 '01', '10' 레벨로의 기입 동작에 앞서서 행하고, 많은 검증 횟수를 필요로 하는 '01', '10' 레벨의 기입에서의 일회당 검증 시간을 단축하는 것이 적절하며, 이에 의해서 기입을 고속화할 수 있다.

'11' 레벨의 기입 동작을 앞서서 행하도록 한 본 실시예에서의 기입 동작의 플로우차트를 도 13에 도시한다. 본 실시예에서는 '11' 레벨의 기입 바이어스 인가 동작과 검증 동작을 기입이 종료하기까지 반복한다. '11' 기입이 완료한 후, '01', '10'의 기입 검증 동작을 제1 실시예에서 기재한 방법을 이용하여 행함으로써 복수 레벨의 기입을 행한다. 이하, 도 7의 회로 구성도 및 도 14, 도 15에 도시하는 타이밍차트를 이용하여 본 실시예의 구체적인 동작을 설명한다.

기입 명령이 입력되면, 외부로부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1과 DLS2의 상태는 표 3에 나타낸 바와 같다.

다음에, 우선 '11' 레벨로의 기입을 행한다. 도 14는 '11' 레벨로의 기입을 나타낸 타이밍차트이다. 기입 데이터가 '11' 레벨의 메모리 셀에만 기입 바이어스 인가한 후, '11' 레벨의 기입 검증 동작을 행한다. 우선, 전 비트선 BL을 예를 들면 1V로 프리차지(충전)한 후 부유 상태로 하고, 타이밍 신호 S3과 S4를 상승하고, 기입 데이터의 상위 비트와 하위 비트가 모두 '1'인 비트 즉 기입 데이터가 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고 비트선 BL과 감지 회로 SL을 접속한다.

이 후, 워드선 WL을 '11' 레벨 검증 전압 V3(예를 들면 4V)로 설정하여, '11' 검증 동작을 행한다. 임계치 전압이 V3 이하 즉 '11' 레벨 기입이 종료하지 않은 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V3 이상 즉 '11' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선 BL은 1V에 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'인 비트 중, '11' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '11' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다.

이 동안, 기입 데이터가 '00', '10', '10'의 비트에 대해서는 MOS 트랜지스터 M1, M2 중 어느 한쪽이 OFF 상태가 되며 메모리 셀의 임계치에 상관없이 노드 SLS가 HI 상태가 된다.

검증 동작의 결과, 모든 노드 SLS가 HI 상태가 된 경우에 '11' 기입이 종료하게 된다. 그러나, LO 상태의 노드 SLS가 존재한 경우에는 상기 노드 SLS에 대응하는 메모리 셀은 '11' 레벨로의 기입이 불충분하고, 계속해서 행해지는 기입 동작으로 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료 메모리 셀에는 기입 전압은 인가되지 않는다. 모든 노드 SLS가 HI 상태가 되기까지, 기입 바이어스 인가 동작과 검증 동작을 반복하여 행함으로써 '11' 레벨의 기입을 행한다.

여기서, '11' 레벨로의 기입은 먼저 진술한 바와 같이 초벌 기입해도 되기 때문에, 기입 바이어스 인가 동작과 검증 동작의 반복 횟수가 적은 기입을 실현할 수 있다.

'11' 레벨의 기입이 완료 후, '01', '10' 레벨의 기입을 행한다. 도 15는 '01', '10' 레벨로의 기입 동작을 나타내는 타이밍차트이다. 기입 데이터가 '01', '10' 레벨인 메모리 셀에만 기입 바이어스를 인가한 후, '01', '10' 레벨의 기입 검증 동작을 행한다.

우선, 전 비트선 BL을 예를 들면 1V로 충전한 후 부유 상태로 하고, 타이밍 신호 S4, S5를 상승하여, 기입 데이터가 '01', '11'의 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 워드선 WL의 전압을 '01' 레벨의 검증 전압 V1(예를 들면 2V)로 설정하여 '01' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V1 이하의 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V1 이상 즉 '01' 기입이 종료하고 있는 메모리 셀은 비도통 상태이며 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해 기입 데이터가 '01' 레벨의 비트에 대해서는, '01' 기입이 종료하고 있는 경우 노드 SLS는 HI 상태가 되어, '01' 기입이 종료하지 않은 경우에는 노드 SLS가 LO 상태가 된다. 또한 기입 데이터가 '11' 레벨의 비트에 대해서는 앞의 '11' 기입 동작에 의해서 임계치 전압이 이미 '11' 레벨에 있기 때문에, WL의 전압이 V1로서는 메모리 셀이 비도통 상태이다. 따라서, 비트선 전하는 방전되지 않고 노드 SLS는 반드시 HI 상태가 된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여, 기입 데이터가 '10', '11'의 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 워드선 WL 전압을 '10' 레벨의 검증 전압 V2(예를 들면 3V)로 설정하여 '10' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V2 이하의 메모리 셀은 도통 상태가 되며, 비트선 전하는 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상인 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10' 레벨의 비트에 대해서는 '10' 기입이 종료하고 있는 경우에는 노드 SLS는 HI 상태가 되며, '10' 기입이 종료하지 않은 경우에는 노드 SLS가 LO 상태가 된다. 또한, 기입 데이터가 '11' 레벨인 비트에 대해서는 앞의 '11' 기입 동작에 의해서 임계치 전압이 이미 '11' 레벨에 있기 때문에, WL의 전압이 V2에서는 메모리 셀이 비도통 상태이다. 따라서 비트선 전하는 방전되지 않고 노드 SLS는 HI 상태가 된다.

이 후, 감지 회로 SL의 전원을 증대시켜서, 메모리 데이터의 감지 동작을 행한 결과, 노드 SLS가 모든 기입 비트에 대하여 HI 상태이면, '01', '10' 기입 종료라고 판정된다. 그러나, 노드 SLS가 LO 상태인 비트가 존재하는 경우, 상기 노드 SLS에 대응하는 메모리 셀은 기입 불충분하다고 판단되며, 계속해서 행해지는 기입 동작에서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판단된 메모리 셀에는 기입 바이어스가 인가되지 않는다.

이상과 같이, 가장 임계치 전압이 높은 '11' 레벨의 기입을 '01', '10' 기입에 앞서서 행하여, 그 후 많은 검증 횟수를 필요로 하는 '01', '10' 기입 동작을 행함으로써, '01', '10' 기입 검증 동작에서의 일회당 기입 검증 시간을 단축할 수 있어 보다 고속의 기입이 가능해진다.

상기 실시예에서도 도 16에 도시한 바와 같이 각 상태의 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 의해, 검증에 요하는 시간은 증가하지만, 각 상태의 검증 시에 비트선 BL을 원하는 레벨로 감쇠량 작게 유지하는 것이 가능해지며, 관정에 높은 레벨의 전하량을 사용할 수 있는 효과가 얻어진다.

<실시예 3>

본 발명의 제3 실시예에 대하여 도 17 ~ 도 19를 이용하여 설명한다. 도 17은 1 셀당 3 비트 데이터를 기억할 수 있는 메모리 셀에 대하여 3 비트 데이터를 일괄하여 기입 검증이 가능한 회로 구성도에 대하여 나타낸 것이다. 도면 중의 M11 내지 Mmn은 1 셀당 3 비트 데이터를 기억하는 것이 가능한 메모리 셀을 나타내고 있고, 메모리 어레이 MA는 실시예 1에서의 도 7에 도시한 메모리 어레이 MA와 동일 구성으로 되어 있다.

상기 메모리 셀의 3 비트 데이터와 임계치 분포의 관계의 일례를 도 18에 도시한다. 도 18에서 소거 상태는 '000' 레벨이며, '001', '010', ..., '111'로 임계치를 증대시킴으로써 기입을 행한다. 메모리 셀로의 기입은 HE 주입에 의해서 부유 게이트에 전자를 주입함으로써 행하지만, 이 때의 기입 바이어스 조건의 일례는 표 2에 나타낸 바와 같다.

이하에서는 임계치 분포가 도 18의 경우에 대하여 기입 검증 동작의 설명을 행하지만, 도 18 이외의 조합, 예를 들면 레벨이 높을수록 임계치가 낮아지는 조합이라도 동작 가능하다. 이하, 도 19에 도시하는 타이밍차트를 이용하여 본 실시예의 설명을 행한다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되며, 3 비트 데이터가 데이터 유지 회로 DL1, DL2, DL3에 각각 세트된다. 기입 데이터가 세트된 후의 각 데이터 유지 회로의 각각 노드 DLS1, DLS2, DLS3의 상태를 표 4에 나타낸다.

[표 4]

	DLS1	DLS2	DLS3
'000'	OV	OV	OV
'001'	OV	OV	VDL
'010'	OV	VDL	OV
'100'	VDL	OV	OV
'011'	OV	VDL	VDL
'101'	VDL	OV	VDL
'110'	VDL	VDL	OV
'111'	VDL	VDL	VDL

다음에, 세트된 기입 데이터에 기초하여 기입이 필요한 메모리 셀에 대하여 기입 동작을 행한 후, 검증 동작을 행한다.

우선, 모든 비트선 BL0 내지 BLm을 예를 들면 1V로 프리차지한 후, 부유 상태로 한다. 그 후, 타이밍 신호 S4, S5, S9를 상승하여 기입 데이터의 최하위 비트가 '1'인 비트 즉 '001', '011', '101', '111'의 비트만 MOS 트랜지스터 M1, M2, M3을 ON 상태로 하고, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 워드선 WL을 상승하여 '001' 검증 전위 V1로 설정한다. 이 때, 임계치가 V1 이하인 메모리 셀은 도통 상태가 되며 비트선 전하는 소스선 CS에 방전된다. 한편, 임계치 전압이 V1 이상인 메모리 셀은 비도통 상태이기 때문에 비트선 전하는 방전되지 않고, 1V 그대로이다. 이 동작에 의해, '001' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '001' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다.

타이밍 신호 S4, S5, S9를 하강시킨 후, 타이밍 신호 S4, S6, S8을 상승하여, 기입 데이터의 최하위로부터 2 비트 짜가 '1'의 비트 즉 '010', '110', '011', '111'의 비트의 MOS 트랜지스터 M1, M2, M3을 ON 상태로 하고, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 워드선 WL을 '010' 검증 전위 V2로 설정한다. 이 때, 임계치가 V2 이하인 메모리 셀은 도통 상태가 되며 비트선 전하는 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상인 메모리 셀은 비도통 상태이기 때문에 비트선 전하는 방전되지 않고, 1V 그대로가 된다. 이 동작에 의해, '010' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '010' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 때, 기입 데이터 '001'의 메모리 셀은 반드시 도통 상태에 있기 때문에, 비트선 전하가 방전되지만, MOS 트랜지스터 M2가 OFF이기 때문에 비트선의 정보는 감지 회로 SL에 반영되지 않고, 노드 SLS로 세트된 '001' 검증 결과가 파괴되지 않는다.

타이밍 신호 S4, S6, S8을 하강시킨 후, 타이밍 신호 S5, S6, S7을 상승하여, 기입 데이터의 최상위 비트가 '1'인 비트 즉 '100', '110', '101', '111'의 비트만 MOS 트랜지스터 M1, M2, M3을 ON 상태로써 비트선 BL과 감지 회로 SL을 접속한다. 다음에 워드선 WL을 '100' 검증 전위 V3으로 설정한다. 이 때, 임계치 전압이 V3 이하인 메모리 셀은 도통 상태가 되며, 비트선 전하는 소스선 CS에 방전된다. 한편 임계치 전압이 V3 이상인 메모리 셀은 비도통 상태이기 때문에 비트선 전하는 방전되지 않고 1V 그대로가 된다. 이 동작에 의해, '100' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '100' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 때, 기입 데이터 '001', '010'의 메모리 셀은 반드시 도통 상태가 되며 비트선 전하는 방전된다. 그러나, MOS 트랜지스터 M1이 OFF이기 때문에 비트선의 정보는 감지 회로 SL에 반영되지 않고 노드 SLS로 세트된 '001', '010' 각 검증 결과는 파괴되지 않는다.

타이밍 신호 S5, S6, S7을 하강시킨 후, 타이밍 신호 S4, S8, S9를 상승하여, 기입 데이터의 최하위 비트와 최하위로부터 2 비트 짜가 '1'의 비트 즉 '011' 과 '111'의 비트만 MOS 트랜지스터 M1, M2, M3을 ON 상태로 하여 비트선 BL과 감지 회로 SL을 접속한다. 다음에, 워드선 WL을 '011' 검증 전위 V4로 설정한다. 이 때, 임계치 전압이 V4 이하인 메모리 셀은 도통 상태가 되며, 비트선 전하는 소스선 CS에 방전된다. 한편 임계치 전압이 V4 이상인 메모리 셀은 비도통 상태이기 때문에 비트선 전하는 방전되지 않고 1V 그대로가 된다. 이 동작에 의해, '011' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '011' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 때, 기입 데이터 '001', '010', '100'인 메모리 셀은 반드시 도통 상태가 되어 비트선 전하는 방전된다. 그러나, MOS 트랜지스터 M2, M3 중 적어도 어느 한쪽이 OFF 상태이기 때문에 비트선의 정보는 감지 회로 SL에 반영되지 않고, 노드 SLS로 세트된 '001', '010', '100'의 각 검증 결과는 파괴되지 않는다.

이와 같이 워드선 WL의 전위를 검증 전압에 대응시키면서 V1 내지 V7까지 계단형으로 증가시켜서 메모리 셀에 의한 방전을 행하고, 기입 데이터에 따라서 MOS 트랜지스터 M1, M2, M3을 ON/OFF시킴으로써 3 비트 데이터의 검증을 행하는 것이 가능하다.

모든 레벨에 대하여 검증을 행한 후, 감지 회로 SL을 증폭하고, 전 비트에 대하여 노드 SLS가 HI 상태이면 기입 종료라고 판단된다. 한편, LO 상태의 노드 SLS가 존재한 경우에는 그 비트에 대응하는 메모리 셀은 기입 미종료이며, 계속해서 행해지는 기입 바이어스 인가 동작으로 선택적으로 기입 바이어스가 인가되게 된다.

상기한 바와 같이, 1 셀당 3 비트 데이터를 기억 가능한 메모리 셀에 대해서도 고속으로 기입 및 검증을 행하는 것이 가능하다. 즉, 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며, 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능해지며, 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현할 수 있다.

또, 실시예 1에서 나타낸 바와 같이, 각 상태의 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 따라, 검증 동작에 요하는 시간은 길어지지만, 각 상태의 검증 동작 시에 비트선을 원하는 레벨로 감쇠량 작게 유지하는 것이 가능해지며 판정에 높은 레벨의 전하량을 사용할 수 있는 효과가 얻어진다.

또한, 실시예 2에서 나타낸 바와 같이, 가장 위의 임계치 레벨의 기입 동작만 먼저 행함으로써, 일회당 검증에 요하는 시간을 단축할 수 있어, 보다 고속의 기입이 가능해진다.

또한, 1 셀당 N 비트 데이터를 기억 가능한 메모리 셀의 기입에 대해서도 본 실시예로부터 용이하게 추측할 수 있는 범위의 회로 변경에 의해 실현 가능한 것은 분명하다.

<실시예 4>

본 발명의 제4 실시예를 도 20을 이용하여 설명한다.

도 20 중의 메모리 어레이 MA는 예를 들면 미국 학회 대회 「1995년 인터내셔널 솔리드 스테이트 서킷스 컨퍼런스(1995 INTERNATIONAL SOLID - STATE CIRCUITS CONFERENCE) 이론 문집의 SESSION 7, PAPER TA 7. 4, 제126페이지 ~ 제127페이지에 있어서 발표된 전기적 재기입 가능한 메모리 어레이이다. 메모리 셀 M11 ~ Mmn이 매트릭스형으로 배열되며, 메모리 셀의 드레인 단자가 인접하는 메모리 셀의 소스 단자와 접속된 가상 접지형 메모리 어레이를 구성하고, 각 드레인 또는 소스 단자가 비트선 BL1 ~ BLm에 접속되며, 제어 게이트가 워드선 WL1 ~ WLn에 접속되어 구성되고 있다. 또한, 소거 게이트 EG1 ~ EGk가 워드선 WL과 평행하게 설치되며, 부유 게이트에 축적되어 있는 전자를 상기 소거 게이트에 추출함으로써, 인접하는 2개의 워드선 WL에 접속되어 있는 메모리 셀을 일괄하여 소거한다.

여기서, 상기 메모리 셀은 1셀당 2비트 정보를 기억하는 것이 가능한 메모리 셀로, 그 취할 수 있는 4개의 임계치 상태는 도 8에 도시한 바와 같다. 또한, 도 8에 있어서 소거 상태는 '00' 레벨이며, '01', '10', '11'로 임계치를 증대시킴으로서 기입을 행한다. 메모리 셀로의 기입은, HE 주입에 의해서 부유 게이트에 전자를 주입함으로써 행한다. 이 때의 기입 바이어스 조건의 일례는 표 2에 나타낸 바와 같다.

도 20 중의 기입 검증 제어 회로 C1 ~ Cm은 실시예 1에서의 도 7에서 도시한 기입 제어 회로 C1 ~ Cm과 동일하며 또한 메모리 셀로의 기입 바이어스도 마찬가지로의 조건으로 행하는 것이 가능하기 때문에, 본 실시예에서의 어레이 구성에서도 실시예 1과 마찬가지로의 방법으로 기입 검증 동작을 행한다.

또한, 실시예 2, 3에서 진술한 기입 검증 방식에 대해서도 마찬가지로 적용하는 것이 가능하다.

본 실시예에 의해, 가상 접지형 메모리 어레이에 대하여도, 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대해서 동시에 기입 검증 동작을 행하는 것이 가능해지며 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현할 수 있다.

<실시예 5>

본 발명의 제5 실시예를 도 21을 이용하여 설명한다.

도 21은 본 실시예의 구체적인 회로 구성도를 나타낸 것이다. 도 21 중의 메모리 어레이는 메모리 셀이 매트릭스형으로 배열된 블록 BLOCK1 ~ BLOCKk로 구성되며, 메모리 셀의 드레인 단자가 인접하는 메모리 셀의 소스 단자와 접속된 가상 접지형 메모리 어레이를 구성하고 있다. 블록 BLOCK1의 메모리 셀이 M11 ~ M2mn이 된다.

BLOCKj(j=1, 2, ..., k)의 제어 게이트는 워드선 WLj1 ~ WLjn에 접속되며, 선택 게이트가 AGj1 또는 AGj2에 접속되고 있다. 또한, 각 드레인 또는 소스는 선택 트랜지스터를 통하여 비트선 BL1 ~ BLm 또는 공통 소스선 CS에 접속되어 있다.

여기서, 상기 메모리 셀은 1셀당 2 비트 정보를 기억하는 것이 가능한 메모리 셀로, 그 취할 수 있는 4개의 임계치 상태는 도 8에 도시한 바와 같다. 또한, 도 8에 있어서 소거 상태는 '00' 레벨이며 '01', '10', '11'로 임계치를 증대시킴으로서 기입을 행한다.

메모리 셀로의 기입은 소스 사이드 주입 [이하 「SSI(Source-Side-Injection)」라고 함]에 의해서 부유 게이트에 전자를 주입함으로써 행하고, 이 때의 기입 바이어스 조건의 일례를 표 5에 나타낸다.

[표 5]

노드	전압
워드 전압	10V
선택 게이트 전압	2V
드레인 전압	5V
소스 전압	0V
웰 전압	0V

부유 게이트와 인접하여 설치된 선택 게이트에 임계치 정도의 전압 예를 들면 2V 정도를 인가함으로써, 상기 선택 게이트와 부유 게이트의 경계부 하의 채널에 큰 가로 방향 및 세로 방향의 전계가 형성된다. 이에 따라 열 전자의 발생 및 주입 효율이 증대하고, 채널 전류가 작음에도 불구하고 고속의 기입이 가능해지는 것이 SSI의 특징이다.

본 메모리 어레이에서는 선택 게이트 AGj1 또는 AGj2를 0V로 함으로써, 대응하는 메모리 셀 열을 비활성 상태로 하는 것이 가능하다. 예를 들면 AGj1을 0V로 함으로써, 홀수 열의 메모리 셀이 비활성 상태가 되기 때문에, 홀수 열 메모리 셀의 영향을 받지 않고, 짝수열 메모리 셀의 관독이나 기입이 가능해진다. 또한, AGj2를 0V로 함으로써, 짝수열의 메모리 셀이 비활성 상태가 되기 때문에, 짝수 열 메모리 셀의 영향을 받지 않고, 홀수 열 메모리 셀의 관독이나 기입이 가능해진다. 이와 같이, 선택 게이트를 제어함으로써, 1개의 워드선에 접속하고 있는 메모리 셀의 홀수번째의 메모리 셀마다 또는 짝수번째의 메모리 셀마다 기입 및 관독을 행하는 것이 가능하다.

이하, 도 22에 도시하는 타이밍차트를 이용하여, 본 실시예의 설명을 행한다. 이하의 설명에서는 BLOCKj에서의 홀수번째의 메모리 셀이 선택되어 있는 경우에 대하여 설명을 행하지만, 짝수번째의 메모리 셀이 선택되어 있는 경우라도 마찬가지로 하여 동작시키는 것이 가능하다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1과 DLS2의 상태는 표 3에 도시한 바와 같다. 다음에 기입 데이터가 '01', '10', '11'인 비트에 대하여, 기입 바이어스를 인가한다. 이 경우의 기입 바이어스 조건은 표 5에 나타낸 바와 같다.

기입 바이어스를 인가한 후, 기입 검증 동작을 행한다. 우선, 제어 신호 STj1을 상승하여 선택 트랜지스터를 ON 상태로 하고, 선택 게이트 전압 AGj1을 예를 들면 4.5V에 상승하여 선택 워드선에 접속된 메모리 셀 중 홀수열의 메모리 셀을 활성화시킨다.

그 후, 전 비트선 BL을 예를 들면 1V에 충전한 후 부유 상태로 하고, 타이밍 신호 S4, S5를 상승하여, 하위 비트가 '1'인 비트 즉 기입 데이터가 '01'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 선택 워드선 WL을 '01' 레벨의 검증 전압 V1(예를 들면 2V)로 설정하여 '01' 검증 동작을 행한다. 임계치 전압이 V1 이하 즉 '01' 레벨 기입이 종료하지 않은 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편, 임계치 전압이 V1 이상 즉 '01' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로, 비트선은 1V에 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '01', '11'인 비트 중, '01' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '01' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00'과 '10'인 비트에 대해서는 MOS 트랜지스터 M2가 OFF가 되며, 메모리 셀의 임계치에 상관없이 노드 SLS가 HI 상태가 된다. 예를 들면, 소거 레벨 '00'에 있는 메모리 셀은 '01' 검증에 의해서 비트선 전하가 방전되지만, 비트선 BL과 감지 회로 SL이 접속되지 않기 때문에, 노드 SLS는 HI 상태가 유지된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여, 상위 비트가 '1'인 비트 즉 기입 데이터가 '10'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 워드선 BL과 감지 회로 SL을 접속한다. 이어서 워드선 WL 전압을 '10' 레벨의 검증 전압 V2(예를 들면 3V)로 설정하고, '10' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V2 이하인 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상 즉 '10' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10', '11' 비트 중, '10' 레벨 기입이 종료하고 있는 메모리 셀에 대한 노드 SLS는 HI

상태를 유지하지만, '10' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01'의 메모리 셀에 대해서는 MOS 트랜지스터 M1이 OFF가 되며, 워드선 BL과 감지 회로 SL은 접속되지 않기 때문에, 앞의 동작에서 노드 SLS에 유지된 '01' 검증의 결과는 파괴되지 않는다.

타이밍 신호 S3, S6을 하강시킨 후, 타이밍 신호 S3, S4를 상승하여, 기입 데이터가 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 워드선 BL과 감지 회로 SL을 접속한다. 이어서 선택 워드선 WL 전압을 '11' 레벨인 검증 전압 V3(예를 들면 4V)로 설정하여 '11' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V3 이하의 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 공통 소스 CS에 방전된다. 한편 임계치 전압이 V3 이상 즉 '11' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'인 비트 중, '11' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '11' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01', '10'인 메모리 셀에 대해서는 MOS 트랜지스터 M1, M2 중 적어도 어느 한쪽이 OFF 상태가 되어, 비트선 BL과 감지 회로 SL은 접속되지 않는다. 따라서, '11' 검증 동작에 앞서서 행해진 '01', '10' 검증 동작에 의해서 SLS에 유지되어 검증 결과는 파괴되지 않는다.

또한, 기입 데이터가 '00'인 메모리 셀은 '01', '10', '11' 검증 동작 중에 비트선 전하가 방전되지만, 그 동안, 비트선 BL과 감지 회로 SL이 접속되지 않기 때문에 「기입 종료 비트」라고 판정되게 된다.

이 후 감지 회로 SL을 증폭시켜서, 메모리 데이터의 감지 동작을 행한다. 노드 SLS가 모든 기입 비트선에 대하여 HI 상태이면 기입 종료라고 판단된다. 그러나, 노드 SLS가 LO 상태인 비트가 존재한 경우, 상기 SLS에 대응하는 메모리 셀은 기입 불충분하기 때문에, 계속해서 행해지는 기입 동작에서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판별된 메모리 셀에는 기입 바이어스가 인가되지 않는다.

본 실시예에 의해, 선택 게이트를 구비하는 가상 접지형 메모리 어레이에 대해서도 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며, 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능해지며, 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현할 수 있다.

또, 각 상태의 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 의해, 검증에 필요한 시간은 증가하지만 각 상태의 검증 시에 비트선을 원하는 레벨로 감쇠량 작게 유지하는 것이 가능해져서, 판정에 높은 레벨의 전하량을 사용할 수 있는 효과를 얻을 수 있다.

또한, 가장 위의 임계치 레벨의 기입 동작만 먼저 행함으로써, 일회당 검증에 요하는 시간을 단축할 수 있어, 보다 고속의 기입이 가능해진다.

또한, 실시예 3에 나타난 바와 같이, 1셀당 3비트 데이터 이상을 기억 가능한 메모리 셀의 기입에 대해서도 본 실시예로부터 용이하게 추측할 수 있는 범위의 회로 변경에 의해 실현 가능한 것은 명확하다.

<실시예 6>

본 발명의 제6 실시예를 도 23을 이용하여 설명한다.

도 23은 본 실시예의 구체적인 회로 구성도를 나타낸 것이다. 도면 중의 메모리 어레이는 예를 들면 특개평 8-279566호 공보에 기재된 전기적 재기입 가능한 병렬형 불휘발성 반도체 메모리 어레이이다. 메모리 셀 M11 ~ Mmm이 매트릭스형으로 배열된 블록 BLOCK1 ~ BLOCKk에 의해 구성되어 있다. BLOCKj(j=1, 2, ..., k)의 메모리 어레이는 드레인 단자가 서브 비트선에 병렬 접속된 후, 선택 트랜지스터 MSDj1 ~ MSDjm을 통하여 비트선에 접속되며, 소스 단자가 서브 소스선에 병렬 접속된 후, 선택 트랜지스터 MSSj1 ~ MSSjm을 통하여 공통 소스선 CS에 접속되며, 제어 게이트가 워드선 WLj1 ~ WLjn에 접속되어 구성되어 있다. 또한, 블록 내의 각 서브 비트선 간 및 각 서브 소스선 간은 전기적으로 절연되어 있다.

여기서, 상기 메모리 셀은 1셀당 2 비트 정보를 기억하는 것이 가능한 메모리 셀로, 그 취할 수 있는 4개의 임계치 상태는 도 8에 도시한 바와 같다. 또한, 도 8에서 소거 상태는 '00' 레벨로, '01', '10', '11'로 임계치를 증대시킴으로써 기입을 행한다. 메모리 셀로의 기입은 파울러 노드하임 터널 전류(이하 「FN 터널 전류」라고 함)에 의해서 부유 게이트에 전자를 주입함으로써 행한다. 이 때의 기입 바이어스 조건의 일례를 표 6으로 나타낸다.

[표 6]

노드	전압
워드 전압	18V
드레인 전압	0V
소스 전압	0V
웰 전압	0V

이하, 도 23 및 도 8과 더불어, 도 24에 도시하는 타이밍차트를 이용하여 본 실시예에서의 기입 검증 동작을 설명한다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1, DLS2의 상태는 표 3에 나타난 바와 같다. 다음에 기입 데이터가 '01', '10', '11'의 비트에 대하여 기입 바이어스를 인가한다. 이 경우의 기입 바이어스는 표 6에 나타난 바와 같은 조건이다.

기입 바이어스 인가 후, 기입 검증 동작을 행한다. 우선, 전 비트선 BL1 ~ BLm을 예를 들면 1V로 충전한 후 부유 상태로 하고, 타이밍 신호 S4, S5를 상승하여, 하위 비트가 '1'인 비트 즉 기입 데이터가 '01'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 선택 워드선 WL을 '01' 레벨의 검증 전압 V1(예를 들면 2V)로 설정하여, '01' 검증 동작을 행한다. 임계치 전압이 V1 이하 즉 '01' 레벨 기입이 종료하지 않은 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V1 이상 즉 '01' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로, 비트선은 1V로 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '01', '11'인 비트 중, '01' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '01' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00'과 '10'인 비트에 대해서는 MOS 트랜지스터 M2가 OFF가 되며, 메모리 셀의 임계치에 상관없이 노드 SLS가 HI 상태가 된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여, 상위 비트가 '1'인 비트 즉 기입 데이터가 '10'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 워드선 BL과 감지 회로 SL을 접속한다. 이어 워드선 WL 전압을 '10' 레벨의 검증 전압 V2를 예를 들면 3V로 설정하여, '10' 검증 동작을 행한다. 이 동작에 의해 임계치 전압이 V2 이하의 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상 즉 '10' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10' '11' 비트 중 '10' 레벨 기입이 종료하고 있는 메모리 셀에 대한 노드 SLS는 HI 상태를 유지하지만, '10' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01'인 메모리 셀에 대해서는 MOS 트랜지스터 M1이 OFF가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않기 때문에 앞의 동작으로 SLS에 유지되고 있는 '01' 검증의 결과는 파괴되지 않는다.

타이밍 신호 S3, S6을 하강시킨 후, 타이밍 신호 S3, S4를 상승하여, 기입 데이터가 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 이어 선택 워드선 WL 전압을 '11' 레벨의 검증 전압 V3을 예를 들면 4V로 설정하여 '11' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V3 이하인 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 공통 소스 CS에 방전된다. 한편 임계치 전압이 V3 이상 즉 '11' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'인 비트 중 '11' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '11' 레벨에 달하고 있지 않은 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01', '10'의 메모리 셀에 대해서는 MOS 트랜지스터 M1, M2 중 적어도 어느 한쪽이 OFF 상태가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않는다. 따라서, '11' 검증 동작에 앞서서 행해진 동작에 의해서 노드 SLS에 유지된 '01' 검증 결과 및 '10' 검증 결과는 파괴되지 않는다.

이 후, 감지 회로 SL을 증폭시켜서, 메모리 데이터의 감지 동작을 행한다. 노드 SLS가 모든 기입 비트선에 대하여 HI 상태이면 기입 종료라고 판단된다. 그러나, 노드 SLS가 LO 상태인 비트가 존재한 경우, 상기 SLS에 대응하는 메모리 셀은 기입 불충분하기 때문에, 계속해서 행해지는 기입 동작에 있어서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판별된 메모리 셀에는 기입 바이어스가 인가되지 않는다.

여기서, 본 실시예의 경우의 기입 동작에 대하여 설명한다. 먼저 말한 것과 같이 감지 동작을 행한 후, LO 상태인 노드 SLS가 존재한 경우에는 감지 회로 SL(도 10 참조)의 PMOS 트랜지스터의 전원 SLP의 전압을 VWD로 설정하고, NMOS 트랜지스터의 전원 SLN의 전압을 0V로 설정한 후, 기입 동작으로 타이밍 신호 S5, S6을 상승한다. 이에 따라, 비트선 BL이 각 노드 SLS의 상태에 따라서 다음과 같이 충전된다. 노드 SLS가 LO 상태인 비트 즉 기입이 미종료인 메모리 셀에 대응하는 비트선에는 0V가 충전되며, 노드 SLS가 HI 상태인 비트 즉 기입이 종료하고 있는 메모리 셀에 대응하는 비트선에는 VWD가 충전된다. 이와 같이 하여, 본 실시예에서는 실시예 1 ~ 실시예 5에서 사용한 기입 바이어스 회로(5)를 이용하지 않고 기입 동작 시에 감지 회로 SL 및 MOS 트랜지스터 M1, M2가 기입 바이어스 수단을 형성한다.

이 후, 선택 트랜지스터 MSD_j를 제어하는 제어 신호 SD_j를 상승하여 메모리 셀 M11 ~ M_{mn}의 드레인 및 소스를 VWD 또는 0V로 충전하고, 워드선 전압을 VW로 설정함으로써 기입을 개시한다. 또, 드레인 및 소스 양쪽에 충전이 행해지는 것은 선택 트랜지스터 MSS_j가 비도통 상태가 되고 있기 때문이다. 또한, 드레인 및 소스 양쪽에 충전이 행해지는데 따라 채널도 드레인 및 소스와 동 전위가 된다. 또한, 기입 시에 흐르는 FN 터널 전류가 매우 미약하기 때문에 선택 트랜지스터 MSS_j가 비도통의 상태에서 기입이 가능해진다.

기입이 종료한 메모리 셀에 대해서는 드레인 및 소스가 전압 VWD에 충전되어 있기 때문에, 메모리 셀의 부유 게이트와 채널 간의 터널막(산화막)에 인가되는 전계가 약해지며 기입이 생기지 않는다. 또한, 기입 미종료인 메모리 셀에 대해서는 드레인, 소스 및 채널이 0V이며, 워드선이 전압 VW 예를 들면 17V이기 때문에 터널막에 강한 전계가 인가되어 부유 게이트로의 FN 주입이 생기고 기입이 행해진다.

본 실시예에 의해, FN 터널 전류를 이용하는 메모리 셀에 대해서도 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능해지며 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현할 수 있다.

또, 도 25에 도시한 바와 같이 각 상태의 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 의해, 검증에 요하는 시간은 증가하지만, 각 상태의 검증 시에 비트선 BL을 원하는 레벨로 감쇠량 적게 유지하는 것이 가능해져서 판정에 높은 레벨의 전하량을 사용할 수 있는 효과를 얻을 수 있다.

또한, 실시예 2에서 나타낸 가장 위의 임계치 레벨의 기입 동작만 먼저 행하는 방법을 채용해도 되며, 이에 따라 일회당 검증에 요하는 시간을 단축할 수 있어 보다 고속의 기입이 가능하게 된다.

또한, 실시예 3에서 나타낸 1셀당 3 비트 데이터 이상을 기억 가능한 메모리 셀의 기입도 본 실시예로부터 용이하게 추측할 수 있는 범위의 회로 변경에 의해 실현 가능한 것은 분명하다.

<실시예 7>

본 발명의 제6 실시예를 도 26을 이용하여 설명한다.

도 26은 본 실시예의 구체적인 회로 구성도를 나타낸 것이다. 도면 중의 메모리 어레이는 예를 들면 특개평 7-37393호 공보에 기재된 전기적 재기입 가능한 병렬형 불휘발성 반도체 메모리 어레이로, 메모리 셀 M11 ~ M_{mn}이 매트릭스형으로 배열된 블록 BLOCK1 ~ BLOCK_k에 의해 구성되고 있다. 블록 BLOCK_j의 메모리 어레이는 n개의 메모리 셀이 직렬 접속된 메모리 셀 열에 의해 구성되며, 각 메모리 셀 열의 한 단이 선택 트랜지스터 MSD1 ~ MSD_m을 통하여 비트선에 접속되며 타단이 선택 트랜지스터 MSS1 ~ MSS_m을 통하여 공통 소스선 CS에 접속되며 제어 게이트가 워드선 WL_{j1} ~ WL_{jn}에 접속되어 구성되고 있다. 또한, 블록 내의 각 메모리 셀 열 간은 전기적으로 절연되어 있다.

여기서, 상기 메모리 셀은 1셀당 2 비트 정보를 기억하는 것이 가능한 메모리 셀로, 그 취할 수 있는 4개의 임계치 상태는 도 8에 도시한 바와 같다. 또한, 도 8에서 소거 상태는 '00' 레벨이며, '01', '10', '11'로 임계치를 증대시킴으로써 기입이 행해진다. 각 메모리 셀로의 기입은 FN 터널 전류에 의해서 부유 게이트에 전자를 주입함으로써 행해진다. 이 때의 기입 바이어스 조건의 일례는 표 6에 나타낸 바와 같다.

이하, 도 8, 도 26과 더불어 도 27에 도시하는 타이밍차트를 이용하여 본 실시예에서의 기입 검증 동작을 설명한다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1, DLS2의 상태는 표 3에 나타낸 바와 같다. 다음에 기입 데이터가 '01', '10', '11'의 비트에 대하여 기입 바이어스를 인가한다. 이 경우의 기입 바이어스 조건은 표 6에 나타낸 바와 같은 조건이다.

기입 바이어스 인가 후, 기입 검증 동작을 행한다. 우선, 선택 블록 내의 비선택 워드선의 전압 VRP를 예를 들면 5V 정도로 상승하여, 가장 높은 임계치 상태에 기입된 메모리 셀이어도 도통 상태가 되도록 설정한다.

다음에 전 비트선 BL1 ~ BLm을 예를 들면 1V에 충전한 후 부유 상태로 하고, 타이밍 신호 S4, S5를 상승하여, 하위 비트가 '1' 비트 즉 기입 데이터가 '01'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 그 후, 선택 워드선 WL을 '01' 레벨의 검증 V1(예를 들면 2V)로 설정하여 '01' 검증 동작을 행한다. 임계치 전압이 V1 이하 즉 '01' 레벨 기입이 종료하지 않은 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V1 이상 즉 '01' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태로, 비트선은 1V로 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '01', '11'인 비트 중 '01' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '01' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00'과 '10'의 비트에 대해서는 MOS 트랜지스터 M2가 OFF가 되며, 메모리 셀의 임계치에 상관없이 노드 SLS가 HI 상태가 된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여, 상위 비트가 '1'인 비트 즉 기입 데이터가 '10'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여 BL과 감지 회로 SL을 접속한다. 이어 워드선 WL 전압을 '10' 레벨의 검증 전압 V2(예를 들면 3V)로 설정하여, '10' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V2 이하인 메모리 셀은 도통 상태가 되며 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상 즉 '10' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10', '11' 비트 중, '10' 레벨 기입이 종료하고 있는 메모리 셀에 대한 노드 SLS는 HI 상태를 유지하지만, '10' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01' 메모리 셀에 대해서는 MOS 트랜지스터 M1이 OFF가 되며, 워드선 BL과 감지 회로 SL은 접속되지 않기 때문에, 앞의 동작으로 노드 SLS에 유지되어 있는 '01' 검증의 결과는 파괴되지 않는다.

타이밍 신호 S3, S6을 하강시킨 후, 타이밍 신호 S3, S4를 상승하여, 기입 데이터가 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여 BL과 감지 회로를 접속한다. 이어 선택 워드선 WL 전압을 '11' 레벨의 검증 전압 V3(예를 들면 4V)으로 설정하여 '11' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V3 이하인 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 공통 소스 CS에 방전된다. 한편 임계치 전압이 V3 이상 즉 '11' 레벨 기입이 종료하고 있는 메모리 셀은 비도통 상태이며 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'인 비트 중, '11' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지하지만, '11' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 LO 상태가 된다. 이 동안, 기입 데이터가 '00', '01', '10'인 메모리 셀에 대해서는 MOS 트랜지스터 M1, M2 중 적어도 어느 한쪽이 OFF 상태가 되어, 비트선 BL과 감지 회로 SL은 접속되지 않는다. 따라서, '11' 검증 동작에 앞서서 행해진 동작에 의해서 노드 SLS에 유지된 '01' 검증 결과 및 '10' 검증 결과는 파괴되지 않는다.

기입 데이터가 '00'인 메모리 셀은 '01' 및 '10'의 검증 동작 중에 비트선 전하가 방전되지만, '01', '10', '11' 검증 동작에서 비트선 BL과 감지 회로 SL이 접속되지 않기 때문에 「기입 종료 비트」라고 판정되게 된다.

이 후, 감지 회로 SL을 증폭시켜서 메모리 데이터의 감지 동작을 행한다. 감지 동작 후의 노드 SLS가 모든 기입 비트선에 대하여 HI 상태로 확정하고 있으면 기입 종료라고 판단된다. 그러나, 노드 SLS가 LO 상태인 비트가 존재한 경우, 이 노드 SLS에 대응하는 메모리 셀은 기입 불충분하기 때문에, 계속해서 행해지는 기입 동작에서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판별된 메모리 셀에는 기입 바이어스가 인가되지 않는다.

여기서, 기입 동작에 대하여 설명한다. 먼저 진술한 바와 같이 감지 동작을 행한 후, LO 상태인 노드 SLS가 존재한 경우에는 감지 회로 SL(도 10 참조)의 PMOS 트랜지스터의 전원 SLP의 전압을 VWD로 설정하고, NMOS의 전원 SLN의 전압을 0V로 설정한 후, 스위치 S5와 S6을 상승하여 각 노드 SLS의 상태에 따라서 비트선 BL을 충전한다. 이 때, 노드 SLS가 LO 상태인 비트 즉 기입이 미종료인 메모리 셀에 대응하는 비트선에는 0V가 충전되며, 노드 SLS가 HI 상태인 비트 즉 기입이 종료하고 있는 메모리 셀에 대응하는 비트선에는 VWD가 충전된다.

이 후, 선택 트랜지스터 MSD를 제어하는 제어 신호 SDj를 상승하여 메모리 셀의 드레인을 VWD 또는 0V로 충전하고 나서 제어 신호 SDj를 하강시킴으로써, 직렬 접속한 메모리 셀의 확산층부(드레인 및 소스)를 부유 상태로 한다. 이에 따라 메모리 셀의 채널도 확산층부와 동전위가 된다.

그 후, 선택 블록 내의 비선택 워드선 WL을 전압 VWP에 상승함으로써, VWD에 충전된 메모리 셀의 채널은 용량 결합에 의해 VWD 이상으로 상승하여 워드선 전압을 전압 VW로 설정하여도 산화막(터널막) 전계가 약하여 기입이 생기지 않는다. 한편, 기입 미종료인 메모리 셀의 메모리 셀 확산층부 및 채널은 0V로 설정되어 있기 때문에, 워드선에 전압 VW 예를 들면 17V가 인가됨으로써 터널막에 강한 전계가 인가되어 부유 게이트로의 FN 주입이 생긴다.

본 실시예에 의해 FN 터널 전류를 이용하는 직렬 접속의 메모리 셀에 대해서도 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능해지며 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현하는 것이 가능하다.

또, 도 28에 도시한 바와 같이 각 상태의 검증 동작마다 비트선의 프리차지 동작을 행해도 된다. 이에 따라, 검증에 요하는 시간은 증가하지만, 각 상태의 검증 시에 비트선을 원하는 레벨에 감쇠량 적게 유지하는 것이 가능하며 판정에 높은 레벨의 전하량을 사용할 수 있는 효과가 얻어진다.

또한, 가장 위의 임계치 레벨의 기입 동작만 먼저 행함으로써 일회당 검증에 요하는 시간을 단축할 수 있어, 보다 고속의 기입이 가능해진다.

또한, 1셀당 3 비트 데이터 이상을 기억 가능한 메모리 셀의 기입에 대해서도 본 실시예로부터 용이하게 추측할 수 있는 범위의 회로 변경에 의해 실현 가능한 것은 분명하다.

<실시예 8>

본 발명의 제8 실시예를 도 29를 이용하여 설명한다.

도 29는 본 실시예의 구체적인 회로 구성도를 나타낸 것이다. 도 29 중 메모리 어레이는 예를 들면 특개평 6-77437호 공보에 기재된 전기적 재기입 가능한 병렬형 불휘발성 반도체 메모리 어레이로, 메모리 셀 M11 ~ Mmn이 매트릭스형으로 배열된 블록 BLOCK1 ~ BLOCKk에 의해 구성되어 있다. 블록 BLOCKj의 메모리 어레이는 드레인 단자가 서브 비트선에 병렬 접속되고 난 후, 선택 트랜지스터 MSD1 ~ MSDm을 통하여 비트선에 접속되며, 소스 단자가 서브 소스선에 병렬 접속된 후, 선택 트랜지스터 MSS1 ~ MSSm을 통하여 공통 소스선 CS에 접속되며 제어 게이트가 워드선 WLj1 ~ WLjn에 접속되어 구성되어 있다. 또한, 블록 내의 각 서브 비트선 간 및 각 서브 소스선 간은 전기적으로 절연되어 있다.

여기서, 상기 메모리 셀은 1셀당 2 비트 정보를 기억하는 것이 가능한 메모리 셀로, 그 취할 수 있는 4개의 임계치 상태를 도 30에 도시한다. 도 30에서 소거 상태는 '00' 레벨이고, '11', '10', '01'로 임계치를 저하시킴으로써 기입을 행한다. 메모리 셀로의 기입은 FN 터널 전류에 의해서 부유 게이트의 전자를 드레인 단자에 방출함으로써 행하여, 이 때의 기입 바이어스 조건의 일례를 표 7에 나타낸다.

[표 7]

노드	전압
워드 전압	-9V
드레인 전압	4V
소스 전압	0V

웰 전압	0V
------	----

이하, 도 29, 도 30과 더불어, 도 31에 도시하는 타이밍차트를 이용하여 본 실시예에서의 기입 검증 동작을 설명한다.

기입 명령이 입력되면, 외부에서부터 기입 데이터가 전송되며, 2 비트 데이터는 상위 데이터가 데이터 유지 회로 DL1에 하위 데이터가 데이터 유지 회로 DL2에 각각 저장된다. 2 비트 데이터 저장 후에서의 노드 DLS1, DLS2의 상태는 표 3에 나타난 바와 같다. 다음에 기입 데이터가 '01', '10', '11'인 비트에 대하여, 기입 바이어스를 인가한다. 이 경우의 기입 바이어스는 표 7에 나타난 바와 같은 조건이다. 이 때, 기입을 행하는 메모리 셀 즉 기입 데이터가 '01', '10', '11'인 메모리 셀에 대응하는 노드 SLS는 기입 드레인 전압 VWD이며, 기입하지 않은 메모리 셀 즉 기입 데이터가 '00'인 메모리 셀에 대응하는 노드 SLS는 기입 비선택 드레인 전압 0V로 되어 있다.

기입 바이어스 인가 후, 기입 검증 동작을 행한다. 우선, 타이밍 신호 Sp를 상승하여 노드 SLS가 HI 상태 즉 기입을 행한 메모리 셀에 대응하는 비트선에만 선택적으로 예를 들면 1V까지 프리차지(충진)한 후 부유 상태로 한다. 이 선택적 프리차지는 MOS 트랜지스터 Mp에 직렬 접속한 MOS 트랜지스터 Mph의 동작에 의해서 행해진다.

그 후, 타이밍 신호 S4, S5를 상승하여, 하위 비트가 '1'인 비트 즉 기입 데이터가 '01'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 다음에 선택 워드선 WL을 '01' 레벨의 검증 전압 V1(예를 들면 2V)로 설정하여 '01' 검증 동작을 행한다. 임계치 전압이 V1 이하 즉 '01' 레벨 기입이 종료하고 있는 메모리 셀은 도통 상태가 되며, 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V1 이상 즉 '01' 레벨 기입이 종료하지 않은 메모리 셀은 비도통 상태이며 비트선은 1V로 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '01', '11'인 비트 중, '01' 레벨 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 LO 상태가 되지만, '01' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 HI 상태가 유지된다.

타이밍 신호 S4, S5를 하강시킨 후, 타이밍 신호 S3, S6을 상승하여, 상위 비트가 '1'인 비트 즉 기입 데이터가 '10'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하여, 비트선 BL과 감지 회로 SL을 접속한다. 이어 WL 전압을 '10' 레벨의 검증 전압 V2(예를 들면 3V)로 설정하여 '10' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V2 이하의 메모리 셀은 도통 상태가 되며 비트선 전하는 메모리 셀을 통하여 소스선 CS에 방전된다. 한편 임계치 전압이 V2 이상 즉 '10' 레벨 기입이 종료하지 않은 메모리 셀은 비도통 상태이고, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '10', '11' 비트 중 '10' 레벨 기입이 종료하고 있는 메모리 셀에 대한 노드 SLS는 LO 상태가 되지만, '10' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지한다. 이 동안, 기입 데이터가 '01'인 메모리 셀에 대해서는 MOS 트랜지스터 M1이 OFF가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않기 때문에, 앞의 동작으로 노드 SLS에 관독한 '01' 검증의 결과는 파괴되지 않는다.

타이밍 신호 S3, S6을 하강시킨 후, 타이밍 신호 S3, S4를 상승하여, 기입 데이터가 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M1, M2를 ON 상태로 하고 비트선 BL과 감지 회로 SL을 접속한다. 이어 선택 워드선 WL 전압을 '11' 레벨의 검증 전압 V3(예를 들면 4V)로 설정하여, '11' 검증 동작을 행한다. 이 동작에 의해, 임계치 전압이 V3 이하인 메모리 셀은 도통 상태가 되며 비트선 전하는 메모리 셀을 통하여 공통 소스 CS에 방전된다. 한편 임계치 전압이 V3 이상 즉 '11' 레벨 기입이 종료하여 있지 않은 메모리 셀은 비도통 상태이며, 비트선 전하는 유지된 그대로가 된다. 이 동작에 의해, 기입 데이터가 '11'인 비트 중 '11' 기입이 종료하고 있는 메모리 셀에 대응하는 노드 SLS는 LO 상태가 되지만, '11' 레벨에 달하지 못한 메모리 셀에 대응하는 노드 SLS는 HI 상태를 유지한다. 이 동안, 기입 데이터가 '00', '01', '10'인 메모리 셀에 대해서는 MOS 트랜지스터 M1, M2 중 적어도 어느 한쪽이 OFF 상태가 되며, 비트선 BL과 감지 회로 SL은 접속되지 않는다. 따라서, '11' 검증 동작에 앞서서 행해진 동작에 의해서 노드 SLS에 유지된 '01' 검증 결과 및 '10' 검증 결과는 파괴되지 않는다.

이 후, 감지 회로 SL을 증폭시켜서 메모리 데이터의 감지 동작을 행한다. 감지 회로 노드 SLS가 모든 기입 비트선에 대하여 LO 상태이면 기입 종료라고 판단된다. 그러나, 노드 SLS가 HI 상태의 비트가 존재한 경우, 상기 SLS에 대응하는 메모리 셀은 기입 불충분하기 때문에, 계속해서 행해지는 기입 동작에 있어서 선택적으로 기입 바이어스가 인가된다. 이 때, 기입 종료라고 판별된 메모리 셀에는 기입 바이어스가 인가되지 않는다.

여기서, 기입 동작에 대하여 설명한다. 먼저 말한 것처럼 감지 동작을 행한 후, HI 상태의 노드 SLS가 존재한 경우에는 감지 회로 SL의 PMOS의 전원 전압을 VWD로 설정하고, NMOS의 전원 전압을 0V로 설정한 후, 타이밍 신호 S5, S6을 상승

하여 감지 회로 SL과 비트선 WL을 접속하고, 각 노드 SLS의 상태에 따라서 비트선 BL을 충전한다. 이 때, 노드 SLS가 HI 상태인 비트 즉 기입이 미종료인 메모리 셀에 대응하는 비트선에는 VWD가 충전되며, 노드 SLS가 LO 상태인 비트 즉 기입이 종료하고 있는 메모리 셀에 대응하는 비트선에는 0V가 충전된다.

이 후, 제어 신호 SDj를 상승하여 메모리 셀의 드레인을 전압 VWD 또는 0V로 충전하고, 워드선 전압을 VW 예를 들면 -9V로 설정함으로써 기입을 개시한다. 기입이 종료한 메모리 셀에 대해서는 드레인이 0V로 충전되고 있기 때문에, 메모리 셀의 터널막에 인가되는 전계가 약해지며 기입이 생기지 않는다. 또한, 기입 미종료인 메모리 셀에 대해서는 드레인이 VWD 예를 들면 4V이며, 워드선 전압이 VW 예를 들면 -9V이기 때문에 터널막에 강한 전계가 인가되어 부유 게이트로부터 드레인 단자로의 FN 방출이 생긴다.

본 실시예에 의해, 드레인에 집중의 FN 터널 전류를 이용하는 메모리 셀에 대해서도 메모리 셀의 상태를 판정하는 타이밍을 기입 데이터에 의해서 설정함으로써, 복수 레벨의 검증 동작을 다음의 기입 동작까지의 기간 중에 연속하여 행하는 것이 가능해지며 또한 메모리 셀에 정상적인 전류를 흘리지 않기 때문에 다수의 메모리 셀에 대하여 동시에 기입 검증 동작을 행하는 것이 가능해지며 기입 처리량이 높은 불휘발성 반도체 기억 장치를 실현하는 것이 가능하다.

또, 검증 대상의 가장 위의 임계치 레벨 '11'인 기입 동작만 먼저 행함으로써 일회당 검증에 요하는 시간을 단축할 수 있어 보다 고속의 기입이 가능해진다.

또한, 1셀당 3 비트 데이터 이상을 기억 가능한 메모리 셀의 기입에 대해서도 본 실시예로부터 용이하게 추측할 수 있는 범위의 회로 변경에 의해 실현 가능한 것은 분명하다.

<실시예 9>

본 발명의 제9 실시예를 도 32 ~ 도 36을 이용하여 설명한다. 본 실시예의 회로 구성은 실시예 1의 도 7 및 실시예 4의 도 20에 도시하는 것으로 동일하지만, 메모리 셀의 기입 바이어스 인가 동작이 변경된다. 본 실시예의 기입 바이어스의 인가 방법에서는 도 32a, 도 32b에 도시한 바와 같이, 기입 검증 횟수 즉 기입 펄스 횟수의 증가에 따라서 워드선 전압 VW 및/또는 비트선 전압 VWD의 기입 바이어스 인가 시간이 증대한다. 즉, 펄스 파형이 되는 워드선 전압 및/또는 비트선 전압의 펄스 폭이 증대한다. 이러한 바이어스 인가 시간의 증대는 타이밍 제어 회로(7)의 구성의 변경에 의해서 실현된다.

또, 인가 방법은 그 외에 도 33에 도시한 바와 같이, 기입 검증 횟수의 증가에 따라서 기입 시의 선택 워드선 전압이 VW1, VW2 ...로 커지는 방식이 채용 가능하며 또한 도 34에 도시한 바와 같이, 기입 검증 횟수의 증가에 따라서 기입 시의 선택 비트선 전압이 VWD1, VWD2 ...로 커지는 방식을 채용하는 것도 가능하다. 즉, 펄스 파형이 되는 워드선 전압 및/또는 비트선 전압의 펄스 높이가 증대한다.

또한, 도 32a, 도 32b와 도 33을 조합한 도 35의 방식이나 도 32a, 도 32b와 도 34를 조합한 도 36의 방식을 이용하는 것도 가능하다.

기입 시의 이상의 방식에 의해 1회의 기입 펄스에 의한 임계치 변위량을 거의 일정하다고 하고, 기입이 느린 메모리 셀의 존재에 의해서 전체의 기입 시간이 지연되는 것을 억제하는 것이 가능해진다.

마찬가지로, 실시예 5의 도 21에 도시하는 회로 구성에서도 도 32 ~ 도 34의 기입 바이어스 인가 방법을 적용하는 것이 가능하며 마찬가지로의 효과를 얻을 수 있다.

또한, 실시예 6의 도 23 및 실시예 7의 도 26에 도시하는 회로 구성도에서도 도 37에 도시한 바와 같이 기입 검증 횟수의 증가에 따라서 기입 바이어스 인가 시간이 증대하는 방식의 채용이 가능하며, 또한 도 38에 도시한 바와 같이 기입 검증 횟수의 증가에 따라서 기입 시의 선택 워드선 전압이 VW1, VW2 ...로 커지는 방식이나 도 39에 도시한 바와 같이 기입 검증 횟수의 증가에 따라서 기입 시의 선택 비트선 전압이 VWDS1, VWDS2 ...로 작아지는 방식의 채용도 가능하다. 또한, 도 40에 도시한 바와 같이, 기입 검증 횟수의 증가에 따라 기입 바이어스 인가 시간이 증대하고 또한 선택 워드선 전압이 커지는 방식을 채용하는 것도 가능하다. 이상과 같은 기입 방식을 적용함으로써 상기한 바와 마찬가지로의 효과를 얻을 수 있다.

<실시예 10>

본 발명의 제10 실시예를 도 41 ~ 도 44를 이용하여 설명한다.

본 실시예의 회로 구성은 도 7에 도시한 실시예 1과 동일하지만, 메모리 셀의 기입 바이어스 인가 동작이 다르다. 실시예 1에서는, 동일 크기의 바이어스를 동일 시간만큼 인가함으로써, 복수의 임계치 전압에 대하여 동시에 기입 바이어스 인가를 행하고 있었다. 이 경우, 일회의 기입 전하량이 임계치 레벨에 상관없이 일정하므로 임계치가 높은 상태로의 기입일수록 바이어스 인가 시간이 길어진다.

HE 주입에 의해서 기입을 행하여, 각 기입 레벨이 도 8에 도시하는 임계치 상태가 되는 본 실시예에서는 도 41에 도시한 바와 같이, 임계치 전압이 높은 레벨로의 기입일수록 워드선 전압을 VWW로 일정하다고 하여 비트선 전압 즉 바이어스 전압을 VWD0 ~ VWD3으로 높게 함으로써, 기입 바이어스 인가 시간을 모든 기입 레벨로 동일한 정도로 한다. 이것에 의해서 전 기입 시간이 단축된다.

또, 마찬가지로의 기입 방식은 FN 터널 전류에 의한 전자 주입에 의해서 기입을 행하는 예를 들면, 실시예 6의 회로 구성에도 적용할 수 있다. 각 기입 레벨의 임계치 상태가 도 8에 도시되는 경우의 기입은 도 42에 도시한 바와 같이, 임계치 전압이 높은 레벨로의 기입일수록 비트선 전압과 워드선 전압과의 전압차를 높이는 즉 워드선 전압을 VWW로 일정하다고 하여 비트선 전압을 VWD0 내지 VWD3으로 내리는 방식이 된다.

기입 데이터에 대응하여 전압을 바꾸는 기입 바이어스는 예를 들면 도 43에 도시하는 회로 방식을 이용하여 얻을 수 있다. 상기 회로 방식은 각 비트선마다 기입 바이어스 회로(5) 대신에 기입 바이어스 제어 회로(11)를 구비하고 있다. 기입 바이어스 수단이 되는 기입 바이어스 제어 회로(11)는 기입 데이터 유지 회로 DL1, DL2의 노드 DLS1, DLS2 및 감지 회로 SL의 노드 SLS의 전압에 의해 기입 바이어스를 VWD1, VWD2, VWD3으로부터 선택하고, 기입 제어 신호 SME에 의해 대응하는 기입 바이어스를 비트선 BL에 출력한다.

기입 바이어스 제어 회로(11)의 구체적 구성의 일례를 도 44에 도시한다. 게이트에 노드 DLS1, DLS2를 접속한 NMOS 트랜지스터 및 PMOS 트랜지스터에 의해서 기입 바이어스가 선택되며, 게이트에 노드 SLS를 접속한 PMOS 트랜지스터에 의해서 기입 불충분한 메모리 셀이 선택되며, 게이트에 기입 제어 신호 SME를 입력하는 PMOS 트랜지스터에 의해서 기입 시간이 설정된다.

<실시예 11>

본 발명의 제11 실시예를 도 45, 도 46을 이용하여 설명한다. 실시예 10에서는 각 비트선마다 기입 바이어스 제어 회로(11)를 이용하였지만, 본 실시예에서는 우선 기입 기간에 기입 레벨마다 구간을 설치하고, 기입 레벨에 대응하는 구간(「위상」이라고 함)과 기입 바이어스를 설정함으로써 기입에 이용하는 회로를 간소화하였다.

본 실시예의 회로는 도 45에 도시한 바와 같이, 감지 회로 SL과 MOS 트랜지스터 M2 간에 노드 SLS를 제어하는 바이어스 제어 회로(13)를 설치한 것으로, 그 외의 구성은 도 7에 도시한 실시예 1과 동일하다. 노드 SLS를 제어하는 회로(13)는 타이밍 신호 S9, S11을 받는 각각 NMOS 트랜지스터 M9, M11과, 노드 SLS의 전압으로 제어되는 PMOS 트랜지스터 M10으로 이루어진다. 또, 회로(13)와 MOS 트랜지스터 M2 간에 노드 SLW가 형성된다. 또한, 타이밍 신호 S3 ~ S6은 기입 기간에 타이밍을 취하기 위한 제어 펄스가 더해진다. 본 실시예의 검증 동작은 실시예 1과 마찬가지로 행해진다.

검증 동작의 결과, 기입 미종료된 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 노드 SLS는 LO 상태가 되고 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 본 실시예에서는 기입 데이터에 따른 기입 바이어스를 인가하기 위해서, 상기한 바와 같이 기입 데이터마다의 위상으로 나누어서 바이어스 인가를 행한다. 이하, 도 46에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

우선, 기입 선택 워드선 WL의 기입 전압을 VW(예를 들면 12V)로 설정한다.

위상 1에서는 트랜지스터 M9에 공급되는 기입 드레인 전압 VWD를 VWD1(예를 들면 3V)로 설정하고, 타이밍 신호 S9를 3V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 3V가 된다. 이 후, 타이밍 신호 S4, S5를 상승하여 기입 데이터 '01' '11'인 경우만 MOS 트랜지스터 M1, M2를 ON 상태로 하여 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '01'과 '11' 중, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 3V가 인가되며 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S4, S5를 하강시킴으로써 위상 1을 종료하고 계속해서 위상 2의 기입을 행한다.

위상 2에서는 전압 VWD를 VWD2(예를 들면 4V)로 설정하고, 타이밍 신호 S9를 4V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11'인 경우만 MOS 트랜지스터 M1, M2를 ON 상태로 하여 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '10'과 '11' 중 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입이 행해진다. 이 위상 2의 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1에서의 기입 바이어스보다 크다. 따라서, '01' 레벨보다 높은 임계치 전압을 갖는 '10' 레벨로의 기입에서는 보다 큰 기입 전압이 인가되게 되며, '01' 기입에 필요한 시간과 동등한 시간으로 기입을 행하는 것이 가능하다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고, 계속해서 위상 3의 기입을 행한다.

위상 3에서는 전압 VWD를 VWD3(예를 들면 5V)으로 설정하고, 타이밍 신호 S9를 5V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 5V가 된다. 이 후, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '11' 중 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 5V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 이 위상 3의 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1 및 위상 2에서의 기입 바이어스보다도 크다. 즉, 가장 임계치가 높은 '11' 레벨로의 기입에서는 가장 큰 기입 바이어스가 인가되게 되며, '01', '10' 기입에 필요한 시간과 동등한 시간에 '11' 기입을 행하는 것이 가능하다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료하고, 이어 기입이 종료했는지의 여부의 검증을 행하기 위한 검증 동작을 개시한다.

상기한 본 실시예의 위상마다 워드선 전위 및 각 기입 레벨의 비트선 전위를 표 8에 종합하여 나타낸다.

[표 8]

	위상 1	위상 2	위상 3
워드선 전위	13V	13V	13V
'01'	3V	0V	0V
'10'	0V	4V	0V
'11'	3V	4V	5V

이와 같이, 검증 시에 타이밍 선택 회로(8)를 구성한 트랜지스터 M1 ~ M6이 기입 시에 기입 대상의 메모리 셀을 선택하는 선택 수단을 형성한다.

또, 기입 기간의 타이밍 신호 S3 ~ S6은 타이밍 제어 회로(7 ; 도 1, 도 4, 도 5 참조)에 의해서 용이하게 생성된다.

이상과 같이, 비트선마다 도 4에 도시한 바와 같은 기입 바이어스 제어 회로 '11'을 설치하지 않고, 각 기입 레벨에 따라서 기입 바이어스를 인가하는 것이 가능하게 된다. 이것에 의해서, 전 기입 시간이 단축된다.

<실시예 12>

본 발명의 제12 실시예를 도 47을 이용하여 설명한다.

본 발명 제11 실시예에서는 표 8에 나타낸 바와 같이, 위상 1에서 기입 데이터가 '10'인 메모리 셀의 비트선에는 기입 바이어스 VWD1이 인가되지 않는다.

본 실시예는 위상 1에서 기입 데이터 '10'의 메모리 셀에도 기입 바이어스가 인가되도록 하여 더 효율적인 기입을 실현한 것이다.

실시에 1과 마찬가지로 검증 동작을 행한 결과, 기입 미종료된 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 노드 SLS는 LO 상태가 되고 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 본 실시예에서는 실시예 11과 마찬가지로, 기입 데이터에 따른 기입 바이어스를 인가하기 위해서, 기입 데이터마다의 위상으로 나누어서 바이어스 인가를 행한다. 이하, 도 47에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

위상 1에 있어서, 기입 선택 워드선 WL의 기입 전압을 VW 예를 들면 12V로 설정한다. 위상 1에서는 기입 드레인 전압 VWD를 VWD1(예를 들면 3V)로 설정하고, 타이밍 신호 S9를 3V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 3V가 된다. 이 후, 타이밍 신호 S5, S6을 상승하여 모든 기입 데이터에 대하여 MOS 트랜지스터 M1, M2를 ON 상태로 하여 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀('01', '11' 레벨 외에 '10' 레벨을 포함한다)에 대응하는 비트선에는 기입 전압 3V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S5, S6을 하강시킴으로써 위상 1을 종료하고 계속해서 위상 2의 기입을 행한다.

위상 2에서는 전압 VWD를 VWD2(예를 들면 4V)로 설정하고, 타이밍 신호 S9를 4V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11'의 경우만 MOS 트랜지스터 M1, M2를 ON 상태로 하여 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '10'과 '11' 중 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입이 행해진다. 이 위상 2의 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1에서의 기입 바이어스보다 크다. 따라서, '01' 레벨보다 높은 임계치 전압을 갖는 '10' 레벨로의 기입에는 보다 큰 기입 전압이 인가되게 된다. 기입 데이터가 '10'의 메모리 셀은 상기한 바와 같이 위상 1에서도 기입 바이어스가 인가되고 있으며 보다 높은 바이어스를 인가함으로써, 고속으로 기입을 행할 수 있다. 즉, '01' 기입에 필요한 시간과 동등 혹은 그 이하의 시간에서 '10' 기입을 행하는 것이 가능해진다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고 계속해서 위상 3의 기입을 행한다.

위상 3에서는 전압 VWD를 VWD3(예를 들면 5V)으로 설정하고, 타이밍 신호 S9를 5V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 5V가 된다. 이 후, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '11' 중, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 5V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 이 위상 3의 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1 및 위상 2에서의 기입 바이어스보다도 크다.

기입 데이터가 '11'인 메모리 셀은 위상 1, 위상 2에서도 기입 바이어스가 인가되고 있고, 가장 큰 기입 바이어스가 인가됨으로써 '01', '10' 기입에 필요한 시간과 동등 혹은 그 이하의 시간으로 '11' 기입을 행하는 것이 가능하다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료하고, 이어 기입이 종료했는지의 여부의 검증을 행하기 위한 검증 동작을 개시한다.

본 실시예에서는 표 9에 나타낸 바와 같이, 위상 1에서 기입 데이터 '10'의 메모리 셀의 비트선에도 기입 바이어스 VWD1이 인가되기 때문에 효율적인 기입을 실현하는 것이 가능하다.

[표 9]

	위상 1	위상 2	위상 3
워드선 전위	13V	13V	13V
'01'	3V	0V	0V
'10'	3V	4V	0V
'11'	3V	4V	5V

<실시예 13>

본 발명의 제13 실시예를 도 48을 이용하여 설명한다.

기입 데이터에 따른 바이어스를 인가하기 위해서, 실시예 11, 12에서는 비트선 전압 즉 메모리 셀의 드레인 전압을 제어하는 방식을 채용하였지만, 본 실시예에서는, 워드선 전압 즉 메모리 셀의 게이트 전압을 제어하는 방식을 채용한다.

본 실시예의 회로 구성은 도 45에 도시한 실시예 11과 동일하다.

실시예 1과 마찬가지로 검증 동작을 행한 결과, 기입 미종료인 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 감지 래치 노드 SLS는 LO 상태가 되고 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 이하, 도 48에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

우선, 기입을 행하는 메모리 셀에 대응하는 워드선 WL의 전압을 제1 기입 워드 전압 VWW1(예를 들면 12V)로 설정한다.

위상 1에서는 타이밍 신호 S9를 기입 드레인 전압 VWD(예를 들면 4V보다도 십분 높은 전압 예를 들면 7V)로 상승함으로써, 노드 SLS가 LO 상태의 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S4, S5를 상승하여 기입 데이터 '01', '11'의 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S4, S5를 하강시킴으로써 위상 1을 종료하고 계속해서 위상 2의 기입을 행한다.

위상 2에서는 워드선 WL의 전압을 제2 기입 워드 전압 VWW2(예를 들면 13V)로 설정하고, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10' '11'의 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 기입 데이터가 '10', '11'인 메모리 셀에 대하여 HE 주입이 행해진다. 이 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01' 기입 이상인 바이어스가 인가되며, HE 주입이 행해진다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고, 계속해서 위상 3의 기입을 행한다.

위상 3에서는 워드선 WL의 전압을 제3 전압 VWW3(예를 들면 14V)로 설정하고, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 이 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01', '10' 기입 시의 바이어스보다 더 크며, 보다 효율적으로 '11' 기입을 행할 수 있다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료하고, 이어 기입이 종료했는지의 여부를 검증하기 위해서 검증 동작을 개시한다.

또, 위상마다 레벨이 다른 워드선 WL 전압의 생성은 워드선 구동 회로(2 ; 도 1, 도 4, 도 5 참조)의 구성을 변경함으로써 용이하게 실현할 수 있다.

상기한 본 실시예의 위상마다의 워드선 전위 및 각 기입 레벨의 비트선 전위를 표 10에 종합하여 나타낸다.

[표 10]

	위상 1	위상 2	위상 3
워드선 전위	12V	13V	14V
'01'	4V	0V	0V
'10'	0V	4V	0V
'11'	4V	4V	4V

이상과 같이, MOS 트랜지스터를 기입 데이터에 따라서 ON, OFF시켜서 기입 드레인 전압이 대상의 메모리 셀에 대하여 원하는 워드선 전압의 타이밍에서 인가되도록 제어함으로써, 데이터에 따른 기입 바이어스를 인가하는 것이 가능해지며 이에 의해서 전 기입 시간이 단축된다.

<실시예 14>

본 발명의 제14 실시예에 대하여 도 49를 이용하여 설명한다.

본 발명 제13 실시예에서는 표 10에 나타낸 바와 같이, 위상 1에서 기입 데이터가 '10'인 메모리 셀에는 기입 바이어스가 인가되지 않았다.

본 실시예는 위상 1에서 기입 데이터 '01'인 메모리 셀에도 기입 바이어스가 인가되도록 하고 더 효율적인 기입을 실현한 것이다.

실시예 1과 마찬가지로 검증 동작을 행한 결과, 기입 미종료인 메모리 셀이 존재한 경우, 상기 셀에 대응하는 노드 SLS는 LO 상태가 되고 있다. 이 경우에는 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 기입 데이터에 따른 기입 바이어스를 인가하기 위해서 기입 데이터마다의 위상으로 나누어서 기입을 행한다.

위상 1에서, 기입을 행하는 메모리 셀에 대응하는 워드선 WL의 전압을 제1 기입 워드 전압 VWW1(예를 들면 12V)로 설정한다. 위상 1에서는 타이밍 신호 S9를 기입 드레인 전압 VWD(예를 들면 4V 보다도 십분 높은 전압 예를 들면 7V)로 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S5, S6을 상승하여 모든 기입 데이터에 대하여 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀('01', '11' 레벨 외에, '10' 레벨을 포함한다)에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S5, S6을 하강시킴으로써 위상 1을 종료하고 계속해서 위상 2의 기입을 행한다.

위상 2에서는 워드선 WL의 전압을 제2 기입 워드 전압 VWW2(예를 들면, 13V)로 설정하고, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11'의 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 기입 데이터가 '10', '11'의 메모리 셀에 대하여 HE 주입이 행해진다. 이 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01' 기입 이상의 바이어스가 인가되며 HE 주입이 행해진다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고 계속해서 위상 3의 기입을 행한다.

위상 3에서는 워드선 WL의 전압을 제3 전압 VWW3(예를 들면 14V)으로 설정하고, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 이 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01', '10' 기입 시의 바이어스보다 크며, 보다 효율적으로 '11' 기입을 행할 수 있다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료하고, 이어 기입이 종료했는지의 여부를 검증하기 위해서 검증 동작을 개시한다.

본 실시예에서는 표 11에 나타낸 바와 같이, 위상 1의 기입 데이터 '10'의 메모리 셀에도 기입 바이어스가 인가되며 효율적인 기입이 실현된다.

[표 11]

	위상 1	위상 2	위상 3
워드선 전위	12V	13V	14V
'01'	4V	0V	0V
'10'	4V	4V	0V
'11'	4V	4V	4V

또, 사용하는 메모리 셀의 기입 특성의 변동의 상황에 의해서는 실시예 11과 실시예 13을 조합하여, 워드선 전압 및 비트선 전압의 양쪽을 위상으로 바꾸는 기입 방식을 채용하는 것이 가능하다. 또한, 실시예 12와 실시예 14를 조합할 수 있다. 이러한 조합에 따라서, 기입의 지연 메모리 셀로 효율적으로 기입을 행하는 것이 가능해진다.

<실시예 15>

본 발명의 제15 실시예를 도 50, 도 51을 이용하여 설명한다.

본 실시예는 도 23에 도시하는 회로 구성에 있어서, 기입 데이터에 따른 기입 바이어스를 인가하기 위해서 기입 데이터마다 위상을 나누어서 바이어스 인가를 행하도록 한 것을 특징으로 한다. 이하, 도 50에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

도 23에 나타내는 회로 구성을 채용한 실시예 6에 있어서 설명한 방법에 의해, 기입 검증 동작을 행한 결과, 기입 미종료된 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 노드 SLS는 LO 상태가 되고 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다.

우선, 트랜지스터 M_p 에 제공하는 전압 FPC를 기입 비선택 비트선 전압 VWD(예를 들면 6V)로 설정하고, 타이밍 신호 S_p 를 심분 높은 전압으로 설정하여 비트선을 전압 VWD까지 충전한 후 부유 상태로 한다. 또한, 감지 회로 SL(도 10 참조)의 전원 SLP를 전압 VWD에 상승하여, 기입 종료 메모리 셀에 대응하는 노드 SLS를 전압 VWD로 하고 기입 선택 워드선 WL의 전압을 기입 워드 전압 VW(예를 들면 17V)로 설정한다.

이 후, 타이밍 신호 S_3 , S_4 를 상승하여 기입 데이터 '11'의 경우만 MOS 트랜지스터 M_1 , M_2 를 ON 상태로 하고 비트선 BL과 노드 SLS를 접속시킨다. 이 때, 기입 데이터가 '11'로 앞의 검증 동작에 의해 기입 종료라고 판정된 메모리 셀에 대응하는 비트선은 6V를 유지하지만, 기입 미종료인 비트선 전하는 노드 SLS에 방출되어 0V가 된다. 이에 따라, 기입 미종료인 메모리 셀에서는 선택 워드선 전압 17V와 채널 전압 0V가 인가되게 되며, 터널막이 강한 전계에 의해서 FN 터널 전류가 발생한다. 기입 종료의 메모리 셀은 워드선 전압 17V와 채널 전압 6V가 인가되고 있으며 터널막에 강한 전계가 더해지지 않기 때문에, FN 터널 전류가 발생하지 않는다. 또한, 기입 데이터가 '01', '10', '00'인 메모리 셀에 대해서는 비트선 전압이 6V를 유지하기 때문에, 기입은 생기지 않는다.

타이밍 신호 S_3 , S_4 를 하강시킨 후 타이밍 신호 S_3 , S_6 을 상승하여, 상위 비트가 '1'인 비트 즉 기입 데이터가 '10'과 '11'의 비트에 대해서만 선택적으로 MOS 트랜지스터 M_1 , M_2 를 ON 상태로 하여, 워드선 BL과 감지 회로 SL을 접속한다. 이 때, 기입 데이터가 '10', '11'로 앞의 검증 동작에 의해 기입 종료라고 판정된 메모리 셀에 대응하는 비트선은 6V를 유지하지만, 기입 미종료인 비트선 전하는 노드 SLS에 방출되어 0V가 된다. 이에 따라, 기입 미종료인 메모리 셀에서는 선택 워드선 전압 17V와 채널 전압 0V가 인가되게 되며 터널막이 강한 전계에 의해서 FN 터널 전류가 발생한다. 기입 종료인 메모리 셀은 워드선 전압 17V와 채널 전압 6V가 인가되고 있으며, 터널막에 강한 전계가 더해지지 않기 때문에, FN 터널 전류가 발생하지 않는다. 또한, 기입 데이터가 '01', '00'인 메모리 셀에 대해서는 비트선 전압이 6V를 유지하기 때문에 기입은 생기지 않는다.

타이밍 신호 S_3 , S_6 을 하강시킨 후 타이밍 신호 S_4 , S_5 를 상승하여 하위 비트가 '1'인 비트 즉 기입 데이터가 '01'과 '11'인 비트에 대해서만 선택적으로 MOS 트랜지스터 M_1 , M_2 를 ON 상태로 하여, 워드선 BL과 감지 회로 SL을 접속한다. 이 때, 기입 데이터가 '01', '11'로 앞의 검증 동작에 의해 기입 종료라고 판정된 메모리 셀에 대응하는 비트선은 6V가 유지되지만, 기입 미종료인 비트선 전하는 노드 SLS에 방출되어 0V가 된다. 이에 따라, 기입 미종료인 메모리 셀에서는 선택 워드선 전압 17V와 채널 전압 0V가 인가되게 되며 터널막이 강한 전계에 의해서 FN 터널 전류가 발생하고 기입이 발생한다. 기입 종료인 메모리 셀은 워드선 전압 17V와 채널 전압 6V가 인가되고 있으며 터널막에 강한 전계가 더해지지 않기 때문에, FN 터널 전류가 발생하지 않는다. 기입 데이터 '10'인 메모리 셀에 대해서는 기입이 종료하고 있는 경우에는 비트선 전압은 6V를 유지하고, 기입 미종료인 경우에는 앞의 동작에 의해 비트선이 0V로 되어 있다. 이 때문에, '10' 기입 미종료인 메모리 셀에 대해서도 기입이 생긴다. 또한, 기입 데이터가 '00'인 메모리 셀에 대해서는 비트선 전압이 6V를 유지하기 때문에 기입은 생기지 않는다.

이 결과, '11' 기입 선택 메모리 셀에는 도 50의 상부에 나타낸 t_1 , '10' 기입 선택 메모리 셀에는 t_2 , '01' 기입 선택 메모리 셀에는 t_3 간, 기입 바이어스가 인가된다($t_3 < t_2 < t_1$).

이상과 같이, 소거 후의 임계치 레벨로부터의 변위량이 큰 기입일수록 장시간 기입 바이어스를 인가함으로써, 복수의 임계치 레벨로의 기입 시간을 거의 동등하게 하는 것이 가능해지며 기입을 고속화할 수 있다.

또한, 도 23의 회로 구성에서 임계치 전압이 높은 레벨로의 기입일수록 기입 바이어스 전압을 높게 하는 방법에 대해서 도 51을 이용하여 설명한다. 기입 데이터가 '11'인 메모리 셀에만 기입이 행해지는 기간은 선택 워드선 전압을 전압 VW_1 (예를 들면 18V)로 하고, 기입 데이터가 '11'과 '10'인 메모리 셀로의 기입이 행해지는 기간의 선택 워드선 전압을 전압 VW_2 (예를 들면 17V)로 하고, 기입 데이터가 '11', '10', '01'의 메모리 셀로 동시에 기입이 행해지는 기간의 선택 워드선 전압을 VW_3 예를 들면 16V로 한다.

이 기입 방식에 따르면, 임계치 전압이 높은 '11'로의 기입은 선택 워드선 18V에서 t1, 선택 워드선 17V에서 t2, 선택 워드선 16V에서 t3의 시간 기입이 행해진다. 한편 임계치 전압이 낮은 '01'로의 기입은 선택 워드선 16V에서 t3의 시간 행해지는 것뿐이다. 전압 VW1 ~ VW3의 전압 조건을 메모리 셀의 특성에 따라서 적절하게 선택함으로써 t1 ~ t3의 시간을 단축하는 것이 가능해지며 기입 시간을 더 단축하는 것이 가능해진다.

<실시예 16>

본 발명의 제16 실시예를 도 52 ~ 도 54를 이용하여 설명한다.

본 실시예는 도 21에 도시한 실시예 5의 메모리 어레이 구성에 있어서, 기입 데이터에 따른 기입 바이어스를 인가하도록 하고, 이것에 의해서 기입의 고속화를 실현한 것을 특징으로 한다.

본 실시예의 회로 구성은 도 21의 회로 구성에 도 45에 도시한 노드 SLS를 제어하는 회로(13)를 설치한 것이다. 본 실시예의 검증 동작은 실시예 5와 마찬가지로 행해진다.

검증 동작의 결과, 기입 미종료인 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 노드 SLS는 LO 상태로 되어 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 이하, 도 53에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

우선, 기입 선택 워드선 WL의 전압을 기입 전압 VW(예를 들면 12V)로 설정한다. 다음에 선택 트랜지스터의 게이트 전압 STj1을 상승하여, 선택 게이트 전압 VAGj1을 상승함으로써 선택 워드선에 접속된 메모리 셀 중 홀수 열의 메모리 셀을 활성화시킨다.

위상 1에서는 트랜지스터 M9에 주어지는 기입 드레인 전압 VWD를 VWD1(예를 들면 3V)로 설정하고, 타이밍 신호 S9를 3V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 3V가 된다. 이 후, 타이밍 신호 S4, S5를 상승하여 기입 데이터 '01' '11'인 경우만 MOS 트랜지스터 M1, M2를 ON 상태로 하여 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '01'과 '11' 중, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 3V가 인가되며, 이에 따라 SSI 주입 기입이 행해진다. 타이밍 신호 S4, S5를 하강시킴으로써 위상 1을 종료하여, 계속해서 위상 2의 기입을 행한다.

위상 2에서는 전압 VWD를 VWD2(예를 들면 4V)로 설정하고, 타이밍 신호 S9를 4V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11' 경우만 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '10'과 '11' 중, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 SSI 주입이 행해진다. 이 위상 2의 SSI 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1에서의 기입 바이어스보다 크다. 따라서, '01' 레벨보다 높은 임계치 전압을 갖는 '10' 레벨로의 기입에서는 보다 큰 기입 전압이 인가되게 되며 '01' 기입에 요하는 시간과 동등한 시간에 기입을 행하는 것이 가능하다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고 계속해서 위상 3의 기입을 행한다.

위상 3에서는 전압 VWD를 VWD3(예를 들면 5V)으로 설정하고, 타이밍 신호 S9를 5V보다도 십분 높은 전압까지 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 5V가 된다. 이 후, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON 상태로 하고, 비트선 BL과 노드 SLW를 접속시킨다. 이 때, 기입 데이터 '11' 중, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 5V가 인가되며, 이에 따라 SSI 주입 기입이 행해진다. 이 위상 3의 SSI 주입 시에 메모리 셀에 인가되는 기입 바이어스는 위상 1 및 위상 2에서의 기입 바이어스보다도 크다. 즉, 가장 임계치가 높은 '11' 레벨로의 기입에서는 가장 큰 기입 바이어스가 인가되게 되며 '01', '10' 기입에 요하는 시간과 동등한 시간에 '11' 기입을 행하는 것이 가능해진다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료하고 이어 기입이 종료했는지의 여부의 검증을 행하기 위한 검증 동작을 개시한다.

이상과 같이, 비트선마다 도 44에 도시한 바와 같은 기입 바이어스 제어 회로(11)를 설치하지 않고, 각 기입 레벨에 따라서 기입 바이어스를 인가하는 것이 가능해진다. 이에 의해서, 전 기입 시간이 단축된다.

이상의 예에서는 위상 1에서 기입 데이터가 '10'인 메모리 셀의 비트선에는 기입 바이어스 VWD1이 인가되지 않았다. 위상 1에서 기입 데이터 '10'인 메모리 셀에도 기입 바이어스가 인가되도록 하여 더 효율적인 기입을 실현한 예를 도 54에 도시한다.

도 53인 경우의 기입 기간 t1에서는 타이밍 신호 S4, S5를 상승하여, 기입 데이터가 '01'과 '11'인 메모리 셀에 대해서만 기입이 행해졌지만, 도 54의 경우에는 기입 기간 t1에서 타이밍 신호 S5, S6을 상승함으로써, 기입 대상의 모든 메모리 셀 즉 기입 데이터가 '01', '10', '11'인 메모리 셀에 대하여 기입 바이어스가 인가된다.

이에 따라, 위상 1에서 기입 데이터 '10'인 메모리 셀의 비트선에도 기입 바이어스 VWD1이 인가되기 때문에 효율적인 기입을 실현할 수 있다.

<실시예 17>

본 발명의 제17 실시예를 도 55, 도 56을 이용하여 설명한다.

기입 데이터에 따른 바이어스를 인가하기 위해서 실시예 16에서는 비트선 전압 즉 메모리 셀의 드레인 전압을 제어하는 방식을 채용하였지만, 본 실시예에서는 워드선 전압 즉 메모리 셀의 게이트 전압을 제어하는 방식을 채용한다. 본 실시예의 회로 구성은 도 52에 도시한 실시예 16과 동일하다.

실시예 16과 마찬가지로, 검증 동작을 행한 결과, 기입 미종료인 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 감지 래치 노드 SLS는 LO 상태로 되어 있다. 이 경우에는 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 이하, 도 55에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

우선, 기입 선택 워드선 WL의 전압을 기입 전압 VW1(예를 들면 12V)로 설정한다. 다음에 선택 트랜지스터의 게이트 전압 STj1을 상승하여, 선택 게이트 전압 VAGj1을 상승함으로써, 선택 워드선에 접속된 메모리 셀 중 홀수 열의 메모리 셀을 활성화시킨다.

위상 1에서는 타이밍 신호 S9를 기입 드레인 전압 VWD(예를 들면 4V)보다도 십분 높은 전압 예를 들면 7V로 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S4, S5를 상승하여 기입 데이터 '01' '11'인 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S4, S5를 하강시킴으로써 위상 1을 종료하고 계속해서 위상 2의 기입을 행한다.

위상 2에서는 워드선 WL의 전압을 제2 기입 워드 전압 VWW2(예를 들면 13V)로 설정하고, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11'의 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 기입 데이터가 '10', '11'인 메모리 셀에 대하여 SSI 주입이 행해진다. 이 HE 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01' 기입 이상인 바이어스가 인가되며 SSI 주입이 행해진다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고 계속해서 위상 3의 기입을 행한다.

위상 3에서는 워드선 WL의 전압을 제3 전압 VWW3(예를 들면, 14V)으로 설정하고, 타이밍 신호 S3, S4를 상승하여 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 SSI 주입 기입이 행해진다. 이 SSI 주입 시에 메모리 셀에 인가되는 기입 바이어스는 '01', '10' 기입 시의 바이어스보다 더 크고, 보다 효율적으로 '11' 기입을 행할 수 있다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료한다.

이상과 같이, 비트선마다 도 44와 같은 기입 바이어스 제어 회로(11)를 설치하지 않고, 각 기입 레벨에 따라서 기입 바이어스를 인가하는 것이 가능해진다. 전 기입 시간이 단축된다.

이상의 예에서는 위상 1에서 기입 데이터가 '10'인 메모리 셀의 비트선에는 기입 바이어스 VWD1이 인가되지 않았다. 위상 1에서 기입 데이터 '10'인 메모리 셀에도 기입 바이어스가 인가되도록 하고 더 효율적인 기입을 실현한 예를 도 56에 도시한다.

도 55의 경우의 기입 기간 t1에서는 타이밍 신호 S4, S5를 상승하여, 기입 데이터가 '01'과 '11'인 메모리 셀에 대해서만 기입이 행해졌지만, 도 56의 경우에는 기입 기간 t1에서 타이밍 신호 S5, S6을 상승함으로써, 기입 대상의 모든 메모리 셀 즉 기입 데이터가 '01', '10', '11'인 메모리 셀에 대하여 기입 바이어스가 인가된다.

이에 따라, 위상 1에서 기입 데이터 '10'인 메모리 셀의 비트선에도 기입 바이어스 VWD1이 인가되기 때문에, 효율적인 기입을 실현할 수 있다.

<실시에 18>

본 발명의 제18 실시예를 도 57, 도 58을 이용하여 설명한다.

기입 데이터에 따른 바이어스를 인가하기 위해서, 실시예 17에서는 워드선 전압 즉 메모리 셀의 게이트 전압을 제어하는 방식을 채용하였지만, 본 실시예에서는 선택 게이트 전압 VAG1, VAG2를 제어하는 방식을 채용한다. 본 실시예의 회로 구성은 도 52에 도시한 실시예 16과 동일하다.

실시예 16과 마찬가지로, 검증 동작을 행한 결과, 기입 미종료인 메모리 셀이 존재한 경우, 상기 메모리 셀에 대응하는 감지 래치 노드 SLS는 LO 상태가 되고 있다. 이 경우, 검증 동작에 이어 기입 바이어스 인가 동작이 행해진다. 이하, 도 57에 도시하는 타이밍도를 이용하여 본 실시예에서의 기입 바이어스 인가 동작에 대하여 설명한다.

우선, 기입 선택 워드선 WL의 전압을 기입 전압 VW(예를 들면 13V)로 설정한다. 다음에 선택 트랜지스터의 게이트 전압 STj1을 상승하고, 선택 게이트 전압 VAGj1을 VAGS1 예를 들면 2V에 상승함으로써 선택 워드선에 접속된 메모리 셀 중 홀수 열의 메모리 셀을 활성화시킨다.

위상 1에서는 타이밍 신호 S9를 기입 드레인 전압 VWD(예를 들면 4V보다도 십분 높은 전압 예를 들면 7V)로 상승함으로써, 노드 SLS가 LO 상태인 비트선만 노드 SLW가 4V가 된다. 이 후, 타이밍 신호 S4, S5를 상승하여 기입 데이터 '01', '11'의 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 HE 주입 기입이 행해진다. 타이밍 신호 S4, S5를 하강시킴으로써 위상 1을 종료하여 계속해서 위상 2의 기입을 행한다.

위상 2에서는 선택 게이트 전압 VAGj1을 VAGS2(예를 들면 2.5V)로 설정하고, 타이밍 신호 S3, S6을 상승하여 기입 데이터 '10', '11'인 경우만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 기입 데이터가 '10', '11'인 메모리 셀에 대하여 SSI 주입이 행해진다. 위상 2에서의 SSI 주입 시의 선택 게이트 전압 VAGj1은 '01' 기입 시보다도 크며, 이 때문에 보다 강하게 기입이 행해진다. 타이밍 신호 S3, S6을 하강시킴으로써 위상 2를 종료하고 계속해서 위상 3의 기입을 행한다.

위상 3에서는 선택 게이트 전압 VAGj1을 VAGS3(예를 들면 3V)으로 설정하여 타이밍 신호 S3, S4를 상승하여, 기입 데이터 '11'만 MOS 트랜지스터 M1, M2를 ON시킨다. 이 때, 앞의 검증 동작에 의해 기입 미종료라고 판정된 메모리 셀에 대응하는 비트선에는 기입 전압 4V가 인가되며, 이에 따라 SSI 주입 기입이 행해진다. 위상 2에서의 SSI 주입 시의 선택 게이트 전압 VAGj1은 '01', '10' 기입 시보다도 더 크며, 이 때문에 보다 강하게 기입이 행해진다. 타이밍 신호 S3, S4를 하강시킴으로써 위상 3을 종료한다.

이상과 같이, 비트선마다 도 44와 같은 기입 바이어스 제어 회로(11)를 설치하지 않고, 각 기입 레벨에 따라서 기입 바이어스를 인가하는 것이 가능해진다. 이것에 의해서, 전 기입 시간이 단축된다.

이상의 예에서는 위상 1에 있어서 기입 데이터가 '10'인 메모리 셀의 비트선에는 기입 바이어스 VWD1이 인가되지 않는다. 위상 1에서 기입 데이터 '10'의 메모리 셀에도 기입 바이어스가 인가되도록 하고, 더 효율적인 기입을 실현한 예를 도 58에 도시한다.

도 57의 경우의 기입 기간 t1에서는 타이밍 신호 S4, S5를 상승하여, 기입 데이터가 '01'과 '11'인 메모리 셀에 대해서만 기입이 행해졌지만, 도 58의 경우에는 기입 기간 t1에서 타이밍 신호 S5, S6을 상승함으로써 기입 대상의 모든 메모리 셀 즉 기입 데이터가 '01', '10', '11'인 메모리 셀에 대하여 기입 바이어스가 인가된다.

이에 따라 위상 1에서 기입 데이터 '10'인 메모리 셀의 비트선에도 기입 바이어스 VWD1이 인가되기 때문에 더 효율적인 기입을 실현할 수 있다.

발명의 효과

본 발명에 따르면, 다중값 메모리 셀의 도통/비도통 상태를 검출함으로써, 정상적인 전류를 흘리지 않고 검증을 행하는 것이 가능해진다. 또한, 검증 기간에 기입 레벨마다 구간을 설치하고, 해당하는 구간을 기입 데이터에 의해서 선택함으로써, 복수 레벨의 검증 동작을 연속하여 행하는 것이 가능해진다. 이상에 따라서 다수의 메모리 셀의 동시 검증이 가능해지며 높은 기입 처리량을 구비한 고속의 불휘발성 반도체 기억 장치를 실현할 수 있다.

덧붙여, 기입 기간에 기입 레벨마다 구간을 설치하고 해당하는 구간을 기입 데이터에 의해서 선택함으로써 복수 레벨의 기입 동작을 연속하여 행하는 것이 가능해지며 다중값 레벨의 고속의 기입을 실현할 수 있다.

상술된 실시예들은 본 발명의 원리를 설명하기 위한 것에 불과하며 당분야의 업자라면 본 발명의 정신 및 범위를 벗어남 없이 많은 변경들이 도출될 수 있다는 것이 이해되어야 한다. 따라서 그러한 변경들을 청구범위의 범위 내에 포함하고자 한다.

도면의 간단한 설명

도 1은 본 발명의 불휘발성 반도체 기억 장치의 실시 형태의 개요를 설명하기 위한 회로 구성도.

도 2a는 메모리 셀의 임계치 분포의 일례를 나타낸 도면.

도 2b는 메모리 셀의 임계치 분포의 다른 일례를 나타낸 도면.

도 3은 도 1의 발명의 실시 형태의 개요의 기입 검증 방식을 설명하기 위한 플로우차트도.

도 4는 본 발명의 불휘발성 반도체 기억 장치의 실시 형태를 설명하기 위한 회로 구성도.

도 5는 도 4의 발명의 실시 형태의 일 구체예를 설명하기 위한 회로 구성도.

도 6은 도 5의 발명의 실시 형태의 기입 검증 방식을 설명하기 위한 플로우차트도.

도 7은 본 발명의 제1 실시예를 설명하기 위한 회로 구성도.

도 8은 본 발명의 실시예에서의 메모리 셀의 임계치 분포의 일례를 나타낸 도면.

도 9는 제1 실시예에서의 기입 검증 동작을 설명하기 위한 타이밍차트도.

도 10은 본 발명의 실시예에 이용하는 감지 회로의 일례를 설명하기 위한 회로도.

도 11은 본 발명의 실시예에 이용하는 기입 바이어스 회로의 일례를 설명하기 위한 회로도.

도 12는 제1 실시예의 다른 기입 검증 동작을 설명하기 위한 타이밍차트도.

도 13은 본 발명의 제2 실시예를 설명하기 위한 플로우차트도.

도 14는 제2 실시예에서의 기입 검증 동작을 설명하기 위한 제1 타이밍차트도.

도 15는 제2 실시예에서의 기입 검증 동작을 설명하기 위한 제2 타이밍차트도.

도 16은 제2 실시예에서의 다른 기입 검증 동작을 설명하기 위한 타이밍차트도.

- 도 17은 제3 실시예를 설명하기 위한 회로 구성도.
- 도 18은 메모리 셀의 임계치 분포의 다른 예를 설명하기 위한 도면.
- 도 19는 제3 실시예의 검증 동작을 설명하기 위한 타이밍차트도.
- 도 20은 제4 실시예를 설명하기 위한 회로 구성도.
- 도 21은 제5 실시예를 설명하기 위한 회로 구성도.
- 도 22는 제5 실시예에서의 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 23은 제6 실시예를 설명하기 위한 회로 구성도.
- 도 24는 제6 실시예에서의 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 25는 제6 실시예에서의 다른 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 26은 제7 실시예를 설명하기 위한 회로 구성도.
- 도 27은 제7 실시예에서의 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 28은 제7 실시예에서의 다른 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 29는 제8 실시예를 설명하기 위한 회로 구성도.
- 도 30은 메모리 셀의 임계치 분포의 또 다른 예를 나타내는 도면.
- 도 31은 제8 실시예에서의 기입 검증 동작을 설명하기 위한 타이밍차트도.
- 도 32a는 제9 실시예에서의 기입 시의 워드선 전압의 제1 예를 설명하기 위한 파형도.
- 도 32b는 제9 실시예에서의 기입 시의 비트선 전압의 제1 예를 설명하기 위한 파형도.
- 도 33은 제9 실시예에서의 기입 시의 워드선 전압의 제2 예를 설명하기 위한 파형도.
- 도 34는 제9 실시예에서의 기입 시의 비트선 전압의 제2 예를 설명하기 위한 파형도.
- 도 35는 제9 실시예에서의 기입 시의 워드선 전압의 제3 예를 설명하기 위한 파형도.
- 도 36은 제9 실시예에서의 기입 시의 비트선 전압의 제3 예를 설명하기 위한 파형도.
- 도 37은 제9 실시예에서의 기입 시의 워드선 전압의 제4 예를 설명하기 위한 파형도.
- 도 38은 제9 실시예에서의 기입 시의 워드선 전압의 제5 예를 설명하기 위한 파형도.
- 도 39는 제9 실시예에서의 기입 시의 비트선 전압의 제4 예를 설명하기 위한 파형도.
- 도 40은 제9 실시예에서의 기입 시의 워드선 전압의 제6 예를 설명하기 위한 파형도.
- 도 41은 본 발명의 제10 실시예에서의 기입 시의 워드선 전압 및 비트선 전압의 예를 설명하기 위한 파형도.
- 도 42는 제10 실시예에서의 기입 시의 워드선 전압 및 비트선 전압의 다른 예를 설명하기 위한 파형도.

- 도 43은 제10 실시예의 기입 바이어스 방식을 설명하기 위한 회로 구성도.
- 도 44는 제10 실시예에 이용하는 기입 바이어스 제어 회로의 일례를 설명하기 위한 회로도.
- 도 45는 본 발명의 제11 실시예를 설명하기 위한 회로 구성도.
- 도 46은 제11 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 47은 제12 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 48은 제13 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 49는 제14 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 50은 제15 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 51은 제15 실시예에서의 다른 기입 동작을 설명하기 위한 타이밍차트도.
- 도 52는 제16 실시예를 설명하기 위한 회로 구성도.
- 도 53은 제16 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 54는 제16 실시예에서의 다른 기입 동작을 설명하기 위한 타이밍차트도.
- 도 55는 제17 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 56은 제17 실시예에서의 다른 기입 동작을 설명하기 위한 타이밍차트도.
- 도 57은 제18 실시예에서의 기입 동작을 설명하기 위한 타이밍차트도.
- 도 58은 제18 실시예에서의 다른 기입 동작을 설명하기 위한 타이밍차트도.
- 도 59는 메모리 셀의 임계치 분포의 일례를 나타낸 도면.
- 도 60은 종래의 기입 검증 방식을 설명하기 위한 타이밍도.
- 도 61은 종래의 기입 검증 방식을 설명하기 위한 플로우차트도.
- 도 62는 종래의 기입 검증 방식을 설명하기 위한 회로도.
- 도 63은 종래의 기입 검증 방식을 설명하기 위한 다른 회로도.

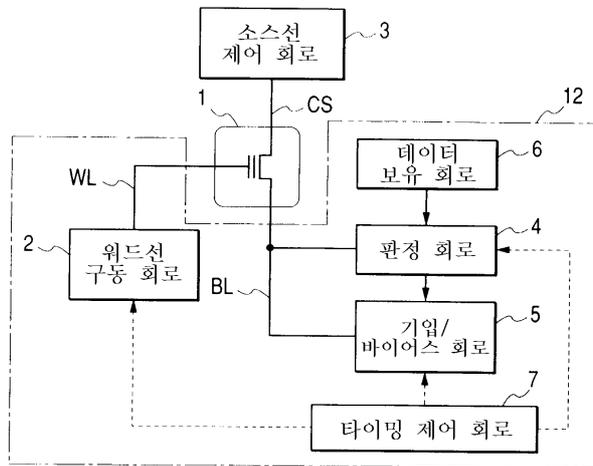
<도면의 주요 부분에 대한 부호의 설명>

- 1 : 메모리 셀
- 2 : 워드선 구동 회로
- 3 : 소스선 제어 회로
- 4 : 판정 회로
- 5 : 기입 바이어스 회로

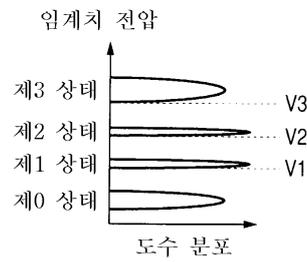
- 6, DL : 데이터 유지 회로
- 7 : 타이밍 제어 회로
- 8 : 타이밍 선택 회로
- 9, SL : 감지 회로
- 10 : 논리 회로
- 11 : 기입 바이어스 제어 회로

도면

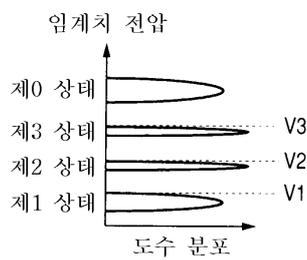
도면1



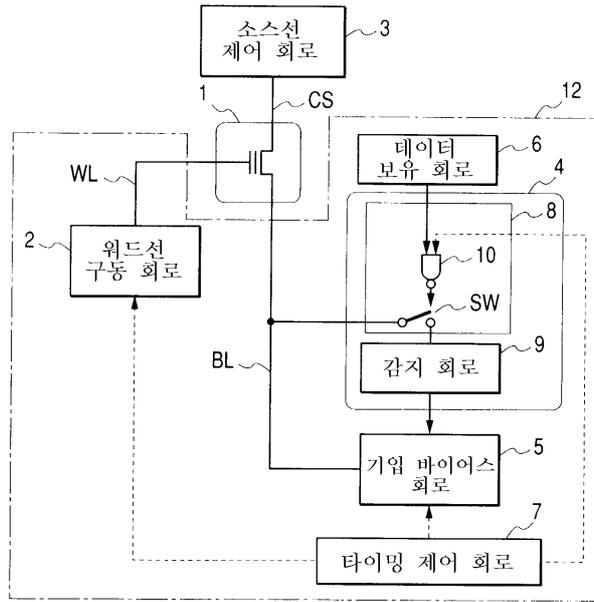
도면2a



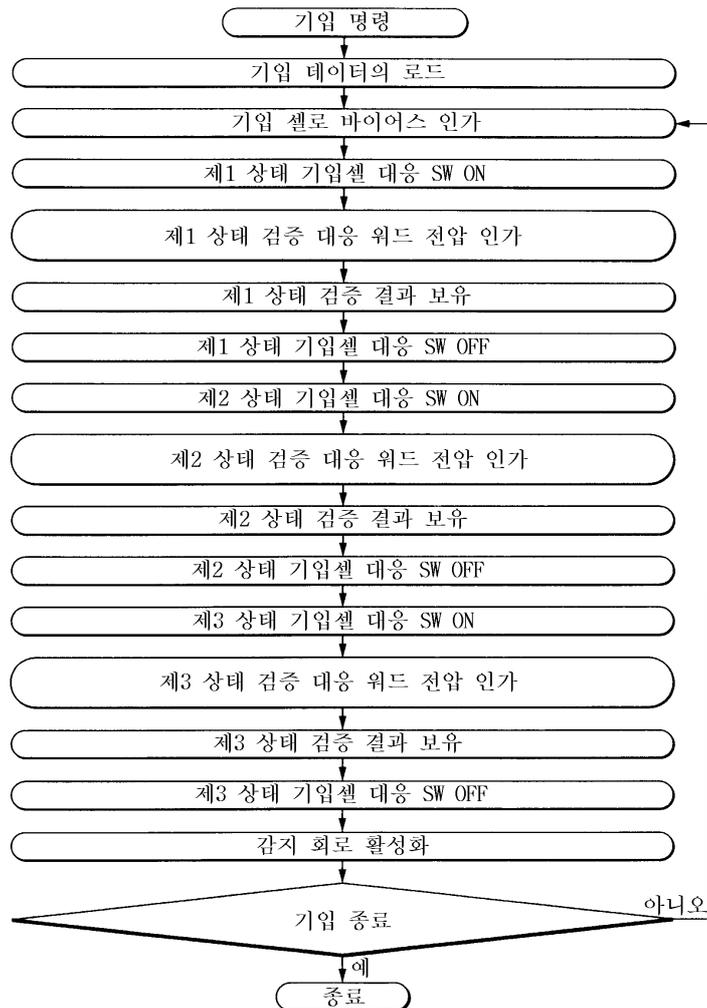
도면2b



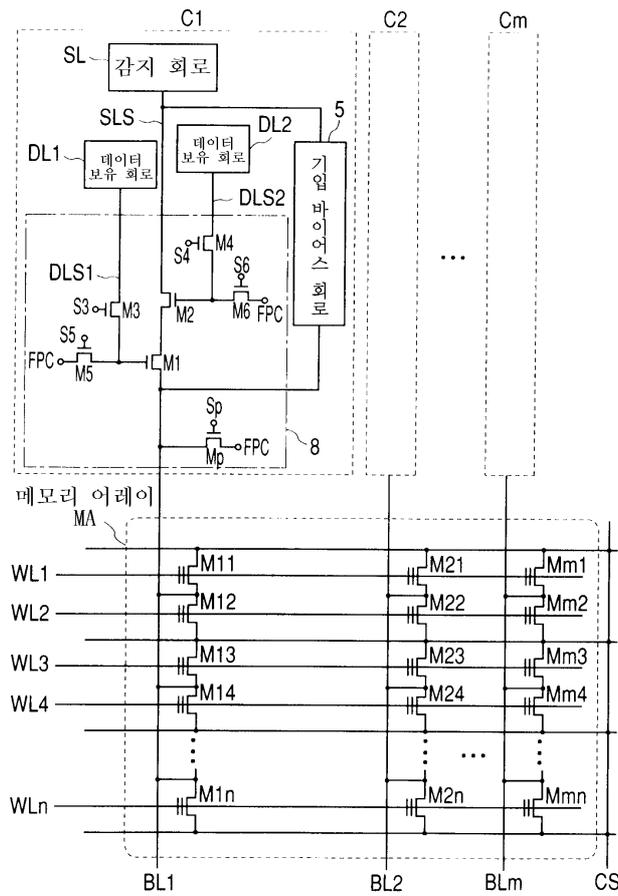
도면5



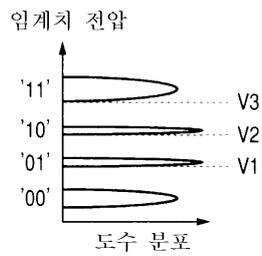
도면6



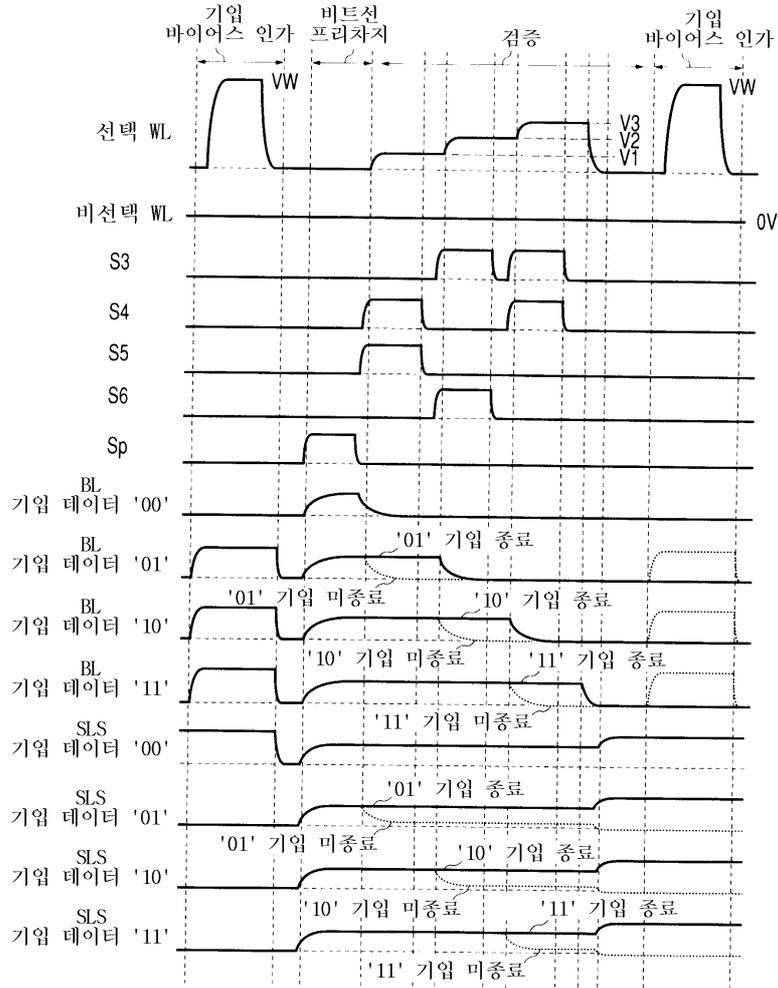
도면7



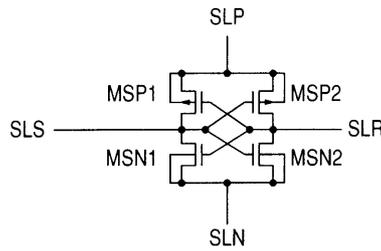
도면8



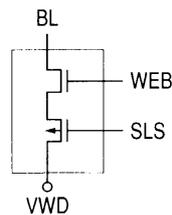
도면9



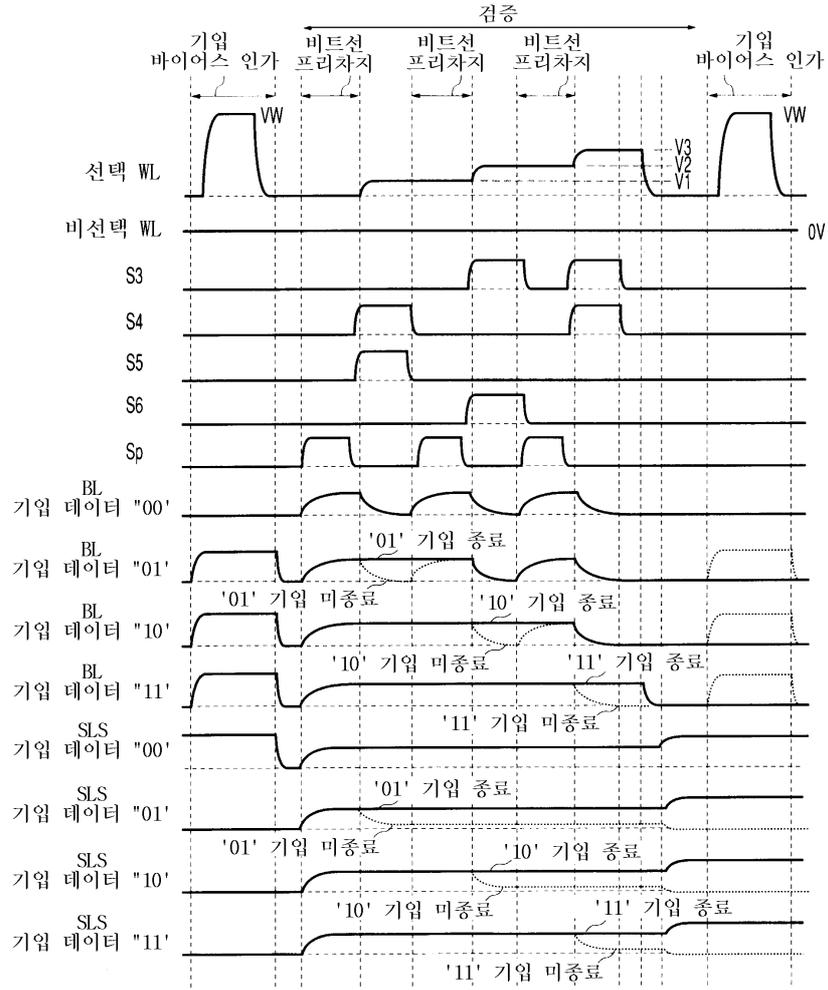
도면10



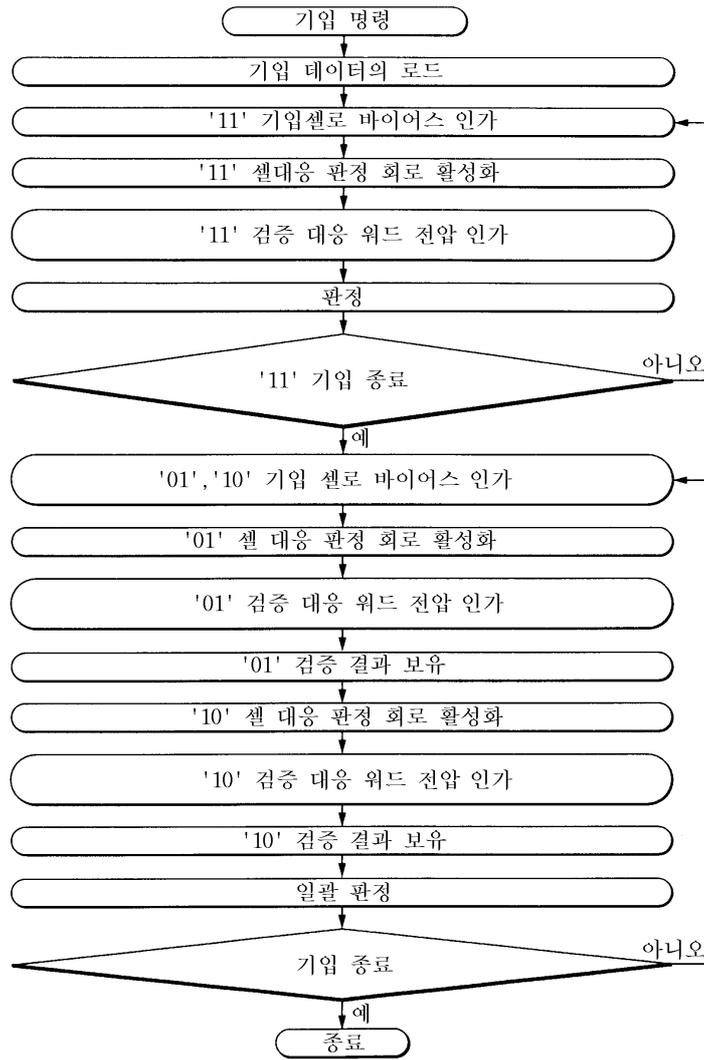
도면11



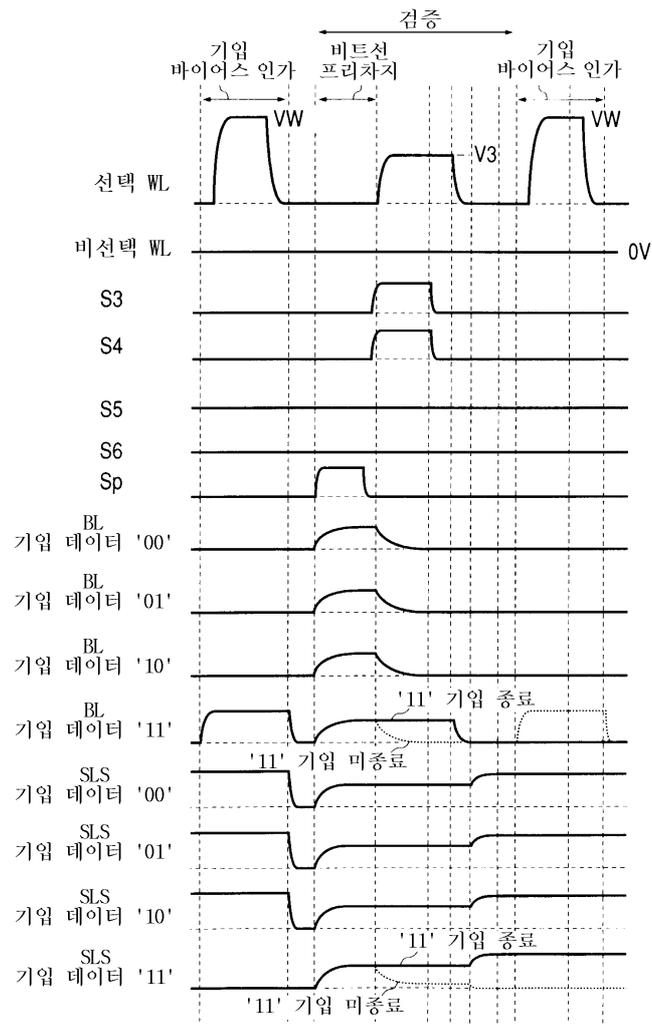
도면12



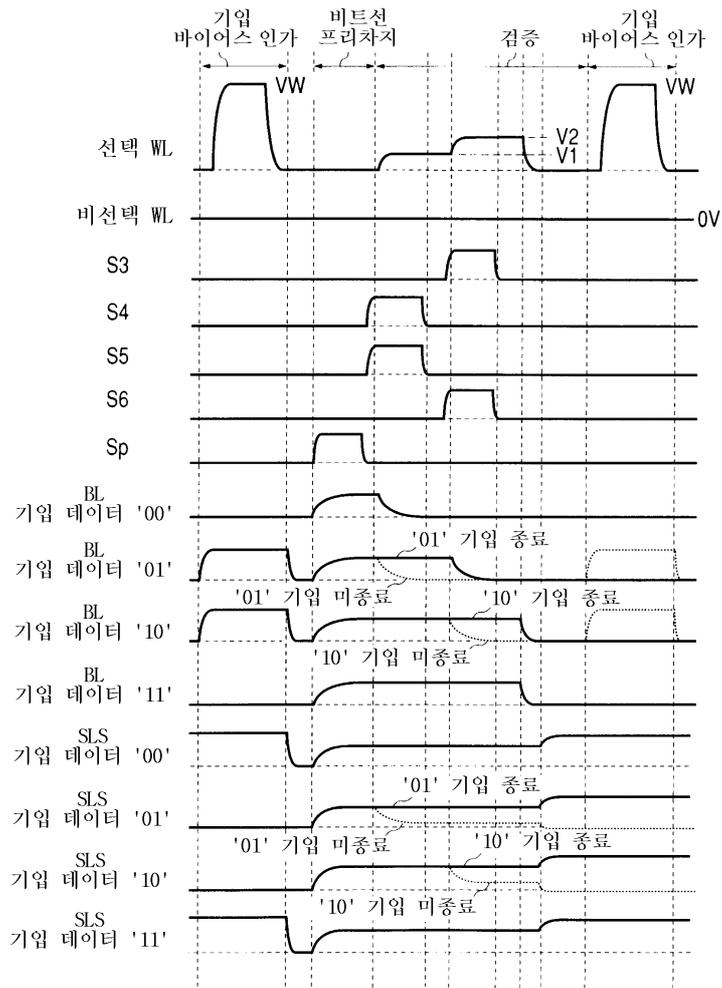
도면13



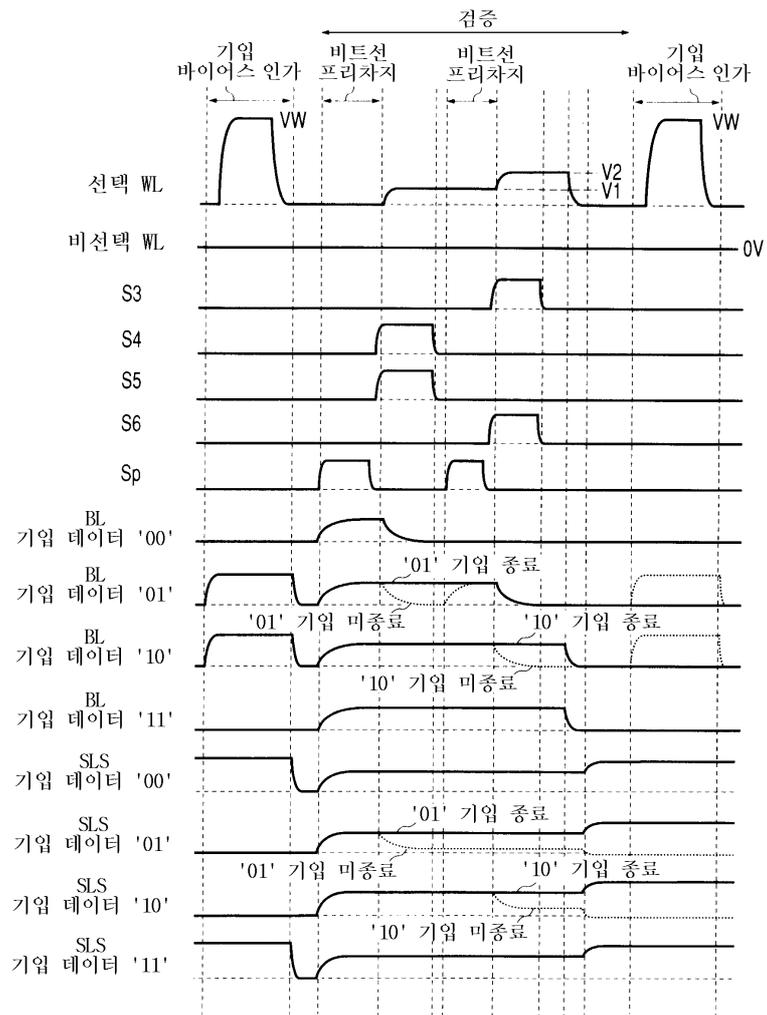
도면14



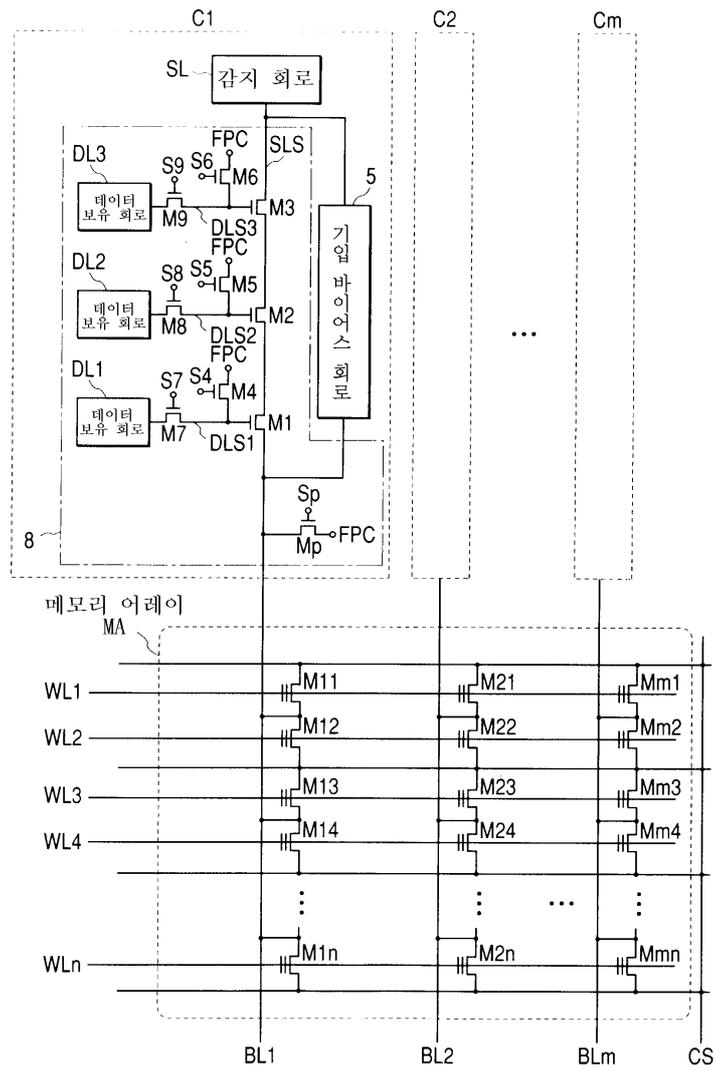
도면15



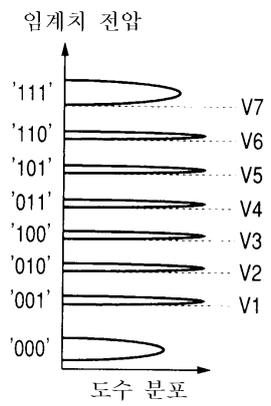
도면16



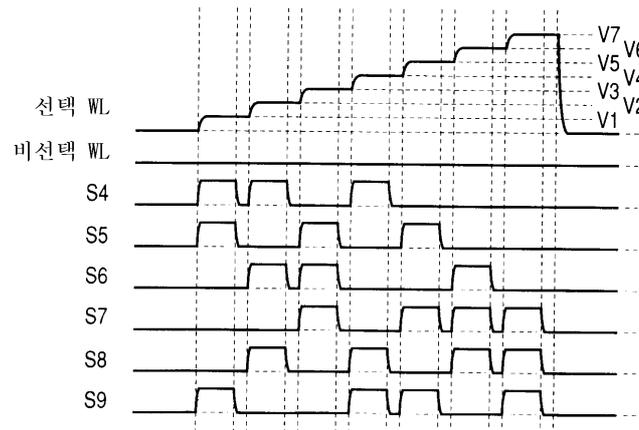
도면17



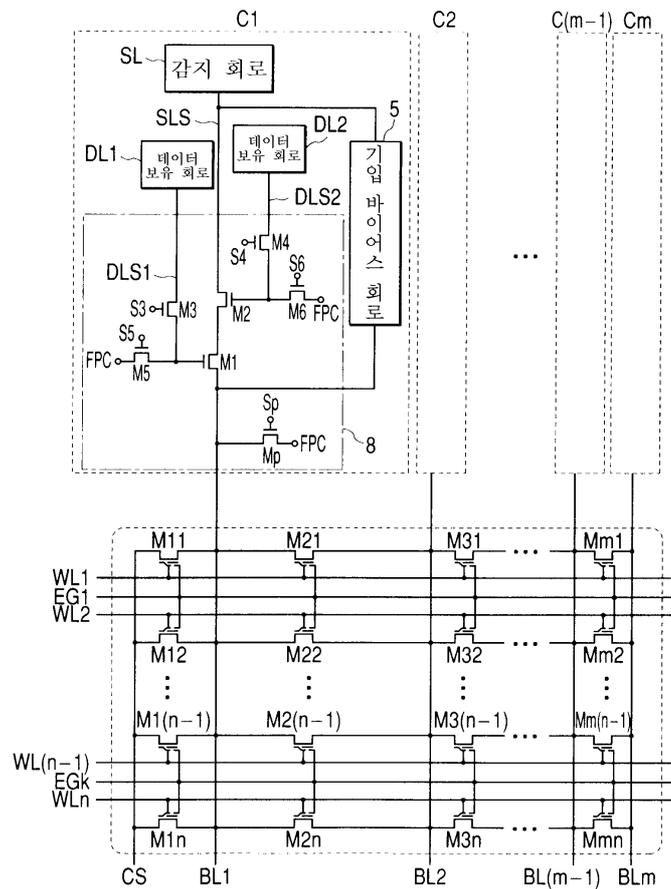
도면18



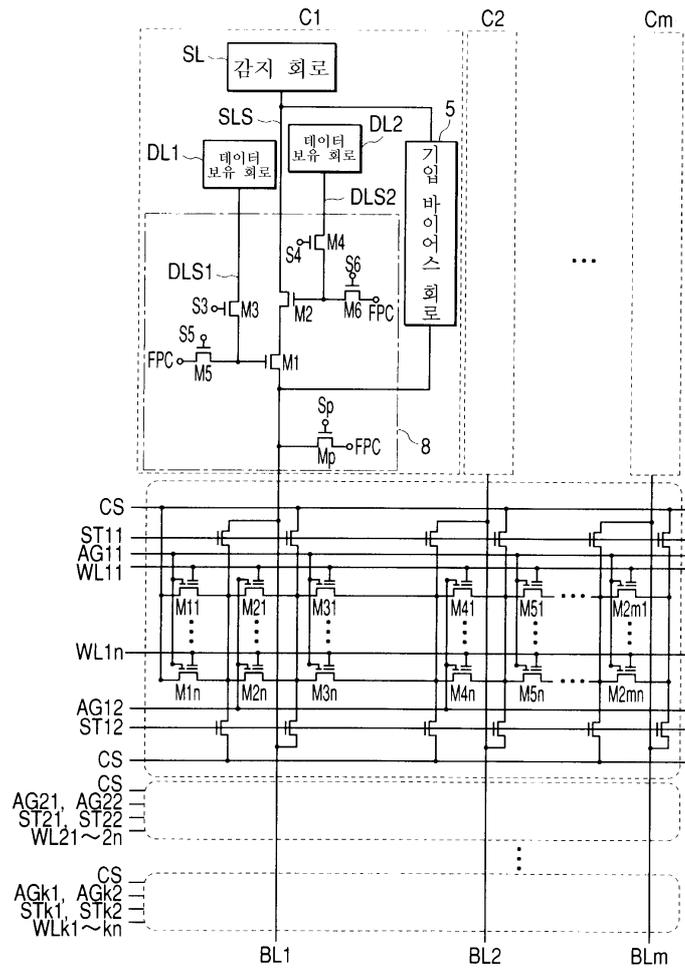
도면19



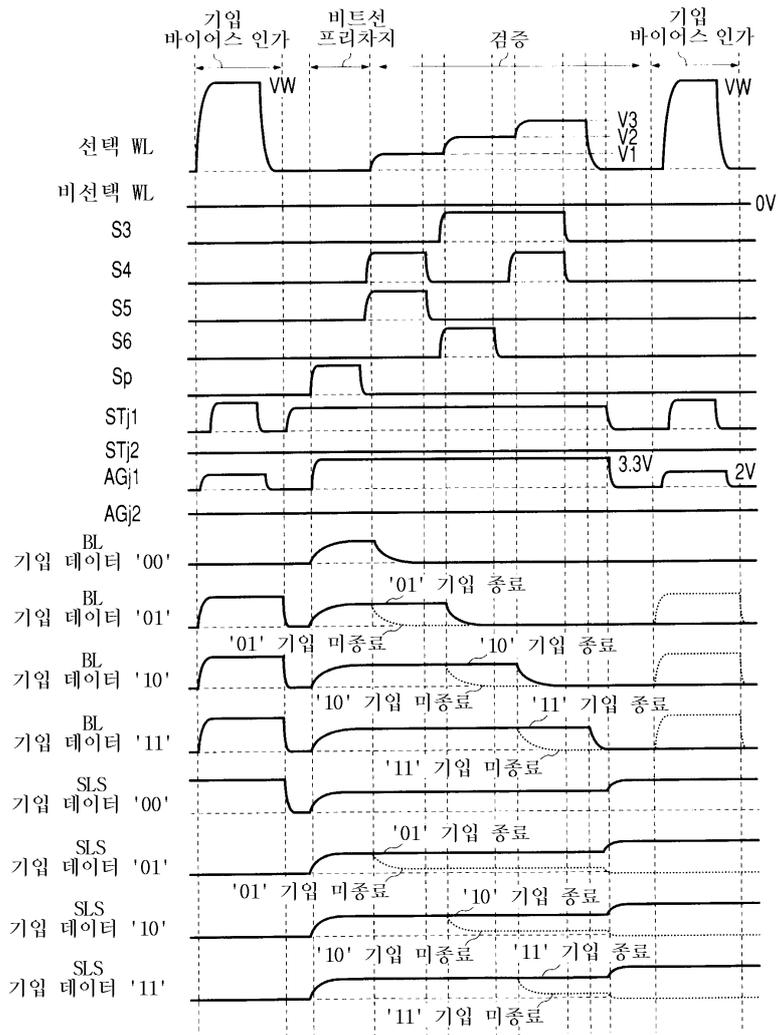
도면20



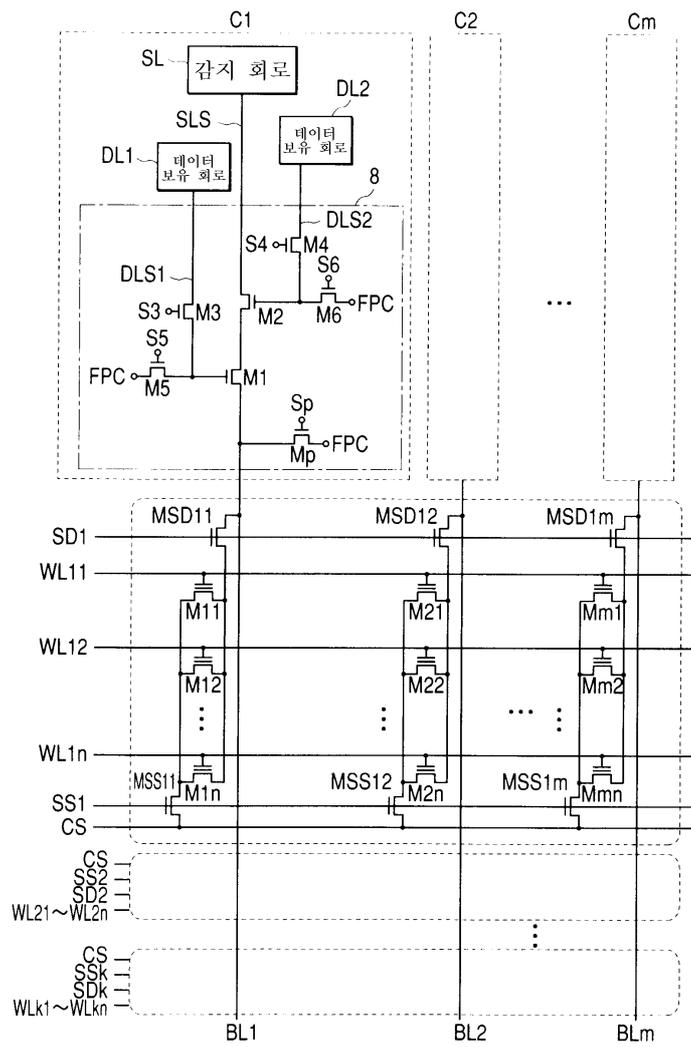
도면21



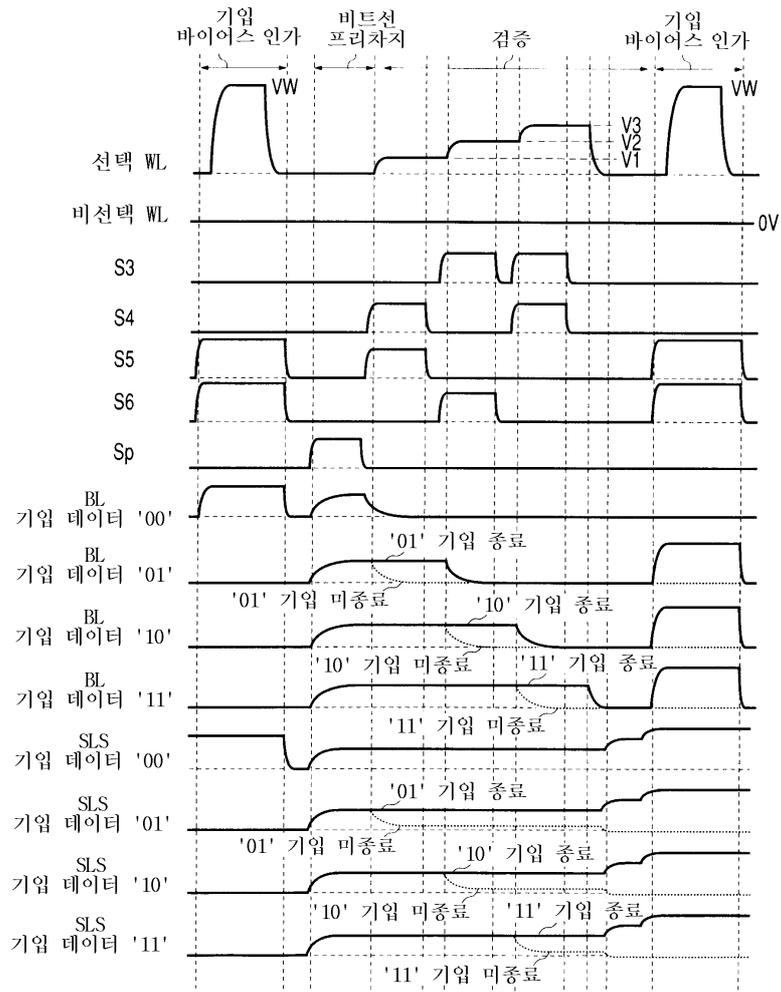
도면22



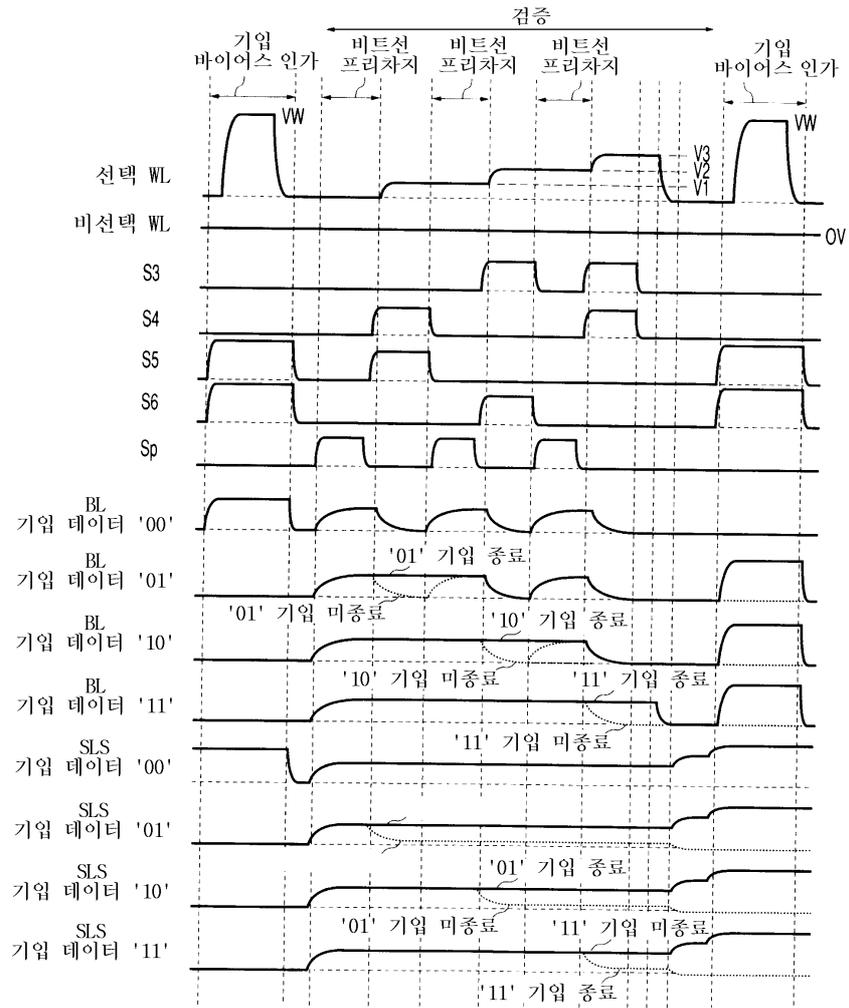
도면23



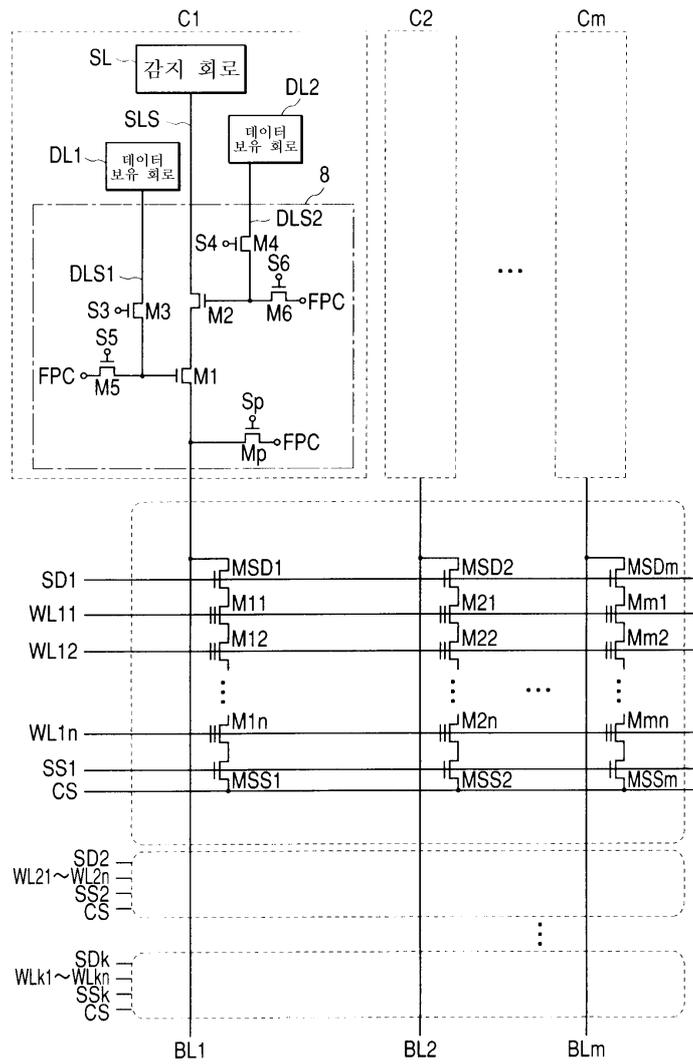
도면24



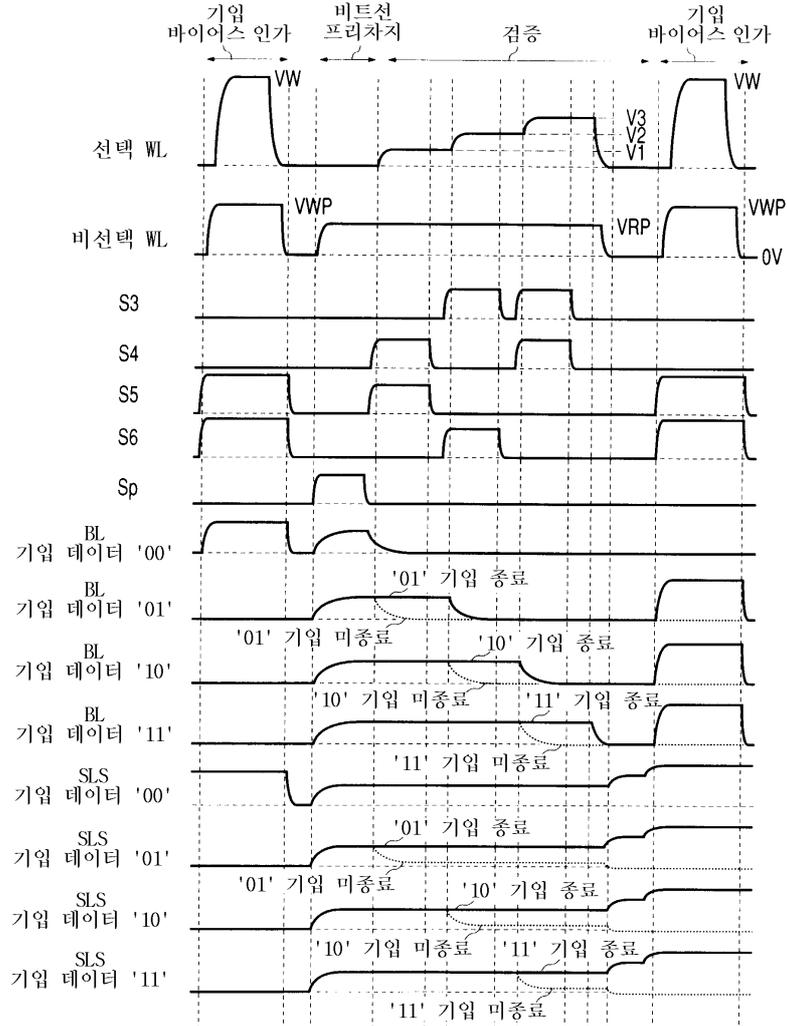
도면25



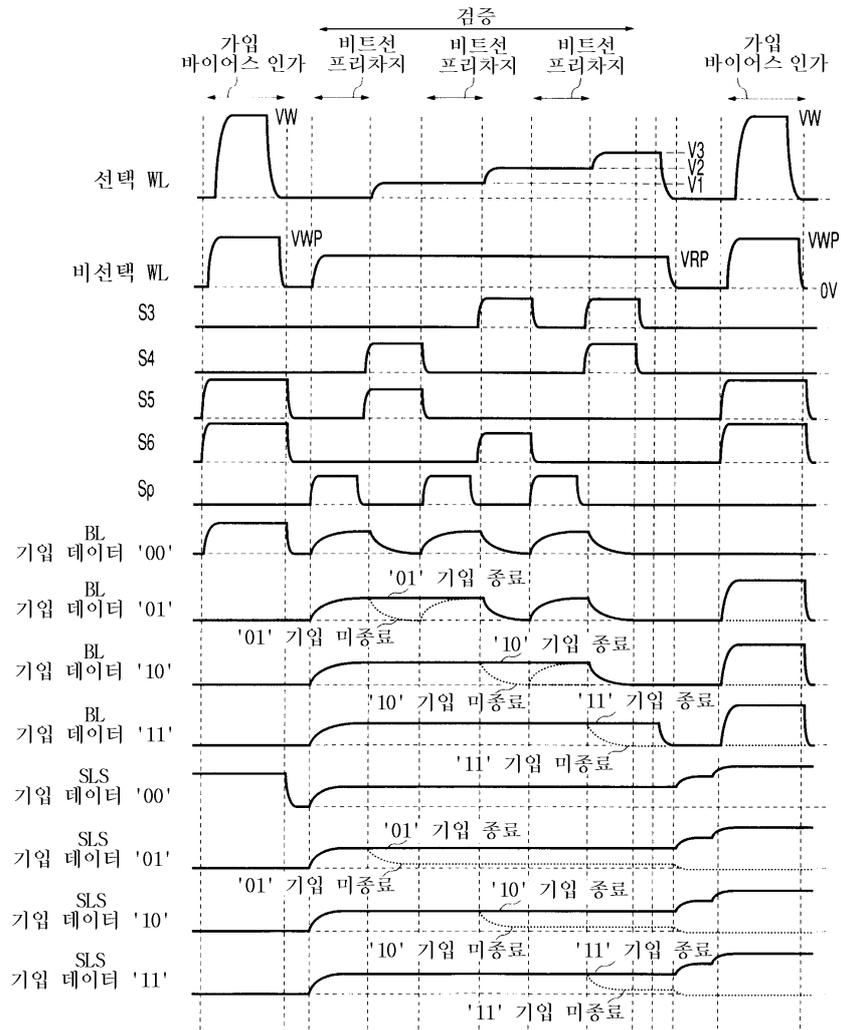
도면26



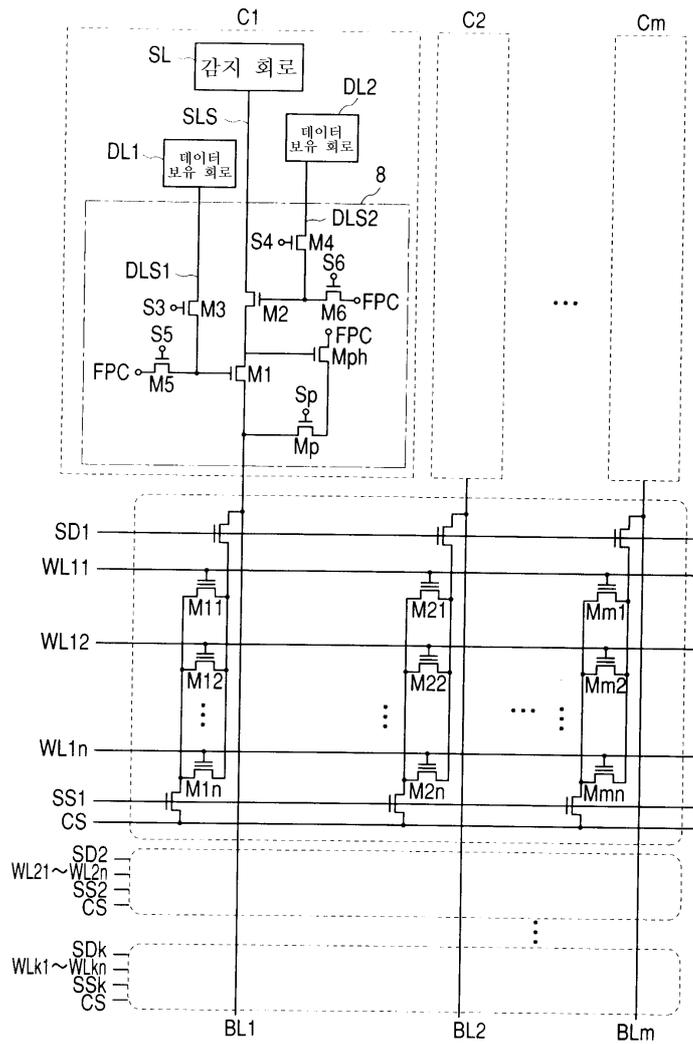
도면27



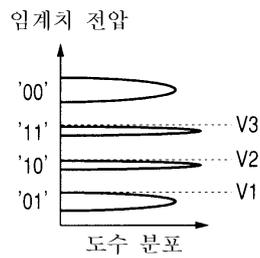
도면28



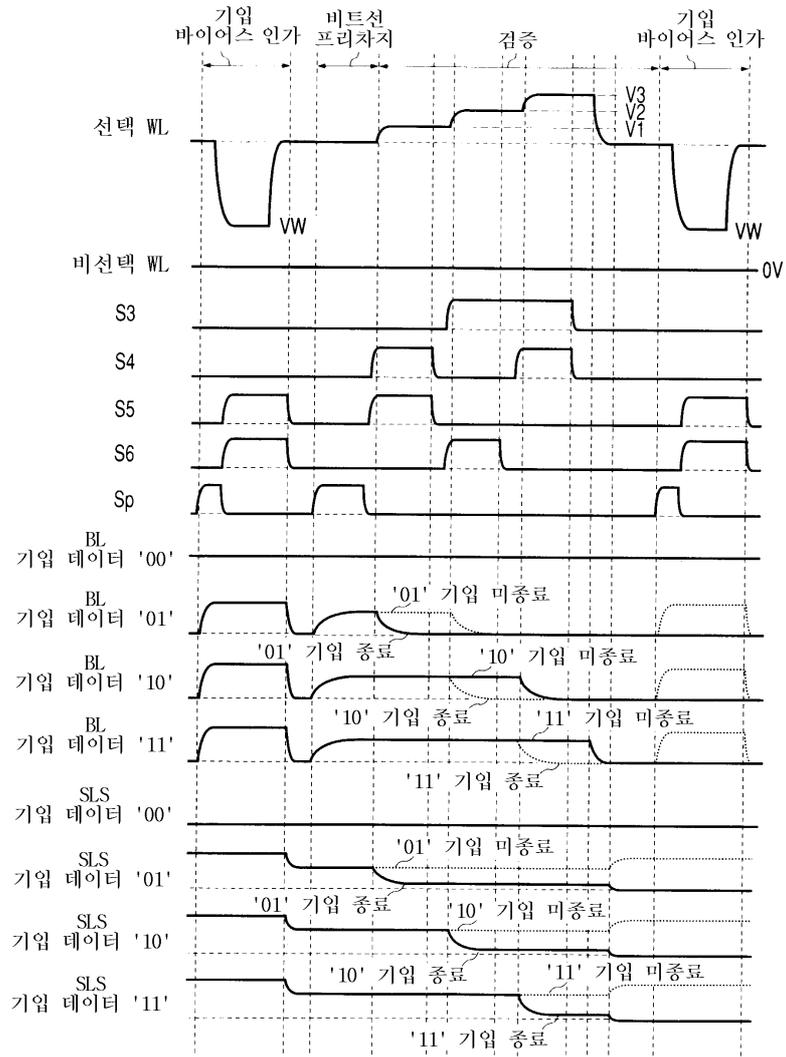
도면29



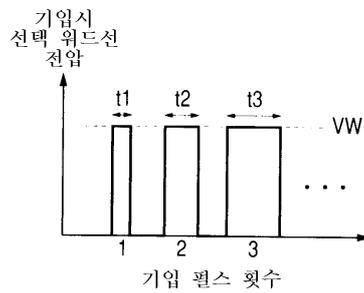
도면30



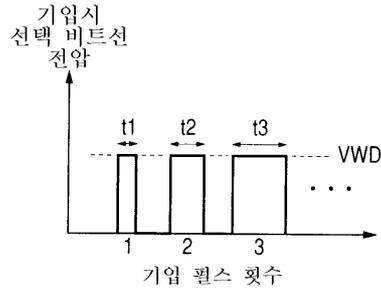
도면31



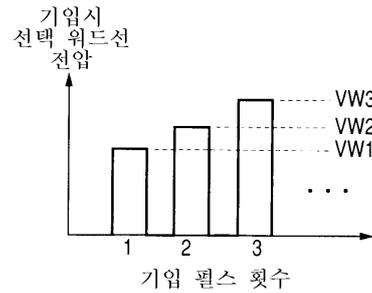
도면32a



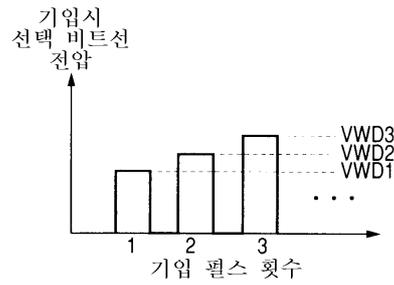
도면32b



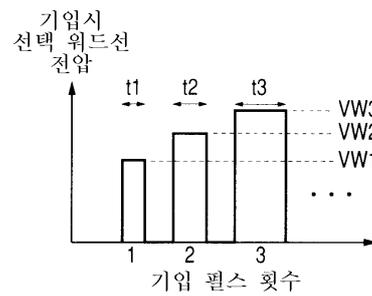
도면33



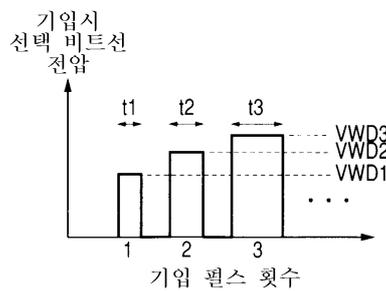
도면34



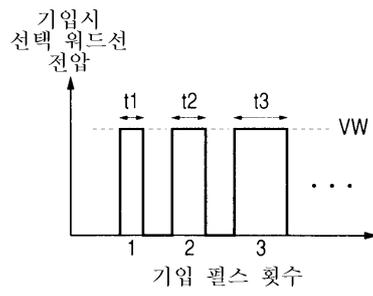
도면35



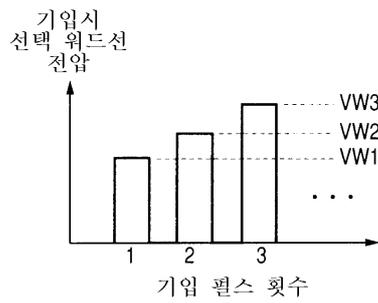
도면36



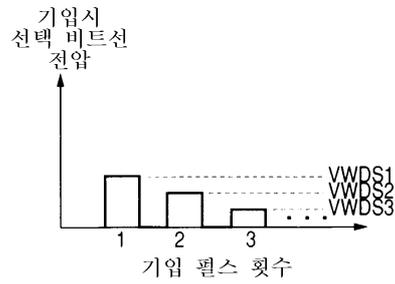
도면37



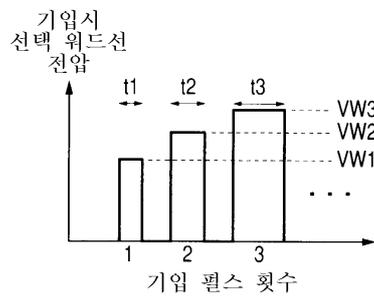
도면38



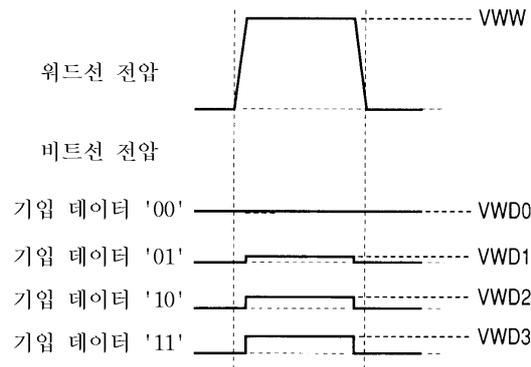
도면39



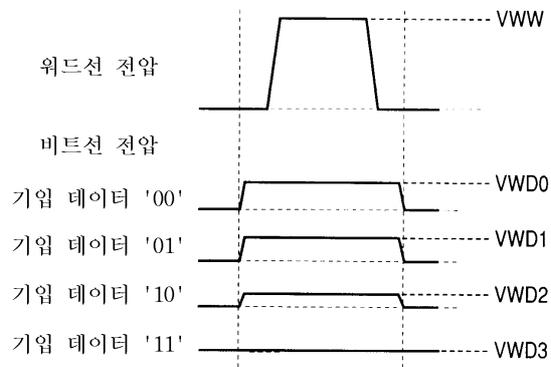
도면40



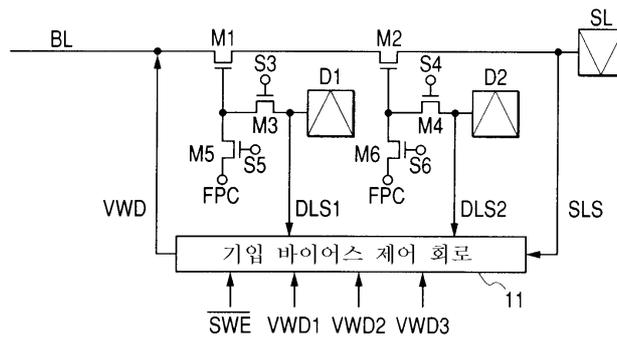
도면41



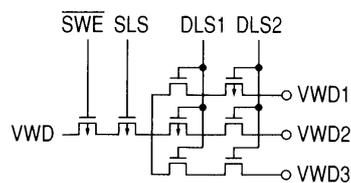
도면42



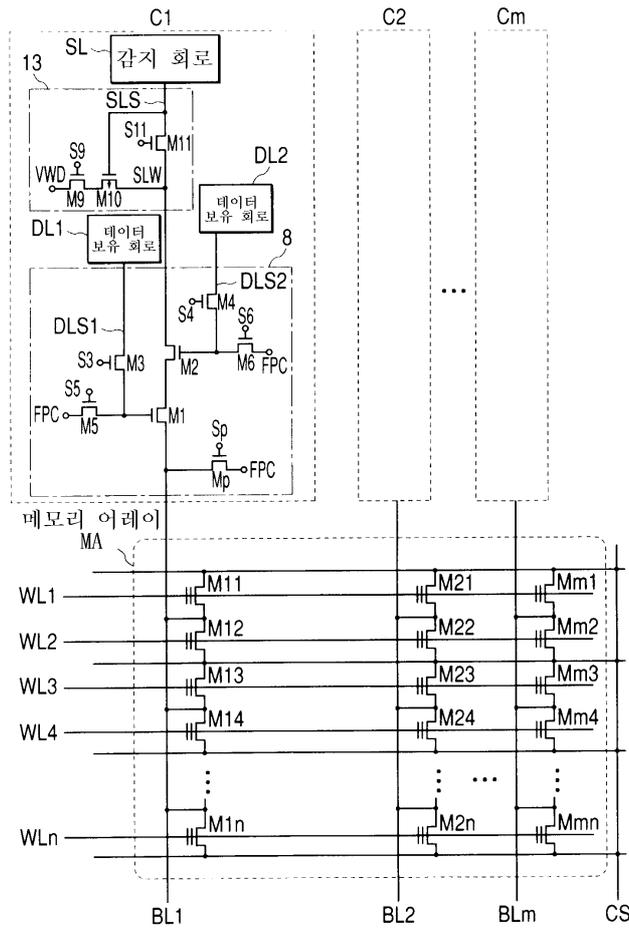
도면43



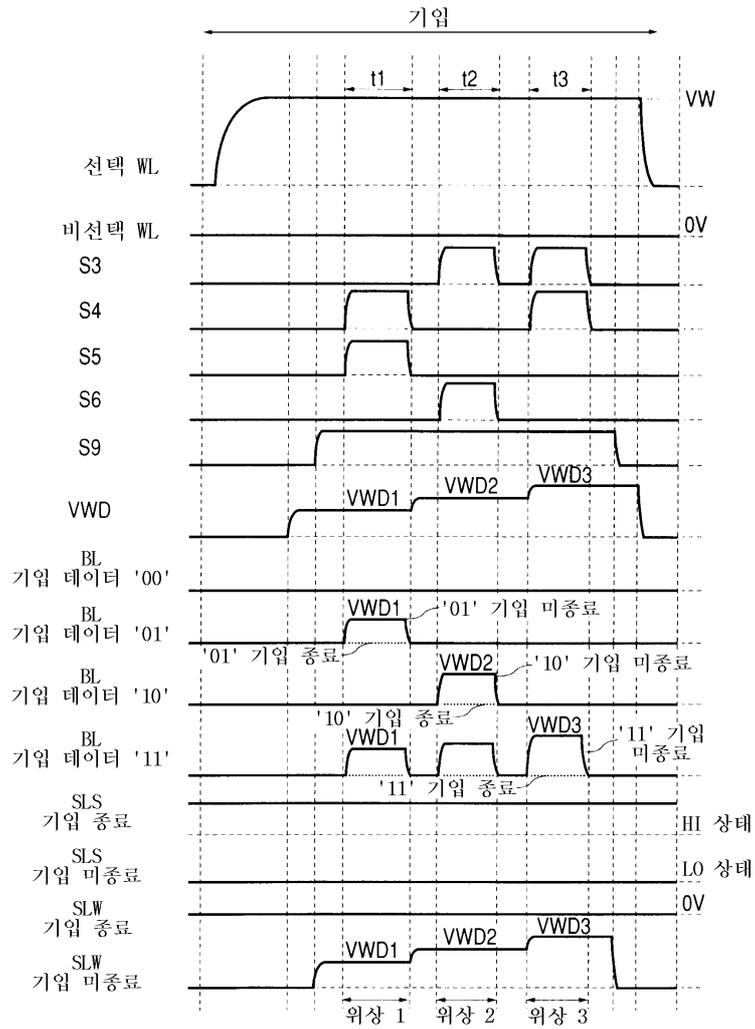
도면44



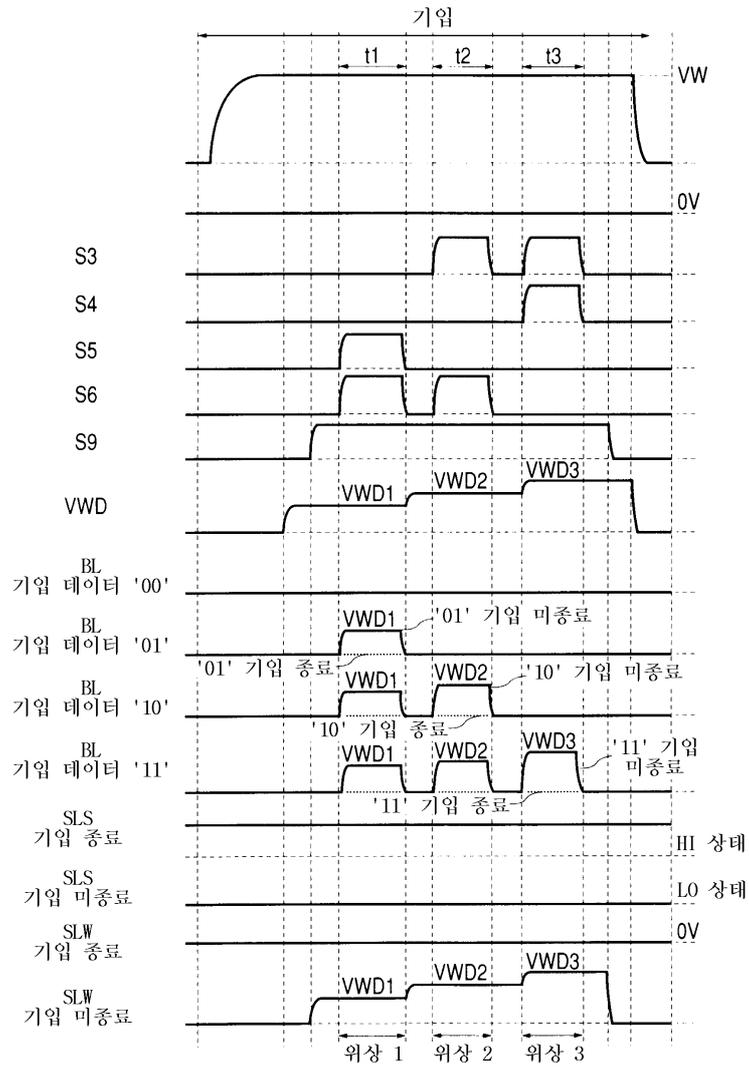
도면45



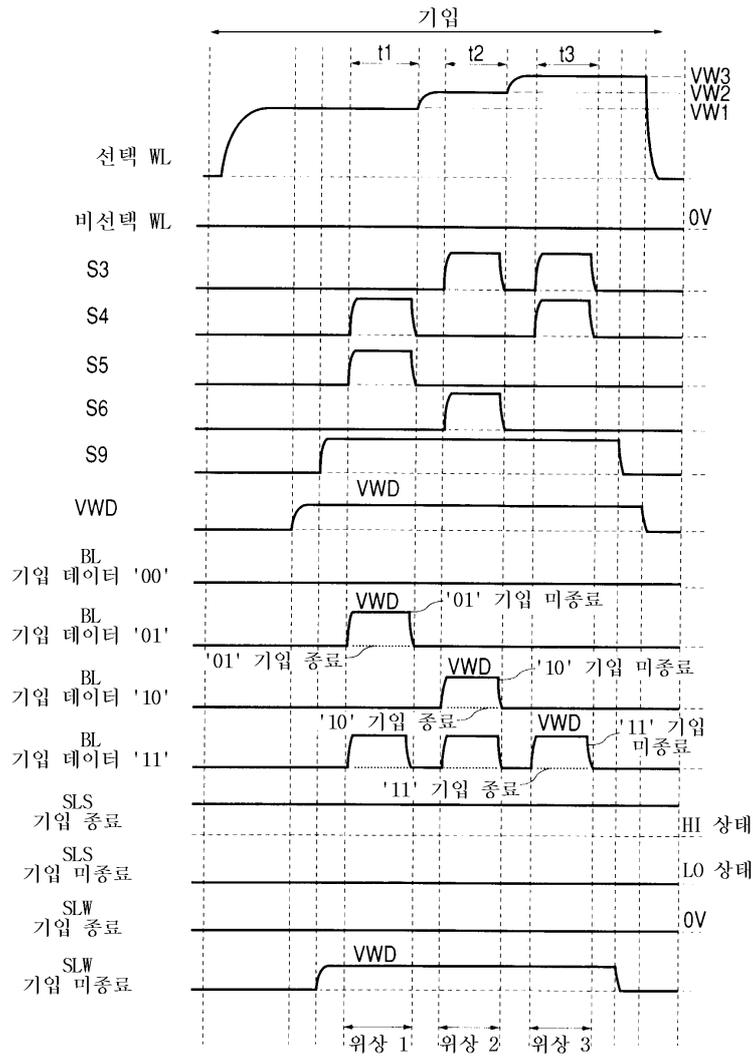
도면46



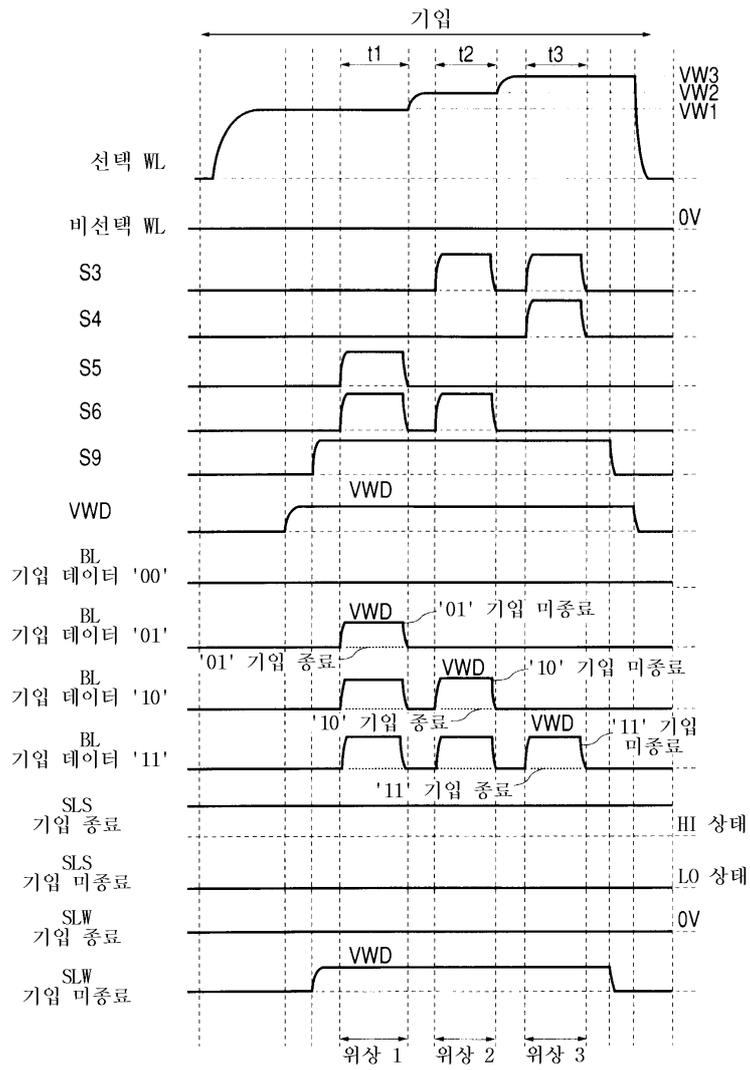
도면47



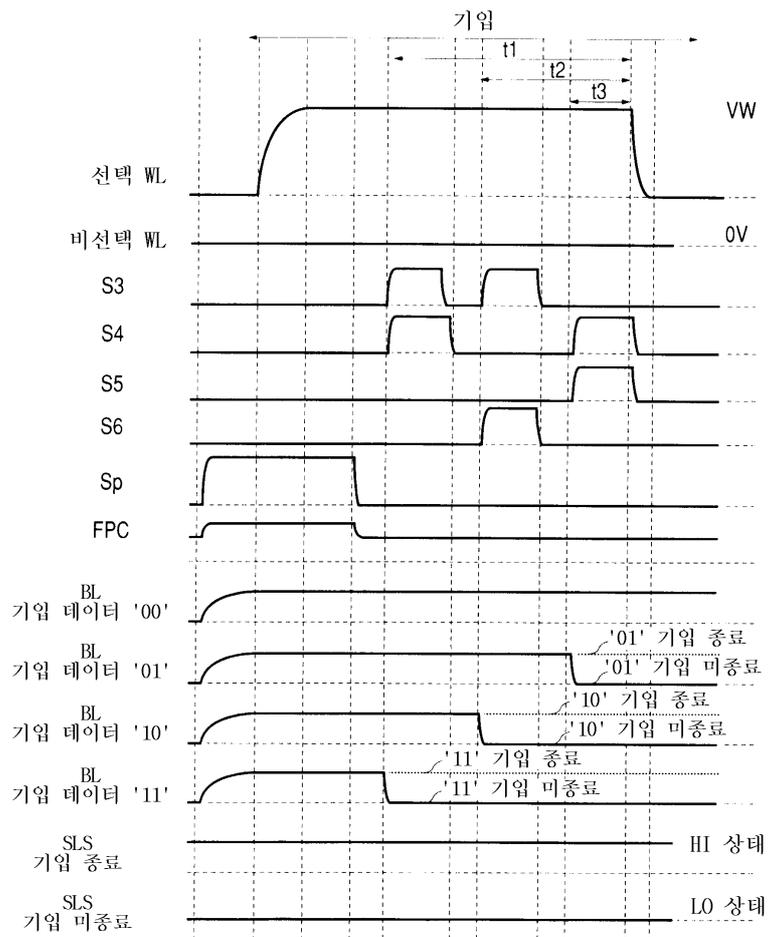
도면48



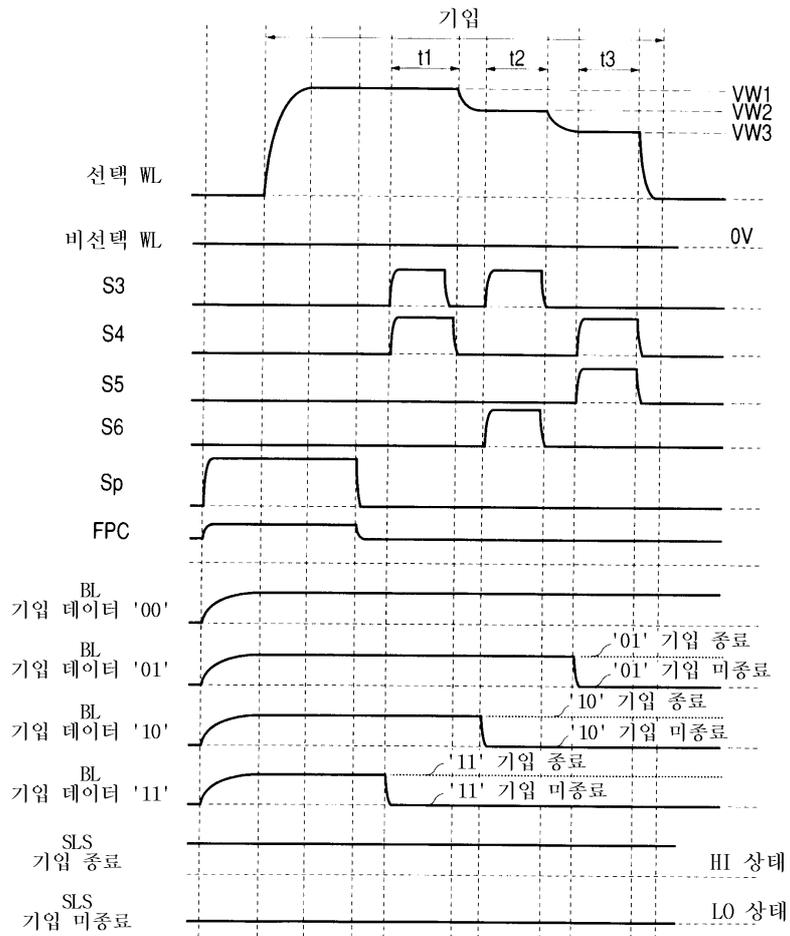
도면49



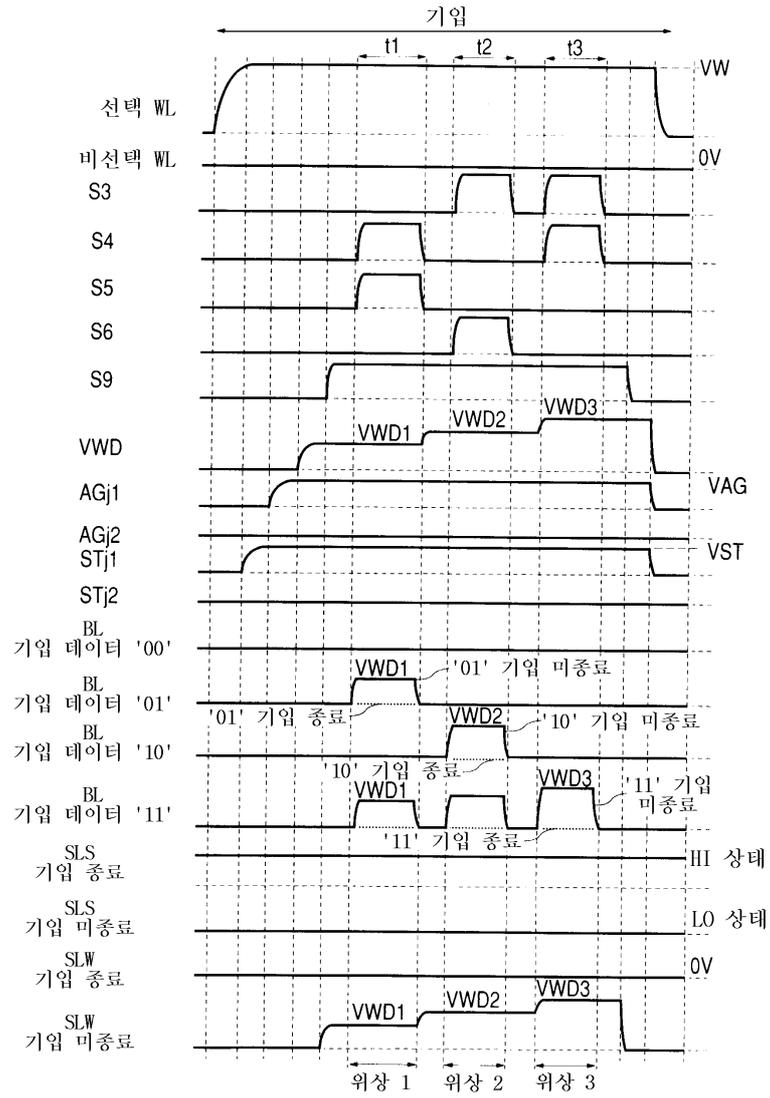
도면50



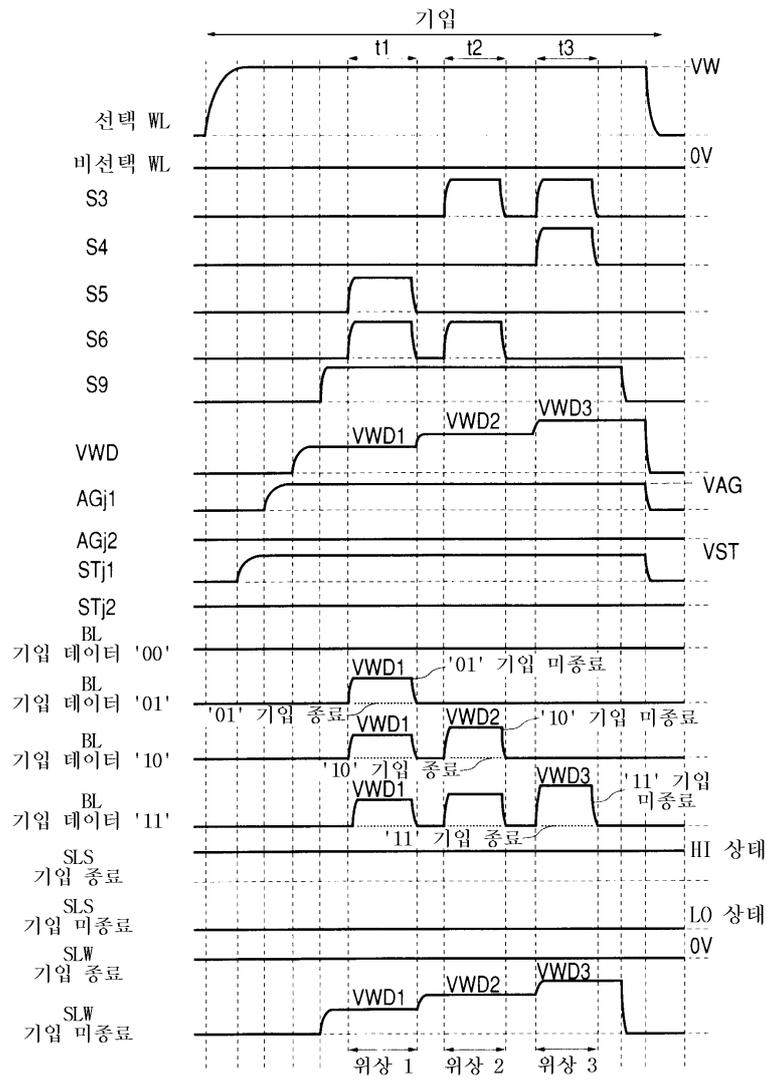
도면51



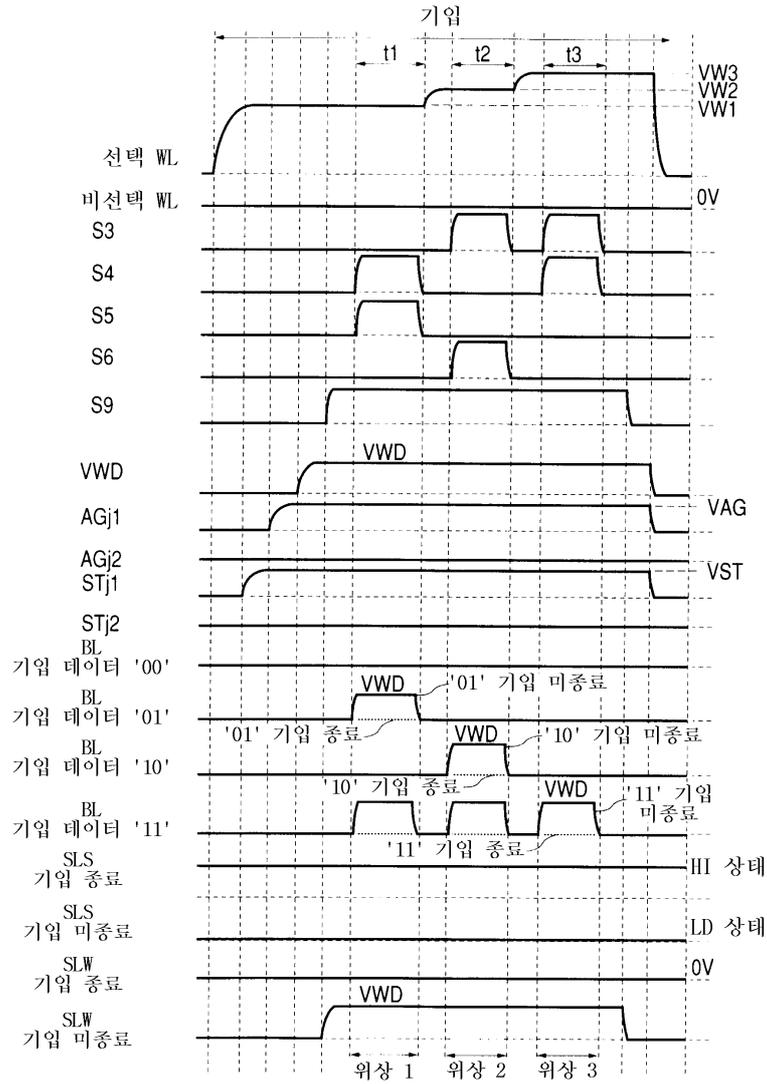
도면53



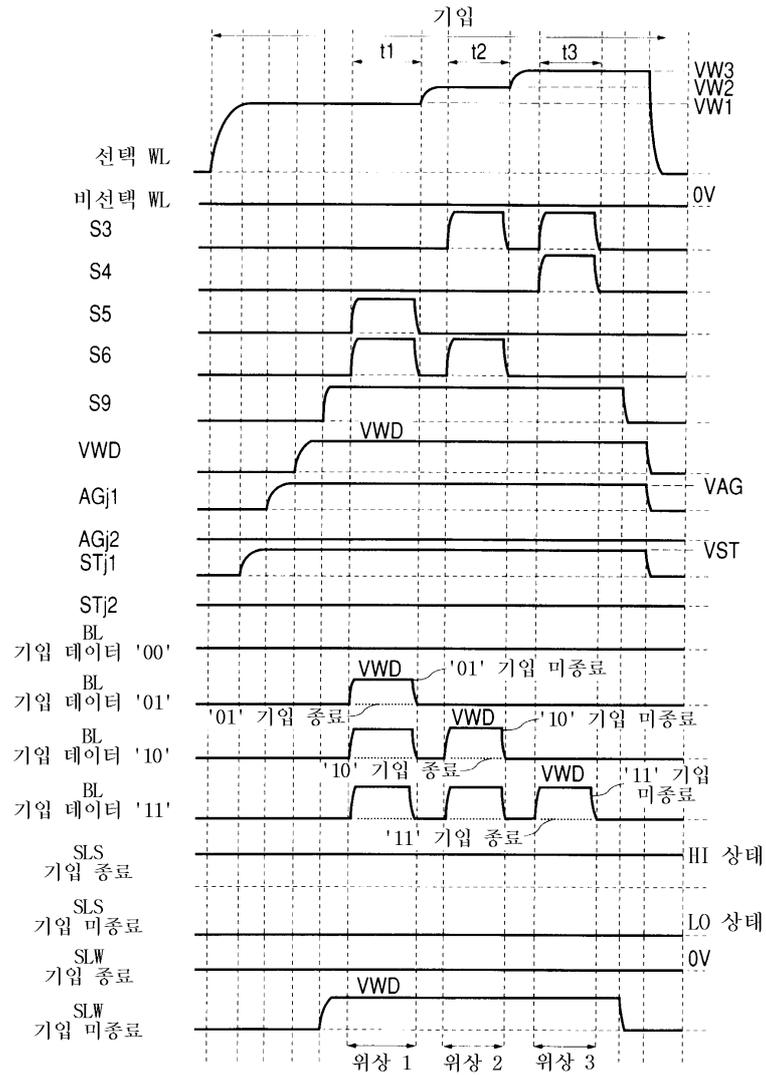
도면54



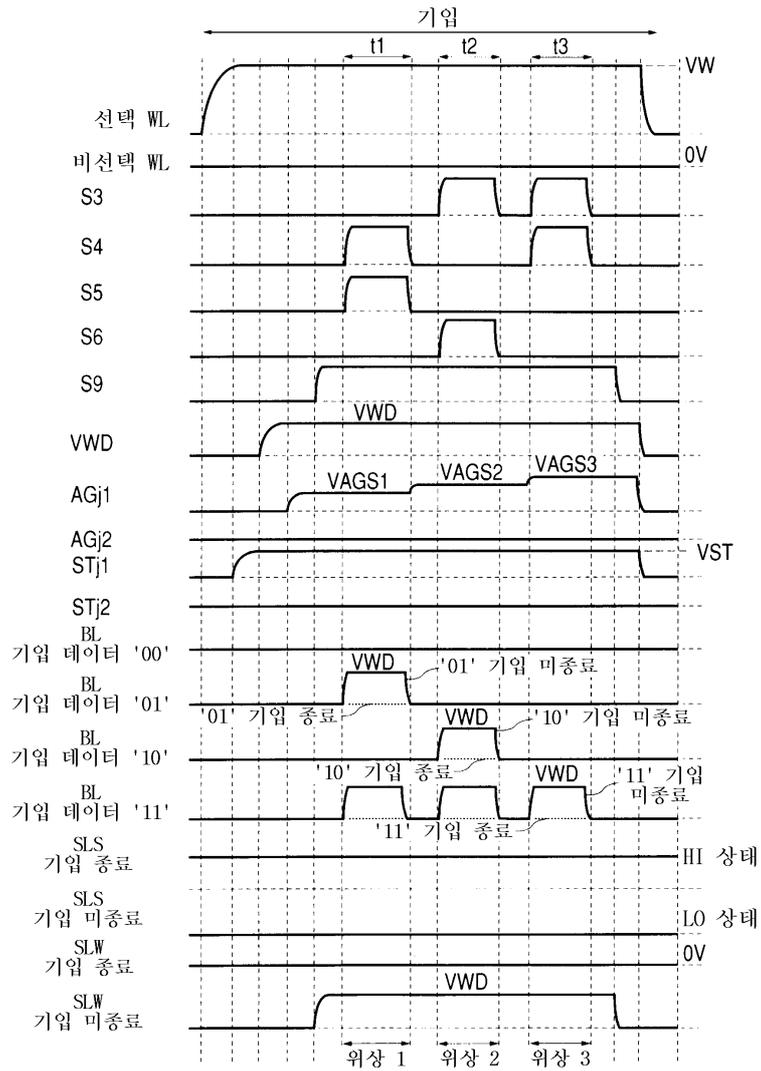
도면55



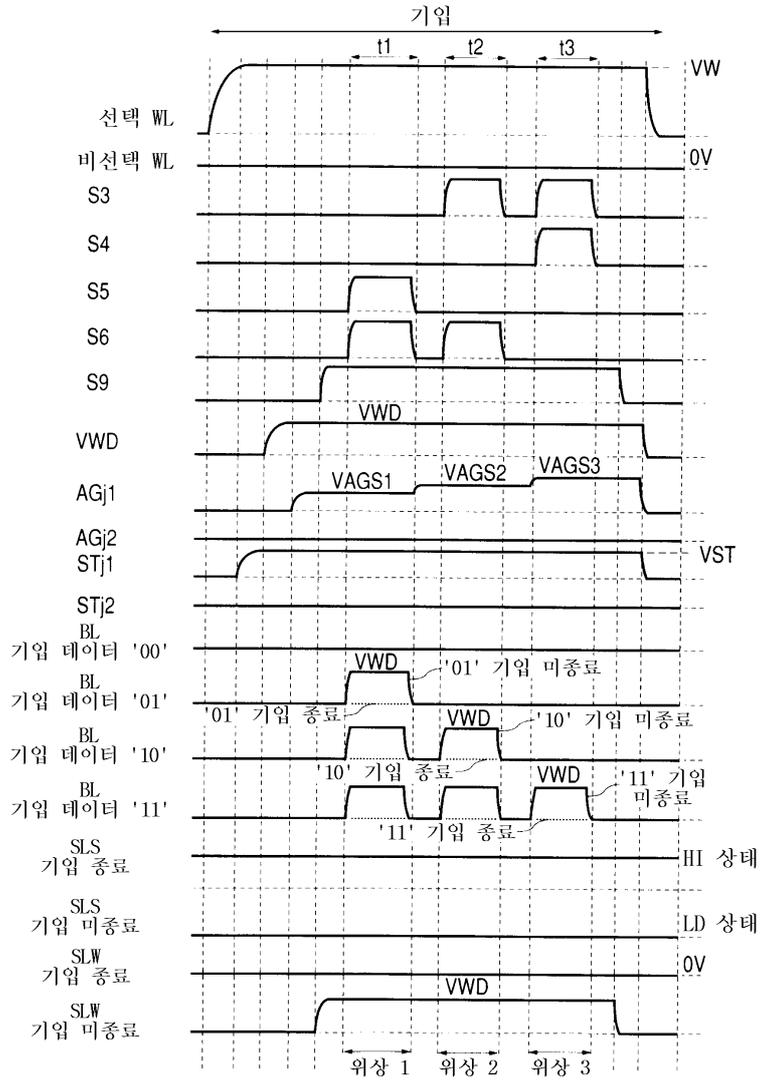
도면56



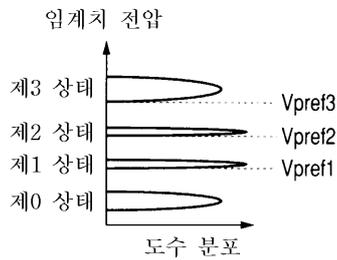
도면57



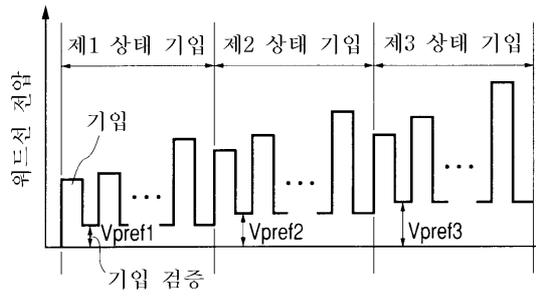
도면58



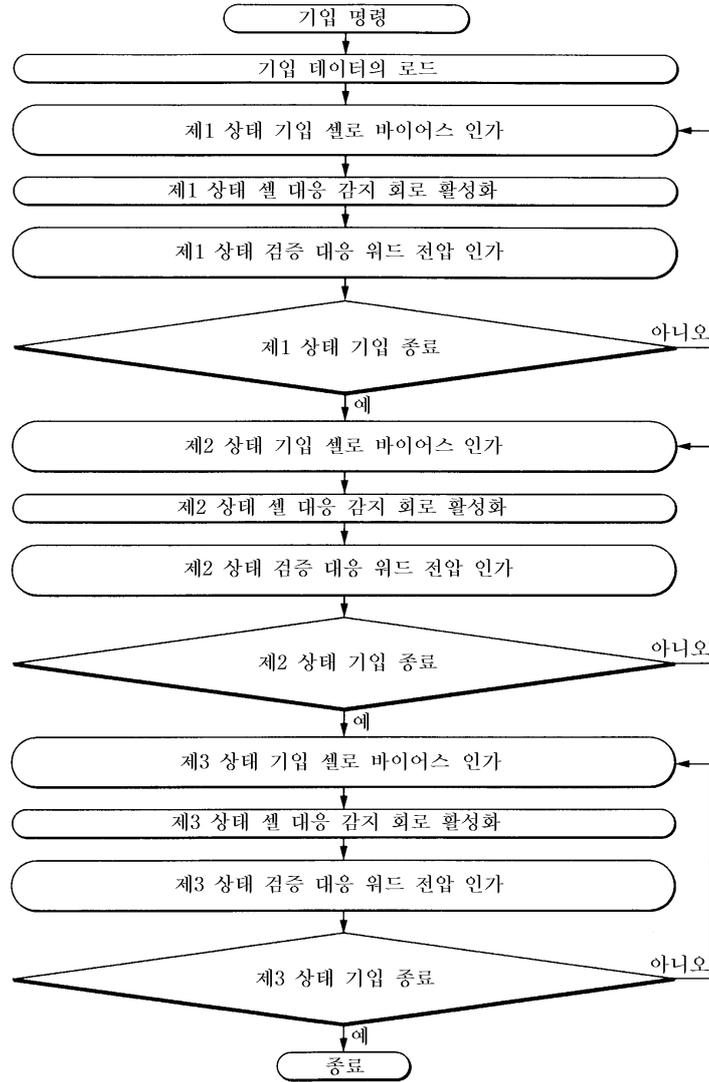
도면59



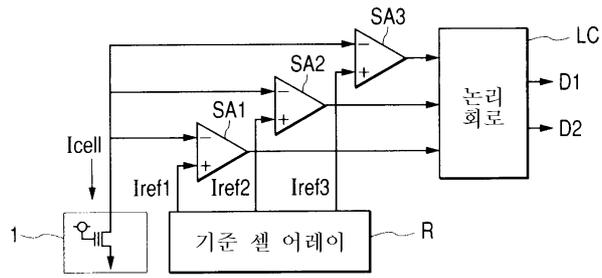
도면60



도면61



도면62



도면63

