

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 11 日(11.12.2014)



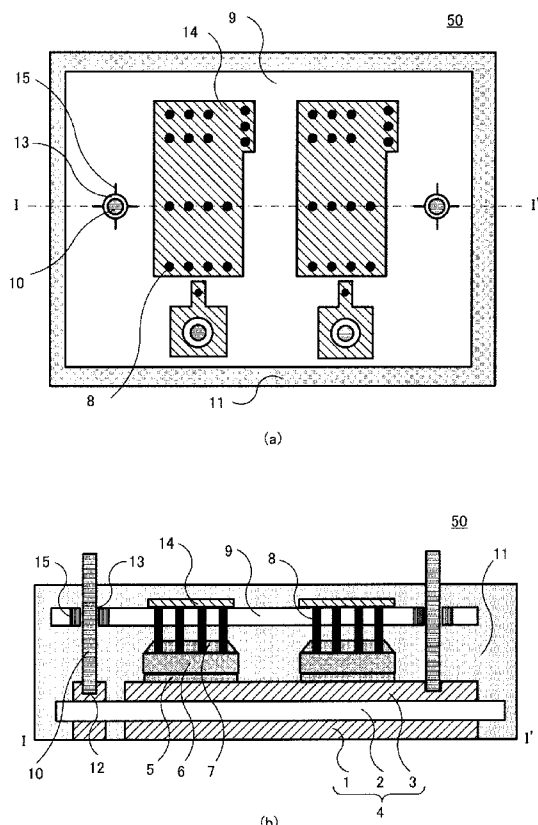
(10) 国際公開番号
WO 2014/196309 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2014/062389
- (22) 国際出願日: 2014 年 5 月 8 日(08.05.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-118495 2013 年 6 月 5 日(05.06.2013) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 梨子田 典弘(NASHIDA, Norihiro); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 中村 瑤子(NAKAMURA, Youko); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖(HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: The purpose of the present invention is to ensure the accuracy of positioning of a printed substrate on which through-holes are provided, and to be able to reliably insert external terminals into the through-holes even when the external terminals are inclined. A semiconductor device (50) is provided with a DCB substrate (4) to which semiconductor elements (6) are joined, external terminals (10) inserted into recesses (12) provided on the DCB substrate (4), and a printed substrate (9) having through-holes (13) and post electrodes (8) which are disposed so as to face the DCB substrate (4). Slits (15) are formed on the peripheral areas of the through-holes (13) of the printed substrate (9) through which the external terminals (10) are inserted.

(57) 要約: スルーホールが設けられているプリント基板の位置決め精度を確保するとともに、外部端子が傾いていても確実にスルーホールに外部端子を挿入することができる。半導体素子(6)が接合されたDCB基板(4)と、DCB基板(4)に設けられた凹部(12)に挿入された外部端子(10)と、スルーホール(13)及びDCB基板(4)に対向するように配置されたポスト電極(8)を有するプリント基板(9)とを備えた半導体装置(50)において、外部端子(10)を挿入されているプリント基板(9)のスルーホール(13)の周縁領域にスリット(15)が形成されている。

WO 2014/196309 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, — 国際調査報告 (条約第 21 条(3))
MR, NE, SN, TD, TG).

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関し、特にパワー半導体素子を搭載したパワー半導体モジュールに関する。

背景技術

[0002] 図4は、従来例に係るパワー半導体モジュールの平面図（a）及び断面図（b）である。なお、同図（b）は同図（a）のⅠⅠⅠ－ⅠⅠⅠ'線で切断した要部断面図である。

図4において、パワー半導体モジュール500は、DCB（Direct Copper Bonding）基板104と、半導体素子106と、ポスト電極108と、外部端子110と、プリント基板109とで構成されている。

[0003] DCB基板104は、主面に回路板103を有している。半導体素子106は、回路板103に接合材105を介して裏面が固着されている。ポスト電極108は、半導体素子106の表面に接合材107を介して固着されている。外部端子110は、回路板103に設けられた外部端子挿入用の凹部112に導電性の接合材（図示せず）を介して固着されている。プリント基板109は、金属層114を有し、ポスト電極108が固着されている。

[0004] このパワー半導体モジュール500は、半導体素子106の裏面電極（図示せず）への電気配線を回路板103で行い、半導体素子106のおもて面電極（図示せず）への電気配線をポスト電極108及び金属層114を備えたプリント基板109で行う構造となっている（例えば、特許文献1参照）。

[0005] パワー半導体モジュール500の製造工程を図5に示す。

図5は、従来例に係るパワー半導体モジュールの製造工程を示した模式図であり、図6は、従来例に係るスルーホールの拡大平面図である。

[0006] まず、DCB基板104に半田等の導電性の接合材105を載置した後、その上に半導体素子106を載置し、さらにその上に半田等の導電性の接合材107を載置する(図5(a))。次に、DCB基板104の半導体素子106が接合される面に設けられた凹部112に、外部端子110を挿入する(図5(b))。さらに、ポスト電極108の面をDCB基板104と対向する面に向けたプリント基板109を、プリント基板109に形成されたスルーホール113に外部端子110を挿入することで、プリント基板109をセットする(図5(c))。このモジュールを $N_2 \cdot H_2$ リフロー等により一括組立し、最後に樹脂封止することで製造される。この方法では、プリント基板109はスルーホール113を利用し外部端子110をガイドとすることで、治具を使わずに位置決めが可能である(例えば、特許文献2参照)。

[0007] ここで、図6にプリント基板と円状の断面を持つ外部端子用のスルーホールの拡大した平面図を示す。

プリント基板109に形成されたスルーホール113の内径は、外部端子110の外径とほぼ同じ($\sim +0.05\text{ mm}$)となっている。

先行技術文献

特許文献

[0008] 特許文献1：特開2009-64852号公報

特許文献2：特開2012-129336号公報

発明の概要

発明が解決しようとする課題

[0009] パワー半導体モジュール500の製造時において、凹部112に外部端子110を挿入した際(図5(b))、外部端子110はDCB基板104に対して完全に垂直ではなく、わずかに傾いて挿入される場合がある。このような状態で、外部端子110にプリント基板109を挿入すると、プリント基板109にも傾きが生じることからポスト電極108が半導体素子106

のおもて面電極に接触しない場合がある。この場合、半導体素子 106 とポスト電極 108 との間に浮きや位置ズレが生じる。そのため、半導体素子 106 とポスト電極 108 が半田等の接合材 107 で接合できず、製造不良となる課題があった。

[0010] この課題に対しては、プリント基板 109 のスルーホール 113 の内径を、外部端子 110 の内径に比べ大きくすることにより、外部端子 110 の傾き等の影響は少なくなる。しかしその場合は、プリント基板 109 自体の位置ズレが大きくなるという課題が新たに発生する。

[0011] 特に近年適用が進む SiC 半導体素子は、製造歩留まり等の関係から素子の大きさが約 3 mm 角と従来の Si 半導体素子と比べ小さい。このため、この SiC 半導体素子を用いて大きなモジュール電流容量を得るためには、複数の半導体素子を一つのパワー半導体モジュールに搭載する必要がある。そこで、ポスト電極 108 と半導体素子 106 の接続にはプリント基板 109 の良好な位置決め精度の確保が重要となる。このため、プリント基板 109 の位置ズレが大きくなるのは製造上大きな問題である。

課題を解決するための手段

[0012] 前記の目的を達成するために、この発明の一態様では、半導体装置は、主面に回路板を有する絶縁基板と、前記回路板に固着されている半導体素子と、前記回路板に一端が固着されている外部端子と、前記外部端子が貫通するスルーホールを有し、前記スルーホールの周縁領域の剛性が他の領域の剛性よりも低く、前記絶縁基板の主面に対向するプリント基板とを備えた構成とする。

発明の効果

[0013] 上記の手段によれば、パワー半導体モジュールを構成する DCB 基板の凹部に挿入された外部端子にわずかな傾きがある場合でも、プリント基板の浮きや位置ズレが原因となる接続不良を少なくすることができる。このため、パワー半導体モジュールの組立良品率向上を実現することが可能となっている。

[0014] 本発明の上記及び他の目的、特徴及び利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0015] [図1]第1の実施例に係る半導体装置の平面図（a）及び断面図（b）である。

[図2]第1の実施例に係るスルーホールの拡大平面図である。

[図3]第2の実施例に係るスルーホールの拡大断面図（a）及び拡大底面図（b）である。

[図4]従来例に係るパワー半導体モジュールの平面図（a）及び断面図（b）である。

[図5]従来例に係るパワー半導体モジュールの製造工程を示した模式図である。

[図6]従来例に係るスルーホールの拡大平面図である。

発明を実施するための形態

[0016] 以下に、本発明の好適な実施形態（実施例）を図面に基づいて説明する。
実施の形態を通して共通の構成には同一の符号を付すものとし、重複する説明は省略する。

[0017] 図1は、第1の実施例に係る半導体装置の平面図（a）及び断面図（b）である。

なお、同図（b）は同図（a）のⅠ－Ⅰ'線で切断した要部断面図である。

図示するパワー半導体モジュール（半導体装置）50は、DCB基板4と、DCB基板4に対向させたプリント基板9とが封止樹脂11により一体的になった構造をなしている。そして、DCB基板4の主面に位置する回路板3に、半導体素子6が固着されている。

[0018] DCB基板4は、絶縁基板2と、絶縁基板2の裏面にDCB法で形成された放熱板1と、絶縁基板2の主面に同じくDCB法で形成された回路板3を

備えている。回路板3は、絶縁基板2の主面に選択的にパターン形成されている。

[0019] さらに、回路板3上には、錫(Sn)－銀(Ag)系等の鉛フリー半田等で形成される導電性の接合材5を介して、少なくとも一つの半導体素子6の裏面電極(例えば、コレクタ電極)が接合されている。

[0020] ここで半導体素子6は、例えばIGBT(Insulated Gate Bipolar Transistor: 絶縁ゲートバイポーラトランジスタ)、パワーMOSFET(Metal Oxide Semiconductor Field Effect Transistor)、FWD(Free Wheeling Diode)等の縦型のパワー半導体素子が該当する。

[0021] また絶縁基板2は、例えばアルミナ(Al_2O_3)焼結体、窒化シリコン(Si_3N_4)等のセラミックで構成され、放熱板1、回路板3は銅(Cu)を主成分とする金属で構成されている。

[0022] なおDCB法により形成されたDCB基板4だけでなく、絶縁基板2に放熱板1、回路板3をロー材によって接合したAMB(Active Metal Brazing)基板を用いてもよい。

[0023] プリント基板9は、その主面に金属層14が選択的にパターン形成されている。ここで、プリント基板9の材質は、例えば、ポリイミド樹脂、エポキシ樹脂等である。また必要に応じて、ガラス繊維で構成されたガラスクロスを内部に含浸させてもよい。また金属層14は、例えば、銅を主たる成分により構成されている。

[0024] パワー半導体モジュール50においては、半導体素子6のおもて面電極(例えばエミッタ電極)が位置する領域直上のプリント基板9に、内壁がめっき層(図示せず)で処理された複数の孔が設けられている。そして、その孔の内に円筒状のポスト電極8がめっき層を介し注入(インプラント)されている。さらに各々のポスト電極8は、プリント基板9の主面に配設された金属層14と導通された状態にある。上記により、パワー半導体モジュール5

0においては、半導体素子6のおもて面電極と、外部回路との電氣的な接続が、ポスト電極8並びに金属層14を経由して確保されている。なお、半導体素子6の裏面電極と、外部回路との電氣的な接続については、回路板3を経由して確保されている。

[0025] なおポスト電極8の材質は、例えば、銅、アルミニウム（Al）、錫－銀系の鉛フリーの半田材、または、これらの金属からなる合金を主たる成分で構成されている。また、各々のポスト電極8の長さは、均一である。

[0026] さらにパワー半導体モジュール50は、回路板3に設けられた外部端子挿入用の凹部12に嵌合して固着される位置決め兼用の外部端子10を有している。そしてプリント基板9は、外部端子10が貫通する位置決め用のスルーホール13を有している。

[0027] 凹部12と外部端子10を、図示しない半田を介して固着することで、嵌合と半田固着により、回路板3と外部端子10の固着強度を確保することができる。

また上記構成要素を外部環境から保護するため、封止樹脂11が上記構成要素の周囲に配置されている。これにより、パワー半導体モジュール50の動作時における発熱・冷却で生じる半導体素子6及び導電性の接合材5、7への応力が緩和され、信頼性の高いパワー半導体モジュールを実現することができる。

[0028] 本実施例が従来技術と異なる点は、位置決めのため外部端子10を挿入するプリント基板9内のスルーホール13の周縁領域の剛性を、他の領域の剛性よりも低くしている点である。より具体的には、スルーホール13の周縁領域に放射状のスリット15が配置されている点である。周縁領域の剛性を低くすることにより、外部端子10のわずかな傾きや変形が生じた場合でも、スルーホール13の周縁領域のみ変形させることができる。これによりプリント基板9全体の傾き、位置ズレを抑えることができることから、ポスト電極8の良好な位置決め精度を確保することができる。この結果、ポスト電極8と半導体素子6の接続不良をなくし、パワー半導体モジュール50の良

品率を改善することができる。

[0029] 図2は、第1の実施例に係るスルーホール13の拡大平面図である。

図2(a)は、断面円形状の外部端子10を用いて位置決めするためのスルーホール13を示したものであり、スルーホール13の周縁領域に放射状かつ対称に4本のスリット15が配置されている。

[0030] また図2(b)は、断面四角形状の外部端子10を用いて位置決めするためのスルーホール13を示したものであり、四つの角から周縁領域にそれぞれスリット15が配置されている。外部端子10及びスルーホール13が四角の場合、外部端子10の角が最もスルーホール13に接触しやすいため、貫通させるプリント基板9側のスルーホール13の角にスリット15が配置されることが有効である。

[0031] また上記のようにスリット15を放射状かつ対称に配置することで、プリント基板9の位置が、ある一方向に矯正（位置決め）されにくくできるため有効である。なおスリット15の数は放射状かつ対称に配置することができれば何本でも良いが、スリット15を形成する追加工程及びスリット15を配置する効果を勘案すると、4～8本程度が好ましい。

[0032] また外部端子10及びスルーホール13の断面形状は5～8角形等も可能であり、この場合はスルーホール13側の角にスリット15を形成することが有効である。

図3は、第2の実施例に係るスルーホール13の拡大断面図(a)及び拡大底面図(b)である。

[0033] この実施例においては、プリント基板9の絶縁基板2と対向する面のうち、スルーホール13の近傍に、スルーホール13と略同軸となるよう、すり鉢形状の面取り部16が設けられている。

[0034] この面取り部16が設けられることにより、周縁領域の剛性を低くすると同時に、位置決め精度をより高めながら外部端子10をスルーホール13に挿入することが可能となる。そして位置決め精度がより高められた場合において、外部端子10がわずかに傾いていたとしても、上記に示したスリッ

ト 1 5 の働きにより確実にポスト電極 8 を所定の箇所に接続することができるため、より有効である。

[0035] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成及び応用例に限定されるものではない。そして、対応するすべての変形例及び均等物は、添付の請求項及びその均等物による本発明の範囲とみなされる。

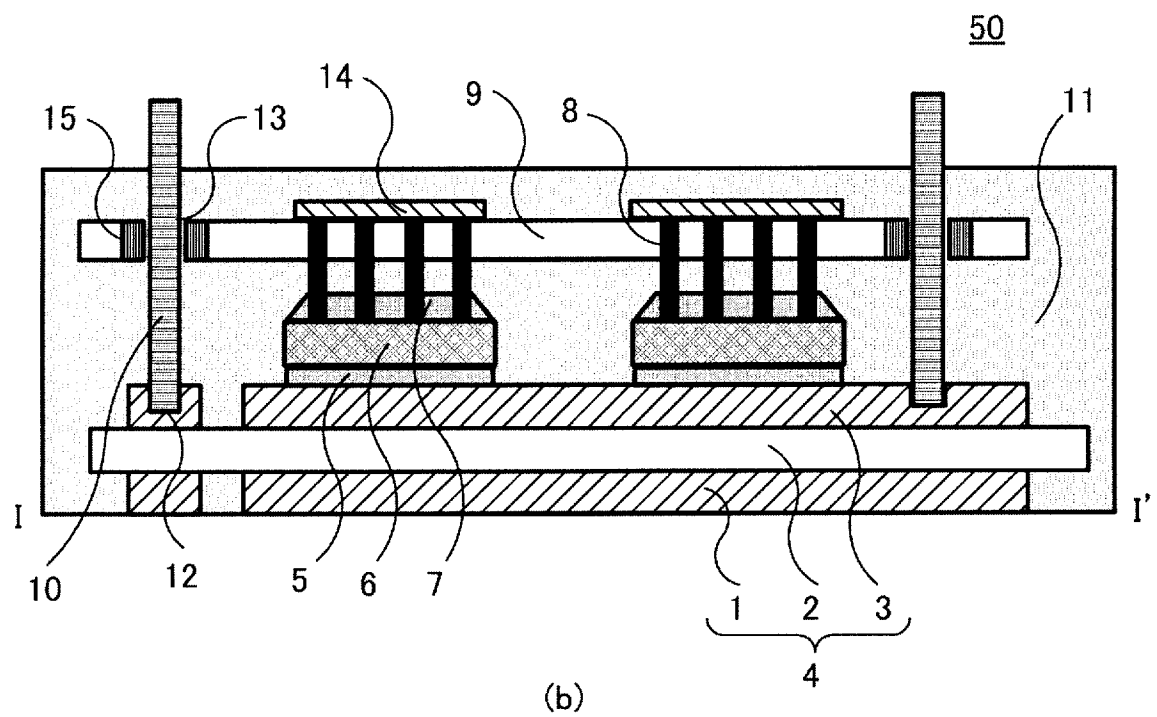
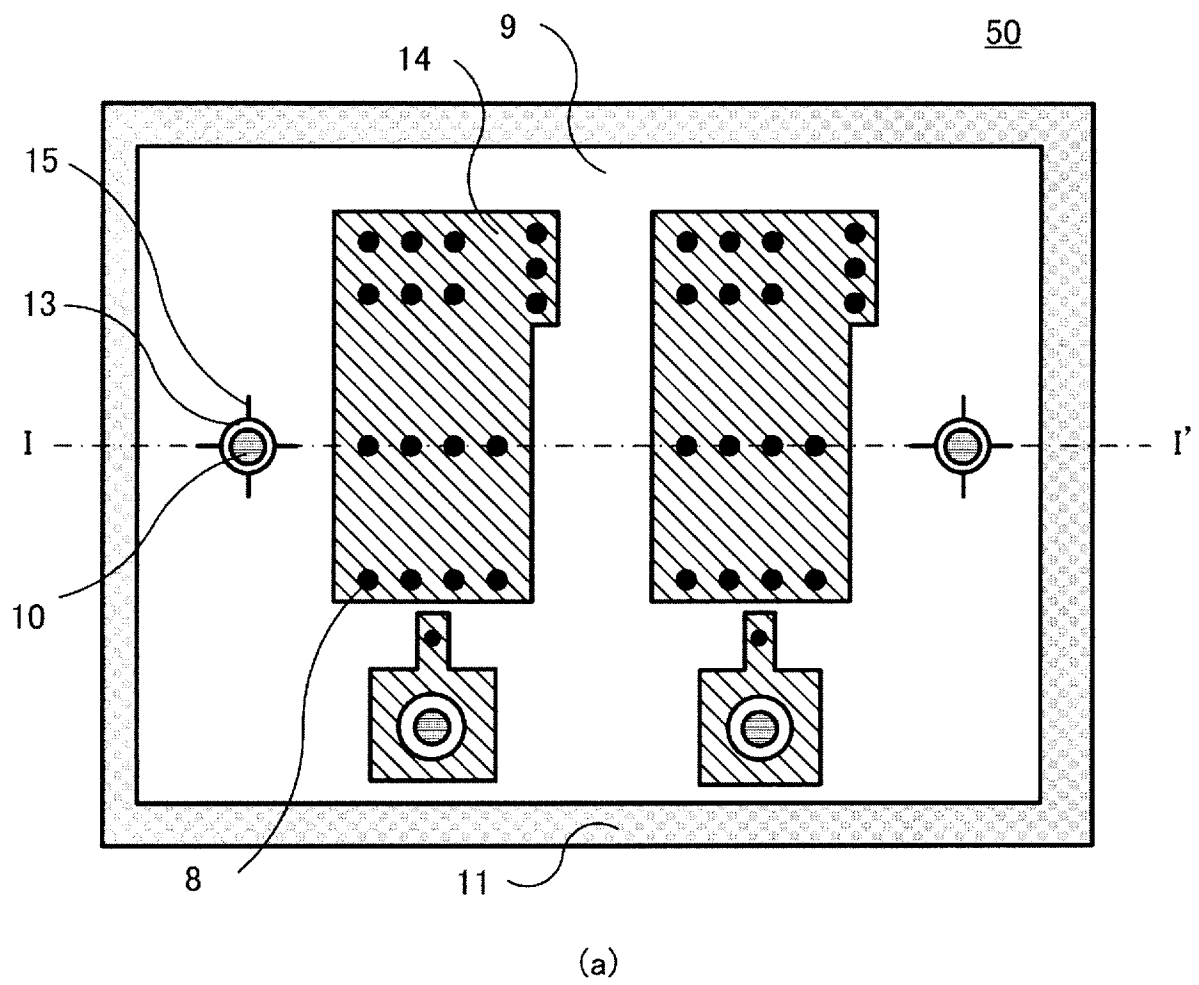
符号の説明

- [0036]
- | | |
|-------------|-------------|
| 1 | 放熱板 |
| 2 | 絶縁基板 |
| 3、103 | 回路板 |
| 4、104 | DCB基板 |
| 5、7、105、107 | 接合材 |
| 6、106 | 半導体素子 |
| 8、108 | ポスト電極 |
| 9、109 | プリント基板 |
| 10、110 | 外部端子 |
| 11 | 封止樹脂 |
| 12、112 | 凹部 |
| 13、113 | スルーホール |
| 14、114 | 金属層 |
| 15 | スリット |
| 16 | 面取り部 |
| 50、500 | パワー半導体モジュール |

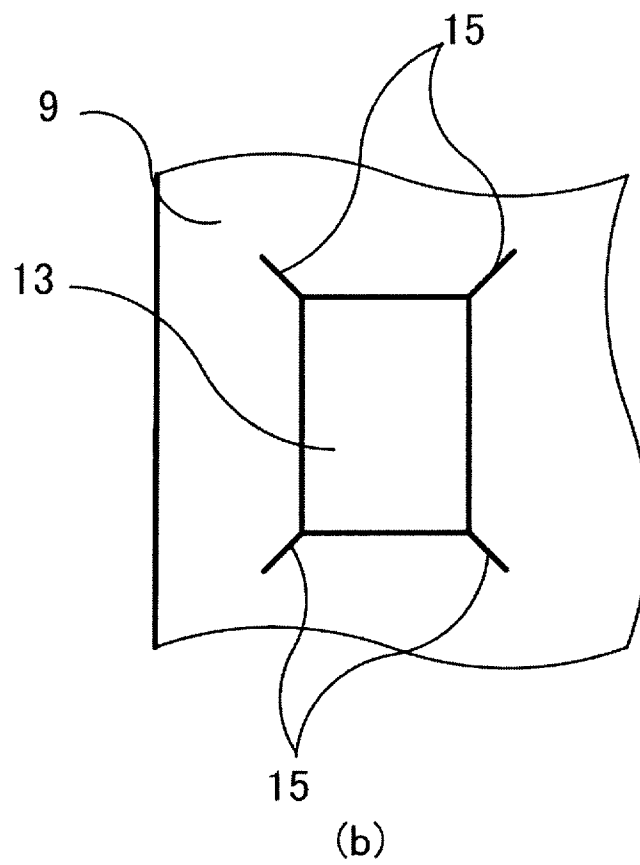
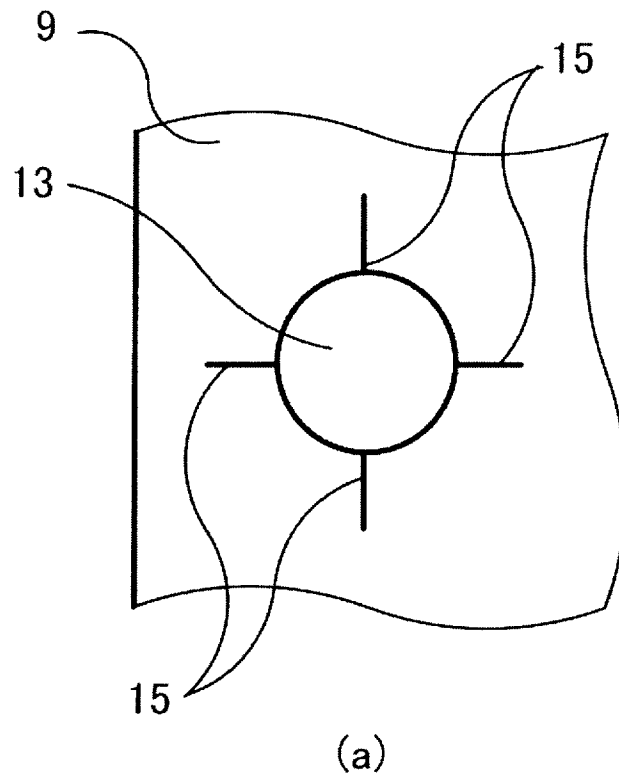
請求の範囲

- [請求項1] 主面に回路板を有する絶縁基板と、
前記回路板に固着されている半導体素子と、
前記回路板に一端が固着されている外部端子と、
前記外部端子が貫通するスルーホールを有し、前記スルーホールの周縁領域の剛性が他の領域の剛性よりも低く、前記絶縁基板の主面に
対向するプリント基板と、
を備えた半導体装置。
- [請求項2] 前記半導体素子はおもて面に電極を有し、
一端が前記半導体素子の電極に固着され、他端が前記プリント基板
に固着されているポスト電極を備えた請求項1記載の半導体装置。
- [請求項3] 前記周縁領域にスリットが設けられている請求項1記載の半導体装
置。
- [請求項4] 前記スリットが、一つの前記周縁領域に複数個設けられている請求
項3記載の半導体装置。
- [請求項5] 前記スルーホールが平面円形状であり、
前記スリットが前記プリント基板の主面側から見て、放射状かつ均
一な角度になるように設けられている請求項4記載の半導体装置。
- [請求項6] 前記スルーホールが平面多角形状であり、
前記スリットが前記プリント基板の主面側から見て、それぞれの角
の頂点から放射状に設けられている請求項4記載の半導体装置。
- [請求項7] 前記平面多角形状が、平面四角形状である請求項6記載の半導体装
置。
- [請求項8] 前記プリント基板の前記絶縁基板と対向する面の前記周縁領域に、
面取り部が設けられている請求項1記載の半導体装置。

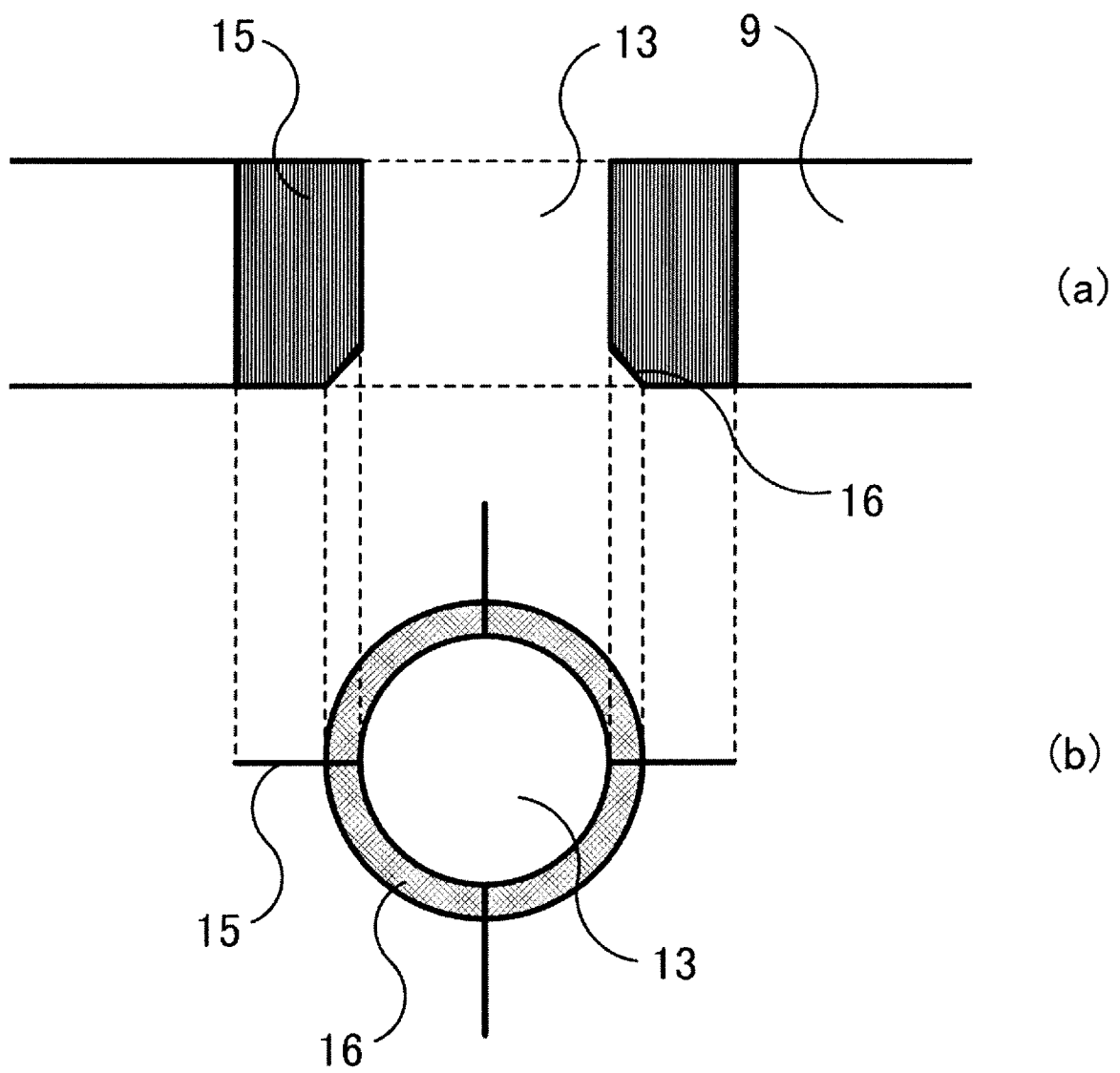
[図1]



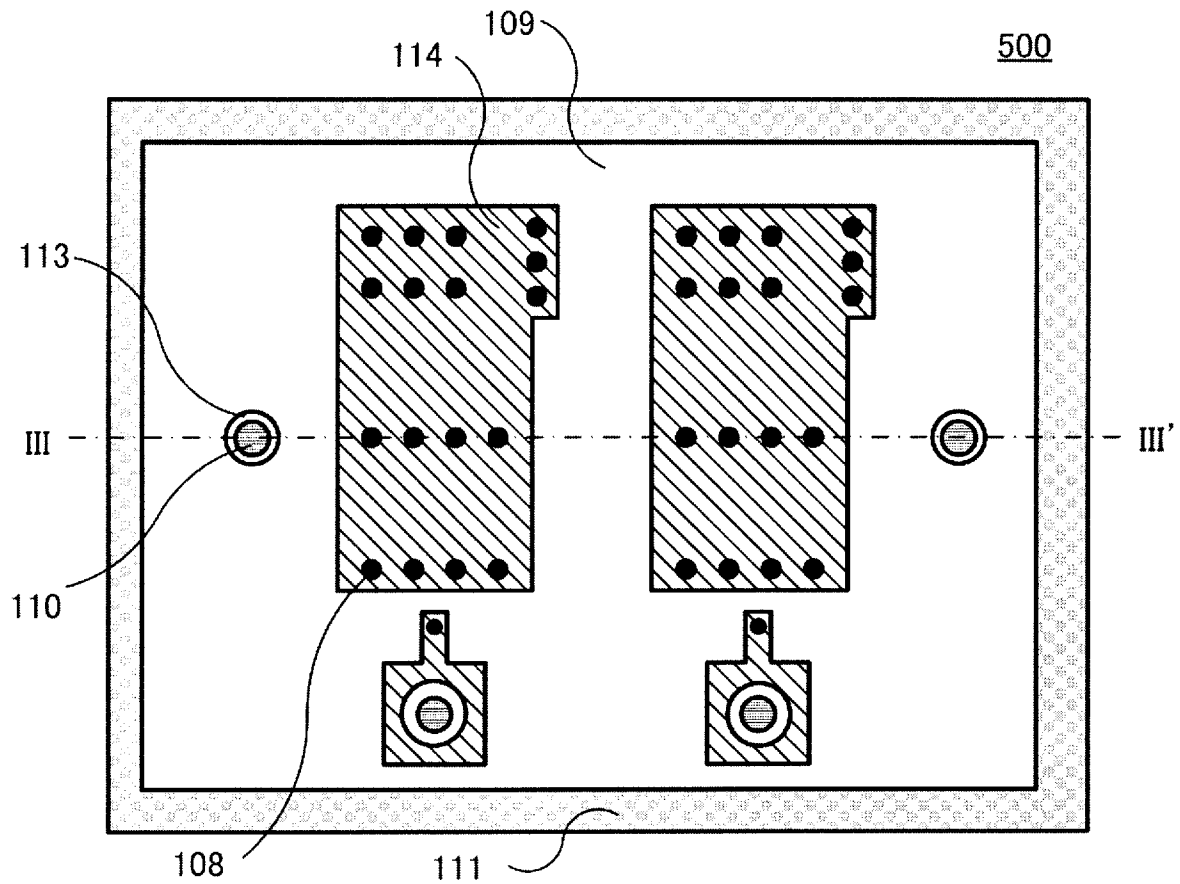
[図2]



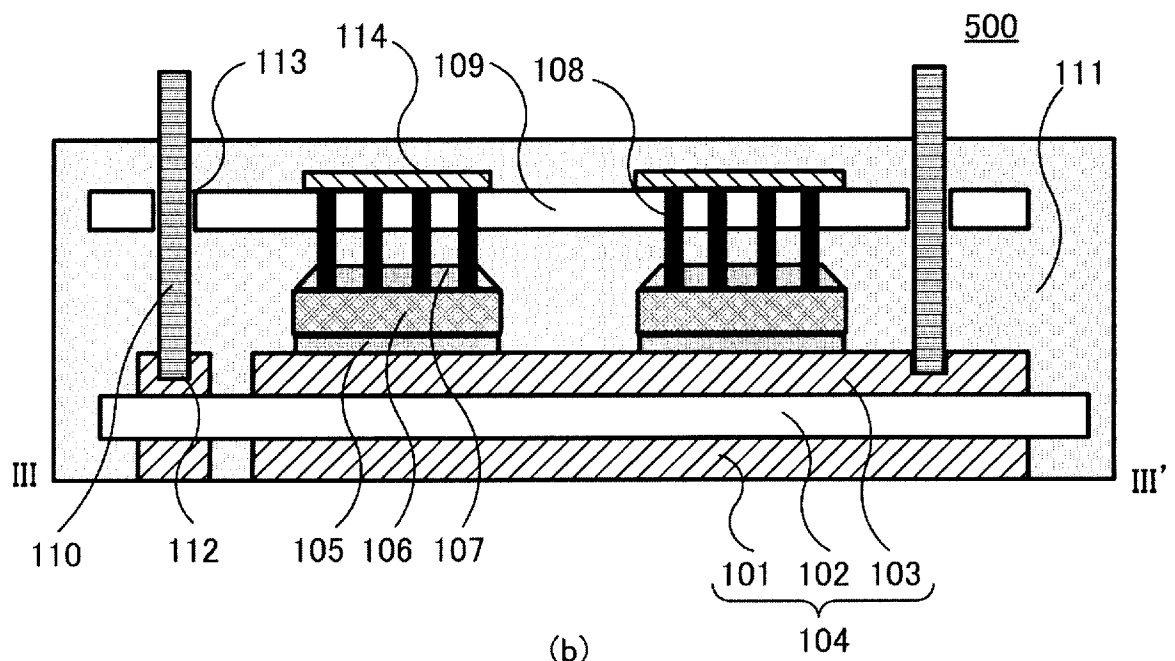
[図3]



[図4]

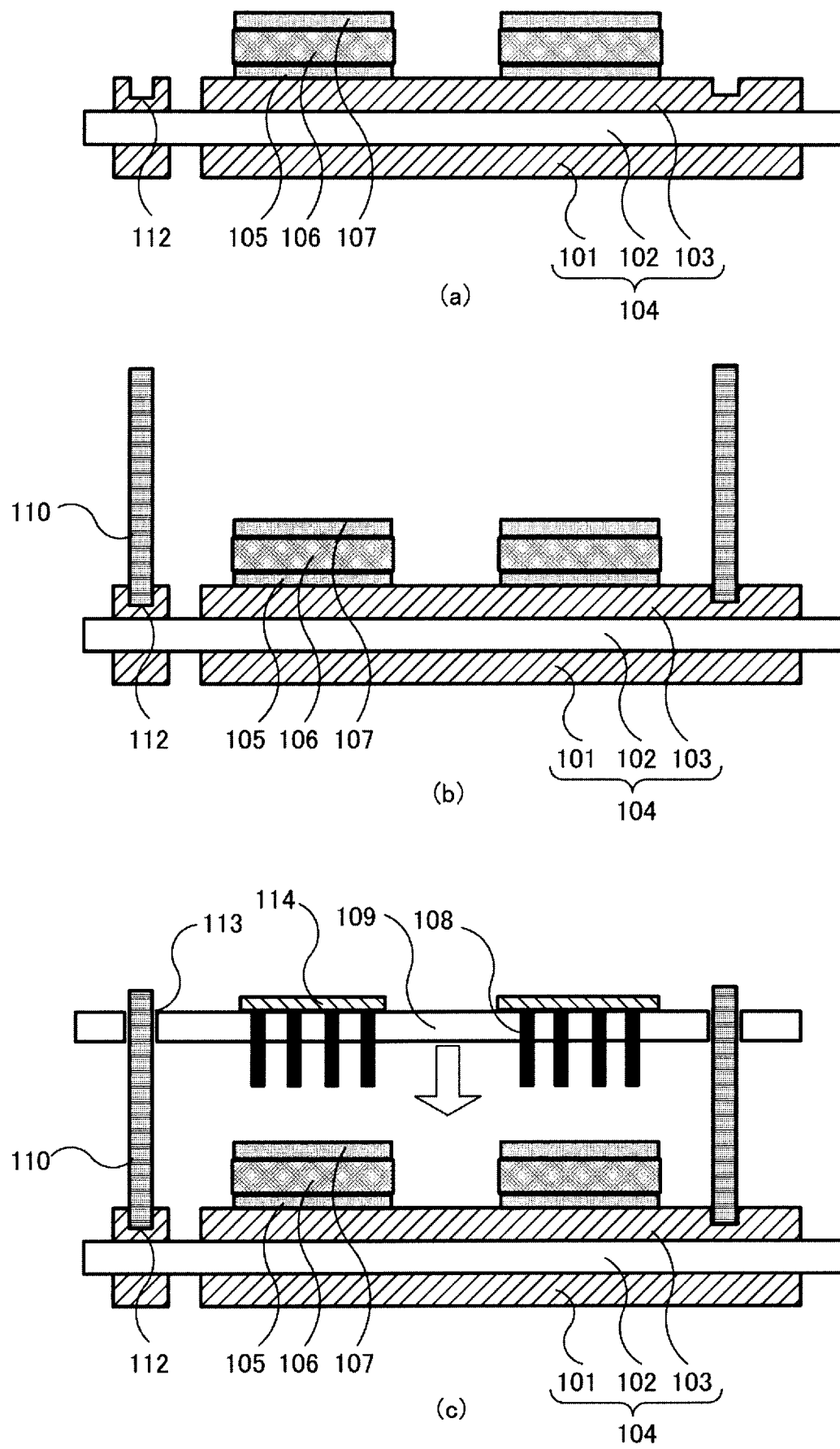


(a)

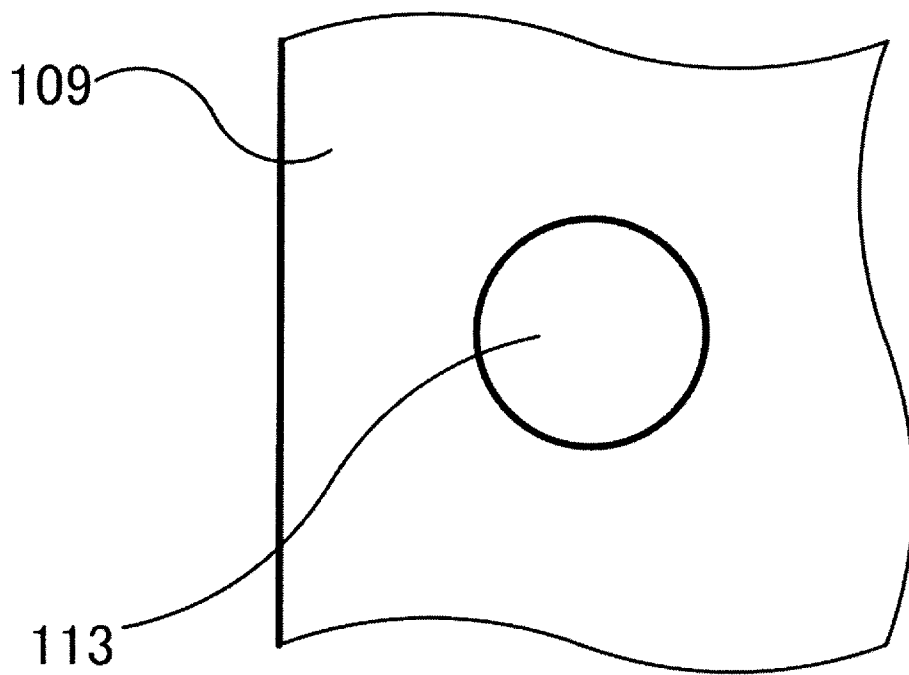


(b)

[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062389

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-129336 A (Fuji Electric Co., Ltd.), 05 July 2012 (05.07.2012), paragraphs [0013] to [0075]; fig. 1 to 6 (Family: none)	1-8
Y	JP 2005-285919 A (Japan Aviation Electronics Industry Ltd.), 13 October 2005 (13.10.2005), claim 4; fig. 1 (Family: none)	1-7
Y	JP 09-051152 A (Saginomiya Seisakusho, Inc.), 18 February 1997 (18.02.1997), paragraph [0013]; fig. 1 (Family: none)	1-7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 July, 2014 (08.07.14)

Date of mailing of the international search report
15 July, 2014 (15.07.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/062389

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-278093 A (Diamond Electric Mfg. Corp.), 09 December 2010 (09.12.2010), paragraph [0041]; fig. 3 to 5 (Family: none)	1, 2, 8

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-129336 A（富士電機株式会社）2012.07.05, 段落【0013】 - 【0075】, 第1-6図（ファミリーなし）	1-8
Y	JP 2005-285919 A（日本航空電子工業株式会社）2005.10.13, 請求項4, 第1図（ファミリーなし）	1-7
Y	JP 09-051152 A（株式会社鷺宮製作所）1997.02.18, 段落【0013】, 第1図（ファミリーなし）	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 0 7 . 2 0 1 4

国際調査報告の発送日

1 5 . 0 7 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 和俊

5 D

9 3 6 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-278093 A (ダイヤモンド電機株式会社) 2010. 12. 09, 段落【0041】, 第 3-5 図 (ファミリーなし)	1, 2, 8