

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3695577号

(P3695577)

(45) 発行日 平成17年9月14日(2005.9.14)

(24) 登録日 平成17年7月8日(2005.7.8)

(51) Int.Cl.⁷

H02M 3/155

F I

H02M 3/155

P

請求項の数 2 (全 8 頁)

(21) 出願番号 特願2000-258794 (P2000-258794)
 (22) 出願日 平成12年8月29日(2000.8.29)
 (65) 公開番号 特開2002-78326 (P2002-78326A)
 (43) 公開日 平成14年3月15日(2002.3.15)
 審査請求日 平成16年5月24日(2004.5.24)

(73) 特許権者 503361248
 富士電機デバイステクノロジー株式会社
 東京都品川区大崎一丁目11番2号
 (74) 代理人 100075166
 弁理士 山口 巖
 (74) 代理人 100076853
 弁理士 駒田 喜英
 (74) 代理人 100085833
 弁理士 松崎 清
 (72) 発明者 片山 靖
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

審査官 川端 修

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータ用PWM制御回路

(57) 【特許請求の範囲】

【請求項1】

半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換するDC-DC(直流-直流)コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記DC-DCコンバータを駆動するPWM信号を発生するPWM制御回路とを備えてなるDC-DCコンバータ用PWM制御回路において、

前記誤差増幅回路を、動作点が固定の第1のアナログ増幅回路と、動作点が固定の第2のアナログ増幅回路とのカスケード接続により構成し、かつ、前記第1のアナログ増幅回路および前記第2のアナログ増幅回路をそれぞれ差動増幅回路およびPI調節回路とするか、もしくは差動増幅回路とPI調節回路の合成回路としてその動作点を固定にし、

前記PWM制御回路の駆動電源を負極側端子をグラウンド電位に接続した単一の正電源とし、前記比較回路または前記DC-DCコンバータを、このDC-DCコンバータの出力電圧は前記誤差増幅回路の出力電圧が前記キャリア信号の振幅下限電位に等しいときに最小となるように構成し、前記誤差増幅回路の動作点を前記キャリア信号の振幅下限電位とグラウンド電位の間の電位に設定することを特徴とするDC-DCコンバータ用PWM制御回路。

【請求項2】

前記誤差増幅回路のゲインを決定する受動素子に単数または複数のコンデンサを接続し

10

20

たときは、このコンデンサと並列にスイッチを接続し、前記DC-DCコンバータおよび前記PWM制御回路の停止時に前記スイッチをオンすることを特徴とする請求項1に記載のDC-DCコンバータ用PWM制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換するDC-DC（直流-直流）コンバータ、特にその出力電圧を目標値に一致させるために用いられる、アナログ回路構成のPWM（パルス幅変調）制御回路に関する。

【0002】

10

【従来の技術】

図7にこの種のDC-DCコンバータ用PWM制御回路の従来例を示す。

同図の参照符号1がDC-DCコンバータで、半導体スイッチのオン、オフにより直流電源2の電圧を別の直流電圧に変換し、負荷3に供給する。また、符号4がDC-DCコンバータの出力電圧を目標値に制御するPWM回路で、検出回路5、誤差増幅回路6および比較回路7等から構成されている。検出回路5はDC-DCコンバータ1の出力電圧 V_{OUT} を検出し伝達する回路で、例えば減衰器、整流器、バッファ、絶縁アンプ等から構成されている。誤差増幅回路6は、検出回路5の出力電圧 V_O' と基準電圧 V_{REF} との誤差を増幅して出力する。比較回路7は、誤差増幅回路6の出力電圧 V_E と三角波または鋸歯のキャリア信号 V_{OSC} とを比較し、PWM信号を出力する。

20

【0003】

このように、PWM制御回路はDC-DCコンバータの出力電圧をフィードバックし、目標値との誤差に応じて半導体スイッチのオン、オフ比率（時比率）を制御する機能を持っている。なお、DC-DCコンバータの具体例としては、例えば図8のような降圧チョップ回路、図9のような昇圧チョップ回路、図10のような反転チョップ回路がある。また、検出回路5と誤差増幅回路6の具体例を図11に示す。

【0004】

【発明が解決しようとする課題】

一般に、アナログ増幅回路の入力電圧と出力電圧との関係は、次の(1)式のように示される。

30

$$V_2 - V_{bias} = K \times (V_1 - V_{bias}) \quad \dots (1)$$

ここに、 V_1 、 V_2 はそれぞれアナログ増幅回路の入力電圧、出力電圧を、また、 V_{bias} はアナログ増幅回路の動作点となる電圧、 K はアナログ増幅回路のゲインを示す。

ところで、図11で示す従来の誤差増幅回路6の動作点は基準電圧 V_{REF} 、すなわち $V_{bias} = V_{REF}$ となる。このため、 V_{REF} を変化させたときの過渡応答に問題が生じる。この点について、図12を参照して説明する。

【0005】

図12は、図7におけるDC-DCコンバータ1を図8のような降圧チョップ回路とし、検出回路5と誤差増幅回路6を図11の如く構成した例で、 V_{REF} を図12(b)のようにステップ状に変化させたときの、DC-DCコンバータの出力電圧波形例を図12(a)に示す。

40

つまり、定常状態では、誤差増幅回路6の出力電圧 V_E は、目標値に相当する時比率のPWM信号を発生するために、キャリア信号 V_{OSC} の振幅内の或る直流値になっている。ここで、 V_{REF} をステップ状に変化させると、誤差増幅回路6の動作点 V_{bias} も同時にステップ状に変化する。このため、上記(1)式で示すように V_{REF} の変位分だけ V_E の値もステップ状に変化し、その値を初期値として次の目標値への制御が行なわれる。このため、誤差増幅回路6のゲインによらず、図12(a)に示すような過大な行き過ぎ量が発生することになる。

したがって、この発明の課題は、PWM制御回路を用いたDC-DCコンバータ出力電圧の行き過ぎ量を含めて過渡応答を改善することにある。

50

【 0 0 0 6 】

【課題を解決するための手段】

このような課題を解決するため、請求項 1 の発明では、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換する DC - DC (直流 - 直流) コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記 DC - DC コンバータを駆動する PWM 信号を発生する PWM 制御回路とを備えてなる DC - DC コンバータ用 PWM 制御回路において、

前記誤差増幅回路を動作点が固定の第 1 のアナログ増幅回路と、動作点が固定の第 2 のアナログ増幅回路とのカスケード接続により構成し、かつ、前記第 1 のアナログ増幅回路を差動増幅回路とする。

10

さらに、前記第 2 のアナログ増幅回路を P I 調節回路とする。

【 0 0 0 7 】

また、半導体スイッチのオン、オフにより或る直流電圧を別の直流電圧に変換する DC - DC (直流 - 直流) コンバータの出力電圧を検出する検出回路と、その検出電圧と基準電圧との誤差を増幅する誤差増幅回路と、この誤差増幅回路の出力電圧を三角波または鋸波のキャリア信号と比較する比較回路を有し前記 DC - DC コンバータを駆動する PWM 信号を発生する PWM 制御回路とを備えてなる DC - DC コンバータ用 PWM 制御回路において、

前記誤差増幅回路を差動増幅回路と P I 調節回路の合成回路とし、その動作点を固定にしたものも対象とする。

20

【 0 0 0 8 】

そして、前記 PWM 制御回路の駆動電源を負極側端子をグランド電位に接続した単一の正電源とし、前記比較回路または前記 DC - DC コンバータを、この DC - DC コンバータの出力電圧は前記誤差増幅回路の出力電圧が前記キャリア信号の振幅下限電位に等しいときに最小となるように構成し、前記誤差増幅回路の動作点を前記キャリア信号の振幅下限電位とグランド電位の間の電位に設定することを特徴とする (請求項 1 の発明)。

この請求項 1 の発明においては、前記誤差増幅回路のゲインを決定する受動素子に単数または複数のコンデンサを接続したときは、このコンデンサと並列にスイッチを接続し、前記 DC - DC コンバータおよび前記 PWM 制御回路の停止時に前記スイッチをオンすることができ (請求項 2 の発明)。

30

【 0 0 0 9 】

【発明の実施の形態】

図 1 はこの発明の第 1 の参考例を示す回路図である。

これは、図 7 に示す誤差増幅回路 6 を、演算増幅器 9 1 と抵抗 1 1 ~ 1 4 で構成したアナログ差動増幅回路 6 a と、演算増幅器 9 2 と抵抗 1 5 , 1 6 およびコンデンサ 8 1 で構成したアナログ P I 調節回路 6 b とをカスケード接続したものとしている。一般に、アナログ差動増幅回路の入力電圧と出力電圧との関係は、次の (2) 式で示される。

$$V_2 - V_{bias} = K' \times (V_1' - V_1'') \quad \dots (2)$$

ここで、 V_1' , V_1'' はアナログ差動増幅回路の各入力電圧、 K' はアナログ差動増幅回路のゲインを表わす。なお、アナログ P I 調節回路の入力電圧と出力電圧との関係は (1) 式と同様である。また、図 1 におけるアナログ差動増幅回路 6 a とアナログ P I 調節回路 6 b の動作点は、いずれもグランド電位となっている。

40

【 0 0 1 0 】

図 1 では、演算増幅器で構成したアナログ差動増幅回路 6 a とアナログ P I 調節回路 6 b のカスケード接続としたが、上記 (2) 式で表わされるアナログ差動増幅回路および (1) 式で示されるアナログ増幅回路のカスケード接続で、それぞれの動作点が V_{REF} によらず常に一定 (固定) であるならば、他の回路構成でも実現可能であり、図 1 の回路に限定されるものではない。したがって、例えばアナログ P I 調節回路 6 b の抵抗 1 5 と並列にコンデンサを接続することで P I D 調節回路としたり、あるいはコンデンサ 8 1 を省略

50

してP調節回路とすることも可能である。

【0011】

図13に、図7のDC-DCコンバータ1を図8のような降圧チョップ回路、誤差増幅回路6を図1の如く構成し、 V_{REF} をステップ状に変化させたときのDC-DCコンバータの出力電圧波形例を示す。

すなわち、定常状態では誤差増幅回路6の出力電圧 V_E は、目標値に相当する時比率のPWM信号を発生するために、キャリア信号 V_{OSC} の振幅内の或る直流値となっている(図13(b)参照)。そして、 V_{REF} をステップ状に変化させても、アナログ差動増幅回路6aおよびアナログPI調節回路6bの動作点はグラウンド電位のまま変化しない。このため、 V_E は図12の従来例の場合のようにステップ状に変化せず、その結果、DC-D 10
Cコンバータの出力電圧 V_{OUT} は、差動増幅回路およびPI調節回路のゲインによって一意に決まる過渡応答をしながら、図13(a)の如く目標値に収束することになる。

【0012】

図2はこの発明の第2の参考例を示す回路図である。

これは、図7に示す誤差増幅回路6を、演算増幅器93および抵抗21~24ならびにコンデンサ82, 83から構成し、図1と等価な伝達関数を単一の演算増幅器で実現したものとしている。その動作点もグラウンド電位となっていることから、この回路の動作は図1の場合と同じとなる。

図2では、図1に示すアナログ差動増幅回路6aとアナログPI調節回路6bのカスケード接続と等価な合成回路としたが、上記(2)式で表わされるアナログ差動増幅回路および(1)式で表わされるアナログ増幅回路のカスケード接続と等価な合成回路で、動作点が V_{REF} によらず常に一定であるならば、他の回路構成でも実現可能であり、図2の回路に限定されるものでないのは図1の場合と同様である。 20

【0013】

図3はこの発明の第1の実施の形態である図1の変形例を示す回路図で、図1のグラウンド電位に接続している個所に、直流電源71を付加して構成される。この場合の動作点は、直流電源71の電圧 V_M である。すなわち、図3に示す演算増幅器91, 92の駆動電源は単一の正電源であり、図7に示す比較回路7またはDC-DCコンバータ1は、DC-DCコンバータ1の出力電圧は誤差増幅回路6の出力電圧 V_E がキャリア信号 V_{OSC} の振幅下限電位に等しいときに、最小となるように構成し、直流電源71の出力電圧 V_M は 30
キャリア信号 V_{OSC} の振幅下限電位とグラウンド電位との間の値に設定する。

つまり、この例では先の(1)式において、 $V_2 - V_{bias} = 0$ 、すなわち $V_2 = V_{bias} = V_M$ の場合においても、DC-DCコンバータ1の出力電圧 V_{OUT} は零になる。このため、例えばPWM制御回路4の起動時に、演算増幅器91, 92と直流電源71の起動時刻(タイミング)が異なり、直流電源71が先に立ち上がった場合にもDC-DCコンバータ1の出力電圧 V_{OUT} を零のまま保持でき、不要な出力電圧が発生するのを防ぐことができる。

【0014】

図4はこの発明の第2の実施の形態である図2の変形例を示す回路図で、図2のグラウンド電位に接続している個所に直流電源72を付加して構成される。この場合の動作点は、 40
直流電源72の電圧 V_M である。すなわち、図4に示す演算増幅器93の駆動電源は単一の正電源であり、図7に示す比較回路7またはDC-DCコンバータ1は、DC-DCコンバータ1の出力電圧は誤差増幅回路6の出力電圧 V_E がキャリア信号 V_{OSC} の振幅下限電位に等しいときに最小となるように構成し、直流電源72の出力電圧 V_M はキャリア信号 V_{OSC} の振幅下限電位とグラウンド電位との間の値に設定する。

【0015】

図5はこの発明の第3の実施の形態である図3の変形例を示す回路図で、図3のコンデンサ81と並列にスイッチ61を付加して構成される。その動作について、図14も参照して説明する。なお、演算増幅器92の駆動電源および直流電源71は既に起動しており、演算増幅器92の出力電圧 V_E は停止時に0とする。また、演算増幅器92の停止時は 50

スイッチ 6 1 をオンとし、コンデンサ 8 1 の両端を短絡しておくものとする。

ここで、演算増幅器 9 2 を起動すると、 V_E は演算増幅器 9 2 の起動と同時に動作点である V_M まで上昇する。演算増幅器 9 2 の起動後にスイッチ 6 1 を開放すると、 V_M を初期値として制御を開始する。このとき、スイッチ 6 1 がないと、図 1 4 に細線で示すようにコンデンサ 8 1 を充電しながら V_E が緩やかに上昇するため、P W M 制御を開始するキャリア信号 V_{OSC} の下限電圧に V_E が到達するのに大きな遅延が生じることになる。

【 0 0 1 6 】

そこで、誤差増幅回路のゲインを決定する受動素子にコンデンサを用いた場合は、誤差増幅回路の停止時にコンデンサの電荷を放電しておくことで、起動時の誤差増幅回路の出力電圧 V_E の立ち上がり時間を速くし、D C - D C コンバータの起動時間を短縮するようにしている。

10

図 6 はこの発明の第 4 の実施の形態である図 4 の変形例を示す回路図で、図 4 のコンデンサ 8 2 , 8 3 と並列にスイッチ 6 2 , 6 3 をそれぞれ付加して構成される。その動作については図 1 4 と同様なので、説明は省略する。

【 0 0 1 7 】

【発明の効果】

請求項 1 の発明によれば、従来のように基準電圧を変化させて D C - D C コンバータの出力電圧を制御する場合に発生していた過大な行き過ぎを抑制することができ、P W M 制御回路の起動時における D C - D C コンバータの不要な出力電圧の発生を防ぐことが可能となる。

20

請求項 2 の発明によれば、請求項 1 の発明における起動時間の遅延を短縮することができる。

【図面の簡単な説明】

【図 1】 この発明の第 1 の参考例を示す回路図である。

【図 2】 この発明の第 2 の参考例を示す回路図である。

【図 3】 この発明の第 1 の実施の形態を示す回路図である。

【図 4】 この発明の第 2 の実施の形態を示す回路図である。

【図 5】 この発明の第 3 の実施の形態を示す回路図である。

【図 6】 この発明の第 4 の実施の形態を示す回路図である。

【図 7】 D C - D C コンバータ用 P W M 制御回路の従来例を示すブロック図である。

30

【図 8】 D C - D C コンバータの第 1 の具体例を示す回路図である。

【図 9】 D C - D C コンバータの第 2 の具体例を示す回路図である。

【図 1 0】 D C - D C コンバータの第 3 の具体例を示す回路図である。

【図 1 1】 検出回路と誤差増幅回路の具体例を示す回路図である。

【図 1 2】 図 1 1 の動作説明図である。

【図 1 3】 図 1 の動作説明図である。

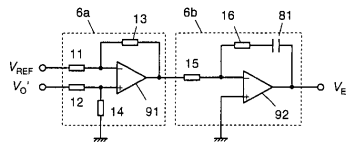
【図 1 4】 図 5 の動作説明図である。

【符号の説明】

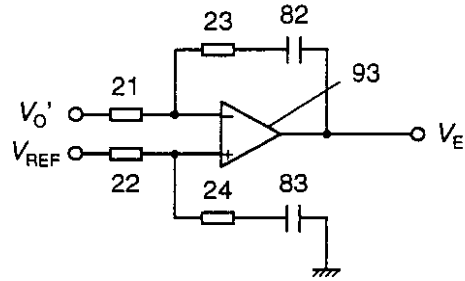
1 ... D C - D C コンバータ、2 , 7 1 , 7 2 ... 直流電源、3 ... 負荷、4 ... P W M 制御回路、5 ... 検出回路、6 ... 差動増幅回路、7 ... 比較回路、8 ... 基準電圧源、9 ... 発振回路、1 1 ~ 1 6 , 2 1 ~ 2 4 , 3 1 ~ 3 3 ... 抵抗、6 1 , 6 2 , 6 3 ... スイッチ、8 1 , 8 2 , 8 3 ... コンデンサ、9 1 ~ 9 3 ... 演算増幅器。

40

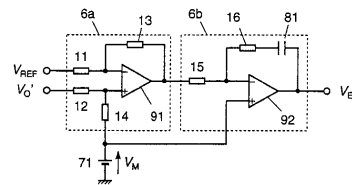
【図 1】



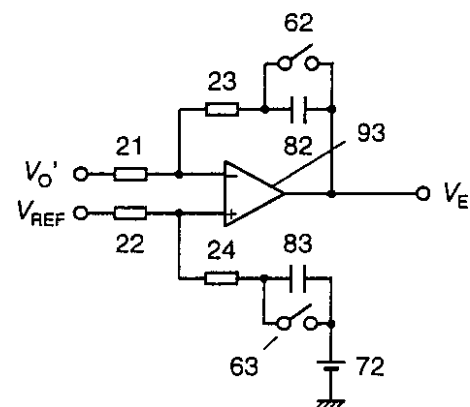
【図 2】



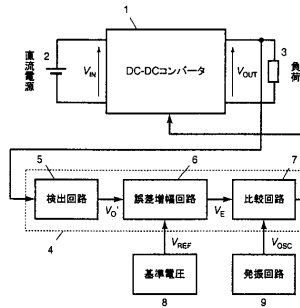
【図 3】



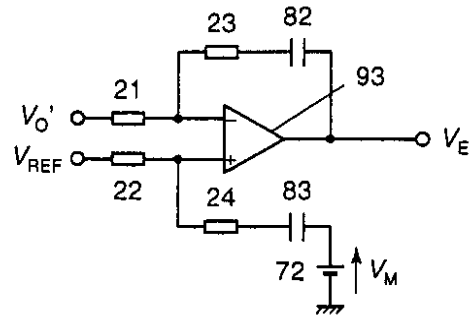
【図 6】



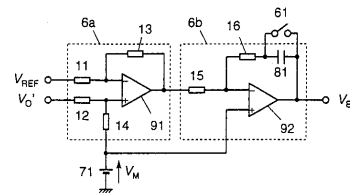
【図 7】



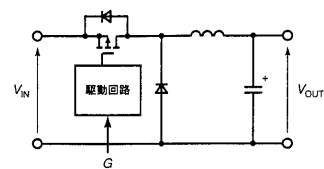
【図 4】



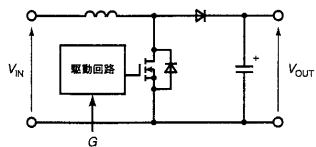
【図 5】



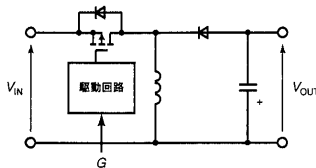
【図 8】



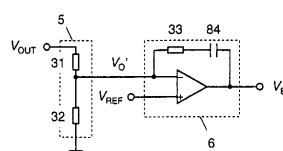
【図 9】



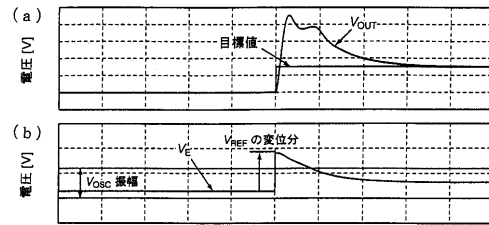
【図 10】



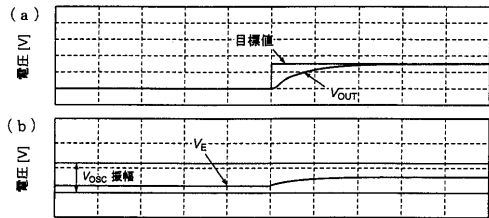
【図 11】



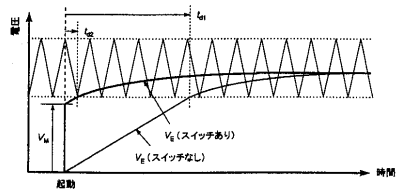
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

- (56)参考文献 特開平10-108451(JP,A)
特開平10-094267(JP,A)
特開平05-115173(JP,A)
特開平03-027766(JP,A)
実開昭63-074078(JP,U)

- (58)調査した分野(Int.Cl.⁷, DB名)
H02M 3/155