

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-16793

(P2013-16793A)

(43) 公開日 平成25年1月24日(2013.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8238 (2006.01)	H O 1 L 27/08 3 2 1 E	4 M 1 0 4
H O 1 L 27/092 (2006.01)	H O 1 L 29/78 6 2 7 D	5 F 0 4 8
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 2 6 C	5 F 1 1 0
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 3 A	
H O 1 L 21/28 (2006.01)	H O 1 L 29/78 6 1 6 V	
審査請求 未請求 請求項の数 16 O L (全 19 頁) 最終頁に続く		

(21) 出願番号	特願2012-131892 (P2012-131892)	(71) 出願人	000002093
(22) 出願日	平成24年6月11日 (2012. 6. 11)		住友化学株式会社
(31) 優先権主張番号	特願2011-130731 (P2011-130731)		東京都中央区新川二丁目2 7 番 1 号
(32) 優先日	平成23年6月10日 (2011. 6. 10)	(71) 出願人	504137912
(33) 優先権主張国	日本国 (JP)		国立大学法人 東京大学
			東京都文京区本郷七丁目3 番 1 号
(出願人による申告) 平成22年度、独立行政法人新エネルギー・産業技術総合開発機構委託研究「ナノエレクトロニクス半導体新材料・新構造ナノ電子デバイス技術開発 ―シリコンプラットフォーム上 I I I - V 族半導体チャネルトランジスタ技術の研究開発」、産業技術力強化法第19条の適用を受ける特許出願		(71) 出願人	301021533
			独立行政法人産業技術総合研究所
			東京都千代田区霞が関1-3-1
		(74) 代理人	110000877
			龍華国際特許業務法人
		(72) 発明者	秦 雅彦
			茨城県つくば市北原6番 住友化学株式会社内
		最終頁に続く	

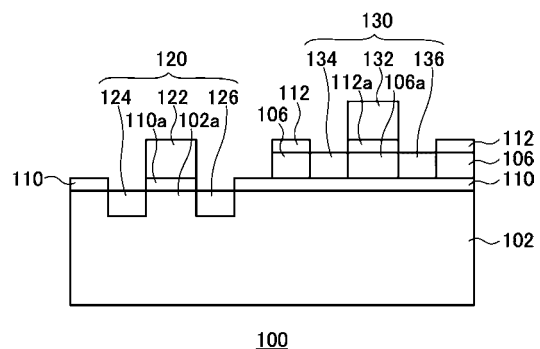
(54) 【発明の名称】 半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法

(57) 【要約】

【課題】単一基板上にソース・ドレインを同一工程で同時形成した I I I - V 族半導体の n M I S F E T および I V 族半導体の p M I S F E T のソース・ドレイン領域抵抗または接触抵抗を小さくする。

【解決手段】Ge 基板上に形成された P チャネル型 M I S F E T の第1ソースおよび第1ドレインが、Ge 原子とニッケル原子との化合物、Ge 原子とコバルト原子との化合物または Ge 原子とニッケル原子とコバルト原子との化合物からなり、I I I - V 族化合物半導体からなる半導体結晶層に形成された N チャネル型 M I S F E T の第2ソースおよび第2ドレインが、I I I 族原子および V 族原子とニッケル原子との化合物、I I I 族原子および V 族原子とコバルト原子との化合物、または、I I I 族原子および V 族原子とニッケル原子とコバルト原子との化合物からなる半導体デバイスを提供する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

Ge 結晶からなるベース基板と、
前記ベース基板における一部の領域の上方に位置し、III-V 族化合物半導体からなる半導体結晶層と、
前記半導体結晶層が上方に位置しない前記ベース基板の領域の一部をチャンネルとし、第 1 ソースおよび第 1 ドレインを有する P チャンネル型 MISFET と、
前記半導体結晶層の一部をチャンネルとし、第 2 ソースおよび第 2 ドレインを有する N チャンネル型 MISFET と、を有し、
前記第 1 ソースおよび前記第 1 ドレインが、Ge 原子とニッケル原子との化合物、Ge 原子とコバルト原子との化合物、または、Ge 原子とニッケル原子とコバルト原子との化合物からなり、
前記第 2 ソースおよび前記第 2 ドレインが、III 族原子および V 族原子とニッケル原子との化合物、III 族原子および V 族原子とコバルト原子との化合物、または、III 族原子および V 族原子とニッケル原子とコバルト原子との化合物からなる半導体デバイス。

10

【請求項 2】

前記ベース基板と前記半導体結晶層との間に位置し、前記ベース基板と前記半導体結晶層とを電気的に分離する分離層を有する
請求項 1 に記載の半導体デバイス。

20

【請求項 3】

前記ベース基板と前記分離層とが接し、
前記ベース基板の前記分離層と接する領域が導電性であり、
前記ベース基板の前記分離層と接する領域に印加した電圧が、前記 N チャンネル型 MISFET へのバックゲート電圧として作用する
請求項 2 に記載の半導体デバイス。

【請求項 4】

前記ベース基板と前記半導体結晶層とが接合面で接し、
前記接合面の近傍における前記ベース基板の領域に、p 型または n 型の伝導型を示す不純物原子を含有し、
前記接合面の近傍における前記半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する
請求項 1 に記載の半導体デバイス。

30

【請求項 5】

請求項 1 から請求項 4 の何れか一項に記載の半導体デバイスに用いる半導体基板であって、
前記ベース基板と、前記半導体結晶層と、を有し、
前記半導体結晶層が、前記ベース基板表面の一部の上方に位置する半導体基板。

40

【請求項 6】

前記ベース基板と前記半導体結晶層との間に位置し、前記ベース基板と前記半導体結晶層とを電気的に分離する分離層、をさらに有する
請求項 5 に記載の半導体基板。

【請求項 7】

前記分離層が、非晶質絶縁体からなる
請求項 6 に記載の半導体基板。

【請求項 8】

前記分離層が、前記半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる
請求項 6 に記載の半導体基板。

50

【請求項 9】

前記ベース基板と前記半導体結晶層とが接合面で接し、

前記接合面の近傍における前記ベース基板の領域に、p 型または n 型の伝導型を示す不純物原子を含有し、

前記接合面の近傍における前記半導体結晶層の領域に、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する

請求項 5 に記載の半導体基板。

【請求項 10】

前記半導体結晶層を複数有し、

複数の前記半導体結晶層のそれぞれが、前記ベース基板の上面と平行な面内で規則的に配列されている

請求項 5 から請求項 9 の何れか一項に記載の半導体基板。

【請求項 11】

請求項 5、請求項 6、請求項 7 または請求項 10 に記載の半導体基板を製造する方法であって、

半導体結晶層形成基板上に前記半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、

前記半導体結晶層を前記ベース基板における一部の領域またはその上方の領域に貼り合わせる貼り合わせステップと、

を有する半導体基板の製造方法。

【請求項 12】

請求項 5、請求項 6、請求項 9 または請求項 10 に記載の半導体基板を製造する方法であって、

前記ベース基板における一部の領域の上方に、前記半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる分離層をエピタキシャル成長法により形成するステップと、

前記分離層の上に前記半導体結晶層をエピタキシャル成長法により形成するステップと、

を有する半導体基板の製造方法。

【請求項 13】

請求項 5 に記載の半導体基板を製造する方法であって、

前記ベース基板の表面近傍に、p 型または n 型の伝導型を示す不純物原子を含有させるステップと、

前記ベース基板表面の一部の上方に、前記半導体結晶層をエピタキシャル成長法により形成するステップとを有し、

前記半導体結晶層をエピタキシャル成長法により形成するステップにおいて、前記ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で、前記ベース基板をドーピングする

半導体基板の製造方法。

【請求項 14】

前記半導体結晶層形成基板上に半導体結晶層を形成する前に、前記半導体結晶層形成基板の表面に、エピタキシャル結晶成長法により結晶性犠牲層を形成するステップを有し、

前記半導体結晶層を前記ベース基板に貼り合わせた後に前記結晶性犠牲層を除去することで、前記半導体結晶層形成基板上にエピタキシャル成長された半導体結晶層と前記半導体結晶層形成基板とを分離する

請求項 11 に記載の半導体基板の製造方法。

【請求項 15】

前記半導体結晶層をエピタキシャル成長させた後に前記半導体結晶層を規則的な配列にパターニングするステップ、または前記半導体結晶層を予め規則的な配列に選択的にエピ

10

20

30

40

50

タキシャル成長させるステップ、のいずれかのステップを有する

請求項 1 1 から請求項 1 4 の何れか一項に記載の半導体基板の製造方法。

【請求項 1 6】

請求項 1 1 から請求項 1 5 の何れか一項に記載の半導体基板の製造方法を用いて、前記半導体結晶層を有する半導体基板を製造するステップと、

前記半導体結晶層が上方に位置しない領域の前記ベース基板の上、および前記半導体結晶層の上に、ゲート絶縁層を介してゲート電極を形成するステップと、

前記ベース基板のソース電極形成領域上、前記ベース基板のドレイン電極形成領域上、前記半導体結晶層のソース電極形成領域上、および前記半導体結晶層のドレイン電極形成領域上に、ニッケル膜、コバルト膜およびニッケル-コバルト合金膜からなる群から選ばれた金属膜を形成するステップと、

前記金属膜を加熱して、前記ベース基板に、Ge 原子とニッケル原子との化合物、Ge 原子とコバルト原子との化合物、または、Ge 原子とニッケル原子とコバルト原子との化合物からなる第 1 ソースおよび第 1 ドレインを形成し、前記半導体結晶層に、III 族原子および V 族原子とニッケル原子との化合物、III 族原子および V 族原子とコバルト原子との化合物、または、III 族原子および V 族原子とニッケル原子とコバルト原子との化合物からなる第 2 ソースおよび第 2 ドレインを形成するステップと、

未反応の前記金属膜を除去するステップと、

を有する半導体デバイスの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体デバイス、半導体基板、半導体基板の製造方法および半導体デバイスの製造方法に関する。

【背景技術】

【0002】

GaAs、InGaAs 等の III-V 族化合物半導体は、高い電子移動度を有し、Ge、SiGe 等の IV 族半導体は、高い正孔移動度を有する。よって、III-V 族化合物半導体で N チャネル型の MOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を構成し、IV 族半導体で P チャネル型の MOSFET を構成すれば、高い性能を備えた CMOSFET (Complementary Metal-Oxide-Semiconductor Field Effect Transistor) が実現できる。非特許文献 1 には、III-V 族化合物半導体をチャネルとする N チャネル型 MOSFET と Ge をチャネルとする P チャネル型 MOSFET が、単一基板に形成された CMOSFET 構造が開示されている。

非特許文献 1 S. Takagi, et al., SSE, vol. 51, pp. 526-536, 2007.

【発明の概要】

【発明が解決しようとする課題】

【0003】

III-V 族化合物半導体をチャネルとする N チャネル型 MISFET (Metal-Insulator-Semiconductor Field-Effect Transistor) (以下単に「nMISFET」という。)と、IV 族半導体をチャネルとする P チャネル型 MISFET (以下単に「pMISFET」という。)とを、一つの基板上に形成するには、nMISFET 用の III-V 族化合物半導体と、pMISFET 用の IV 族半導体を同一基板上に形成する技術が必要になる。

【0004】

また、nMISFET と pMISFET とで構成される CMISFET (Complementary Metal-Insulator-Semiconductor Field-Effect Transistor) を、LSI として安価に効率よく製造するには、nMISFET および pMISFET が同時に形成される製造プロセスを採用することが好ましい。特に、nMISFET のソース・ドレインと pMISFET のソース・ドレインが同時に形成できれば、工程を簡略化することができ、コスト

10

20

30

40

50

削減とともに素子の微細化にも容易に対応できるようになる。

【0005】

たとえばnMISFETのソース・ドレイン形成領域とpMISFETのソース・ドレイン形成領域とに、ソースおよびドレインとなる材料を薄膜として形成し、さらにフォトリソグラフィ等によりパターンニングして形成することで、nMISFETのソース・ドレインとpMISFETのソース・ドレインとを同時に形成できる。しかし、nMISFETが形成されるIII-V族化合物半導体結晶層と、pMISFETが形成されるIV族半導体結晶層とでは、構成される材料が異なる。このため、nMISFETまたはpMISFETの一方または両方のソース・ドレイン領域の抵抗が大きくなり、あるいは、nMISFETまたはpMISFETの一方または両方のソース・ドレイン領域とソース・ドレイン電極との接触抵抗が大きくなる。従って、nMISFETおよびpMISFETの両方のソース・ドレイン領域の抵抗あるいはソース・ドレイン電極との接触抵抗を小さくすることが難しい。

10

【0006】

本発明の目的は、チャネルがIII-V族化合物半導体であるnMISFETと、チャネルがIV族半導体であるpMISFETと、で構成されるCMISFETを、一つの基板上に形成する場合において、nMISFETおよびpMISFETの各ソースおよび各ドレインを同時に形成し、かつ、ソース・ドレイン領域の抵抗またはソース・ドレイン電極との接触抵抗が小さくなるような半導体デバイスおよびその製造方法を提供することにある。

20

【課題を解決するための手段】

【0007】

上記課題を解決するために、本発明の第1の態様においては、Ge結晶からなるベース基板と、ベース基板表面の一部の上方に位置し、III-V族化合物半導体からなる半導体結晶層と、半導体結晶層が上方に位置しない領域のベース基板の一部をチャネルとし、第1ソースおよび第1ドレインを有するPチャネル型MISFETと、半導体結晶層の一部をチャネルとし、第2ソースおよび第2ドレインを有するNチャネル型MISFETと、を有し、第1ソースおよび第1ドレインが、Ge原子とニッケル原子との化合物、Ge原子とコバルト原子との化合物、または、Ge原子とニッケル原子とコバルト原子との化合物からなり、第2ソースおよび第2ドレインが、III族原子およびV族原子とニッケル原子との化合物、III族原子およびV族原子とコバルト原子との化合物、または、III族原子およびV族原子とニッケル原子とコバルト原子との化合物からなる半導体デバイスを提供する。

30

【0008】

上記した半導体デバイスは、ベース基板と半導体結晶層との間に位置し、ベース基板と半導体結晶層とを電気的に分離する分離層を有してもよい。ベース基板と分離層とが接する場合、ベース基板の分離層と接する領域が導電性であってよく、ベース基板の分離層と接する領域に印加した電圧が、Nチャネル型MISFETへのバックゲート電圧として作用してもよい。ベース基板と半導体結晶層とが接合面で接する場合、ベース基板の接合面の近傍に、p型またはn型の伝導型を示す不純物原子を含有し、半導体結晶層の接合面の近傍に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよい。

40

【0009】

本発明の第2の態様においては、第1の態様の半導体デバイスに用いる半導体基板であって、ベース基板と、半導体結晶層と、を有し、半導体結晶層が、ベース基板表面の一部の上方に位置する半導体基板を提供する。

【0010】

ベース基板と半導体結晶層との間に位置し、ベース基板と半導体結晶層とを電気的に分離する分離層をさらに有してもよい。この場合、分離層として、非晶質絶縁体からなるものが挙げられる。あるいは、分離層として、半導体結晶層を構成する半導体結晶の禁制帯

50

幅より大きな禁制帯幅を有する半導体結晶からなるものが挙げられる。ベース基板と半導体結晶層とが接合面で接する場合、ベース基板の接合面の近傍に、p型またはn型の伝導型を示す不純物原子を含有し、半導体結晶層の接合面の近傍に、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有してもよい。半導体結晶層を複数有してもよく、複数の半導体結晶層のそれぞれが、ベース基板の上面と平行な面内で規則的に配列されてもよい。

【0011】

本発明の第3の態様においては、第2の態様の半導体基板を製造する方法であって、半導体結晶層形成基板上に半導体結晶層をエピタキシャル結晶成長法により形成するエピタキシャル成長ステップと、半導体結晶層をベース基板表面の一部の領域またはその上方の領域に貼り合わせる貼り合わせステップと、を有する半導体基板の製造方法を提供する。あるいは上記した半導体基板を製造する方法であって、ベース基板表面の一部の上方に、半導体結晶層を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなる分離層をエピタキシャル成長法により形成するステップと、分離層の上に半導体結晶層をエピタキシャル成長法により形成するステップと、を有する半導体基板の製造方法を提供する。あるいは、上記した半導体基板を製造する方法であって、ベース基板の表面近傍に、p型またはn型の伝導型を示す不純物原子を含有し、ベース基板表面の一部の上方に、半導体結晶層をエピタキシャル成長法により形成するステップを有し、半導体結晶層をエピタキシャル成長法により形成するステップにおいて、ベース基板に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で、ベース基板をドーピングする半導体基板の製造方法を提供する。

【0012】

半導体結晶層形成基板の表面に、エピタキシャル結晶成長法により形成された結晶性犠牲層を有してもよく、この場合、結晶性犠牲層を除去することで、半導体結晶層形成基板上にエピタキシャル成長された半導体結晶層と半導体結晶層形成基板とを分離するものであってもよい。半導体結晶層をエピタキシャル成長させた後に半導体結晶層を規則的な配列にパターンニングするステップ、または半導体結晶層を予め規則的な配列に選択的にエピタキシャル成長させるステップ、のいずれかのステップを有してもよい。

【0013】

本発明の第4の態様においては、第3の態様の半導体基板の製造方法を用いて、半導体結晶層を有する半導体基板を製造するステップと、半導体結晶層が上方に位置しない領域のベース基板の上、および半導体結晶層の上に、ゲート絶縁層を介してゲート電極を形成するステップと、ベース基板のソース電極形成領域上、ベース基板のドレイン電極形成領域上、半導体結晶層のソース電極形成領域上、および半導体結晶層のドレイン電極形成領域上に、ニッケル膜、コバルト膜およびニッケル-コバルト合金膜からなる群から選ばれた金属膜を形成するステップと、金属膜を加熱して、ベース基板に、Ge原子とニッケル原子との化合物、Ge原子とコバルト原子との化合物、または、Ge原子とニッケル原子とコバルト原子との化合物からなる第1ソースおよび第1ドレインを形成し、半導体結晶層に、III族原子およびV族原子とニッケル原子との化合物、III族原子およびV族原子とコバルト原子との化合物、または、III族原子およびV族原子とニッケル原子とコバルト原子との化合物からなる第2ソースおよび第2ドレインを形成するステップと、未反応の金属膜を除去するステップと、を有する半導体デバイスの製造方法を提供する。

【図面の簡単な説明】

【0014】

【図1】半導体デバイス100の断面を示す。

【図2】半導体デバイス100の製造過程における断面を示す。

【図3】半導体デバイス100の製造過程における断面を示す。

【図4】半導体デバイス100の製造過程における断面を示す。

【図5】半導体デバイス100の製造過程における断面を示す。

【図6】半導体デバイス100の製造過程における断面を示す。

10

20

30

40

50

【図 7】他の半導体デバイスの製造過程における断面を示す。

【図 8】他の半導体デバイスの製造過程における断面を示す。

【図 9】半導体デバイス 200 の断面を示す。

【図 10】InGaAs 層上の Ta ゲート部分の断面を観察した TEM 写真である。

【図 11】Ta ゲート部分の断面を観察した TEM 写真である。

【図 12】Ge 基板上の pMOSFET と InGaAs 層上の nMOSFET を上方から観察した SEM 写真である。

【図 13】Ge 基板上 pMOSFET と InGaAs 層上 nMOSFET のドレイン電流対ドレイン電圧特性を示す。

【図 14】Ge 基板上 pMOSFET のゲート電圧対ドレイン電流特性を示す。

10

【図 15】InGaAs 層上 nMOSFET のゲート電圧対ドレイン電流特性を示す。

【図 16】Ge 基板上 pMOSFET のホール移動度を電荷密度 N_s との関係で示す。

【図 17】InGaAs 層上 nMOSFET の電子移動度を電荷密度 N_s との関係で示す。

。

【発明を実施するための形態】

【0015】

図 1 は、半導体デバイス 100 の断面を示す。半導体デバイス 100 は、Ge 結晶からなるベース基板 102 と、III-V 族化合物半導体からなる半導体結晶層 106 とを有し、ベース基板 102 と半導体結晶層 106 との間に分離層 110 を有する。本例の半導体デバイス 100 は、半導体結晶層 106 の上に絶縁層 112 を有する。なお、図 1 に示した実施例からは、ベース基板 102 と、半導体結晶層 106 とを構成要件とする半導体基板の発明と、ベース基板 102、分離層 110 および半導体結晶層 106 を構成要件とする半導体基板の発明との少なくとも 2 つの発明が把握できる。ベース基板 102 には P チャンネル型 MISFET 120 が形成され、半導体結晶層 106 には N チャンネル型 MISFET 130 が形成されている。

20

【0016】

半導体結晶層 106 は、ベース基板 102 表面の一部の上方に位置する。半導体結晶層 106 の厚さは、20 nm 以下であることが好ましい。半導体結晶層 106 の厚さを 20 nm 以下とすることで、極薄膜ボディの N チャンネル型 MISFET 130 を構成できる。N チャンネル型 MISFET 130 のボディを極薄膜にすることで、短チャネル効果を抑制し、N チャンネル型 MISFET 130 のリーク電流を減少することができる。

30

【0017】

半導体デバイス 100 では、III-V 族化合物半導体結晶層を N チャンネル型 MISFET に使用し、Ge 結晶を P チャンネル型 MISFET に使用する。III-V 族化合物半導体結晶として、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、GaAs 結晶、または、InP 結晶が挙げられる。また、III-V 族化合物半導体結晶として、GaAs または InP に格子整合または擬格子整合する III-V 族化合物半導体の混晶が挙げられる。また、III-V 族化合物半導体結晶として、当該混晶と $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶、GaAs 結晶または InP 結晶との積層体が挙げられる。なお、III-V 族化合物半導体結晶としては、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ ($0 < x < 1$) 結晶が好適である。III-V 族化合物半導体結晶では電子移動度が高く、IV 族半導体結晶特に Ge では正孔移動度が高いので、CMISFET の性能を最大化することができる。

40

【0018】

分離層 110 は、ベース基板 102 と半導体結晶層 106 との間に位置する。分離層 110 は、ベース基板 102 と半導体結晶層 106 とを電氣的に分離する。

【0019】

分離層 110 は、非晶質絶縁体からなるものであってもよい。半導体結晶層 106 および分離層 110 が貼り合わせ法により形成された場合、分離層 110 は、非晶質絶縁体になる。非晶質絶縁体からなる分離層 110 として、 Al_2O_3 、AlN、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x (例えば SiO_2)、 SiN_x (例えば Si_3N_4) などが挙げられる。

50

N_4) および SiO_xN_y のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

【0020】

分離層110は、半導体結晶層106を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶からなるものであってもよい。このような半導体結晶は、エピタキシャル結晶成長法により形成できる。半導体結晶層106がInGaAs結晶層またはGaAs結晶層である場合、分離層110を構成する半導体結晶として、AlGaAs結晶、AlInGaP結晶、AlGaInAs結晶、または、InP結晶が挙げられる。

【0021】

絶縁層112の一部112aは、Nチャネル型MISFET130のゲート絶縁層として機能する。絶縁層112として、 Al_2O_3 、AlN、 Ta_2O_5 、 ZrO_2 、 HfO_2 、 La_2O_3 、 SiO_x (例えば SiO_2)、 SiN_x (例えば Si_3N_4) および SiO_xN_y のうちの少なくとも1からなる層、またはこれらの中から選ばれた少なくとも2層の積層が挙げられる。

【0022】

Pチャネル型MISFET120は、第1ゲート122、第1ソース124および第1ドレイン126を有する。第1ソース124および第1ドレイン126は、ベース基板102に形成される。Pチャネル型MISFET120は、半導体結晶層106が上方に位置しない領域のベース基板102に形成され、第1ソース124および第1ドレイン126に挟まれるベース基板102の一部102aをチャンネルとする。第1ゲート122は、当該一部104aの上方に形成される。チャンネル領域であるベース基板102の一部102aと第1ゲート122に挟まれた分離層110の一部110aは、Pチャネル型MISFET120のゲート絶縁層として機能してもよい。

【0023】

第1ソース124および第1ドレイン126は、Ge原子とニッケル原子との化合物からなる。あるいは第1ソース124および第1ドレイン126は、Ge原子とコバルト原子との化合物からなる。あるいは第1ソース124および第1ドレイン126は、Ge原子とニッケル原子とコバルト原子との化合物からなる。これらGeのニッケル化合物あるいはコバルト化合物あるいはニッケル-コバルト化合物は、電気抵抗が低い低抵抗化合物である。

【0024】

Nチャネル型MISFET130は、第2ゲート132、第2ソース134および第2ドレイン136を有する。第2ソース134および第2ドレイン136は、半導体結晶層106に形成される。Nチャネル型MISFET130は、第2ソース134および第2ドレイン136に挟まれる半導体結晶層106の一部106aをチャンネルとする。第2ゲート132は、当該一部106aの上方に形成される。チャンネル領域である半導体結晶層106の一部106aと第2ゲート132に挟まれた領域には、絶縁層112の一部112aが形成される。当該一部112aは、Nチャネル型MISFET130のゲート絶縁層として機能してもよい。

【0025】

第2ソース134および第2ドレイン136は、III族原子およびV族原子とニッケル原子との化合物からなる。あるいは第2ソース134および第2ドレイン136は、III族原子およびV族原子とコバルト原子との化合物からなる。あるいは第2ソース134および第2ドレイン136は、III族原子およびV族原子とニッケル原子とコバルト原子との化合物からなる。これらIII-V族結晶のニッケル化合物あるいはコバルト化合物あるいはニッケル-コバルト化合物は、電気抵抗が低い低抵抗化合物である。

【0026】

以上の通り、Pチャネル型MISFET120のソース・ドレイン(第1ソース124および第1ドレイン126)と、Nチャネル型MISFET130のソース・ドレイン(第2ソース134および第2ドレイン136)が、共通の原子(ニッケル原子、コバルト

10

20

30

40

50

原子またはその両方の原子)の化合物からなる。これは共通の原子を有する材料膜を用いた当該部位の製造を可能にする構成であり、製造工程の簡略化を可能にする。また、共通の原子としてニッケルまたはコバルトまたはその両方を用いることで、I I I - V 族化合物半導体結晶層に形成したソース・ドレイン、Ge 結晶に形成したソース・ドレインの何れであっても、ソース領域およびドレイン領域の電気抵抗を低くできる。この結果、製造工程を簡略化すると共に F E T の性能を高くすることができる。

【0027】

なお、第1ソース124および第1ドレイン126にアクセプタ不純物原子をさらに含んでよく、第2ソース134および第2ドレイン136にドナー不純物原子をさらに含んでよい。Nチャネル型M I S F E T 130のソース・ドレイン(第2ソース134および第2ドレイン136)部に添加されるドナー不純物原子として、S i、S、S e、G eが挙げられる。Pチャネル型M I S F E T 120のソース・ドレイン(第1ソース124および第1ドレイン126)部に添加されるアクセプタ不純物原子として、B、A l、G a、I nが挙げられる。

【0028】

図2から図6は、半導体デバイス100の製造過程における断面を示す。まず、ベース基板102と半導体結晶層形成基板160を用意し、半導体結晶層形成基板160上に半導体結晶層106をエピタキシャル結晶成長法により形成する。また、ベース基板102上に分離層110を形成する。分離層110は、たとえばA L D (Atomic Layer Deposition) 法、熱酸化法、蒸着法、C V D (Chemical Vapor Deposition) 法、スパッタ法等の薄膜形成法により形成する。半導体結晶層形成基板160としてI n P 基板、G a A s 基板が選択できる。

【0029】

半導体結晶層106のエピタキシャル結晶成長には、M O C V D (Metal Organic Chemical Vapor Deposition) 法を利用することができる。I I I - V 族化合物半導体結晶層をM O C V D 法で形成する場合、I n ソースにはT M I n (トリメチルインジウム)を、G a ソースにはT M G a (トリメチルガリウム)を、A s ソースにはA s H₃ (アルシン)、P ソースにはP H₃ (ホスフィン)を用いることができる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。Pチャネル型M I S F E T 120をベース基板102に形成するに際して、ベース基板となるG e 基板表面にさらに結晶性の良いG e エピタキシャル結晶層を形成することもできる。G e 結晶層をC V D 法で形成する場合、G e ソースには、G e H₄ (ゲルマン)を用いることもできる。キャリアガスには水素を用いることができる。反応温度は、300℃から900℃の範囲で、好ましくは450～750℃の範囲で適宜選択できる。ソースガス供給量や反応時間を適宜選択することでエピタキシャル成長層の厚さを制御することができる。

【0030】

図2に示すように、半導体結晶層106の表面と分離層110の表面をアルゴンビーム150で活性化する。その後、図3に示すように、半導体結晶層106の表面を分離層110の表面の一部に貼り合わせて接合する。貼り合わせは室温で行うことができる。活性化はアルゴンビーム150である必要はなく、他の希ガス等のビームであっても良い。その後、半導体結晶層形成基板160をH C l 溶液等でエッチングし、除去する。これにより、ベース基板102上に分離層110が形成され、分離層110表面の一部の上に半導体結晶層106が形成される。なお、分離層110とベース基板102とを貼り合わせる前に、半導体結晶層106の表面を硫黄原子で終端する硫黄終端処理を行っても良い。

【0031】

図2および図3に示す例では、分離層110をベース基板102の上にのみ形成し、分離層110の表面と半導体結晶層106の表面とを貼り合わせる例を説明したが、半導体結晶層106の上にも分離層110を形成し、ベース基板102上の分離層110の表面と半導体結晶層106上の分離層110の表面とを貼り合わせてもよい。この場合、分離

10

20

30

40

50

層 1 1 0 の貼り合わせる面を親水化処理することが好ましい。親水化処理した場合は、分離層 1 1 0 どうしを加熱して貼り合わせることを好ましい。あるいは、半導体結晶層 1 0 6 の上にのみ分離層 1 1 0 を形成し、ベース基板 1 0 2 の表面と半導体結晶層 1 0 6 上の分離層 1 1 0 の表面とを貼り合わせてもよい。

【0032】

図 2 および図 3 に示す例では、半導体結晶層 1 0 6 をベース基板 1 0 2 上の分離層 1 1 0 に貼り合わせた後に、半導体結晶層 1 0 6 を半導体結晶層形成基板 1 6 0 から分離する例を説明したが、半導体結晶層 1 0 6 を半導体結晶層形成基板 1 6 0 から分離した後に、半導体結晶層 1 0 6 を分離層 1 1 0 に貼り合わせてもよい。この場合、半導体結晶層 1 0 6 を半導体結晶層形成基板 1 6 0 から分離した後、分離層 1 1 0 に貼り合わせるまでの間、適切な転写用基板に半導体結晶層 1 0 6 を保持することが好ましい。

10

【0033】

図 4 に示すように、半導体結晶層 1 0 6 の上に絶縁層 1 1 2 を形成する。絶縁層 1 1 2 は、たとえば A L D 法、熱酸化法、蒸着法、C V D 法、スパッタ法等の薄膜形成法により形成する。さらに、ゲートとなる金属たとえばタンタルの薄膜を蒸着法、C V D 法またはスパッタ法により形成し、当該薄膜をフォトリソグラフィを用いてパターンニングし、半導体結晶層 1 0 6 が形成されていないベース基板 1 0 2 の上方に第 1 ゲート 1 2 2 を形成し、半導体結晶層 1 0 6 の上方に第 2 ゲート 1 3 2 を形成する。

【0034】

図 5 に示すように、第 1 ゲート 1 2 2 の両側の分離層 1 1 0 に、ベース基板 1 0 2 に達する開口を形成し、第 2 ゲート 1 3 2 の両側の絶縁層 1 1 2 に、半導体結晶層 1 0 6 に達する開口を形成する。各ゲートの両側とは、水平方向における、各ゲートの両側を指す。この第 1 ゲート 1 2 2 両側の開口および第 2 ゲート 1 3 2 両側の開口のそれぞれは、第 1 ソース 1 2 4、第 1 ドレイン 1 2 6、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 のそれぞれが形成される領域に該当する。これら開口の底部に露出したベース基板 1 0 2、および、半導体結晶層 1 0 6 のそれぞれに接するように、ニッケルからなる金属膜 1 7 0 を形成する。金属膜 1 7 0 は、コバルト膜、またはニッケルコバルト合金膜であってもよい。

20

【0035】

図 6 に示すように、金属膜 1 7 0 を加熱する。加熱により、ベース基板 1 0 2 と金属膜 1 7 0 とが反応し、Ge 原子と、金属膜 1 7 0 を構成する原子との化合物が形成され、第 1 ソース 1 2 4 および第 1 ドレイン 1 2 6 となる。同時に、半導体結晶層 1 0 6 と金属膜 1 7 0 とが反応し、I I I 族原子および V 族原子と、金属膜 1 7 0 を構成する原子との化合物が形成され、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 となる。金属膜 1 7 0 がニッケル膜である場合、第 1 ソース 1 2 4 および第 1 ドレイン 1 2 6 として、Ge 原子とニッケル原子との低抵抗化合物が生成され、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 として、第 2 半導体結晶層 1 0 6 を構成する I I I 族原子および V 族原子とニッケル原子との低抵抗化合物が生成される。なお、金属膜 1 7 0 がコバルト膜である場合、第 1 ソース 1 2 4 および第 1 ドレイン 1 2 6 として、Ge 原子とコバルト原子との化合物が生成され、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 として、I I I 族原子および V 族原子とコバルト原子との化合物が生成される。金属膜 1 7 0 がニッケルコバルト合金膜である場合、第 1 ソース 1 2 4 および第 1 ドレイン 1 2 6 として、Ge 原子とニッケル原子とコバルト原子との化合物が生成され、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 として、I I I 族原子および V 族原子とニッケル原子とコバルト原子との化合物が生成される。最後に未反応の金属膜 1 7 0 を除去し、図 1 の半導体デバイス 1 0 0 が製造できる。

30

40

【0036】

金属膜 1 7 0 の加熱方法は、R T A (rapid thermal annealing) 法が好ましい。R T A 法を用いる場合、加熱温度としては 2 5 0 °C ~ 4 5 0 °C を用いることができる。上記のような方法により、第 1 ソース 1 2 4、第 1 ドレイン 1 2 6、第 2 ソース 1 3 4 および第 2 ドレイン 1 3 6 をセルフアラインで形成できる。

50

【0037】

以上説明した半導体デバイス100とその製造方法によれば、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136が、同一プロセスで同時に形成されるので、製造工程を簡略化できる。その結果、製造コストが低減され、微細化も容易になる。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136が、ベース基板102あるいは半導体結晶層106を構成する原子、すなわちGe原子あるいはIII-V族原子とニッケル、コバルトあるいはニッケル・コバルト合金との低抵抗化合物である。またこれらの低抵抗化合物と半導体デバイス100のチャンネルを構成するGeおよび半導体結晶層106との接触電位障壁は0.1eV以下と、極めて小さい。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136の各々と電極金属とのコンタクトがオーミックコンタクトとなり、Pチャンネル型MISFET120およびNチャンネル型MISFET130の各オン電流を大きくすることができる。また、第1ソース124、第1ドレイン126、第2ソース134および第2ドレイン136の各抵抗が小さくなるから、Pチャンネル型MISFET120およびNチャンネル型MISFET130のチャンネル抵抗を低くする必要がなく、ドーピング不純物原子の濃度を少なくできる。この結果、チャンネル層でのキャリアの移動度を大きくすることができる。

10

【0038】

上記した半導体デバイス100では、ベース基板102と分離層110とが接しており、ベース基板102の分離層110と接する領域が導電性であるならば、ベース基板102の分離層110と接する領域に電圧を印加し、当該電圧を、Nチャンネル型MISFET130へのバックゲート電圧として作用させることができる。バックゲート電圧の作用は、Nチャンネル型MISFET130のオン電流を大きくし、オフ電流を小さくすることができる。

20

【0039】

上記した半導体デバイス100において、半導体結晶層106を複数有し、複数の半導体結晶層106のそれぞれが、ベース基板102の上面と平行な面内で規則的に配列されてもよい。このように、半導体結晶層106を規則的に配列することで、半導体デバイス100に使用する半導体基板の生産性を高めることができる。半導体結晶層106の規則的な配列は、半導体結晶層106をエピタキシャル成長させた後に半導体結晶層106を規則的な配列にパターニングする方法、または半導体結晶層106を予め規則的な配列に選択的にエピタキシャル成長させる方法、または半導体結晶層106を、半導体結晶層形成基板160上にエピタキシャル成長させた後、半導体結晶層形成基板160から分離し、所定の形状に整形した後、規則的な配列でベース基板102上に貼り合わせる方法、のいずれかの方法により実施でき、また、いずれか複数の方法を組み合わせた方法により実施できる。

30

【0040】

上記した半導体デバイス100において、分離層110を、半導体結晶層106を構成する半導体結晶の禁制帯幅より大きな禁制帯幅を有する半導体結晶とする場合、ベース基板102上に分離層110および半導体結晶層106を連続してエピタキシャル成長法により形成できる。なお、分離層110がエピタキシャル成長結晶である場合、分離層110および半導体結晶層106をベース基板102上に形成した後、分離層110を酸化して非晶質絶縁体層に転換してもよい。たとえば、分離層110がAlAs、あるいはAlInPである場合、選択酸化技術により、分離層110を絶縁性酸化物とすることができる。

40

【0041】

上記した半導体デバイス100の製造方法における貼り合わせ工程では、半導体結晶層形成基板をエッチングして除去する例を説明したが、図7に示すように、結晶性犠牲層190を用いて半導体結晶層形成基板を除去することもできる。すなわち、半導体結晶層形成基板140の上に半導体結晶層106を形成する前に、半導体結晶層形成基板140の

50

表面に、結晶性犠牲層 190 をエピタキシャル結晶成長法により形成する。その後、結晶性犠牲層 190 の表面に半導体結晶層 106 をエピタキシャル成長法により形成し、ベース基板 102 上の分離層 110 を形成し、半導体結晶層 106 の表面と分離層 110 の表面をアルゴンビーム 150 で活性化する。その後、半導体結晶層 106 の表面と分離層 110 の表面を貼り合わせ、図 8 に示すように、結晶性犠牲層 190 を除去する。これにより、半導体結晶層形成基板 140 上の半導体結晶層 106 と半導体結晶層形成基板 140 とが分離される。当該方法によれば、半導体結晶層形成基板の再利用が可能になり、製造コストを低くすることができる。

【0042】

図 9 は、半導体デバイス 200 の断面を示す。半導体デバイス 200 は、半導体デバイス 100 における分離層 110 を有さず、半導体結晶層 106 がベース基板 102 に接して配置されている。なお、半導体デバイス 200 では、分離層 110 が無いので P チャネル型 MISFET 120 のゲート絶縁層として絶縁層 112 が用いられる。その他は半導体デバイス 100 と同じ構造を有するので、共通する部材等の説明は省略する。

【0043】

半導体デバイス 200 は、ベース基板 102 と半導体結晶層 106 とが接合面 103 で接し、ベース基板 102 の接合面 103 の近傍に、p 型または n 型の伝導型を示す不純物原子を含有し、半導体結晶層 106 の接合面 103 の近傍に、ベース基板 102 に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子を含有する。つまり、半導体デバイス 200 は、接合面 103 の近傍に p n 接合を有する。分離層 110 が無い構造であっても、接合面 103 近傍に形成される p n 接合によって、ベース基板 102 と半導体結晶層 106 とを電氣的に分離することが可能であり、ベース基板 102 に形成される P チャネル型 MISFET と半導体結晶層 106 に形成される N チャネル型 MISFET 130 とを電氣的に分離することができる。

【0044】

なお、半導体デバイス 200 は、ベース基板 102 の上に半導体結晶層 106 をエピタキシャル成長法により形成し、半導体結晶層 106 の上に絶縁層 112 を形成する工程以降の工程を半導体デバイス 100 の場合と同様の工程にすることで製造できる。ただし、p n 接合の形成は、ベース基板 102 の表面近傍に、p 型または n 型の伝導型を示す不純物原子を含有させ、半導体結晶層 106 をエピタキシャル成長法により形成するステップにおいて、ベース基板 102 に含有された不純物原子が示す伝導型とは異なる伝導型を示す不純物原子で半導体結晶層 106 をドーピングすることで実施できる。

【0045】

半導体結晶層 106 をベース基板 102 の上に直接形成する構造において、素子分離の必要性が低い場合には分離構造としての p n 接合は必須ではない。つまり、半導体デバイス 200 は、ベース基板 102 の接合面 103 の近傍に p 型または n 型の伝導型を示す不純物原子を含有せず、半導体結晶層 106 の接合面 103 の近傍に p 型または n 型の伝導型を示す不純物原子を含有しない構造であってもよい。

【0046】

半導体結晶層 106 をベース基板 102 の上に直接形成する場合、エピタキシャル成長の後、またはエピタキシャル成長の途中において、アニール処理を施してもよい。アニール処理により、半導体結晶層 106 中の転位が低減する。また、エピタキシャル成長法は、ベース基板 102 の表面全部に半導体結晶層 106 を一様に成長する方法、あるいは、SiO₂ 等の成長阻害層でベース基板 102 の表面を細かく分割し、選択的に成長する方法の何れのエピタキシャル成長法であってもよい。

【0047】

(実施例)

ベース基板 102 として Ge (100) ウェハを用い、半導体結晶層形成基板 160 として InP (100) ウェハを用いた。InP (100) ウェハ上に InGaAs 層をエピタキシャル成長法により形成し、InGaAs 層上に ALD 法により Al₂O₃ 層を形

成した。Ge (100) ウェハ上にALD法により Al_2O_3 層を形成した。InP (100) ウェハ上の Al_2O_3 層とGe (100) ウェハ上の Al_2O_3 層とを貼り合わせ、アニール後にInP (100) ウェハをHClエッチングにより除去した。InGaAs層のIn比は0.53とし、不純物濃度は $10^{15} \text{ atoms/cm}^3$ のオーダーとした。Ge基板の不純物濃度は $1 \sim 2 \times 10^{14} \text{ atoms/cm}^3$ とした。このときの抵抗率は $7.1 \sim 9.5 \Omega \cdot \text{cm}$ であった。InGaAs層の厚さが、20 nm、50 nm、100 nmの3種類のデバイスを作成した。

【0048】

InGaAs層の表面を硫黄化合物で処理し、ALD法により Al_2O_3 層を堆積した。10
 Al_2O_3 層の一部をエッチングし、さらにInGaAs層の一部をエッチングして、Ge基板上にInGaAs層が無い領域を形成した。Ta膜をスパッタリングし、当該Ta膜をパターンニングして、Ge基板上の Al_2O_3 層およびInGaAs層上の Al_2O_3 層の各 Al_2O_3 層上にTaからなるゲートを形成した。ゲート形成後に 350°C でアニールした。図10は、InGaAs層上のTaゲート部分の断面を観察したTEM写真である。図11は、Ge基板上のTaゲート部分の断面を観察したTEM写真である。図10および図11は、InGaAs層の厚さが50 nmの場合である。

【0049】

ゲート両側の Al_2O_3 層に開口を形成し、Ni膜をスパッタリングにより堆積した。250°C、1分の加熱によりNiとGe、およびNiとInGaAsを反応させ、未反応のNiをウェットエッチングにより除去し、InGaAs層およびGe基板の各々にNi化合物からなるソース・ドレインを形成した。図12は、Ge基板上のpMOSFETとInGaAs層上のnMOSFETを上方から観察したSEM写真である。20

【0050】

図13は、Ge基板上pMOSFETとInGaAs層上nMOSFETのドレイン電流対ドレイン電圧特性を示す。各FETのゲート幅Wおよびゲート長Lは各々100 μm および50 μm である。InGaAs層の厚さが20 nmのものを示した。ゲート電圧を0 ~ -2 V (pMOSFETの場合)、0 ~ 2 V (nMOSFETの場合) の範囲で変えた。ゲート電圧で適切に制御された良好なドレイン電流対ドレイン電圧特性が観測された。

【0051】

図14および図15は、ゲート電圧対ドレイン電流特性を示す。ドレイン電流はゲート幅で規格化した絶対値で示す。図14は、Ge基板上pMOSFETの特性を示し、図15は、InGaAs層上nMOSFETの特性を示す。各FETのゲート幅Wおよびゲート長Lは各々100 μm および20 μm である。InGaAs層の厚さは20 nmである。各図において、ドレイン電圧が1 Vの場合と50 mVの場合を示した。図15のnMOSFETについては、シングルゲート (SG) の場合に加えてダブルゲート (DG) の場合も示した。図14および図15より、Ge基板上pMOSFETおよびInGaAs層上nMOSFETの何れのFETも正常に動作していることがわかる。特に、InGaAs層上nMOSFETのダブルゲート動作においては、電流オンオフ比が 10^6 程度であり、良好なトランジスタ特性を示す。30

【0052】

図16は、Ge基板上pMOSFETのホール移動度を電荷密度Nsとの関係で示す。図17は、InGaAs層上nMOSFETの電子移動度を電荷密度Nsとの関係で示す。図17では、InGaAs層の厚さが20 nm、50 nm、100 nmの各々の場合について示す。図16および図17において、比較としてSiを活性層とする場合の移動度を示す。図16および図17より、Ge基板上pMOSFETのホール移動度、InGaAs層上nMOSFETの電子移動度の何れもが、各々 $260 \text{ cm}^2/\text{Vs}$ 、 $1800 \text{ cm}^2/\text{Vs}$ と高い値を示すことがわかった。これらの値は、Siの場合と比較して、それぞれ2.3倍、3.5倍であった。40

【0053】

特許請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。特許請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。また、「上」、「下」等の方向を指す語句は、半導体基板および半導体デバイスにおける相対的な方向を示しており、地面等の外部の基準面に対する絶対的な方向を指すものではない。

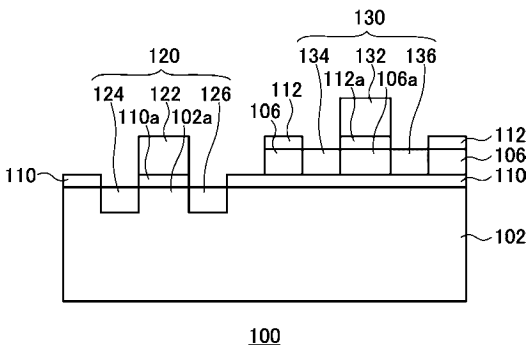
10

【符号の説明】

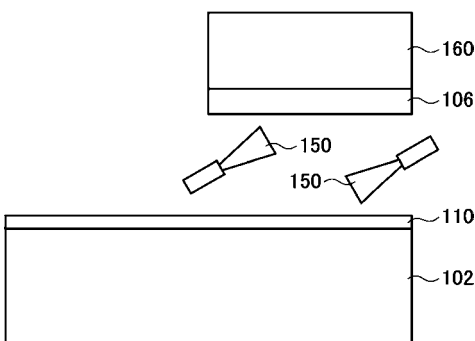
【0054】

100 半導体デバイス、102 ベース基板、102a ベース基板の一部、103 接合面、106 半導体結晶層、106a 半導体結晶層の一部、110 分離層、110a 分離層の一部、112 絶縁層、112a 絶縁層の一部、120 Pチャネル型MISFET、122 第1ゲート、124 第1ソース、126 第1ドレイン、130 Nチャネル型MISFET、132 第2ゲート、134 第2ソース、136 第2ドレイン、140 半導体結晶層形成基板、150 アルゴンビーム、160 半導体結晶層形成基板、170 金属膜、190 結晶性犠牲層、200 半導体デバイス

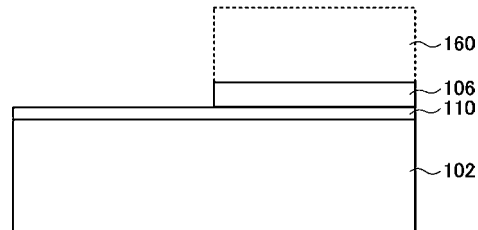
【図1】



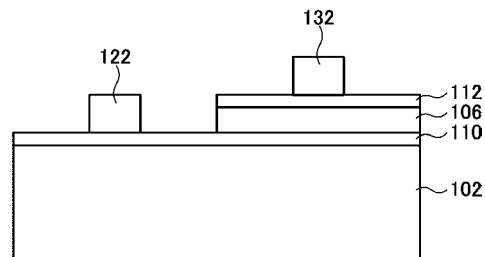
【図2】



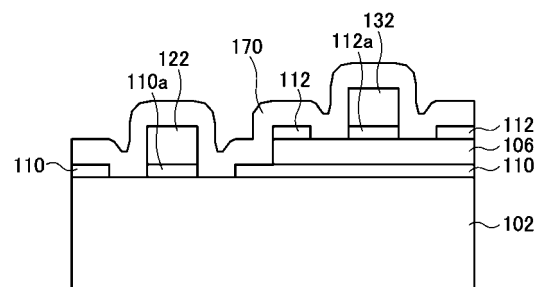
【図3】



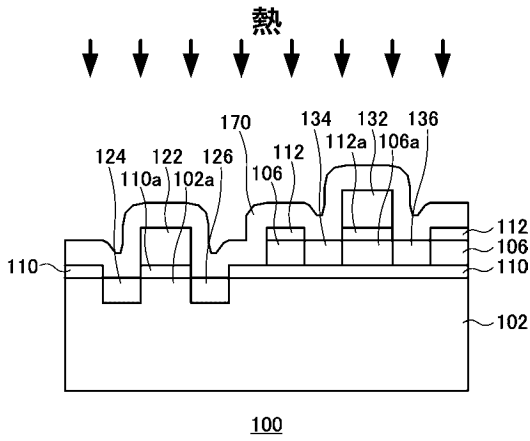
【図4】



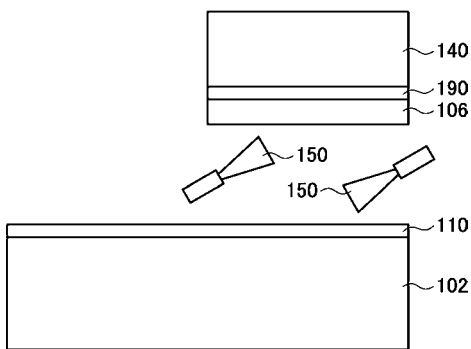
【図5】



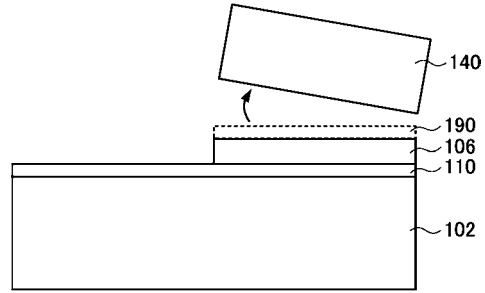
【図 6】



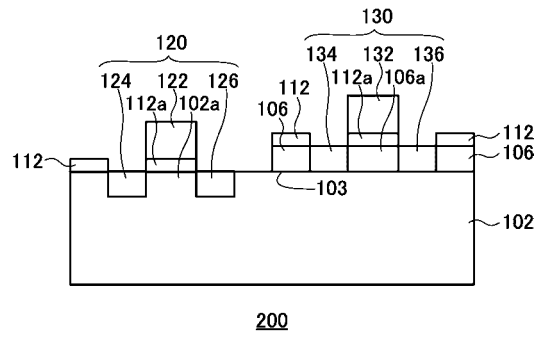
【図 7】



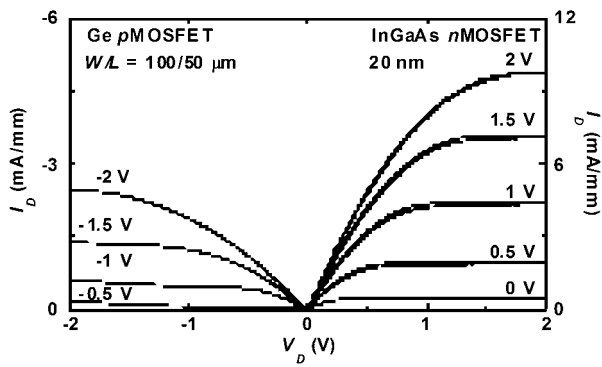
【図 8】



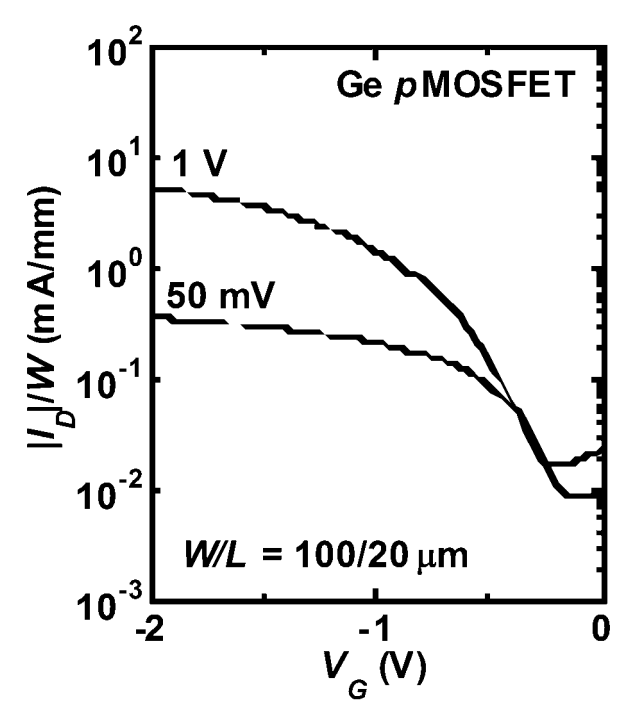
【図 9】



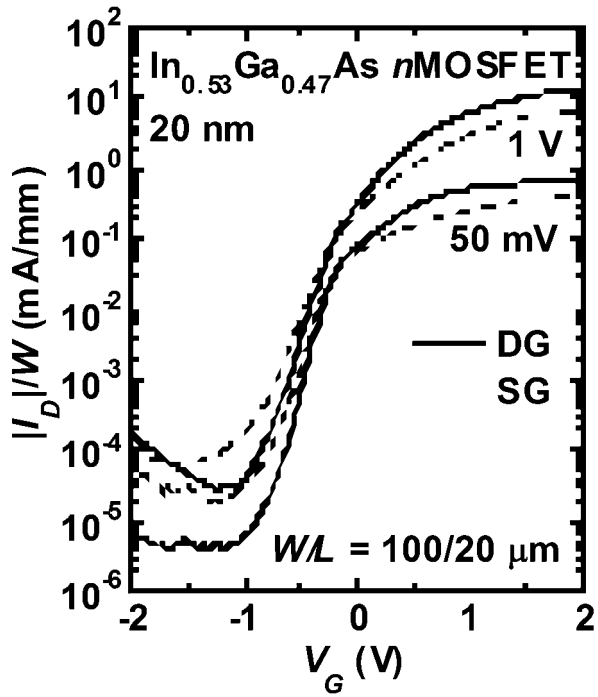
【図 13】



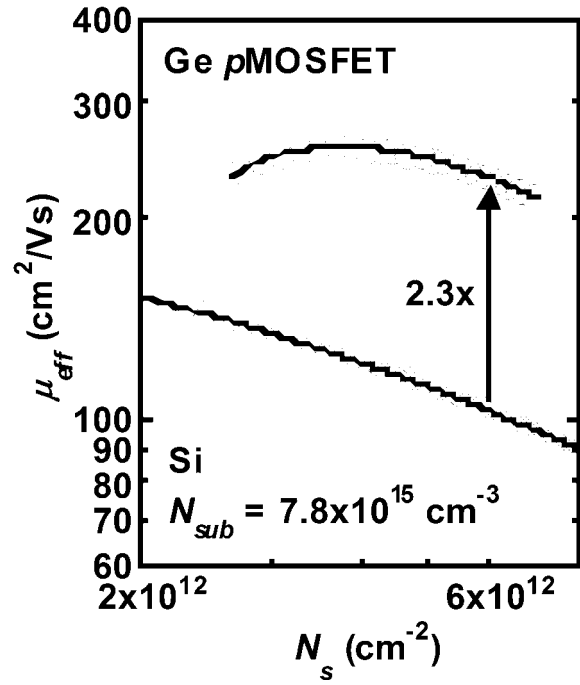
【図 14】



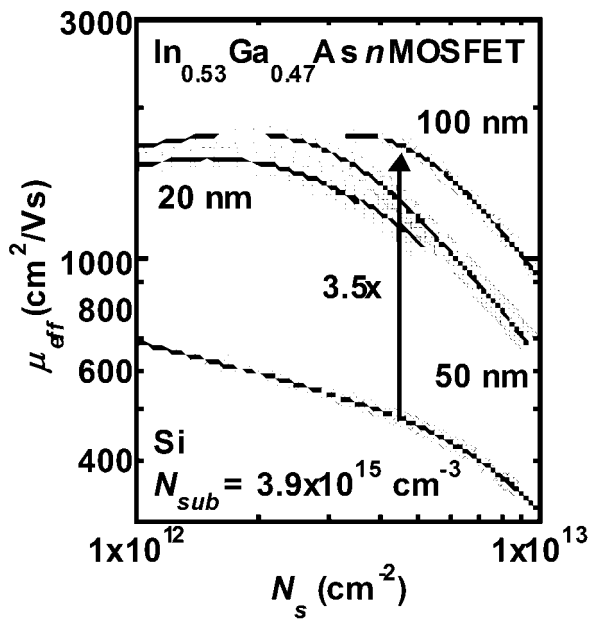
【図 1 5】



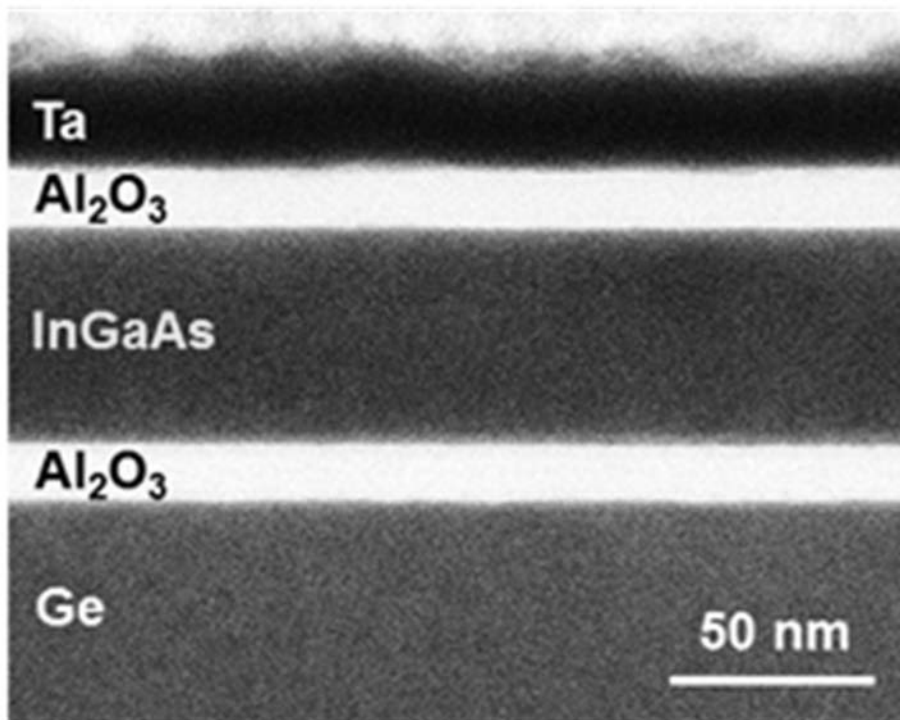
【図 1 6】



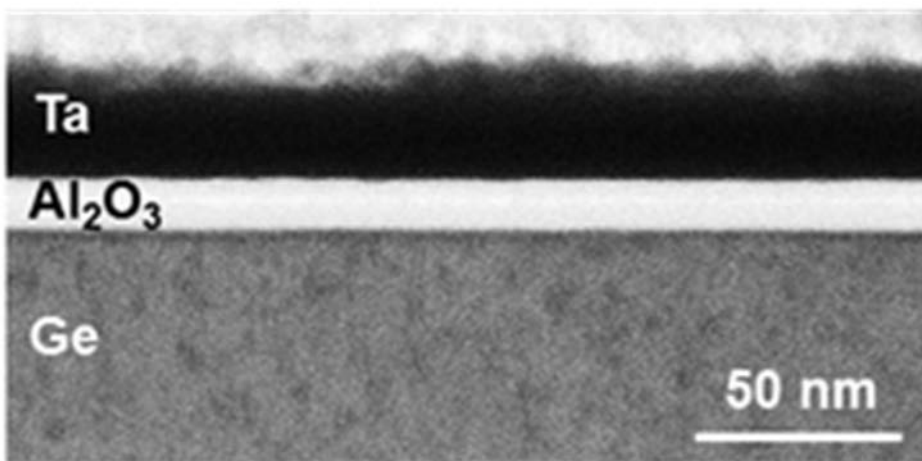
【図 1 7】



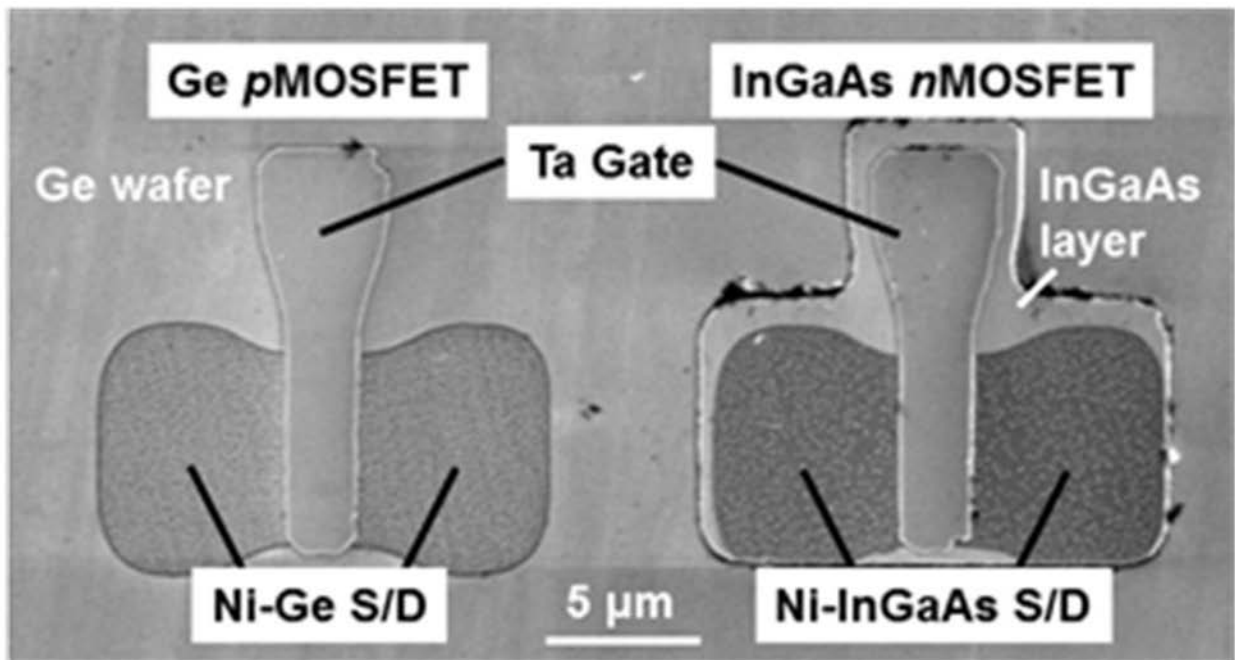
【図 1 0】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)
H 0 1 L 21/28 3 0 1 R

(72)発明者 山田 永
茨城県つくば市北原6番 住友化学株式会社内

(72)発明者 横山 正史
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 金 相賢
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 張 睿
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 竹中 充
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 高木 信一
東京都文京区本郷七丁目3番1号 国立大学法人東京大学内

(72)発明者 安田 哲二
茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

Fターム(参考) 4M104 AA02 AA03 AA04 AA05 BB36 BB40 CC01 DD78 DD80 DD83
DD94 FF27 GG08 GG10 GG12 HH15
5F048 AA07 AA08 AA09 AC03 BA14 BA20 BB09 BB11 BC15 BD09
BE09
5F110 CC02 DD01 DD12 DD13 DD14 DD15 DD17 EE04 EE42 EE44
EE45 FF01 FF02 FF03 FF04 FF09 FF23 FF27 FF28 FF29
GG04 GG12 HJ01 HJ12 HJ16 HJ22 QQ11 QQ16