

公告

申請日期	89. 2. 24
案 號	89103245
類 別	G11C 1/34, G06F 7/00

A4
C4

462054

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	差動感測放大器電路以及使用該電路之動態邏輯電路
	英 文	"DIFFERENTIAL SENSE AMPLIFIER CIRCUIT AND DYNAMIC LOGIC CIRCUIT USING THE SAME"
二、發明 人	姓 名	平入 孝二
	國 籍	日本
	住、居所	日本東京都品川區北品川六丁目七番35號
三、申請人	姓 名 (名稱)	日商新力股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本東京都品川區北品川六丁目七番35號
	代 表 人 姓 名	出井 伸之

裝

訂

線

462054

(由本局填寫)

承辦人代碼：
大類： -
I P C分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本 1999年12月22日 特願平11-365661 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明-(1)

發明背景

1. 發明範疇

本發明係關於CMOS積體電路及其應用的動態邏輯電路。

本文的動態邏輯電路表示一種在雙相之間交替的邏輯電路，亦即閒置相，其設定內部節點的電位，而在工作相會根據輸入信號而評估邏輯，及根據時脈或其他控制信號而界定輸出節點的電位。

2. 先前技藝說明

圖1是習用差動感測放大器電路配置例子的電路圖(參考D. Somaseckhar, K. Roy, "Differential Current Switch Logic: A Low Power DCVS Logic Family", IEEE JSSC, vol. 31, no. 7, pp. 981-991, July 1996)。

此差動感測放大器電路10具有(圖1) P通道型 MOS (PMOS) 電晶體 PT11 到 PT133，N 通道型 MOS (NMOS) NT11 到 NT15，邏輯輸入端 TF 及 TFX，邏輯輸出端 TH 及 THX，邏輯輸入端 TCLKX，及完全信號使用輸出端 TDONE 指示邏輯的定義。

PMOS 電晶體 PT11 的源極接到電源電壓 Vdd 的電源線，而汲極接到 PMOS 電晶體 PT12，PT13 及完全信號使用輸出端 TDONE。

PMOS 電晶體 PT12 及 NMOS 電晶體 NT11 的汲極及閘極互相連接以組成反相器 INV11。

反相器 INV11 的輸出節點 NT11 是由 NMOS 電晶體 PT12 及

五、發明說明-(2)

NMOS 電晶體 NT11 的連接點而組成，而由閘極連接點組成反相器 INV11 的輸入節點 ND12。

類似的，PMOS 電晶體 PT13 及 NMOS 電晶體 NT12 的汲極及閘極互相連接以組成反相器 INV12。

反相器 INV12 的輸出節點 ND13 是由 PMOS 電晶體 PT13 及 NMOS 電晶體 NT12 的連接點而組成，而由閘極連接點組成反相器 INV12 的輸入節點 ND14。

NMOS 電晶體 NT11 及 12 的源極接地。

反相器 INV11 的輸出節點 ND11 接到反相器 INV12 的輸入節點 ND14 及邏輯輸出端 TH，而反相器 INV12 的輸出節點 ND13 接到反相器 INV11 的輸入節點 ND12 及邏輯輸出端 HX。

此外 NMOS 電晶體 NT15 接在反相器 INV11 的輸入節點 ND12 與反相器 INV12 的輸入節點 ND14 之間，換言之，在 NMOS 電晶體 NT11 的閘極與 NMOS 電晶體 NT12 的閘極之間。

此外 NMOS 電晶體 NT13 接在邏輯輸出端 TH 與邏輯輸入端發生之間，而 NMOS 電晶體 NT14 接在邏輯輸出端 THX 與邏輯輸入端 TFX 之間。

此外 PMOS 電晶體 PT11 的閘極及 NMOS 電晶體 NT15 的閘極接到時脈輸入端 TCLKX，NMOS 電晶體 NT13 閘極接到反相器 INV11 的輸入節點 ND12，而 NMOS 電晶體 NT14 閘極接到反相器 INV12 的輸入節點 ND14。

具有上述配置的差動感測放大器電路 10 是上述文件所

五、發明說明-(³)

述的DCSL(差動電流開關邏輯)3型感測放大器電路。

以下參考圖2,3說明差動感測放大器電路10的操作原理以顯示模擬波形。

注意假設基極點(相位從閒置相切換成工作相)是時脈時脈的升緣,在DCSL3型感測放大器電路中,控制信號的降緣是接到工作相的基極點,因此在以下說明中要介紹及使用時脈的倒置信號CLK_X。

圖2是DCSL3型感測放大器電路在時脈時脈的升緣的操作波形圖(模擬結果),亦即在時脈倒置信號CLK_X降緣,此外換言之,圖2的過程顯示在時脈CLK_X的降緣相位由此從閒置級變成工作級,以及因此而定義邏輯。

此外圖3是DCSL3型感測放大器電路在時脈時脈的降緣的操作波形圖(模擬結果),亦即在時脈倒置信號CLK_X升緣。

在圖2,3中,橫座標表示時間而縱座標表示電壓。

在圖2的差動感測放大器10中,當時脈倒置信號CLK_X具有邏輯“1”而相位是閒置級時,邏輯輸出H及H_X不會成為電位0V,而是正好升起MOS門檻值的量。

這些邏輯輸出H及H_X的位準(亦即邏輯輸出端TH及THX的電位)也傳送到NMOS電晶體NT13,NT14的閘極,因此中斷NMOS電晶體NT13,NT14。

因此,顯示一種未示狀態即接到邏輯輸入端TF,TFX及感測放大器電路10的邏輯樹是中斷的。

接著當時脈倒置信號CLK_X是邏輯“0”而相位是工作相

五、發明說明-(4)

位時，PMOS電晶體PT11即導通，電流通過PMOS電晶體PT12，PT13而邏輯輸出端TH及THX的電位開始上升，此節點的邏輯輸出端TH及THX電位也傳送到NMOS電晶體NT13，NT14的閘極，因此NMOS電晶體NT13，NT14開始導通而且電流開始從感測放大器流到邏輯輸入端TF及TFX。

如以下所述，邏輯輸入端TF與TFX之間的電流有差異，由PMOS電晶體PT11到PT13及NMOS電晶體NT11，NT12組成的感測放大器可增加邏輯輸出H與H_X之間的電位差，且根據該差異而定義邏輯。

此時，邏輯輸出H或H_X一定變成邏輯“0”，在圖的例子中，邏輯輸出H_X是邏輯“0”。

因此具有與邏輯輸出端THX是連接關係的NMOS電晶體NT13即中斷，此NMOS電晶體NT13是控制邏輯輸出端TF的開關。

因此可以將邏輯輸入端TF的電流抑制在要求的極小值。

當時脈倒置信號CLK_X是邏輯“1”而相位是閒置級時，NMOS電晶體NT15即導通。

因此，輸出線(包括邏輯輸出H的端TH)上存在的電荷即經由NMOS電晶體NT15而流入輸出線(包括邏輯輸出H_X的端THX)，因此2個邏輯輸出端TH及THX的電位相等。

此時的電位稍大於MOS的門檻值，因此顯示NMOS電晶

五、發明說明-(5)

體NT11，NT12稍微呈現導通的狀態。結果，經由它們而稍微放電，因此在次一刻，邏輯輸出端TH，THX的電位幾乎與MOS的門檻值相等。

例如由NMOS電晶體NT21到NT34組成的雙邏輯樹20接到DCSL3型的感測放大器電路10的邏輯輸入端TF，TFX(具有如圖4所示的配置及功能)，因而實施一動態邏輯電路。

如上所述動態邏輯電路表示一種在雙相之間交替的邏輯電路，亦即在閒置相設定內部節點的電位，而在工作相根據輸入信號而評估邏輯函數，及根據控制信號而定義輸出節點的電位，通常時脈用在控制信號。

如上所述，在DCSL3型感測放大器電路10之中，在閒置相，內部節點，亦即邏輯輸出H及H_X設定為邏輯“0”。

在判定邏輯的工作相位中，圖1的NMOS電晶體NT13，NT14是導通狀態，而電流經由PMOS電晶體PT11到PT13而流到邏輯樹20。

此時邏輯輸入F或F_X一直具有接地路徑，而另一者在路徑的中央中斷。

因此在流到邏輯輸入端TF的電流與流到邏輯輸入端TFX的電流之間有大小的差異。

圖1的感測放大器是由PMOS電晶體PT11到PT13組成，而NMOS電晶體NT11，NT12根據電流差而增加邏輯輸出(節點)H與H_X之間的電位差，最後到達且定義邏輯電位。

五、發明說明-(6)

惟上述DCSL3型的差動感測放大器電路10有以下3個問題。

DCSL3型的第一問題是指示邏輯定義的完成信號DONE不完全，以下參考圖5以說明第一問題。

圖5是當相位從閒置相切換成工作相時完成信號DONE的狀態圖。

由圖5可知，閒置相中的完成信號DONE遠大於NMOS電晶體的門檻值而且不再表示“0”。

此外，相位成為工作相的時序及完成信號DONE上升與邏輯輸出H及H_X的定義時序明顯不同。

因此可知後者的邏輯電路在完成信號DONE的作用下會發生故障。

DCSL3型的第二問題是閒置相中邏輯輸出H，H_X的電位不完全是0伏，如上所述，電位是接近NMOS電晶體的門檻值。

即使在MOS，其中不大於門檻值的電位加入閘極而且中斷，汲極電流仍會流動，通常這稱為漏電流(或中斷漏電流)，已知電流量是依閘極電位的指數變化。

以下參考圖6A，圖6B以說明它的實例。

圖6A，圖6B說明CMOS反相器的漏電流，其中圖6A是模擬主題的電路圖，而圖6B是模擬結果的圖形，即輸出電壓，漏電流與輸入電壓特徵的比較。

明確而言當輸入端的電位相與的CMOS反相器而從0伏變成電壓(1.5伏)時，圖6B即收集輸出電壓及漏電流

五、發明說明-(7)

(參考圖6A的同一圖形)。

在此，由圖2等可知閒置相中輸出H，H_X的電位在0.2伏附近。

根據圖6B，當輸入電壓是0.2伏，漏電流是輸入電壓是0.0伏的100倍。

因此在DCSL3型的差動感測放大器電路中有一問題，即電路停止時功率消耗會變大。

DCSL3型的第三問題是因耦合雜訊而導致感測放大器的故障。

寄生電容元件存在於2個很接近的接點之間，若在一接點發生電位變動，與變動電位差的時間差動成正比的移位電流即經由寄生電容而流到相鄰接點，而導致電位變動，此一不正常電位變動稱為耦合雜訊。

圖7是評估耦合雜訊的電阻模式。

在評估模式30中，寄生電容C31到C40假設存在於感測放大器電路10的四周，所以雜訊經由節點NZ1到NZ5而從雜訊電壓源31到35傳送到感測放大器內部的節點H，H_X，F，F_X。

例如若上升信號輸入節點NZ1，則在其影響下節點H的電壓稍微上升。

圖8是此模式施加到感測放大器電路DCSL3型10時的操作波形圖，其中在約與時脈倒置信號CLK_X下降同時的時間，下降信號輸入節點NZ1。

此時輸入信號的情況與圖2的相同，在正提供操作下，

五、發明說明-(⁸)

H 等於 1 而 H_X 等於 0。

惟在圖 8，H 等於 0 而 H_X 等於 1，圖中有一現象，即在節點 NZ1 下降的那段時間。邏輯輸出 H 的電位低於邏輯輸出 H_X 的電位。

這不會在圖 2 發生，其中無雜訊，在圖 2，在邏輯輸出 H 的電壓必須等於圖 2H_X 的電壓的時間，邏輯輸出 H 的電位即變低，在圖 8 節點 NZ1 的影響下它雖然很小。

感測放大器電路 10 增加此不正常的發生電位差，因而最後產生錯誤的邏輯值。

事實上該電路在幾乎與時脈倒置信號 CLK_X 下降的同時，從外界收到下降信號時即會故障，這表示因使用 DCSL3 型的相鄰記憶格中導致的時脈倒置信號 CLK_X 的下降，而發生的故障機率。

此一不穩定電路並不實用。

發明總結

本發明是在考慮此一情況而產生，且具有一目的是提供一種實用的差動感測放大器能產生一完成信號不導致後方邏輯電路的故障，且能在電路停止時減少功率消耗，且不因耦合雜訊及使用它的動態邏輯電路而發生故障。

根據本發明的第一特點而提供一種根據一控制信號而在閒置相與工作相之間交替之差動感測放大器電路，包括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二

五、發明說明-(⁹)

反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以在一參考電位設定第一邏輯輸入端及第二邏輯輸入端，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端與第一及第二切換裝置之連接。

此外在本發明中，設定裝置包括一第一切換元件其接在第一邏輯輸出端與參考電位之間，且在其控制端藉由接收指示閒置相之控制信號而導通，一第二切換裝置其接在第二邏輯輸出端與參考電位之間，且在其控制端藉由接收指示閒置相之控制信號而導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一

五、發明說明-(¹⁰)

第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第二切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在一第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第三切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第四切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在一第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀

五、發明說明-(¹¹)

態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第二切換元件，其接在一中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第一切換元件導通時維持在一非導通狀態，及當第一切換元件維持在非導通狀態時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第三切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第四切換元件，其接在中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第五切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第六切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第三切換元件導通時維持在非導通狀態，及當第三切換元件維持在非導通狀態時即導

五、發明說明(12)

通。

此外在本發明中，第一設定裝置之第一切換元件或第三切換元件包括一n通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

此外在本發明中，第一設定裝置之第一切換元件或第三切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

根據本發明之第二特點，提供一種根據一控制信號而在一閒置相與一工作相之間交替之差動感測放大器電路，包括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(¹³)

切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端與第一及第二切換裝置之連接。

此外在本發明中，設定裝置包括一第一切換元件接在第一反相器之輸入與第二反相器之輸入之間，且在其控制端於收到指示閒置相之控制信號而導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第二切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第二切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第三切換元件，其接在一第二

五、發明說明-(¹⁴)

電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，而第二設定裝置包括一第二切換元件，其接在一中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第三切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第一切換元件導通時維持在非導通狀態，及當第一切換元件維持在非導通狀態時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第二切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導

五、發明說明(15)

通，而第二設定裝置包括一第三切換元件，其接在中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第四切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第二切換元件導通時維持在非導通狀態，及當第二切換元件維持在非導通狀態時即導通。

此外在本發明中，第一設定裝置之第一切換元件或第二切換元件包括一n通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

此外在本發明中，第一設定裝置之第一切換元件或第二切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

根據本發明之第三特點，提供一種根據一控制信號而在一閒置相與一工作相之間交替之差動感測放大器電路，包括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時

五、發明說明-(16)

操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置。

此外在本發明中，設定裝置包括一第一切換元件接在第一反相器之輸入與第二反相器之輸入之間，且在其控制端於收到指示閒置相之控制信號而導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第一切換元件及一第二切換元件，其串聯在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端之閒置相時間藉由接收第一邏輯輸出端之電位及第二邏輯輸出端之電位而導通，而第二設定裝置包括一第三切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(17)

二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，連接控制裝置之第一設定裝置包括一第二切換元件及一第三切換元件，其串聯在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端之間置相時間藉由接收第一邏輯輸出端之電壓及第二邏輯輸出端之電壓而導通，而第二設定裝置包括一第四切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

此外在本發明中，第一設定裝置之第一切換元件及第二切換元件各包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

此外在本發明中，連接控制裝置輸出一完成信號指示由控制信號定義邏輯。

根據本發明之第四特點，提供一種根據一控制信號而在一閒置相與一工作相之雙相之間交替之動態邏輯電路，包

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明-(18)

括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以在一參考電位設定第一邏輯輸入端及第二邏輯輸入端，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸入信號而形成到達參考電位之路徑。

根據本發明之第五特點，提供一種根據一控制信號而在

五、發明說明(19)

一閒置相與一工作相之雙相之間交替之動態邏輯電路，包括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸入信號而形成到達參考電位之路徑。

五、發明說明-(²⁰)

根據本發明之第六特點，提供一種根據一控制信號而在一閒置相與一工作相之雙相之間交替之動態邏輯電路，包括一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

五、發明說明-(²¹)

入信號而形成到達參考電位之路徑。

根據本發明，當供應指示閒置相之控制信號時，即設定差動感測放大器電路之第一邏輯輸出端及第二邏輯輸出端為參考電位如0伏(第二位準)。

因此，可抑制連接設定裝置之第二設定裝置對於第二電源電位之設定，而且由第一設定裝置實質設定控制節點在第一電源電位。結果，由第一切換裝置電連接第一邏輯輸入端與第一邏輯輸出端，而且由第二切換裝置電連接第二邏輯輸入端與第二邏輯輸出端。

在此，當相位切換成工作相時，即抑制連接設定裝置之第一設定裝置對於第一電源電位之設定，而且由第二設定裝置設定控制節點在第一第二電源電位。

接著在感測放大器中根據第一及第二邏輯輸入擁有之導通電阻差，而定義第一邏輯輸出及第二邏輯輸出之電位為(第一位準，第二位準)或(第二位準，第一位準)。

圖示簡單說明

本發明的這些及其他目的與特點可配合附圖及以下較佳實施例的詳細說明而更加瞭解，其中：

圖1是習用差動感測放大器電路配置例子的電路圖；

圖2是DCSL3型感測放大器在時脈時脈升緣的操作波形圖(模擬結果)，即時脈倒置信號CLK_X的降緣；

圖3是DCSL3型感測放大器在時脈時脈降緣的操作波形圖(模擬結果)，即時脈倒置信號CLK_X的升緣；

圖4的配置圖顯示一動態邏輯電路，其由連接NMOS電

五、發明說明-(22)

晶體組成的雙邏輯樹到DCSL3型差動感測放大器電路的邏輯輸入端TF及TFX而組成；

圖5是在DCSL3型感測放大器電路中，當相位從閒置相切換成工作相時完成信號DONE的狀態圖；

圖6A及圖6B是CMOS反相器的漏電流示意圖，其中圖6A是模擬目標的電路圖，而圖6B是模擬結果的圖形，即輸出電壓，漏電流與輸入電壓特徵的比較；

圖7是評估耦合雜訊的電阻模式；

圖8是圖7評估耦合雜訊的電阻模式施加到DCSL3型感測放大器時的操作波形圖，在約與時脈倒置信號CLK_X的降緣同時將下降信號送入節點NZ1；

圖9是根據本發明的差動感測放大器電路第一實施例的電路圖；

圖10是動態邏輯電路例子的圖形，其藉由合併根據本發明的差動感測放大器電路與NMOS雙邏輯樹(雙軌型邏輯樹)而組成；

圖11是圖9感測放大器電路的波形圖，其中切換成工作相時不產生雜訊；

圖12是圖9感測放大器電路的波形圖，其中切換成閒置相時不產生雜訊；

圖13是圖9感測放大器電路的波形圖，其中切換成工作相時產生雜訊；

圖14是圖9感測放大器電路的波形圖，其中切換成閒置相時產生雜訊；

五、發明說明-(23)

圖15是根據本發明的差動感測放大器電路第二實施例的電路圖；

圖16是圖15感測放大器電路的波形圖，其中切換成工作相時不產生雜訊；

圖17是圖15感測放大器電路的波形圖，其中切換成閒置相時不產生雜訊；

圖18是圖15感測放大器電路的波形圖，其中切換成工作相時產生雜訊；

圖19是圖15感測放大器電路中完成信號DONE_X的波形圖形；

圖20是根據本發明的差動感測放大器電路第三實施例的電路圖；

圖21是圖20感測放大器電路的波形圖，其中切換成工作相時不產生雜訊；

圖22是圖20感測放大器電路的波形圖，其中切換成閒置相時不產生雜訊；

圖23是圖20感測放大器電路的波形圖，其中切換成工作相時產生雜訊；

圖24是根據本發明的差動感測放大器電路第四實施例的電路圖；

圖25是圖24感測放大器電路的波形圖，其中切換成工作相時不產生雜訊；

圖26是圖24感測放大器電路的波形圖，其中切換成閒置相時不產生雜訊；

五、發明說明-(²⁴)

圖27是圖24感測放大器電路的波形圖，其中切換成工作相時產生雜訊；

圖28是圖24感測放大器電路中完成信號DONE_X的波形圖形；

圖29是根據本發明的差動感測放大器電路第五實施例的電路圖；

圖30是根據本發明的差動感測放大器電路第六實施例的電路圖；及

圖31是根據本發明的差動感測放大器電路第七實施例的電路圖。

較佳實施例之詳細說明

以下參考附圖以說明較佳實施例。

第一實施例

圖9是根據本發明的差動感測放大器電路第一實施例的電路圖。

圖9中的差動感測放大器電路100具有：PMOS電晶體PT101到PT103，NMOS電晶體NT101到NT109，第一邏輯輸入端TF，第二邏輯輸入端TFX，第一邏輯輸出端TH，第二邏輯輸出端THX，時脈輸入端TCLKX，及完成信號使用輸出端TDONE以指示邏輯定義。

PMOS電晶體PT101的源極接到電源電壓Vdd，其汲極接到PMOS電晶體PT102及PT103的源極。

PMOS電晶體PT102及NMOS電晶體NT101的汲極及閘極互相連接以組成反相器INV101。

五、發明說明-(25)

反相器 INV101 的輸出節點 ND101 由 PMOS 電晶體 PT102 及 NMOS 電晶體 NT101 的汲極連接點組成，而反相器 INV101 的輸入節點 ND102 由其閘極連接點組成。

類似的，PMOS 電晶體 PT103 及 NMOS 電晶體 NT102 的汲極及閘極互相連接以組成反相器 INV102。

反相器 INV102 的輸出節點 ND103 由 PMOS 電晶體 PT103 及 NMOS 電晶體 NT102 的汲極連接點組成，而反相器 INV102 的輸入節點 ND104 由其閘極連接點組成。

NMOS 電晶體 NT101 及 102 的源極則接地。

反相器 INV101 的輸出節點 ND101 接到反相器 INV102 的輸入節點 ND104 及邏輯輸出端 TH，而反相器 INV102 的輸出節點 ND103 接到反相器 INV101 的輸入節點 ND102 及邏輯輸出端 HX。

感測放大器 AMP101 是 PMOS 電晶體 PT101 到 PT103，及具有上述連接關係的 NT101，NT102 組成。

作為第一切換裝置的 NMOS 電晶體 NT103 接在邏輯輸出端 TH 與邏輯輸入端 TF 之間，而作為第二切換裝置的 NMOS 電晶體 NT104 接在邏輯輸出端 THX 與邏輯輸入端 TFX 之間。

此外作為設定裝置的第一切換元件的 NMOS 電晶體 NT105 接在邏輯輸出端 TH 與接地之間，而作為設定裝置的第二切換元件的 NMOS 電晶體 NT106 接在邏輯輸出端 THX 與接地之間。

在閒置相 (CLK_X=1) 利用這些 NMOS 電晶體 NT105 及

五、發明說明-(26)

NT106以降低邏輯輸出H及H_X為0伏，即用以設定它們為參考電位。

此外NMOS電晶體NT107及NT108的源極接地，而其汲極共同接到NMOS電晶體NT103及NT104，NMOS電晶體NT109的汲極，及完成信號使用操作端TDONE。此外，NMOS電晶體NT109的源極接到電源電壓 V_{DD} 的電源線。

接著PMOS電晶體PT101的閘極及NMOS電晶體NT105，NT106，NT109的閘極接到時脈輸入端TCLKX。

NMOS電晶體NT107的閘極接到邏輯輸入端TH與NMOS電晶體NT103的連接點，而NMOS電晶體NT108的閘極接到邏輯輸入端THX與NMOS電晶體NT104的連接點。

動態NOR電路由具有上述關係的NMOS電晶體NT107到NT109組成，以作為連接控制裝置以中斷邏輯樹。

接著說明上述配置的操作。

首先在閒置相中，當時脈信號時脈具有邏輯“0”，即時脈倒置信號CLK_X具有邏輯“1”，它即經由時脈輸入端TCLKX而供應到PMOS電晶體PT101的閘極及NMOS電晶體NT105，NT106，及NT109的閘極。

因此PMOS電晶體PT101維持在中斷狀態，而感測放大器AMP101是在非操作狀態。

換言之，NMOS電晶體PT105及PT106是導通，而邏輯輸出端TH及THX的電位完全減為0伏。

結果，NMOS電晶體NT107，NT108(其閘極接到邏輯輸出端TH，THX)即中斷。

五、發明說明-(27)

同時接收邏輯1的時脈倒置信號CLK_X的NMOS電晶體NT109即導通，結果，接到NMOS電晶體NT103，NT104的控制節點G(用以中斷邏輯樹)即預充電到大約電源電壓 V_{DD} 的位準。事實上，它是預充電到 $V_{DD}-V_{th}$ (V_{th} 是NMOS電晶體的門檻值)，此預充電電位是指能使NMOS電晶體NT103，NT104導通到足夠程度以使電流通過。

因此，NMOS電晶體NT103，NT104導通到能使電流通過的程度，而感測放大器AMP101與接到邏輯輸入端TF，TFX的邏輯樹(未示)電的連接。

即在閒置相中，感測放大器AMP101與邏輯樹是電的連接。

相位在此狀態成為工作相而時脈信號時脈在邏輯“1”時供應，即在邏輯“0”時經由時脈輸入端TCLKX而將時脈倒置信號CLK_X輸入PMOS電晶體PT101的閘極及NMOS電晶體NT105，NT106，NT109的閘極。

因此，PMOS電晶體PT101導通，NMOS電晶體NT105，NT106中斷，而感測放大器AMP101操作。

此時，NMOS電晶體NT103，NT104已從閒置相導通，所以電流立即開始流到邏輯輸入端TF，TFX，且開始邏輯評估。

電流差隨著感測放大器AMP101的電位差而增加，因此最後定義邏輯。

在此的中間，當邏輯輸出H接近邏輯“1”時，動態NOR電路D-NOR的NMOS電晶體NT107(閘極接到邏輯輸出端

五、發明說明-(²⁸)

TH)即導通。

或者，當邏輯輸出H_X接近邏輯“1”時，動態NOR電路D-NOR的NMOS電晶體NT108(閘極接到邏輯輸出端THX)即導通。

在任何情況下，存在於控制節點G的電荷都會放電，而其電位是0伏。

而且，NMOS電晶體NT103，NT104中斷，感測放大器及邏輯樹電的中斷。

因此，從感測放大器AMP101流到邏輯樹的電流抑制為所需的最低限制。

此外如圖10所示，藉由合併上述的差動感測放大器電路100與NMOS雙邏輯樹(雙軌型邏輯樹)200，該邏輯樹實施根據邏輯函數的動態邏輯電路300即可實施。

在圖10的例子中，NMOS雙邏輯樹(雙軌型邏輯樹)200是由4輸入EXOR(包括NMOS電晶體NT201到NT214)組成，因而實施動態邏輯電路300。

在NMOS雙邏輯樹200中，NMOS電晶體NT201，NT205，NT209，NT213串聯在感測放大器電路100的邏輯輸入端TF與接地之間。

此外，NMOS電晶體NT204，NT208，NT212，NT214串聯在感測放大器電路100的邏輯輸入端TFX與接地之間。

NMOS電晶體NT202接在邏輯輸入端TFX與NMOS電晶體NT201，NT205的連接點之間，而NMOS電晶體NT203接在邏輯輸入端TF與NMOS電晶體NT204，NT208的連接點之

五、發明說明-(29)

間。

接著信號A4輸入NMOS電晶體NT201，NT204的閘極，而信號A4的倒置信號A4_X則輸入NMOS電晶體NT202，NT203的閘極。

NMOS電晶體NT206接在NMOS電晶體NT203，NT204的連接點與NMOS電晶體NT205，NT209的連接點之間，而NMOS電晶體NT207接在NMOS電晶體NT201，NT202的連接點與NMOS電晶體NT208，NT212的連接點之間。

接著信號A3輸入NMOS電晶體NT205，NT208的閘極，而信號A3的倒置信號A3_X則輸入NMOS電晶體NT206，NT207的閘極。

此外NMOS電晶體NT210接在NMOS電晶體NT207，NT208的連接點與NMOS電晶體NT209，NT213的連接點之間，而NMOS電晶體NT211接在NMOS電晶體NT205，NT206的連接點與NMOS電晶體NT212，NT214的連接點之間。

接著信號A2輸入NMOS電晶體NT209，NT212的閘極，而信號A2的倒置信號A2_X則輸入NMOS電晶體NT210，NT211的閘極。

此外信號A1輸入NMOS電晶體NT213的閘極，而信號A1的倒置信號A1_X則輸入NMOS電晶體NT214的閘極。

在雙軌型邏輯樹200中，邏輯輸入F或邏輯輸入F_X至感測放大器電路100的一軌一直具有接地路徑，而另一者會在路徑中間中斷。

五、發明說明-(30)

圖9的感測放大器電路100用以組成圖10的4輸入EXOR動態邏輯電路300以便模擬，此外也類似的評估雜訊電阻。

圖11是圖9感測放大器電路100的波形圖，其中在切換成工作相不產生雜訊，圖12是圖9感測放大器電路100的波形圖，其中在切換成閒置相不產生雜訊，而圖13是圖9感測放大器電路100的波形圖，其中在切換成工作相產生雜訊。

在圖11，12，13中，橫座標表示時間而縱座標表示電壓。

首先，雖然圖中未示，圖9的差動感測放大器電路100放大完成信號DONE以指示該邏輯是從0伏定義到約電源電壓的位準。

因此用圖9的差動感測放大器電路100可解決習用的第一問題。

由圖11可知，於切換成工作相之前在閒置相之中，邏輯輸出H，H_X已是理想的0伏。

此外在圖12的圖9差動感測放大器電路100中，當相位切換成閒置相時，電壓即平滑的降為0伏。

因此根據圖9的差動感測放大器電路100，邏輯輸出H，H_X不會在閒置相中成為0伏，而是上升NMOS門檻值的電壓量，因此可解決習用的第二問題即漏電流變大。

此外由圖13可知，在本發明中無故障。

在圖7的評估使用模型30中，在雜訊NZ1的下降影響

五、發明說明-(31)

下，邏輯輸出H的電位會小於邏輯輸出H_X。

在DCSL型感測放大器電路中，電壓差會增加。

惟在圖9的感測放大器電路中(如圖13所示)，會產生使雜訊的電位差相反的情況，因而顯示邏輯輸出H，H_X的電位變成正確的邏輯值。

此現象可由邏輯樹中斷的控制機構而達成，其由感測放大器電路100擁有的NMOS電晶體NT107到NT109組成的動態NOR電路D-NOR來執行。

因此根據圖9的差動感測放大器電路100，可解決習用的第三問題，即感測放大器因耦合雜訊而定義出錯誤值。

因耦合雜訊而導致的故障是依邏輯樹高度及電源電壓而定。

通常電源電壓愈低且邏輯樹愈高，則耦合雜訊愈容易導致故障。

圖14是最低電源電壓的波形圖，其中即使在已知耦合雜訊之下仍可達成正常操作，注意在圖14中，圖9的感測放大器電路100是以N2型表示。

EXOR的邏輯樹高度等於其輸入順序。

由圖14可知，在習用DCSL3型感測放大器電路中，即使電源電壓較高而邏輯樹較低仍會發生故障。

換言之在使用根據本發明的N2型感測放大器電路100的EXOR中，雖然也會依情況而定，但是即使在低於1.5伏的電壓下仍可以操作。

因此若動態邏輯電路是由藉由使用圖9的感測放大器電

五、發明說明-(32)

路100所組成，仍可實施在低電源電壓下動態邏輯電路的穩定操作。

通常，CMOS邏輯電路的功率消耗與電源電壓的平方成正比，例如若電源電壓是 $1/2$ ，則功率消耗是 $1/4$ 。

即圖9的感測放大器電路100可大幅減少CMOS半導體積體電路的功率消耗。

如上所述，根據第一實施例，因為提供NMOS電晶體NT105，NT106以設定閒置相中感測放大器AMP101的邏輯輸出端TH，THX的電位為000(邏輯0)，NMOS電晶體NT103，NT104仍可操作地連接邏輯輸出端TH，THX與邏輯輸入端TF，TFX，而作為邏輯樹中斷裝置的動態NOR電路D-NOR使NMOS電晶體NT103，NT104在閒置相中導通，且根據工作相中邏輯輸入F及F_X擁有的導通電阻差而定義邏輯輸出H，H_X的邏輯電壓為(0, 1)或(1, 0)，可產生不使後者邏輯電路故障的完成信號，且可減少電路停止時的功率消耗。

此外不會因耦合雜訊而發生故障，所以使用相同原理可實施一可實施的差動感測放大器及動態邏輯電路。

第二實施例

圖15是根據本發明的差動感測放大器電路第二實施例的電路圖。

本實施例與第一實施例的差異是，藉由以預充電使用PMOS電晶體PT104連接動態NOR電路的電源電壓 V_{DD} 的電源線與控制節點G取代預充電使用NMOS電晶體，而且以

五、發明說明-(33)

PMOS 電晶體 PT104 的閘極連接時脈信號時脈的時脈輸入端 TCLK 取代時脈倒置信號 CLK_X 的時脈輸入端 TCLKX。

其他配置及功能與上述第一實施例的類似，所以省略其詳細說明。

使用圖 15 的感測放大器電路 100A 以組成 4 輸入 EXOR 動態邏輯電路 300 (圖 10) 作模擬，此外也類似的評估雜訊電阻。

圖 16 是圖 15 感測放大器電路 100A 的波形圖，其中在切換成工作相時不產生雜訊，圖 17 是圖 15 感測放大器電路 100A 的波形圖，其中在切換成閒置相時不產生雜訊，而圖 18 是圖 15 感測放大器電路 100A 的波形圖，其中在切換成工作相時產生雜訊。

此外圖 19 是圖 15 感測放大器電路 100A 中完成信號 DONE_X 的波形圖形。

在圖 16, 17, 18, 19 中，橫座標表示時間信號縱座標表示電壓。

首先，由圖 19 可知，在圖 15 的感測放大器電路 100A 中，指示定義邏輯的完成信號 DONE_X 完全的從 0 伏放大到電源電壓位準。

此外邏輯輸出 H 的波形在接近中央值處與振幅交叉，所以可視為是理想的變換時序。

因此根據圖 15 的感測放大器電路 100A，可解決習用的第一問題。

由圖 16 可知，切換成工作相之前在閒置相中，邏輯輸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(34)

出H，H_X已是理想的0伏。

此外在圖17中，在圖15的差動感測放大器電路100A，當相位切換成閒置相時，邏輯輸出即平滑減為0伏。

因此根據圖15的差動感測放大器電路100A可解決習用的第二問題，即邏輯輸出H，H_X在閒置相不是0伏，而是上升了NMOS門檻電壓因而增加漏電流。

此外由圖18可知，在本發明中看不到故障。

在圖7的評估使用模型30中，在雜訊NZ1的降緣影響下，邏輯輸出H的電位會低於邏輯輸出H_X。

在DCSL3型感測放大器電路中，電位差會增加。

惟在圖15的感測放大器電路中(參考圖18)，會發生一種情況即雜訊的電位差相反，因而顯示邏輯輸出H，H_X的電位變成正確的邏輯值。

此現象可由邏輯樹中斷的控制機構而達成，其由感測放大器電路100A擁有的PMOS電晶體PT104及NMOS電晶體NT107，NT108組成的動態NOR電路D-NORA來執行。

因此根據圖15的差動感測放大器電路100A，可解決習用的第三問題，即感測放大器因耦合雜訊而定義出錯誤值。

如上所述因耦合雜訊而導致的故障是依邏輯樹高度及電源電壓而定。

通常電源電壓愈低且邏輯樹愈高，則耦合雜訊愈容易導致故障。

此外在圖14中顯示最低電源電壓，其中即使在已知耦

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明-(35)

合雜訊之下仍可達成正常操作，圖15的感測放大器電路100A是以P2型表示。

如上所述EXOR的邏輯樹高度等於其輸入順序。

由圖14可知，在習用DCSL3型感測放大器電路中，即使電源電壓較高而邏輯樹較低仍會發生故障。

換言之在使用根據本發明的P2型感測放大器電路100A的EXOR中，雖然也會依情況而定，但是即使在低於1.5伏的電壓下仍可以操作。此外，在此P2型感測放大器電路100A中，即使低於0.7伏仍不會發生故障。

因此若動態邏輯電路是由藉由使用圖15的感測放大器電路100A所組成，仍可實施在低電源電壓下動態邏輯電路的穩定操作。

依照與圖9感測放大器電路相同的方式，圖15的感測放大器電路100A可大幅減少CMOS半導體積體電路的功率消耗。

如上所述，根據第二實施例，可得到與上述第一實施例效應類似的效應。

第三實施例

圖20是根據本發明的差動感測放大器電路第三實施例的電路圖。

本第三實施例與第一實施例的差異是，取代作為放電裝置的NMOS電晶體NT105，NT106以便在閒置相的時間(CLK_X=1)減少邏輯輸出H，H_X到0伏，反相器INV101的輸入節點ND102及反相器INV102的輸入節點ND104組成感

五、發明說明-(36)

測放大器 AMP101，換言之，NMOS 電晶體 NT110 連接 NMOS 電晶體 NT101 的閘極與 NMOS 電晶體 NT102 的閘極，而 NMOS 電晶體 NT110 的閘極接到時脈倒置信號 CLK_X 的時脈輸入端 TCLKX。

工作相中差動感測放大器電路 100B 的動作與圖 9 感測放大器電路的動作類似，除了 NMOS 電晶體 NT110 以外，所以省略其說明。

以下說明圖 20 感測放大器電路 100B 的操作，且集中在與圖 9 感測放大器電路操作的差異。

當相位從工作相切換成閒置相時，時脈倒置信號 CLK_X 即從邏輯“0”切換成到邏輯“1”，而 NMOS 電晶體 NT110 導通，結果，邏輯輸出端 TH，THX 電的連接，而形成電荷平衡狀態。

因此邏輯輸出 H，H_X 的電位接近 NMOS 電晶體 NT101，NT102 的門檻值。

藉此，組成動態 NOR 電路的 D-NOR 的 NMOS 電晶體 NT107，NT108 則中斷。

此時預充電使用 NMOS 電晶體 NT109 導通，而時脈倒置信號 CLK_X 從邏輯“0”切換成邏輯“1”。

電荷經由 NMOS 電晶體 NT109 而送入控制節點 G。

結果，接到 NMOS 電晶體 NT103，NT104 閘極的控制節點 G 以中斷邏輯樹則預充電到大致電源電壓 V_{DD} 位準，事實上，它是預充電到 $V_{DD} - V_{th}$ (V_{th} 是 NMOS 電晶體的門檻值)，此預充電電位是指能使 NMOS 電晶體 NT103，NT104

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(37)

導通到足夠程度以使電流通過。

因此，NMOS電晶體NT103，NT104導通到能使電流通過的程度，而感測放大器AMP101與接到邏輯輸入端TF，TFX的邏輯樹(未示)電的連接。

即在閒置相中，感測放大器AMP101與邏輯樹是電的連接。

接著邏輯輸入端TF，TFX之一一直具有接地路徑且經由NMOS電晶體NT103或NT104而從邏輯輸出端TH，THX汲取剩餘電荷。

結果，邏輯輸出H，H_X減為0伏，例如當邏輯輸入F具有接地路徑時，即經由NMOS電晶體NT103汲取邏輯輸出H的電荷。

換言之通過NMOS電晶體NT110之後即經由NMOS電晶體NT103而汲取電荷。

使用圖20的感測放大器電路100B以組成4輸入EXOR動態邏輯電路300(圖10)作模擬，此外也類似的評估雜訊電阻。

圖21是圖20感測放大器電路100B的波形圖，其中切換成工作相時不產生雜訊，圖22是圖20感測放大器電路100B的波形圖，其中切換成閒置相時不產生雜訊，而圖23是圖20感測放大器電路100B的波形圖，其中切換成工作相時產生雜訊。

在圖21，22，23中，橫座標表示時間而縱座標表示電壓。

五、發明說明-(38)

首先，雖然圖中未示，圖20的差動感測放大器電路100B放大完成信號DONE_X以指示該邏輯是從0伏定義到約電源電壓的位準。

因此根據圖20的差動感測放大器電路100B可解決習用的第一問題。

由圖21可知，於切換成工作相之前在閒置相之中，邏輯輸出H，H_X已是理想的0伏。

此外在圖22的圖20差動感測放大器電路100B中，當相位切換成閒置相時，電壓即平滑的降為0伏。

因此根據圖20的差動感測放大器電路100B，邏輯輸出H，H_X不會在閒置相中成為0伏，而是上升NMOS門檻值的電壓量，因此可解決習用的第二問題即漏電流變大。

此外由圖23可知，在本發明中無故障。

在圖7的評估使用模型30中，在雜訊NZ1的下降影響下，邏輯輸出H的電位會小於邏輯輸出H_X。

在DCSL3型感測放大器電路中，電壓差會增加。

惟在圖20的感測放大器電路中(如圖23所示)，會產生使雜訊的電位差相反的情況，因而顯示邏輯輸出H，H_X的電位變成正確的邏輯值。

此現象可由邏輯樹中斷的控制機構而達成，其由感測放大器電路100B擁有的NMOS電晶體NT107到NT109組成的動態NOR電路D-NOR來執行。

因此根據圖20的差動感測放大器電路100B，可解決習用的第三問題，即感測放大器因耦合雜訊而定義出錯誤

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(39)

值。

如上所述因耦合雜訊而導致的故障是依邏輯樹高度及電源電壓而定。

通常電源電壓愈低且邏輯樹愈高，則耦合雜訊愈容易導致故障。

此外圖14是最低電源電壓的波形圖，其中即使在已知耦合雜訊之下仍可達成正常操作，圖20的感測放大器電路100B是以N3型表示。

如上所述EXOR的邏輯樹高度等於其輸入順序。

由圖14可知，在習用DCSL3型感測放大器電路中，即使電源電壓較高而邏輯樹較低仍會發生故障。

換言之在使用根據本發明的N3型感測放大器電路100B的EXOR中，雖然也會依情況而定，但是即使在低於1.5伏的電壓下仍可以操作。

因此若動態邏輯電路是由藉由使用圖20的感測放大器電路100B所組成，仍可實施在低電源電壓下動態邏輯電路的穩定操作。

接著依照與圖9感測放大器電路相同的方式，圖20之該感測放大器電路100B可大幅減少CMOS半導體積體電路的功率消耗。

如上所述，根據本第三實施例，可得到與上述第一實施例效應類似的效應。

第四實施例

圖24是根據本發明的差動感測放大器電路第四實施例

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(40)

的電路圖。

本第四實施例與第三實施例的差異是，藉由以預充電使用PMOS電晶體PT104連接動態NOR電路的電源電壓 V_{DD} 的電源線與控制節點G取代預充電使用NMOS電晶體，而且以PMOS電晶體PT104的閘極連接時脈信號時脈的時脈輸入端TCLK取代時脈倒置信號CLK_X的時脈輸入端TCLKX。

其他配置及功能與上述第三實施例的類似，所以省略其詳細說明。

使用圖24的感測放大器電路100C以組成4輸入EXOR動態邏輯電路300(圖10)作模擬，此外也類似的評估雜訊電阻。

圖25是圖24感測放大器電路100C的波形圖，其中切換成工作相時不產生雜訊，圖26是圖24感測放大器電路100C的波形圖，其中切換成閒置相時不產生雜訊，而圖27是圖24感測放大器電路100C的波形圖，其中切換成工作相時產生雜訊。

此外圖28是圖24感測放大器電路100C中完成信號DONE_X的波形圖形。

在圖25，26，27，28中，橫座標表示時間信號縱座標表示電壓。

首先，由圖28可知，在圖24的感測放大器電路100C中，指示定義邏輯的完成信號DONE_X完全的從0伏放大到電源電壓位準。

五、發明說明-(⁴¹)

此外邏輯輸出H的波形在接近中央值處與振幅交叉，所以可視為是理想的變換時序。

因此根據圖24的感測放大器電路100C，可解決習用的第一問題。

由圖25可知，切換成工作相之前在閒置相中，邏輯輸出H，H_X已是理想的0伏。

此外在圖26中，在圖24的差動感測放大器電路100C，當相位切換成閒置相時，邏輯輸出即平滑減為0伏。

因此根據圖24的差動感測放大器電路100C可解決習用的第二問題，即邏輯輸出H，H_X在閒置相不是0伏，而是上升了NMOS門檻電壓因而增加漏電流。

此外由圖27可知，在本發明中看不到故障。

在圖7的評估使用模型30中，在雜訊NZ1的降緣影響下，邏輯輸出H的電位會低於邏輯輸出H_X。

在DCSL3型感測放大器電路中，電位差會增加。

惟在圖24的感測放大器電路中(參考圖27)，會發生一種情況即雜訊的電位差相反，因而顯示邏輯輸出H，H_X的電位變成正確的邏輯值。

此現象可由邏輯樹中斷的控制機構而達成，其由感測放大器電路100C擁有的PMOS電晶體PT104及NMOS電晶體NT107，NT108組成的動態NOR電路D-NORA來執行。

因此根據圖24的差動感測放大器電路100C，可解決習用的第三問題，即感測放大器因耦合雜訊而定義出錯誤值。

五、發明說明-(⁴²)

如上所述因耦合雜訊而導致的故障是依邏輯樹高度及電源電壓而定。

通常電源電壓愈低且邏輯樹愈高，則耦合雜訊愈容易導致故障。

此外在圖14中顯示最低電源電壓，其中即使在已知耦合雜訊之下仍可達成正常操作，圖24的感測放大器電路100C是以P3型表示。

如上所述EXOR的邏輯樹高度等於其輸入順序。

由圖14可知，在習用DCSL3型感測放大器電路中，即使電源電壓較高而邏輯樹較低仍會發生故障。

換言之在使用根據本發明的P3型感測放大器電路100C的EXOR中，雖然也會依情況而定，但是即使在低於1.5伏的電壓下仍可以操作。在此P3型感測放大器電路100C中，即使低於0.7伏仍不會發生故障。

因此若動態邏輯電路是由藉由使用圖24的感測放大器電路100C所組成，仍可實施在低電源電壓下動態邏輯電路的穩定操作。

接著依照與圖9感測放大器電路相同的方式，圖24的感測放大器電路100C可大幅減少CMOS半導體積體電路的功率消耗。

如上所述，根據本第四實施例，可得到與上述第一及第二實施例效應類似的效應。

第五實施例

圖29是根據本發明的差動感測放大器電路第五實施例

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(43)

的電路圖。

本第五實施例與上述第二實施例的差異是，NMOS電晶體NT111接在中間節點MG之間，其係組成控制裝置的NMOS電晶體NT107，NT108源極連接點用以中斷邏輯樹與接地的連接，而此NMOS電晶體NT111的閘極則接到時脈輸入端TCLK。

基本操作原理與圖15的第二實施例相同，因此省略詳細說明。

因加入NMOS電晶體NT111而導致操作的稍微差異在於從工作相變換成閒置相的過程。

在此變換狀態中，不會同時FPMOS電晶體PT104的導通及NMOS電晶體NT107，NT108的中斷。

為了中斷NMOS電晶體NT107，NT108，必須執行一過程即NMOS二極體均等的將電荷分布到節點TH，TH_X及放電。

因此在圖15的第二實施例中，PMOS電晶體PT104導通後電流會通過NMOS電晶體NT107或NT108。

相反的，在圖29所示的第五實施例中，不會產生上述通過電流。

這是因為在PMOS電晶體PT104導通的同時，NMOS電晶體NT111即中止與相同時脈信號時脈的同步。

根據本第五實施例，除了產生上述第二實施例的效應以外，另一優點是可減少功率消耗。

此外很明顯的，使用圖29的感測放大器電路100D可實

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明-(44)

施圖10的動態邏輯電路。

第六實施例

圖30是根據本發明的差動感測放大器電路第六實施例的電路圖。

本第六實施例與上述第四實施例的差異是，NMOS電晶體NT111接在中間節點MG之間，其係組成控制裝置的NMOS電晶體NT107，NT108源極連接點用以中斷邏輯樹與接地的連接，而此NMOS電晶體NT111的閘極則接到時脈輸入端TCLK。

基本操作原理與圖24的第四實施例相同，因此省略詳細說明。

因加入NMOS電晶體NT111而導致操作的稍微差異在於從工作相變換成閒置相的過程。

在此變換狀態中，不會同時FPMOS電晶體PT104的導通及NMOS電晶體NT107，NT108的中斷。

為了中斷NMOS電晶體NT107，NT108，必須執行一過程即NMOS二極體均等的將電荷分布到節點TH，TH_X及放電。

因此在圖24的第四實施例中，PMOS電晶體PT104導通後電流會通過NMOS電晶體NT107或NT108。

相反的，在圖30所示的第六實施例中，不會產生上述通過電流。

這是因為在PMOS電晶體PT104導通的同時，NMOS電晶體NT111即中止與相同時脈信號時脈的同步。

五、發明說明(45)

根據本第六實施例，除了產生上述第四實施例的效應以外，另一優點是可減少功率消耗。

此外很明顯的，使用圖30的感測放大器電路100E可實施圖10的動態邏輯電路。

第七實施例

圖31是根據本發明的差動感測放大器電路第七實施例的電路圖。

本第七實施例與上述第三實施例的差異是，由串聯的PMOS電晶體PT105，PT106將動態NOR電路的電源電壓 V_{DD} 的電源線與控制節點G連接，以取代預充電使用NMOS電晶體，PMOS電晶體PT105的閘極接到邏輯輸出端TH而PMOS電晶體PT106的閘極接到邏輯輸出端THX，而且由靜態NOR電路S-NOR組成邏輯樹的中斷控制機構。

其他配置及功能與上述第三實施例類似。

在本第七實施例中，由節點TH，TH_X的邏輯電壓決定控制節點G的電壓，而不是由時脈信號時脈決定，所以可控制邏輯樹的中斷。

即根據以下事實，節點TH，TH_X都在閒置相中具有邏輯“0”，控制節點G是邏輯“1”，而控制節點G在節點TH或TH_X於工作相變成邏輯“1”時，即成為邏輯“0”。

因為PMOS電晶體PT105，PT106是串聯，所以當節點TH，TH_X都回到邏輯“0”時才會產生電流，所以不會產生通過電流。

根據本第七實施例，除了產生上述第三實施例的效應以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明-(46)

外，另一優點是可減少功率消耗。

此外，根據本第七實施例，不必用時脈信號時脈來控制邏輯樹的中斷，因此可減少時脈信號時脈。

此外很明顯的，使用圖31的感測放大器電路100F可實施圖10的動態邏輯電路。

總結上述本發明的效應，根據本發明可產生一種完成信號(其不會導致後者邏輯電路的故障)，而且當電路停止時可減少功率消耗。

此外根據本發明，可實施一種可行的差動感測放大器電路，其不受因耦合雜訊而產生的故障的影響，而且可實施本發明的動態邏輯電路。

雖然爲了說明目的已用特定來說明本發明，該明顯的是熟於此技術者在不違反本發明的基本概念及範圍之下可以作各種改良。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：差動感測放大器電路以及使用該電路之動態邏輯電路)

一種動態邏輯電路其中雙邏輯樹通過一開關而連接至一感測放大器，其藉由感測放大器輸入及輸出節點之電壓控制連接邏輯樹與感測放大器而減少功率消耗及抑制耦合雜訊。

英文發明摘要(發明之名稱："DIFFERENTIAL SENSE AMPLIFIER CIRCUIT AND DYNAMIC LOGIC CIRCUIT USING THE SAME")

A dynamic logic circuit where a duality logic tree is connected to a sense amplifier through a switch, which reduces the power consumption and suppresses coupling noise by controlling the connection of the logic tree and the sense amplifier by the voltages of the input and output nodes of the sense amplifier.

六、申請專利範圍

1. 一種根據一控制信號而在閒置相與工作相之間交替之差動感測放大器電路，包括：

- 第一邏輯輸入端，
- 第二邏輯輸入端，
- 第一邏輯輸出端，
- 第二邏輯輸出端，
- 感測放大器其具有
- 第一反相器，及一第二反相器，其中

連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，

一起始裝置於收到指示閒置相之控制信號時，用以在一參考電位起始第一邏輯輸入端及第二邏輯輸入端，

— 第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，

— 第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及

— 連接控制裝置，其具有：

— 第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端與第一及第二切換裝置之連接。

2. 如申請專利範圍第1項之差動感測放大器電路，其中：

起始裝置包括一第一切換元件其接在第一邏輯輸出端與參考電位之間，且在其控制端藉由接收指示閒置相之控制信號而導通，一第二切換裝置其接在第二邏輯輸出端與參考電位之間，且在其控制端藉由接收指示閒置相之控制信號而導通。

3. 如申請專利範圍第1項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第二切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在一第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

4. 如申請專利範圍第2項之差動感測放大器電路，其中：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

連接控制裝置之第一設定裝置包括一第三切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第四切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在一第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

5. 如申請專利範圍第1項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第二切換元件，其接在一中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第一切換

六、申請專利範圍

元件導通時維持在一非導通狀態，及當第一切換元件維持在非導通狀態時即導通。

6. 如申請專利範圍第2項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第三切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第四切換元件，其接在中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第五切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第六切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第三切換元件導通時維持在非導通狀態，及當第三切換元件維持在非導通狀態時即導通。

7. 如申請專利範圍第3項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一n通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
8. 如申請專利範圍第3項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
9. 如申請專利範圍第4項之差動感測放大器電路，其中第

六、申請專利範圍

- 一 設定裝置之第三切換元件包括一 n 通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
10. 如申請專利範圍第 4 項之差動感測放大器電路，其中第一設定裝置之第三切換元件包括一 p 通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
11. 如申請專利範圍第 5 項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一 n 通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
12. 如申請專利範圍第 6 項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一 p 通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
13. 如申請專利範圍第 1 項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
14. 如申請專利範圍第 2 項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
15. 如申請專利範圍第 3 項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
16. 如申請專利範圍第 7 項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
17. 如申請專利範圍第 8 項之差動感測放大器電路，其中連

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

接控制裝置輸出一完成信號指示已由控制信號定義邏輯。

18. 如申請專利範圍第11項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。

19. 一種根據一控制信號而在一閒置相與一工作相之間交替之差動感測放大器電路，包括：

- 一第一邏輯輸入端，
- 一第二邏輯輸入端，
- 一第一邏輯輸出端，
- 一第二邏輯輸出端，
- 一感測放大器其具有：

- 一第一反相器，及一第二反相器，其中

連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，

一起始裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，

一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及

一 連接控制裝置，其具有

一 第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端與第一及第二切換裝置之連接。

20. 如申請專利範圍第19項之差動感測放大器電路，其中起始裝置包括一第一切換元件接在第一反相器之輸入與第二反相器之輸入之間，且在其控制端於收到指示閒置相之控制信號而導通。

21. 如申請專利範圍第19項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第二切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第三切換元件，其接在第二電源電位與控制

六、申請專利範圍

節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

22. 如申請專利範圍第20項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第二切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第三切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第四切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

23. 如申請專利範圍第19項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第一切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第二切換元件，其接在一中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第三切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸

(請先閱讀背面之注意事項再填寫本頁)

策

訂

六、申請專利範圍

出電位在第一位準時即導通，及一第四切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第一切換元件導通時維持在非導通狀態，及當第一切換元件維持在非導通狀態時即導通。

24. 如申請專利範圍第20項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第二切換元件，其接在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端藉由接收指示閒置相之控制信號而導通，及

第二設定裝置包括一第三切換元件，其接在中間節點與控制節點之間，具有一控制端其連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，一第四切換元件，其接在中間節點與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在一第二電源電位與中間節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，當第二切換元件導通時維持在非導通狀態，及當第二切換元件維持在非導通狀態時即導通。

25. 如申請專利範圍第21項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一n通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

26. 如申請專利範圍第21項之差動感測放大器電路，其中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- 第一設定裝置之第一切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
27. 如申請專利範圍第22項之差動感測放大器電路，其中第一設定裝置之第二切換元件包括一n通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
28. 如申請專利範圍第22項之差動感測放大器電路，其中第一設定裝置之第二切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
29. 如申請專利範圍第23項之差動感測放大器電路，其中第一設定裝置之第一切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
30. 如申請專利範圍第24項之差動感測放大器電路，其中第一設定裝置之第二切換元件包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。
31. 如申請專利範圍第19項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
32. 如申請專利範圍第20項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
33. 如申請專利範圍第21項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。
34. 如申請專利範圍第25項之差動感測放大器電路，其中連接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

控制裝置輸出一完成信號指示已由控制信號定義邏輯。

35. 如申請專利範圍第26項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。

36. 如申請專利範圍第29項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示已由控制信號定義邏輯。

37. 一種根據一控制信號而在一閒置相與一工作相之間交替之差動感測放大器電路，包括：

一第一邏輯輸入端，

一第二邏輯輸入端，

一第一邏輯輸出端，

一第二邏輯輸出端，

一感測放大器其具有：

一第一反相器，及一第二反相器，其中

連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，

一起始裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，

一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

一 第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及

一 連接控制裝置，其具有：

一 第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置。

38. 如申請專利範圍第37項之差動感測放大器電路，其中起始裝置包括一第一切換元件接在第一反相器之輸入與第二反相器之輸入之間，且在其控制端於收到指示閒置相之控制信號而導通。

39. 如申請專利範圍第37項之差動感測放大器電路，其中：

連接控制裝置之第一設定裝置包括一第一切換元件及一第二切換元件，其串聯在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端之閒置相時間藉由接收第一邏輯輸出端之電位及第二邏輯輸出端之電位而導通，及

第二設定裝置包括一第三切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即

六、申請專利範圍

導通，及一第四切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

40. 如申請專利範圍第38項之差動感測放大器電路，其中

連接控制裝置之第一設定裝置包括一第二切換元件及一第三切換元件，其串聯在一第一電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一連接狀態，且在其控制端之閒置相時間藉由接收第一邏輯輸出端之電壓及第二邏輯輸出端之電壓而導通，及

第二設定裝置包括一第四切換元件，其接在一第二電源電位與控制節點之間，該電位能使第一切換裝置及第二切換裝置進入一中斷狀態，具有一控制端連接到第一邏輯輸出端，而且當第一邏輯輸出電位在第一位準時即導通，及一第五切換元件，其接在第二電源電位與控制節點之間，具有一控制端連接到第二邏輯輸出端，而且當第二邏輯輸出電位在第一位準時即導通。

41. 如申請專利範圍第39項之差動感測放大器電路，其中第一設定裝置之第一切換元件及第二切換元件各包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

42. 如申請專利範圍第40項之差動感測放大器電路，其中第一設定裝置之第二切換元件及第三切換元件各包括一p通道型充電效應電晶體，其閘極連接到控制信號之輸入端。

六、申請專利範圍

43. 如申請專利範圍第37項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示由控制信號定義邏輯。
44. 如申請專利範圍第38項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示由控制信號定義邏輯。
45. 如申請專利範圍第39項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示由控制信號定義邏輯。
46. 如申請專利範圍第40項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示由控制信號定義邏輯。
47. 如申請專利範圍第41項之差動感測放大器電路，其中連接控制裝置輸出一完成信號指示由控制信號定義邏輯。
48. 一種根據一控制信號而在一閒置相與一工作相之雙相之間交替之動態邏輯電路，包括：

一差動感測放大器電路具有一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據

六、申請專利範圍

第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以在一參考電位設定第一邏輯輸入端及第二邏輯輸入端，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及

一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸入信號而形成到達參考電位之路徑。

49. 一種根據一控制信號而在一閒置相與一工作相之雙相之間交替之動態邏輯電路，包括：

一差動感測放大器電路具有一第一邏輯輸入端，一第二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其

六、申請專利範圍

連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及

一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸入信號而形成到達參考電位之路徑。

50. 一種根據一控制信號而在一閒置相與一工作相之雙相之間交替之動態邏輯電路，包括：

一差動感測放大器電路具有一第一邏輯輸入端，一第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

二邏輯輸入端，一第一邏輯輸出端，一第二邏輯輸出端，一感測放大器其具有一第一反相器，及一第二反相器，其中連接第一反相器之輸出與第二反相器之輸入，其連接點連接到第一邏輯輸出端，連接第一反相器之輸入與第二反相器之輸出，而其連接點連接到第二邏輯輸出端，而其於收到指示工作相之控制信號時操作，而根據第一邏輯輸入及第二邏輯輸入擁有之導通電阻差而在一不同之第一位準及第二位準定義第一邏輯輸出及第二邏輯輸出之邏輯電位，一設定裝置於收到指示閒置相之控制信號時，用以連接第一反相器之輸入與第二反相器之輸入，一第一切換裝置根據控制端電位而用以電連接或中斷第一邏輯輸入端及第一邏輯輸出端，一第二切換裝置根據控制端電位而用以電連接或中斷第二邏輯輸入端及第二邏輯輸出端，及一連接控制裝置，其具有一第一設定裝置用以設定控制節點電位在一電位，該節點連接到第一切換裝置及第二切換裝置之控制端，而該電位於收到指示閒置相之控制信號時，至少能連接兩端至連接之第一及第二切換裝置，及一第二設定裝置用以設定控制節點電位在一電位，在工作相時間根據第一邏輯輸出端或第二邏輯輸出端，至少能中斷兩端至連接之第一及第二切換裝置，及

一雙軌型邏輯樹具有雙軌連接到差動感測放大器電路之第一邏輯輸入端及第二邏輯輸入端，其中僅有一軌根據一輸入信號而形成到達參考電位之路徑。

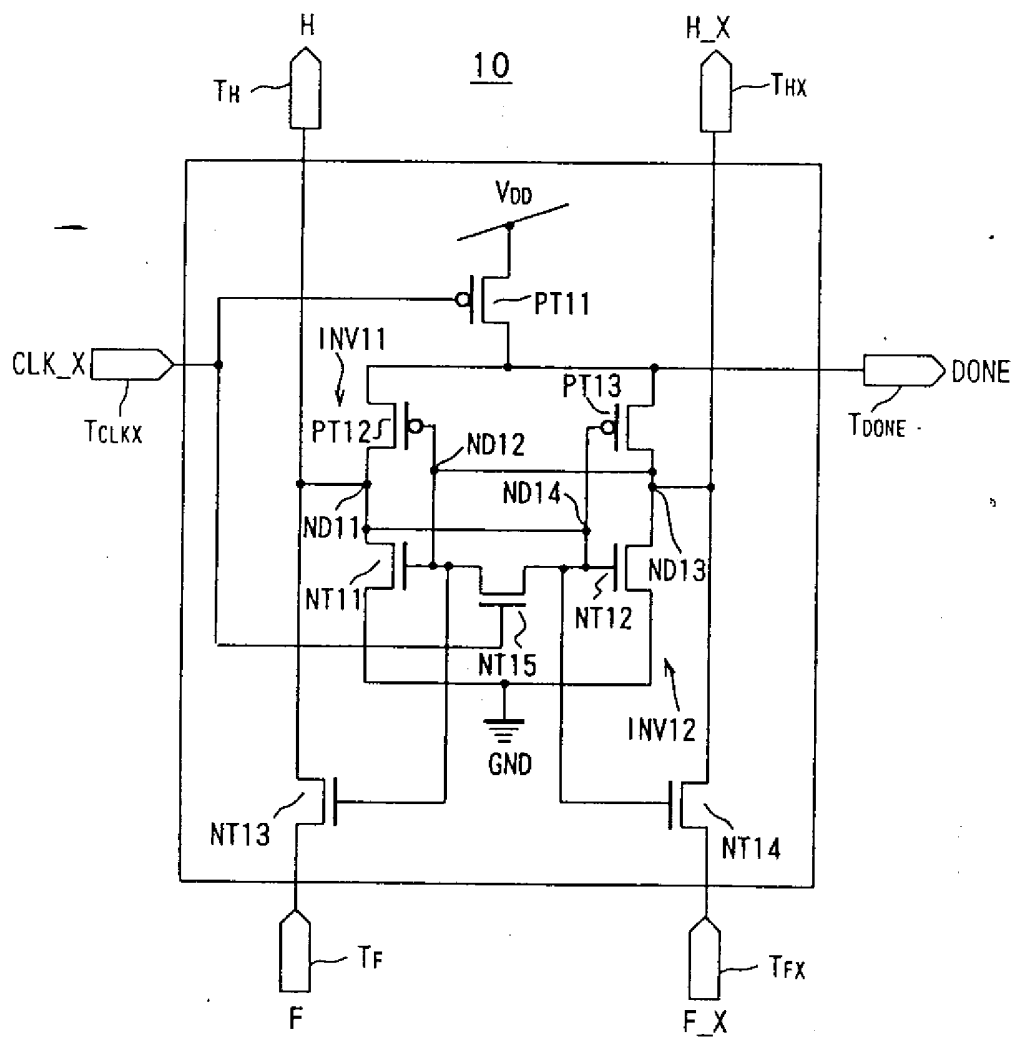


圖 1

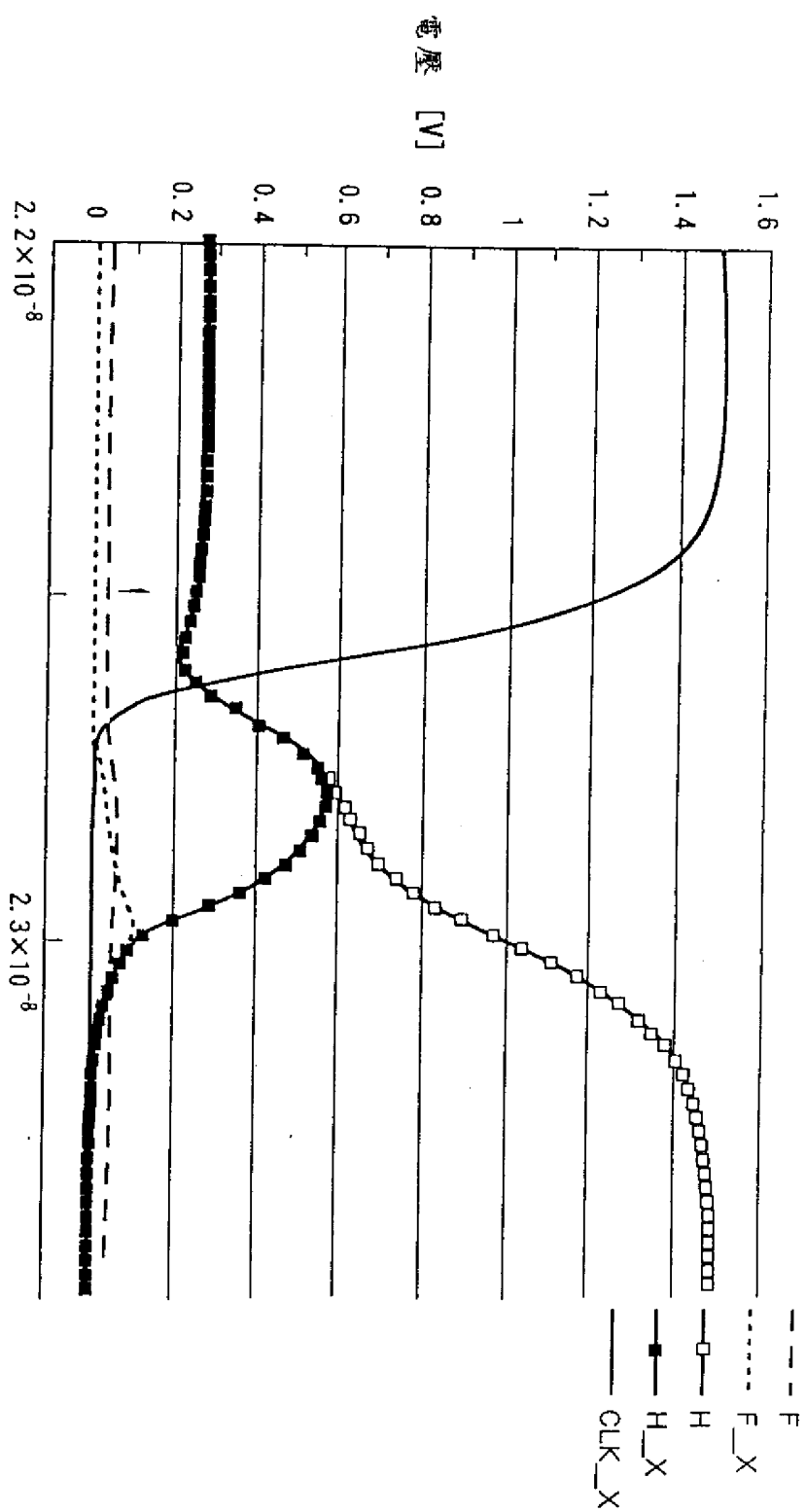


圖 2

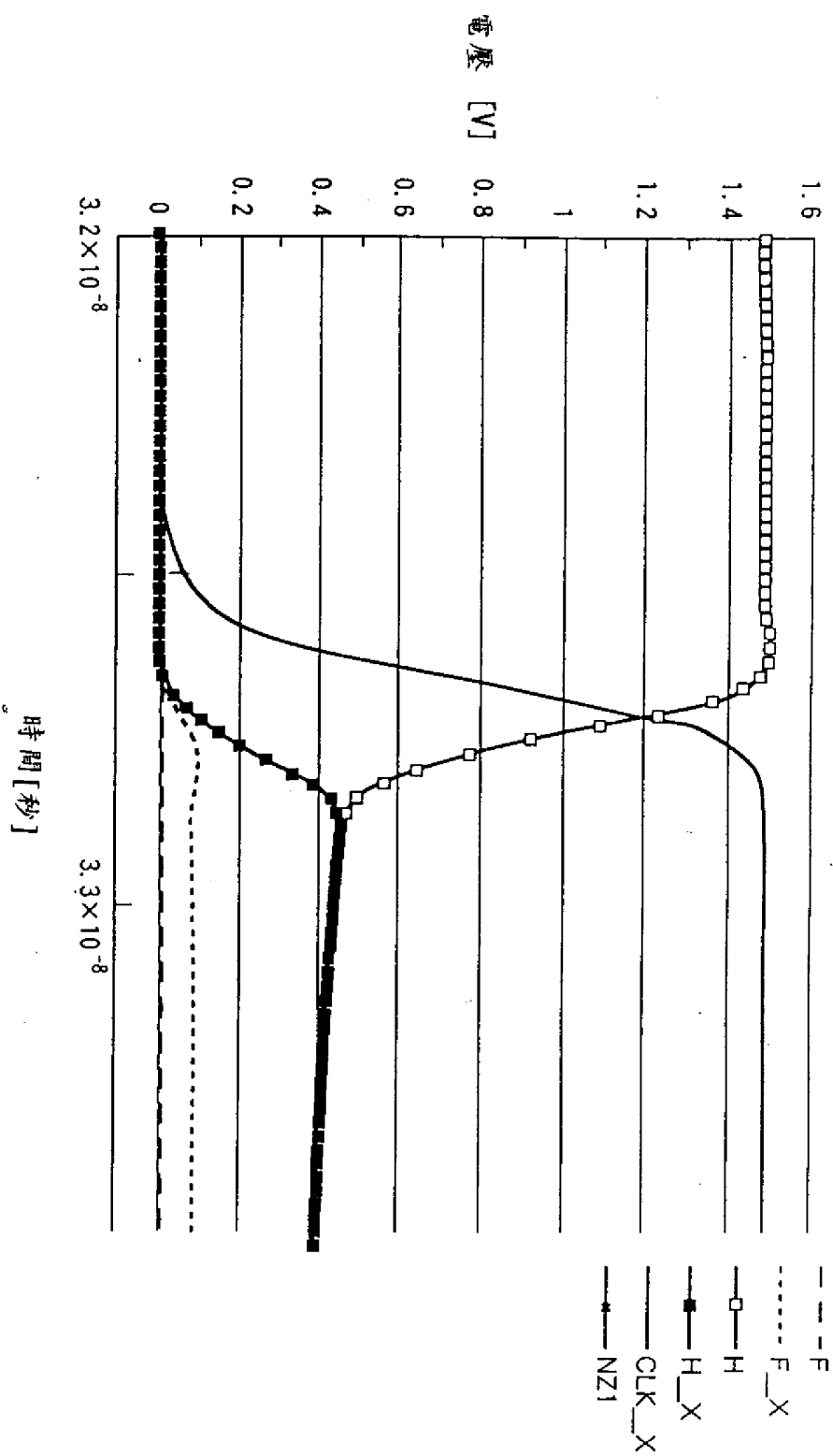


圖 3

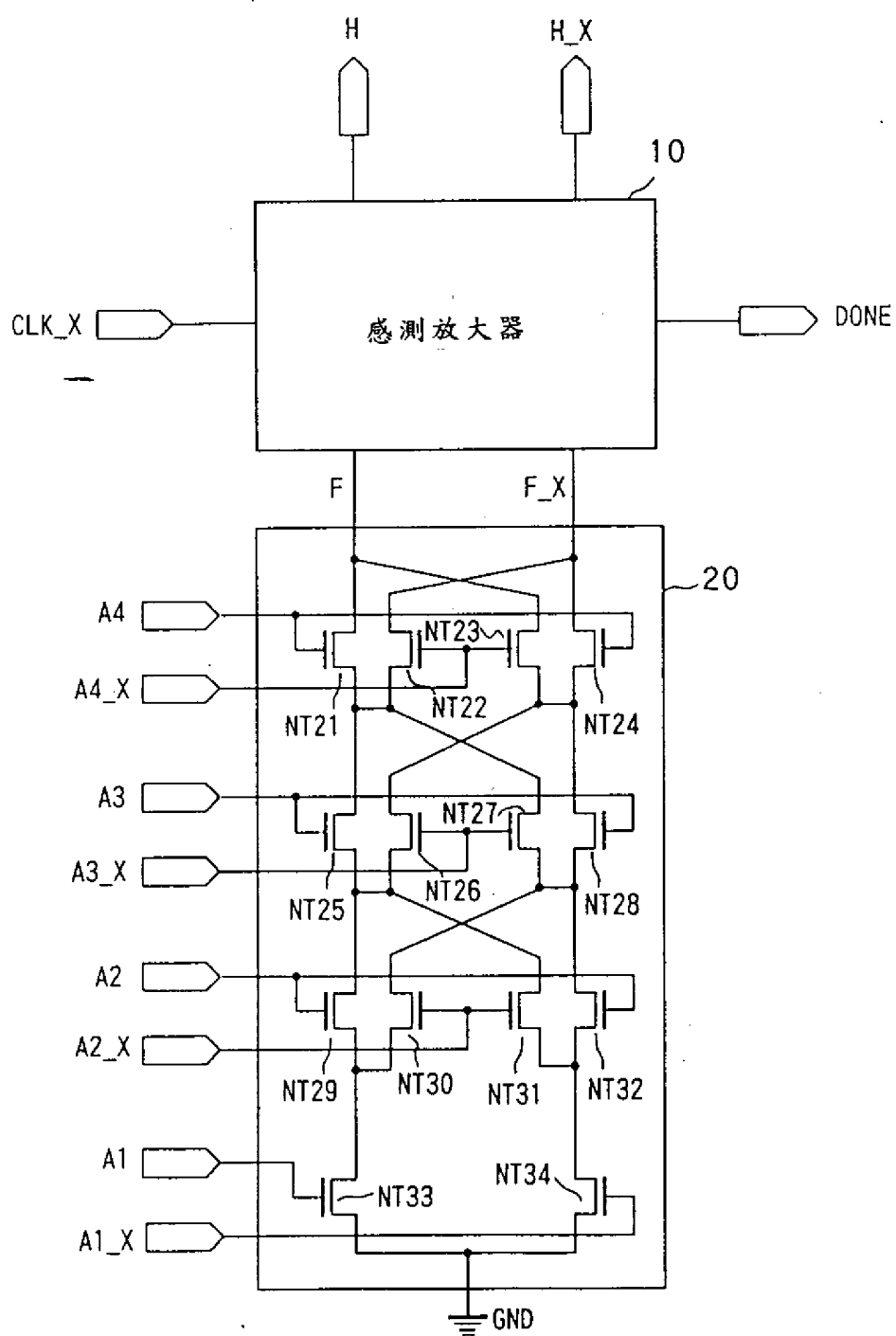


圖 4

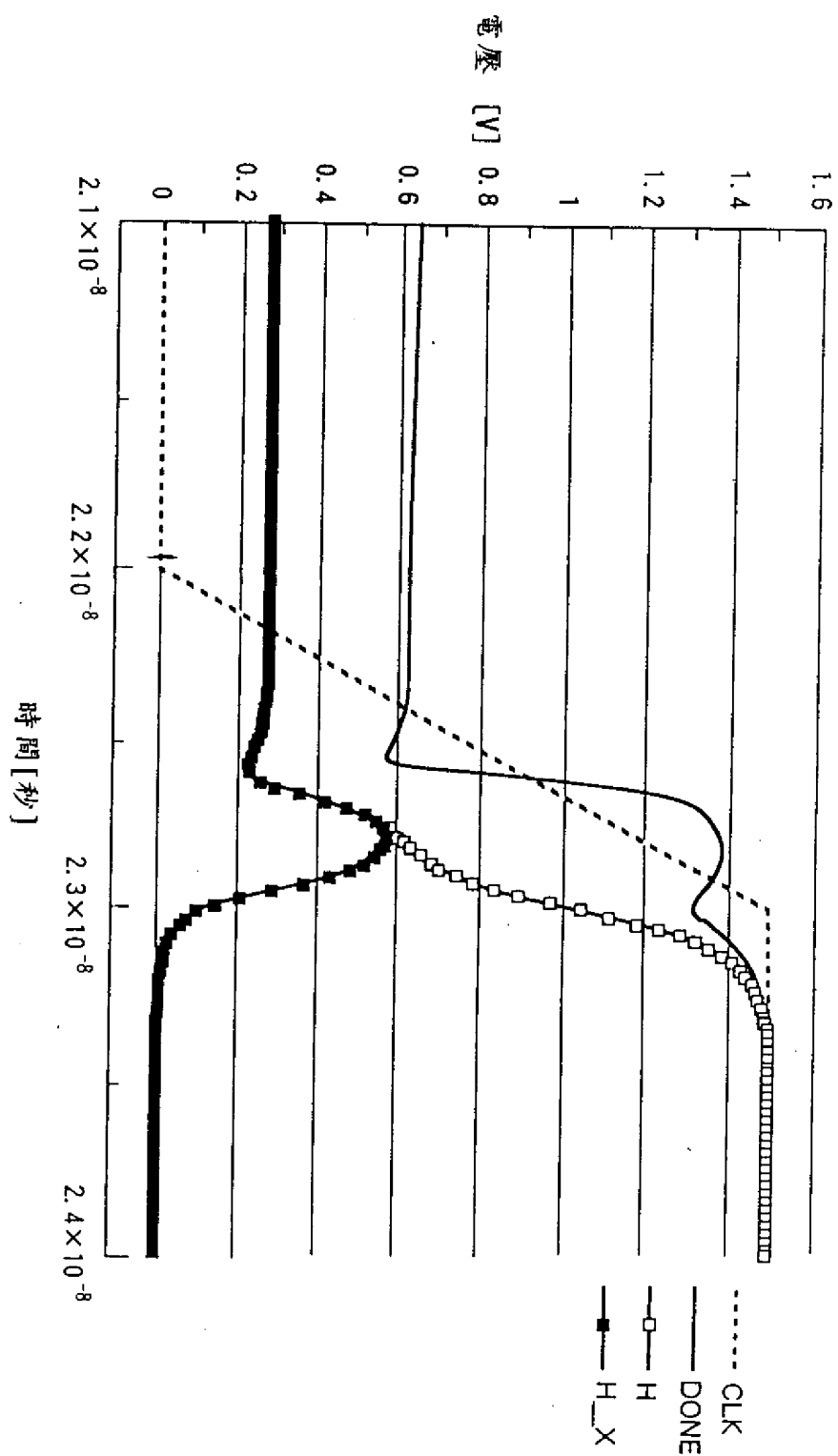


圖 5

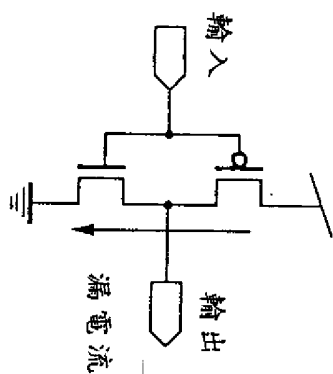


圖 6 A

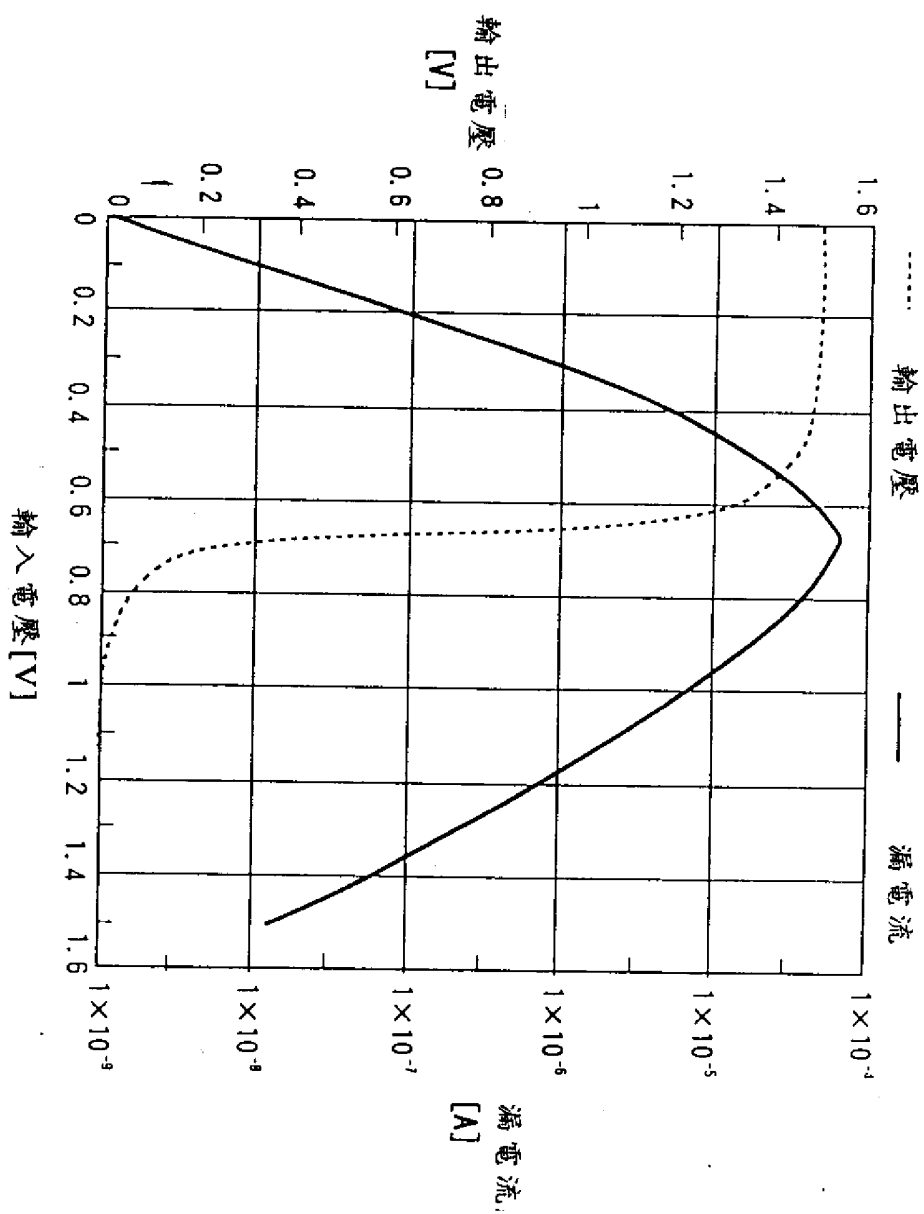


圖 6 B

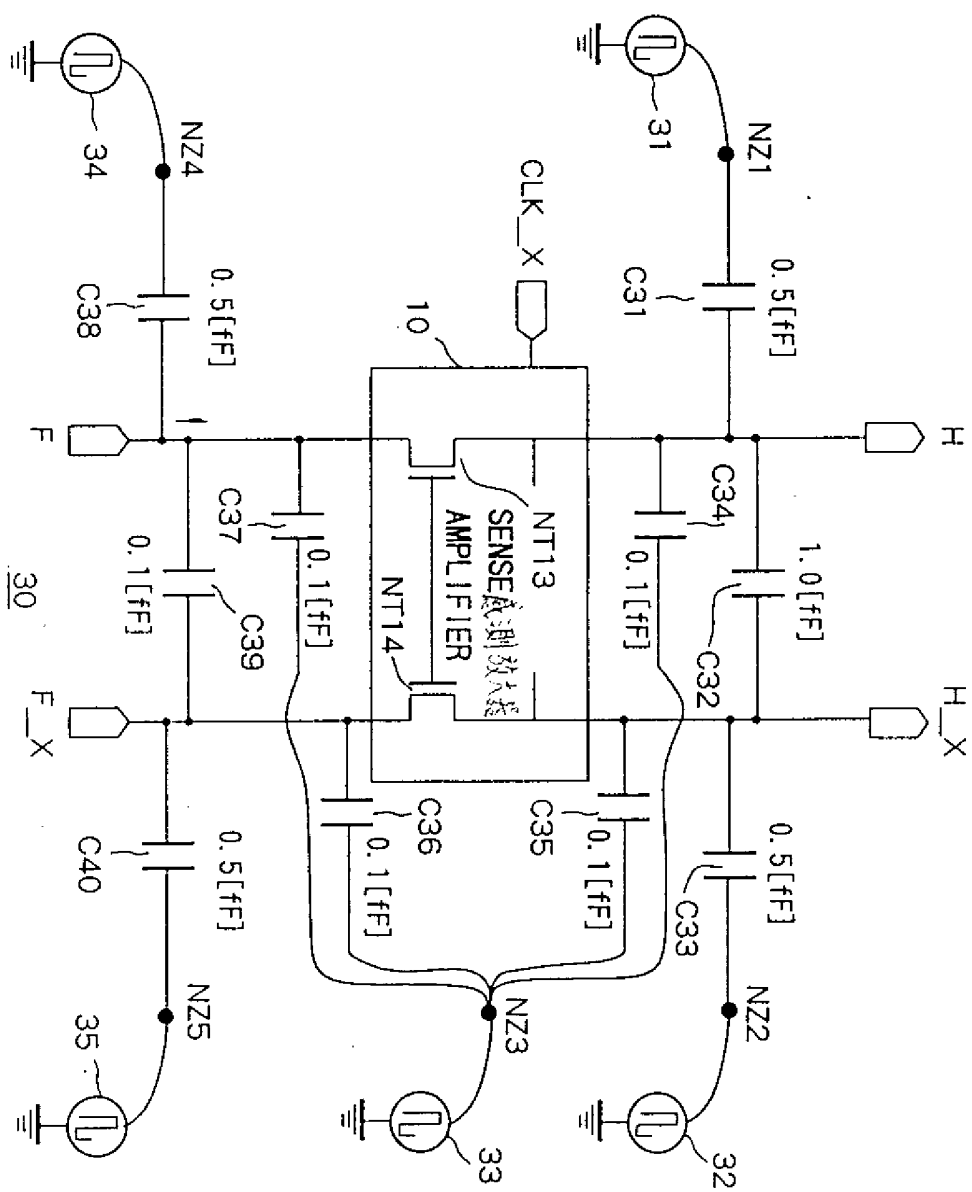


圖 7

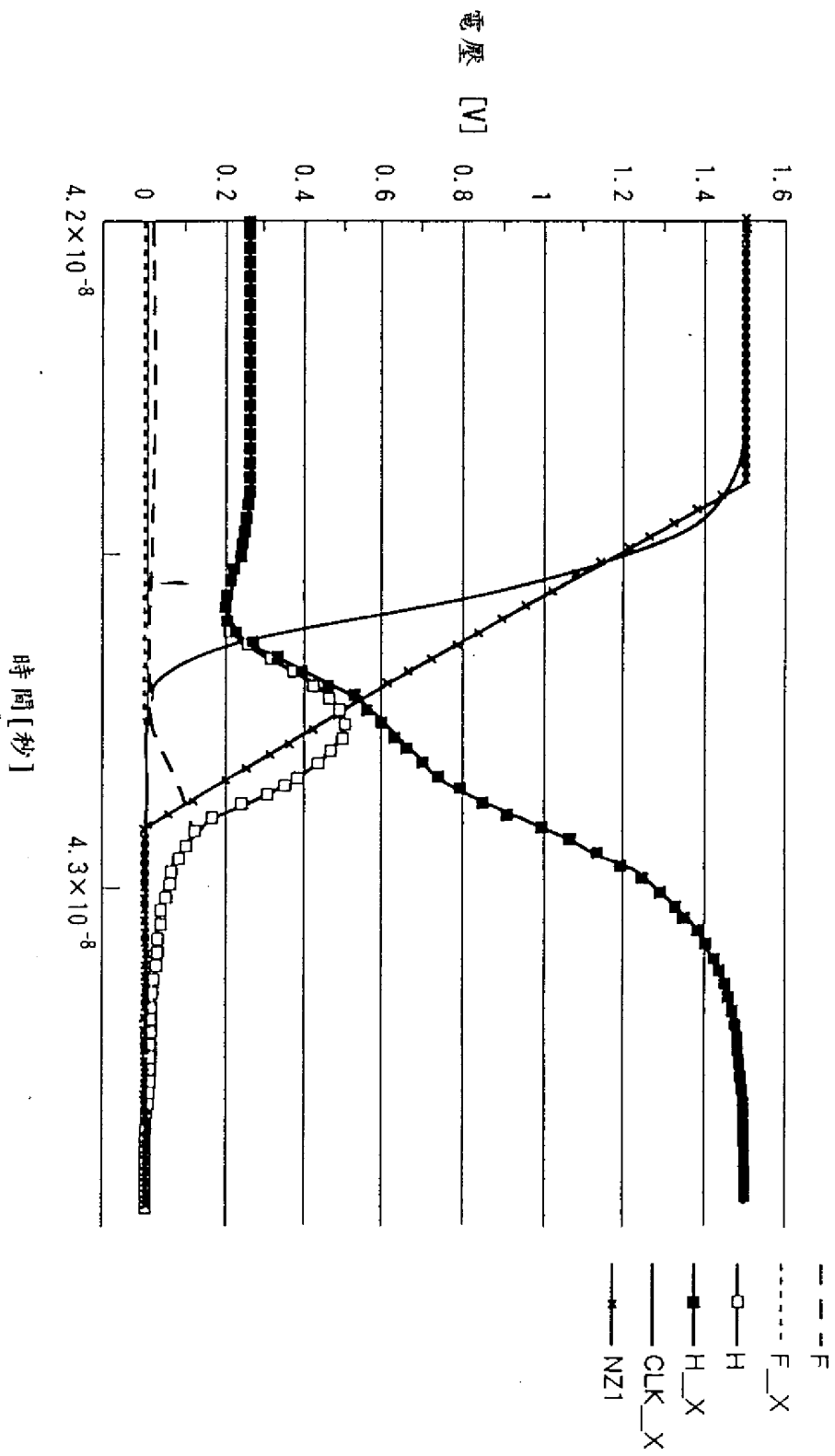


圖 8

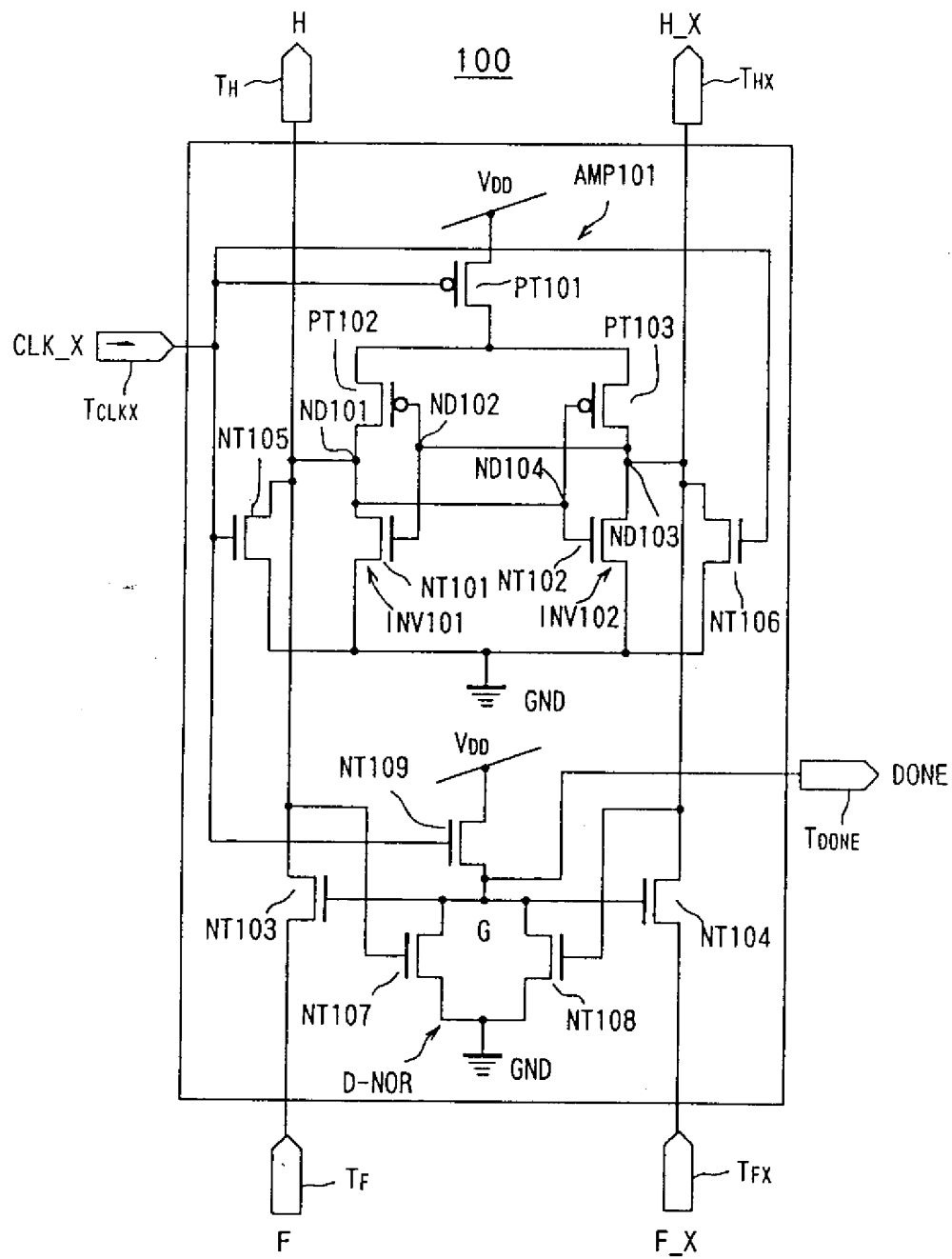


圖 9

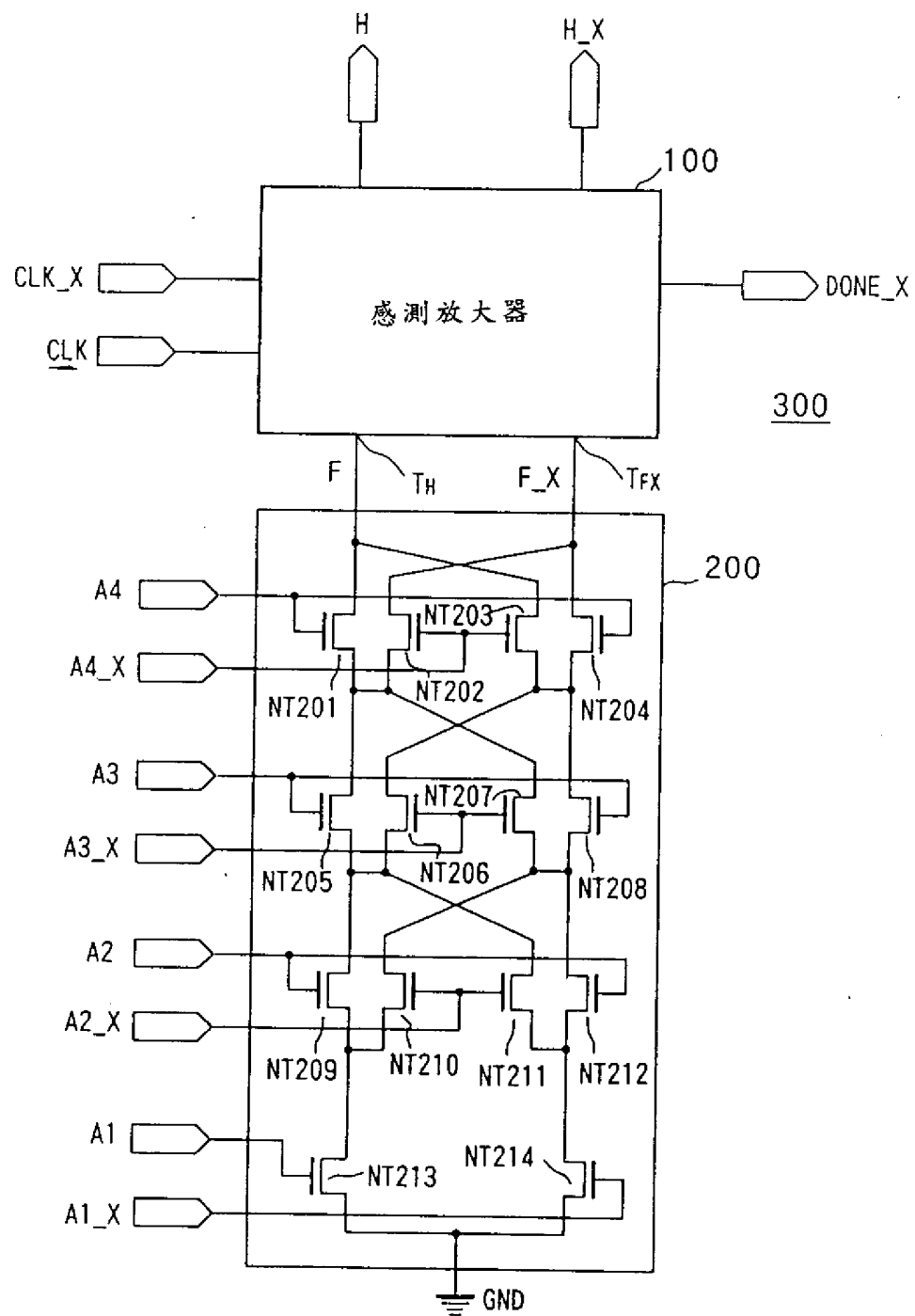


圖 10

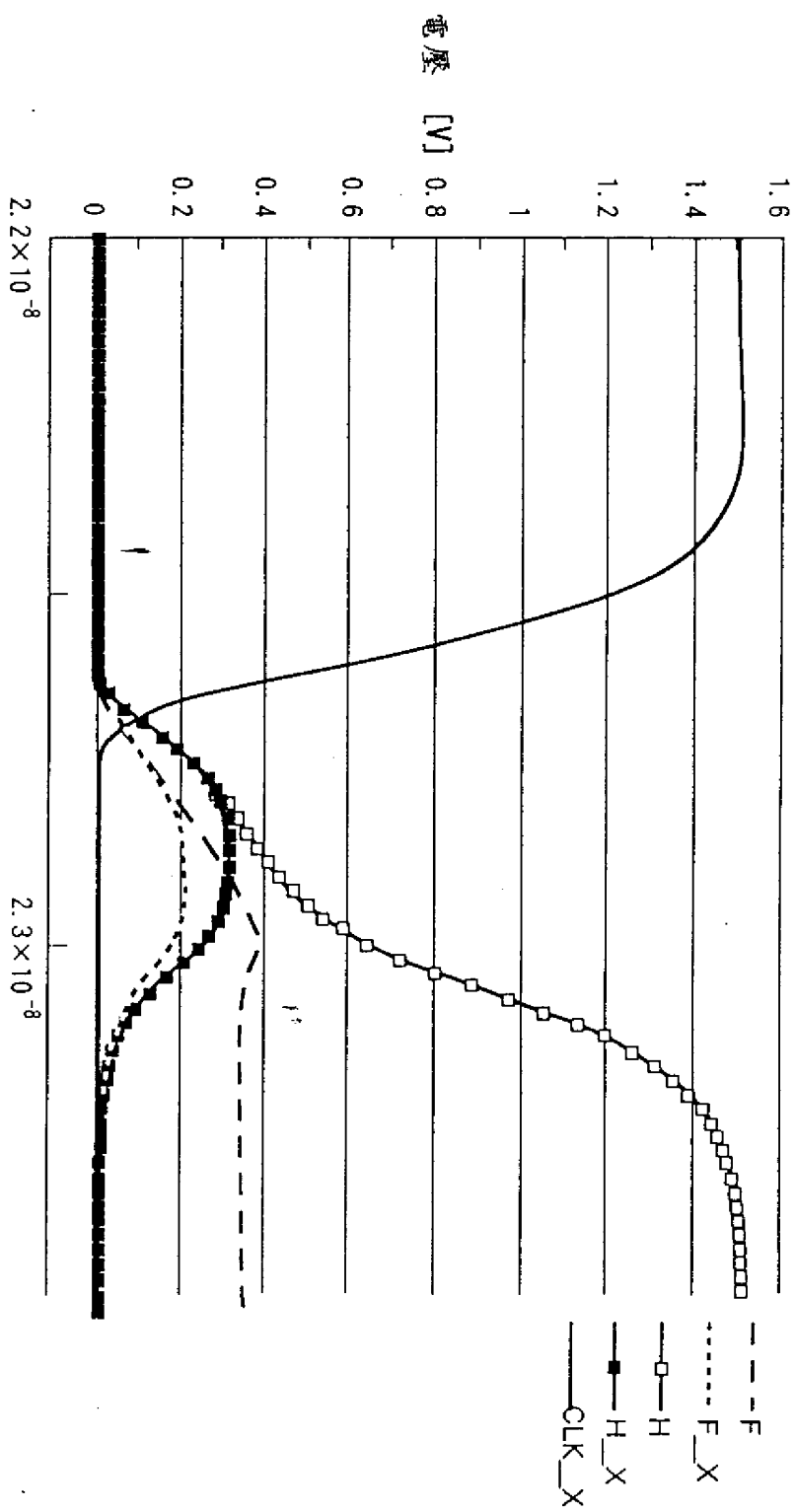


圖 11

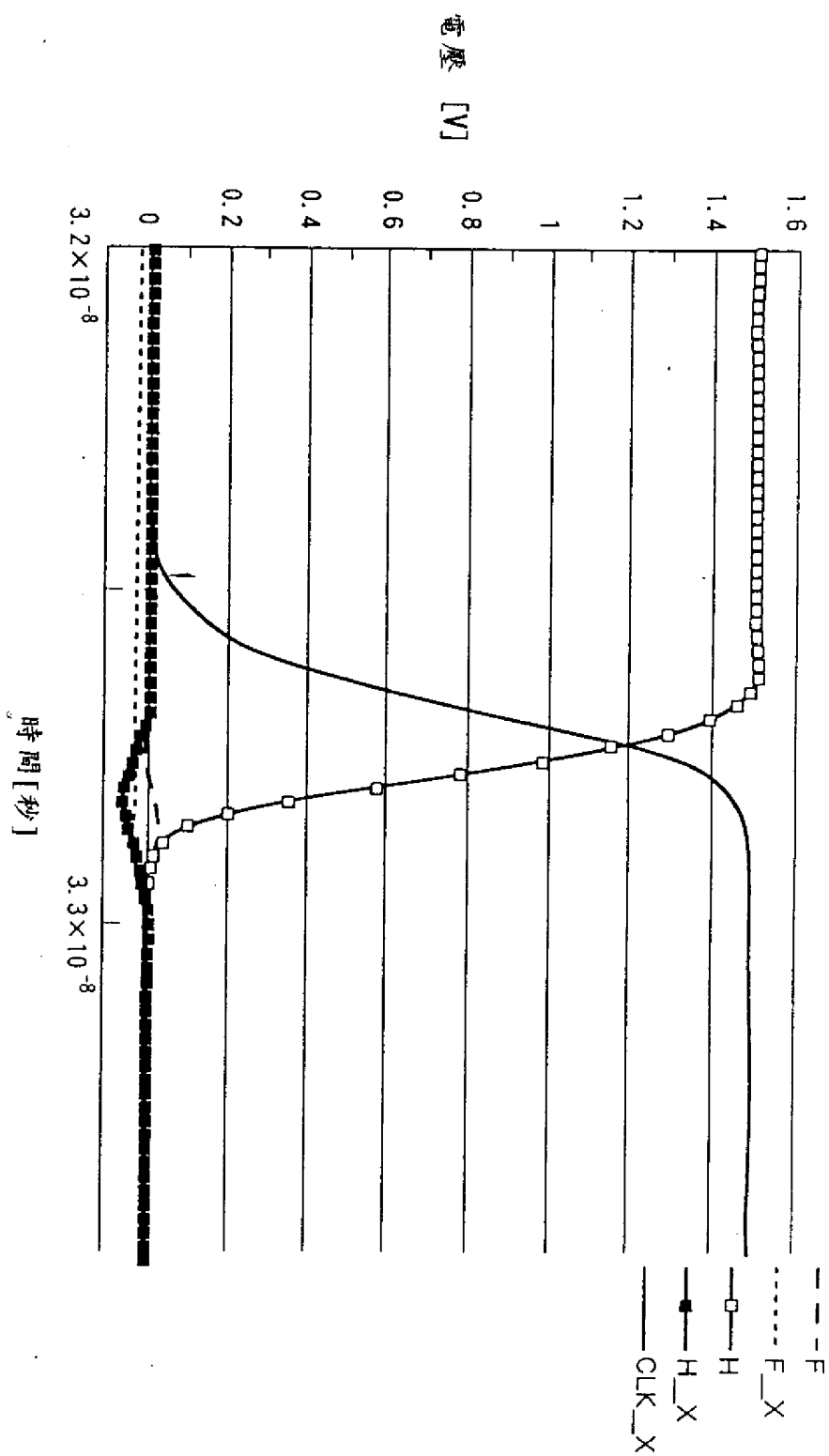


圖 12

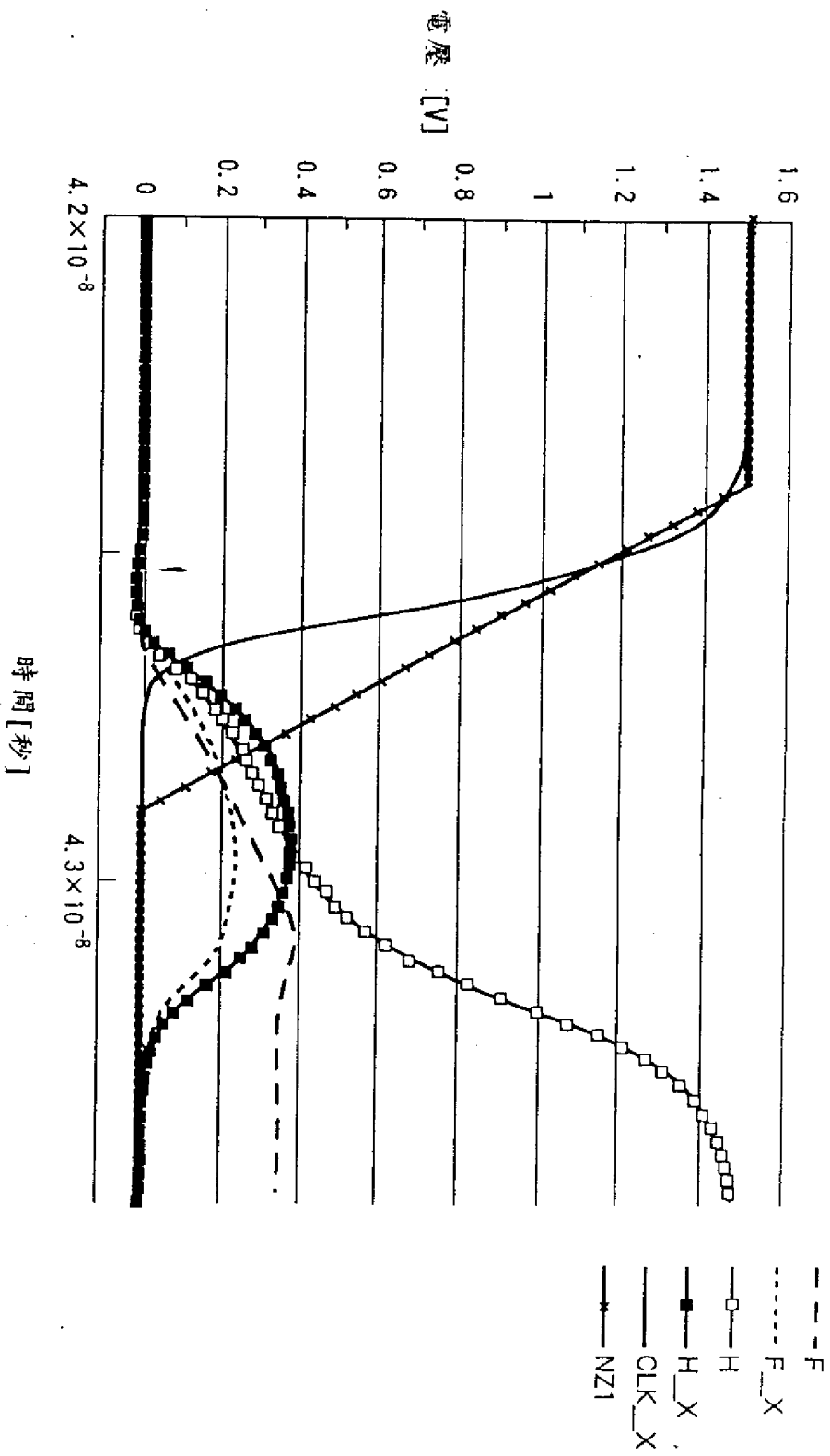


圖 13

邏輯樹的格式 (邏輯樹的高度)				
	2- 輸入 EXOR	3- 輸入 EXOR	4- 輸入 EXOR	5- 輸入 EXOR
DCSL3	> 1.50	> 1.50	> 1.50	> 1.50
N2 型	0.97	1.08	1.20	1.46
P2 型	≤ 0.70	≤ 0.70	≤ 0.70	0.72
N3 型	1.04	1.13	1.23	> 1.50
P3 型	≤ 0.70	≤ 0.70	≤ 0.70	≤ 0.70

圖 14

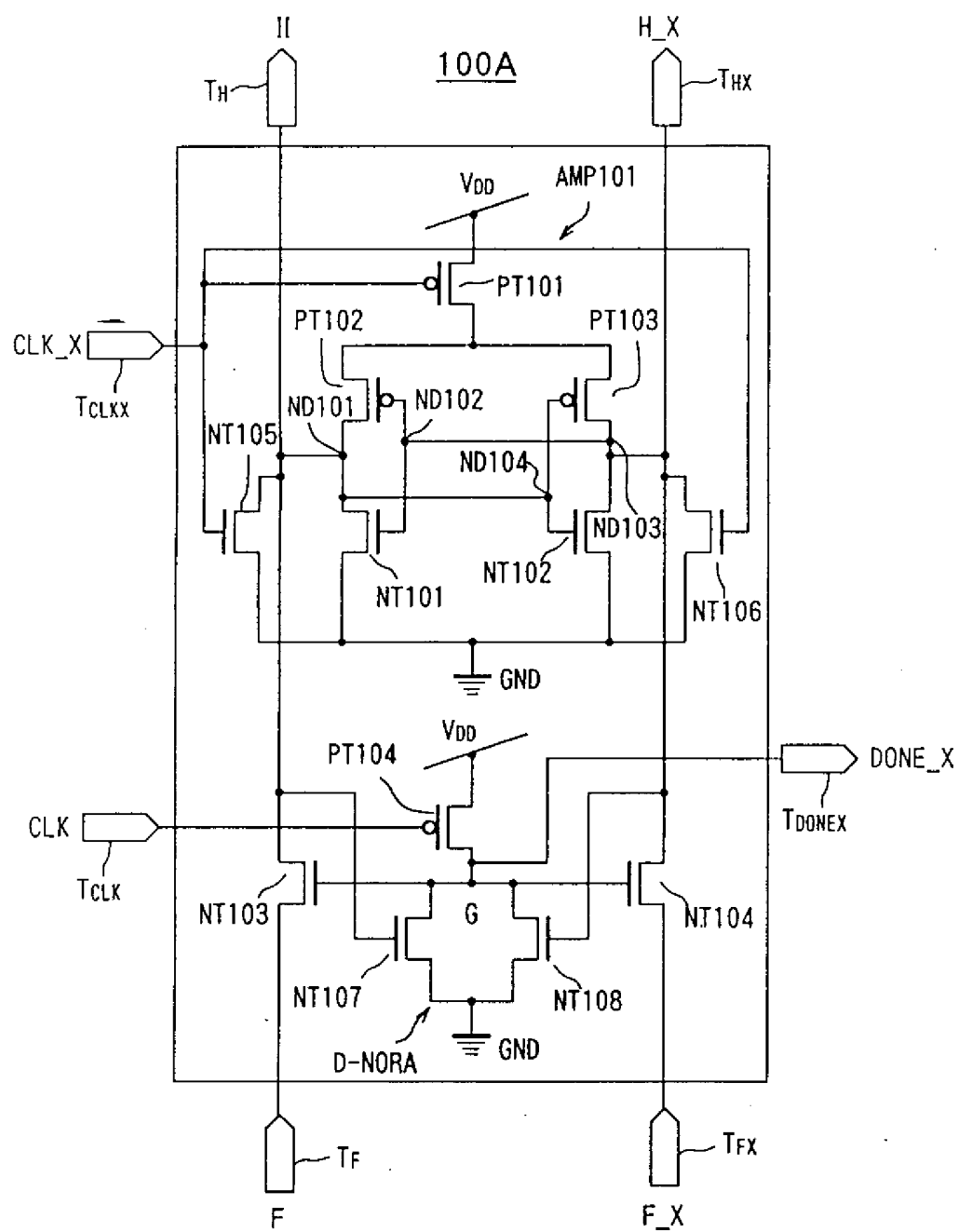


圖 15

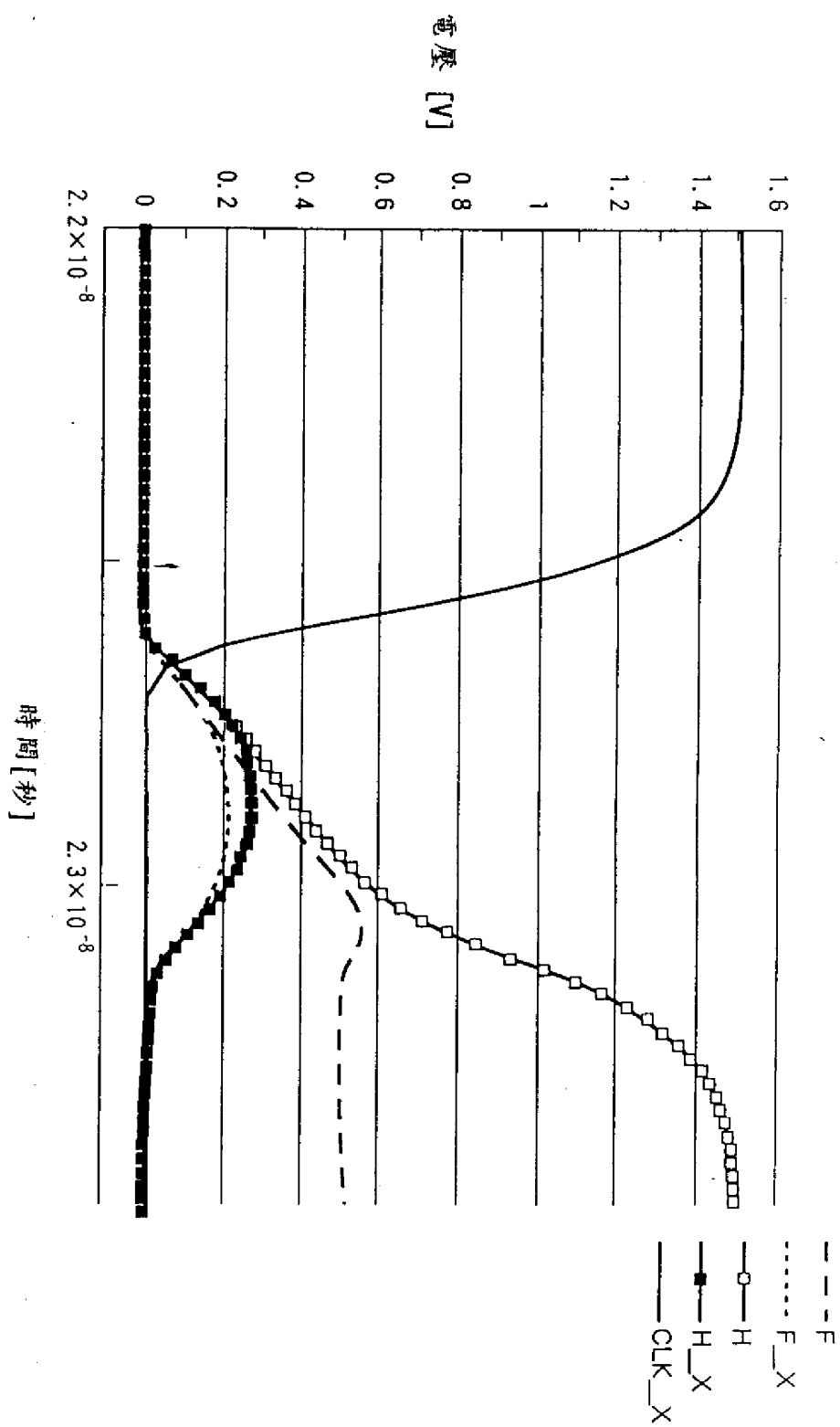


圖 16

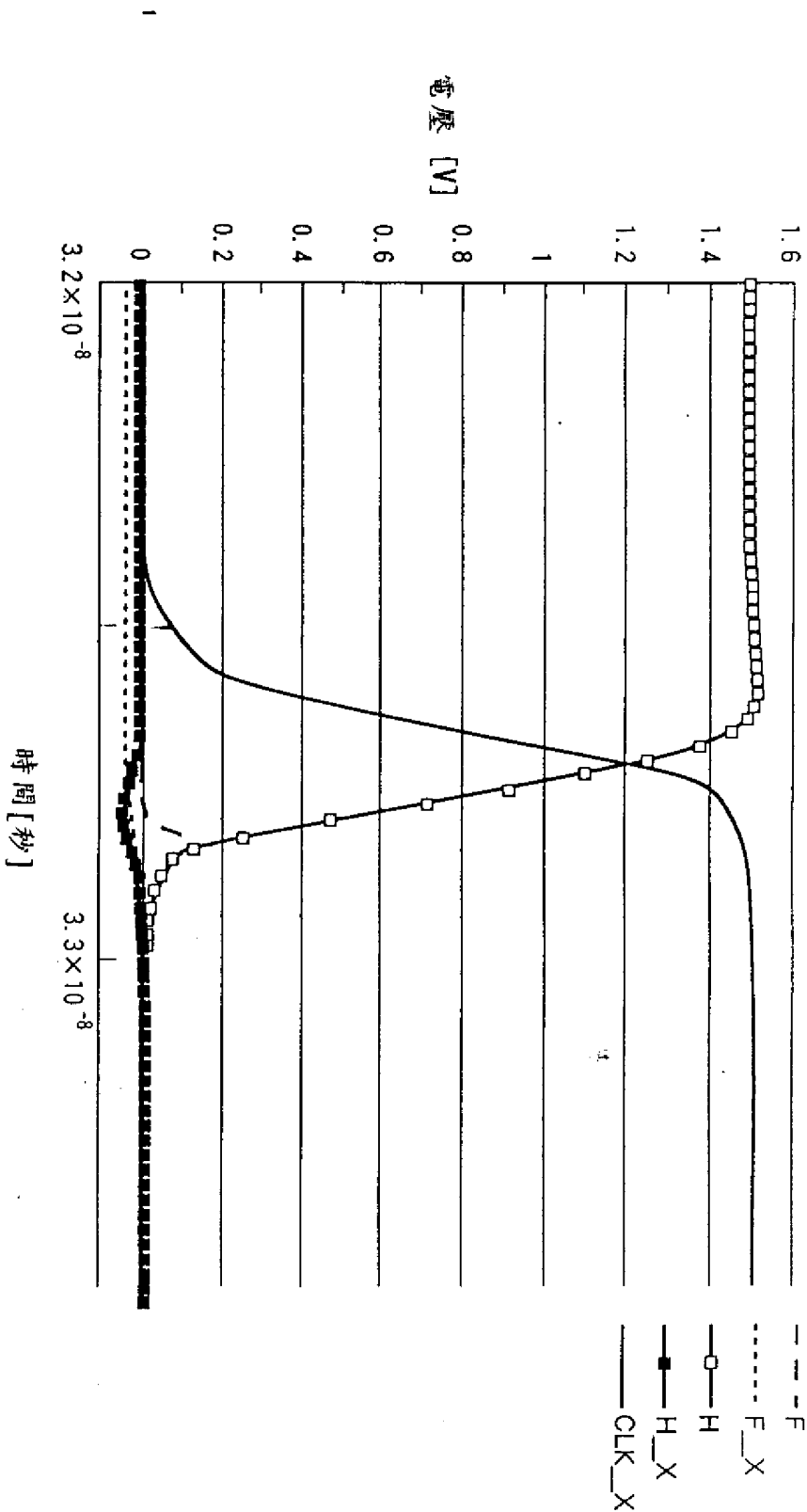


圖 17

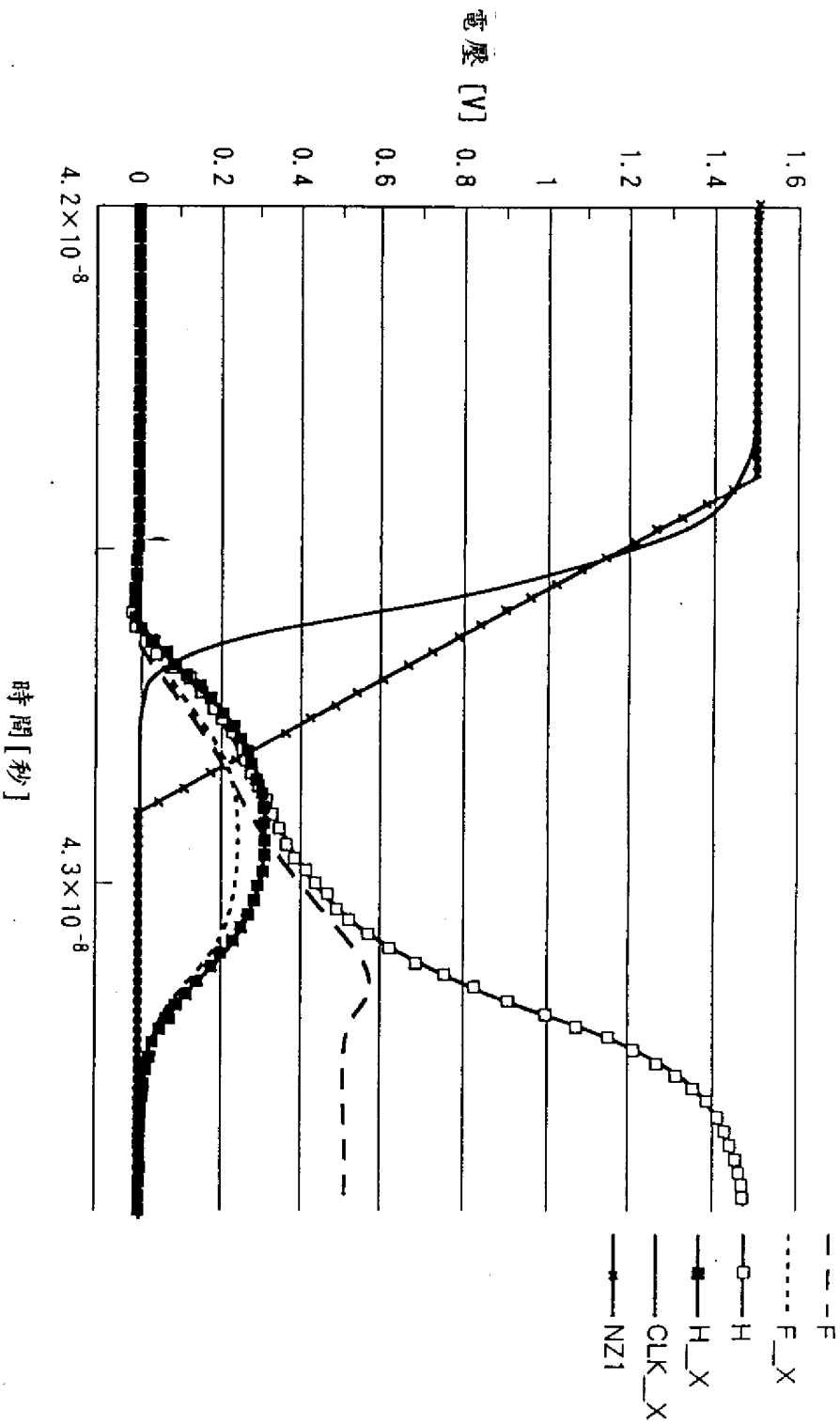


圖 18

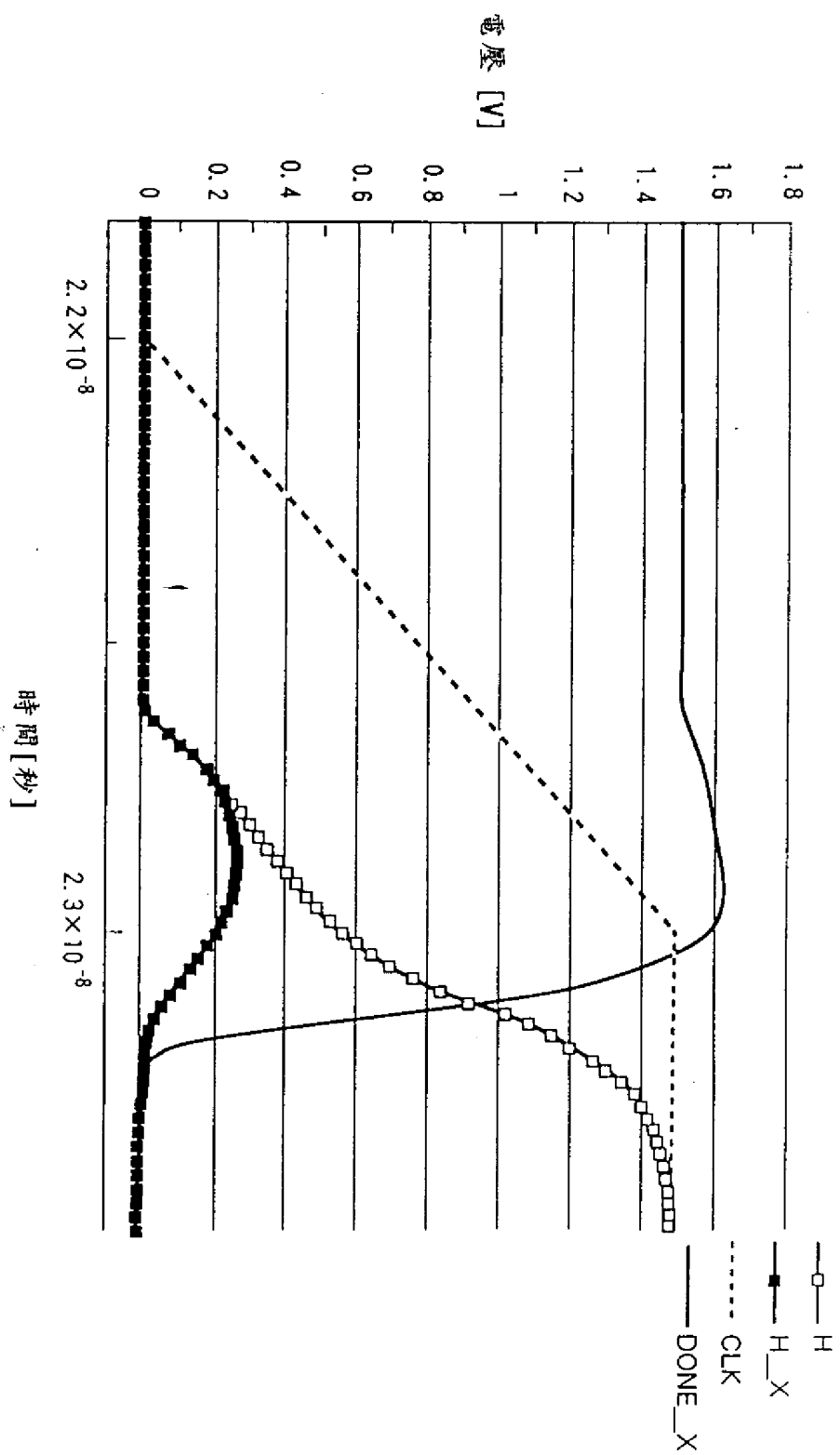


圖 19

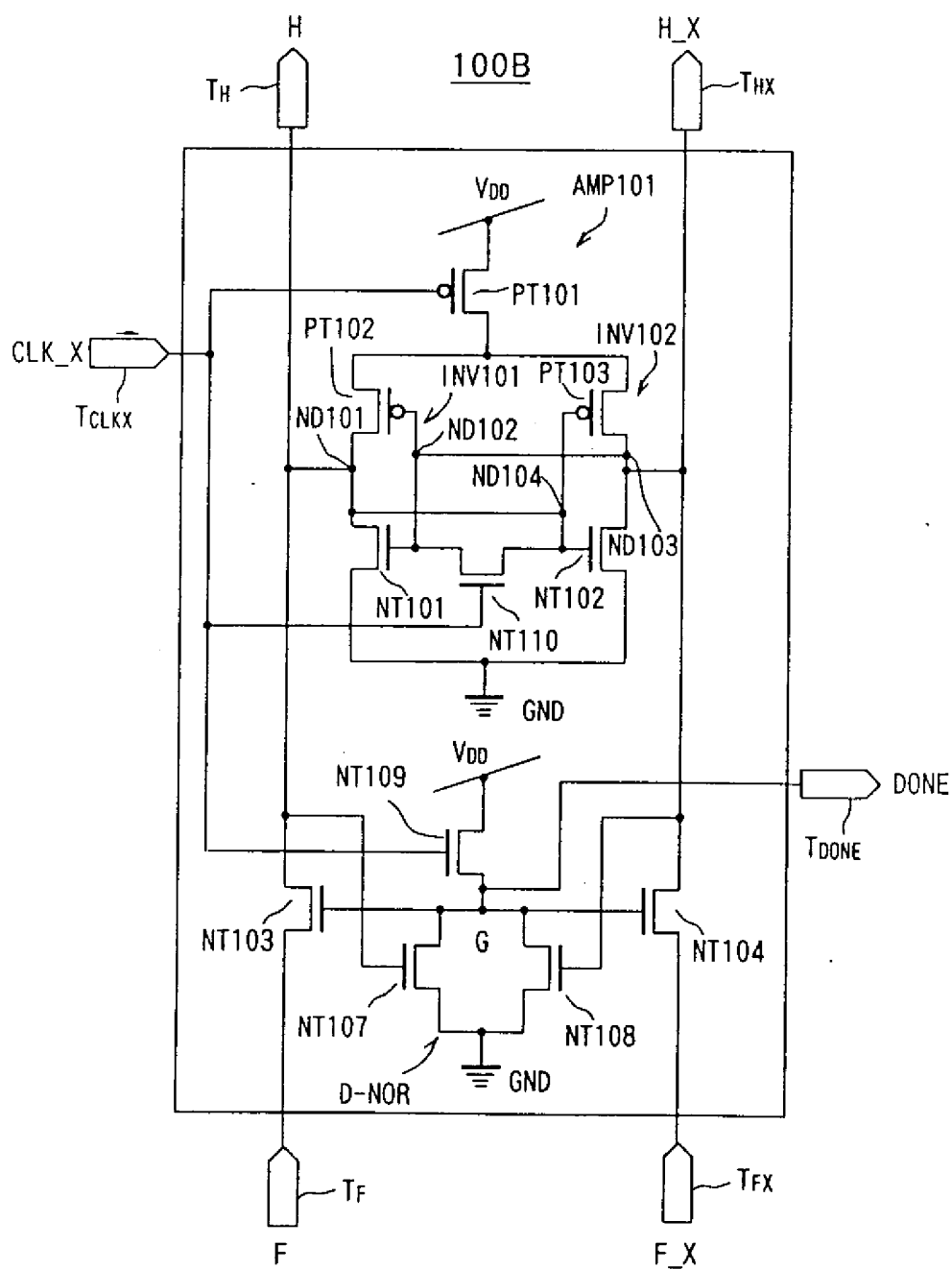


圖 20

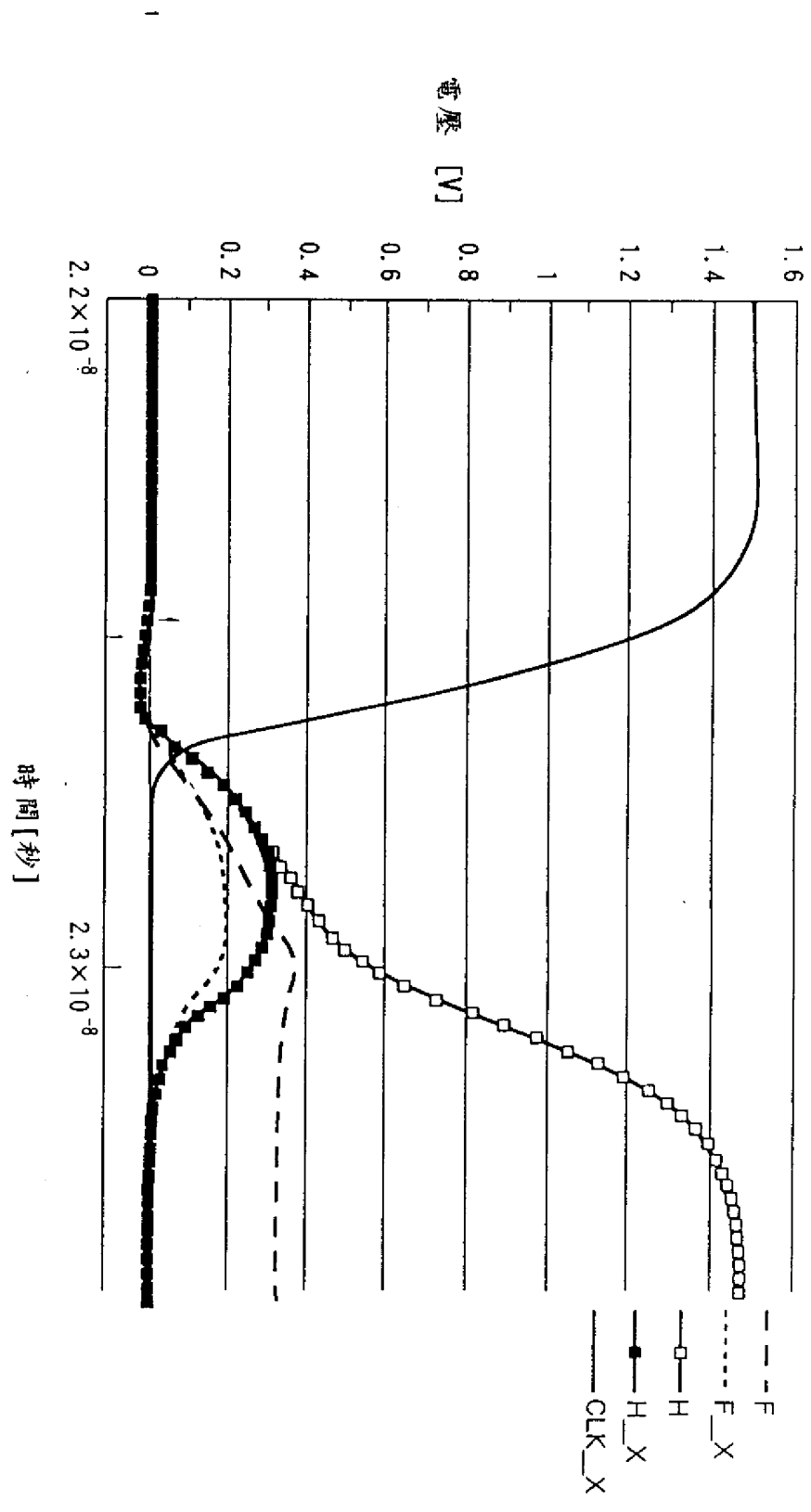
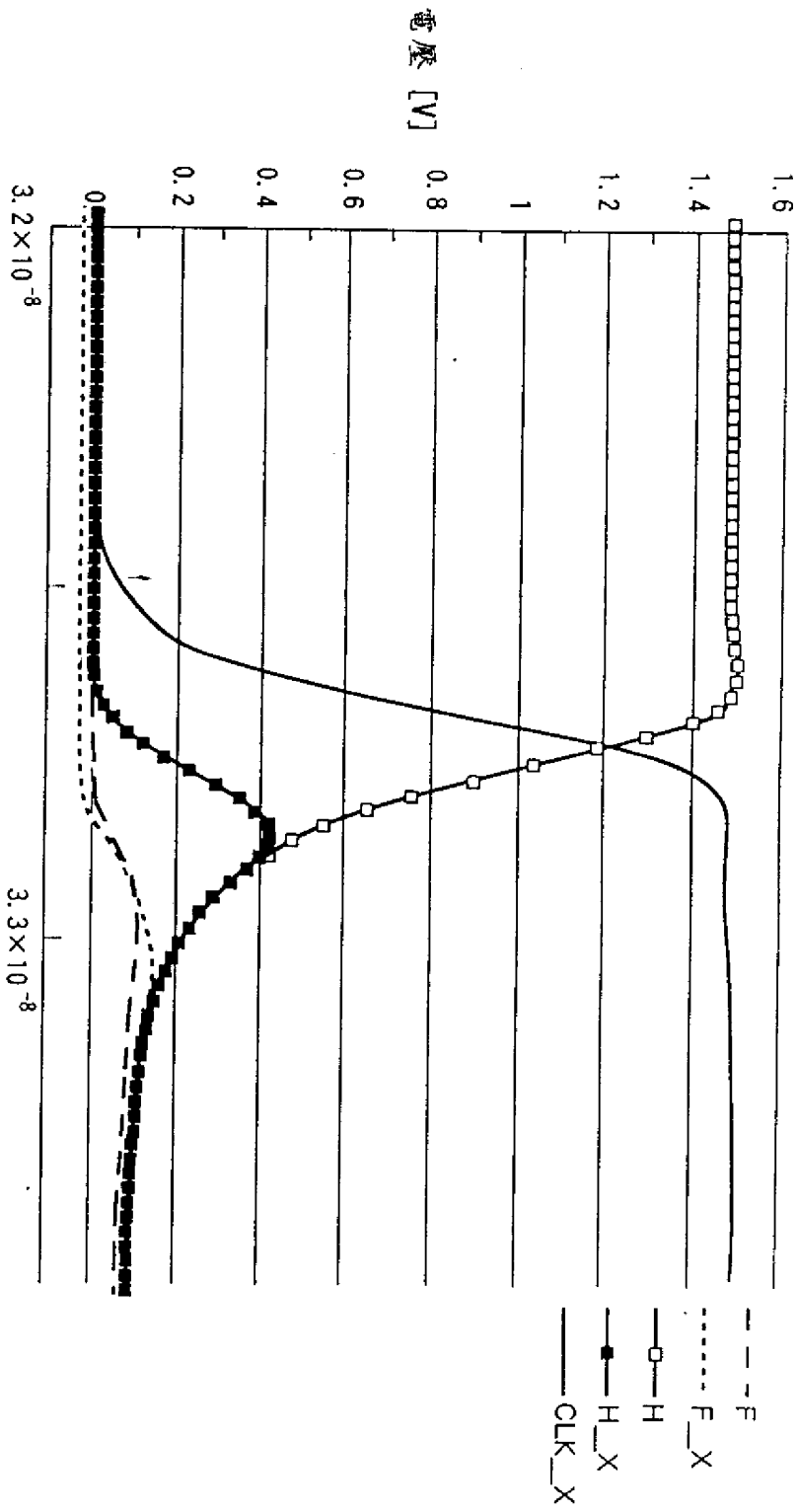


圖 21



時間[秒]

圖 22

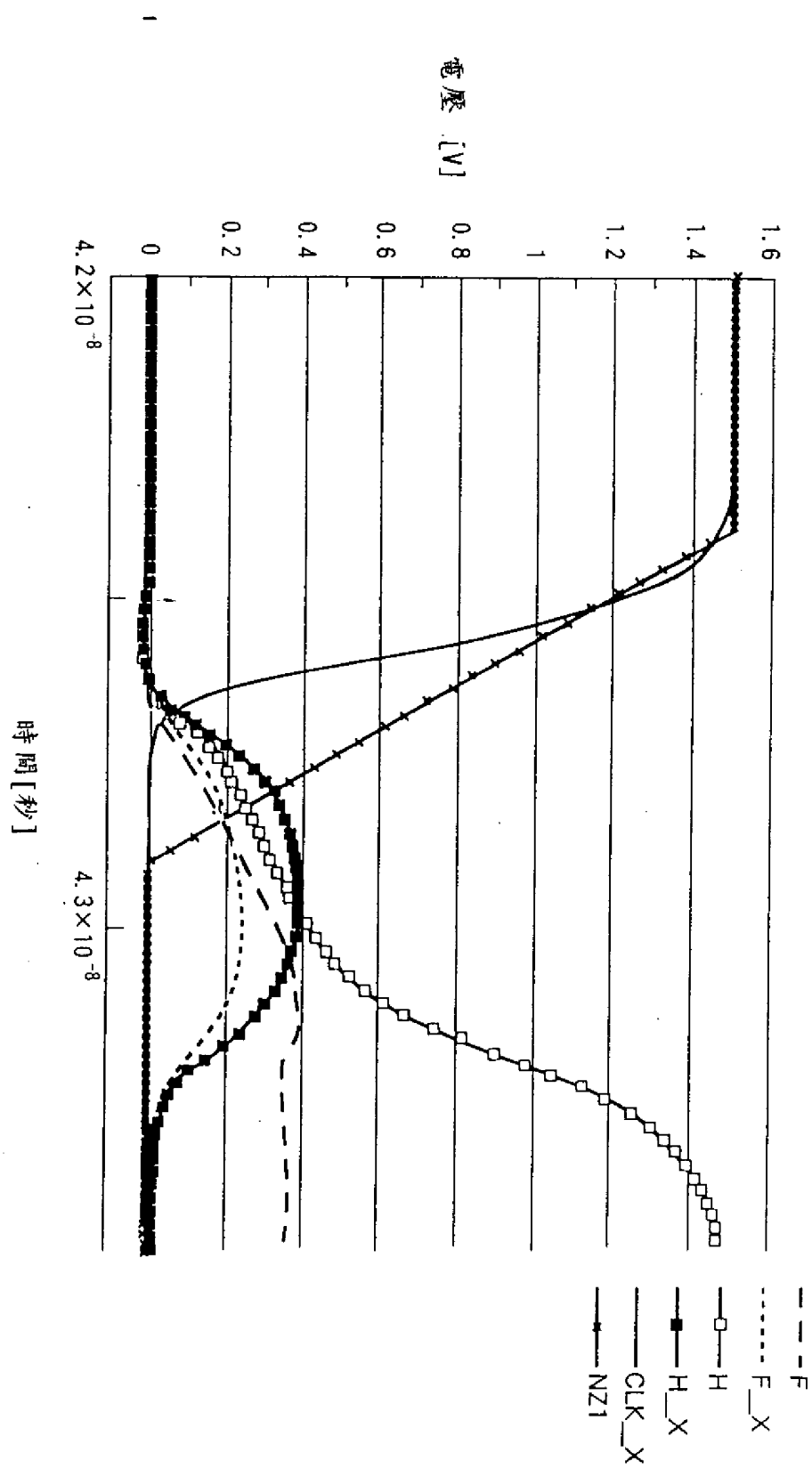


圖 23

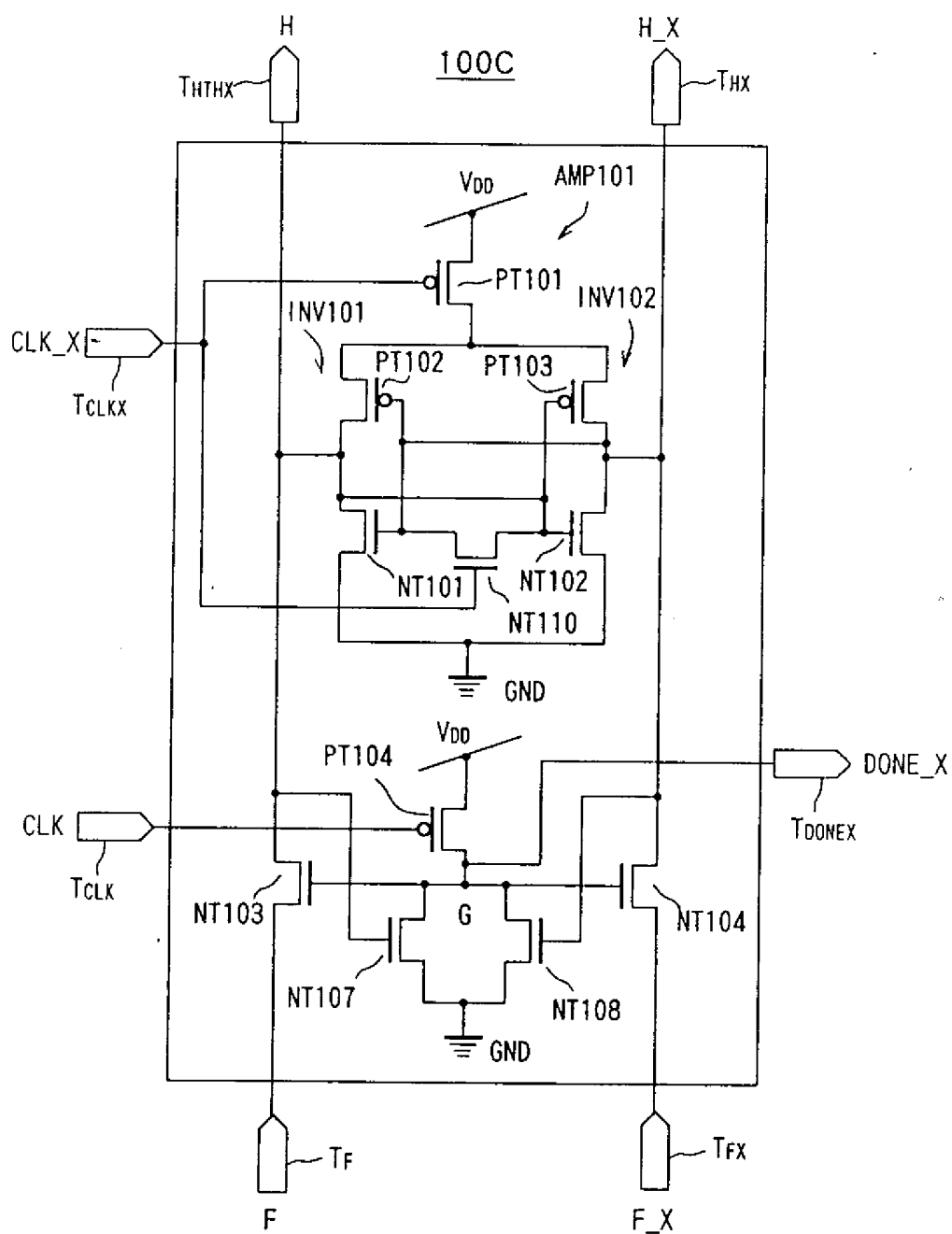


圖 24

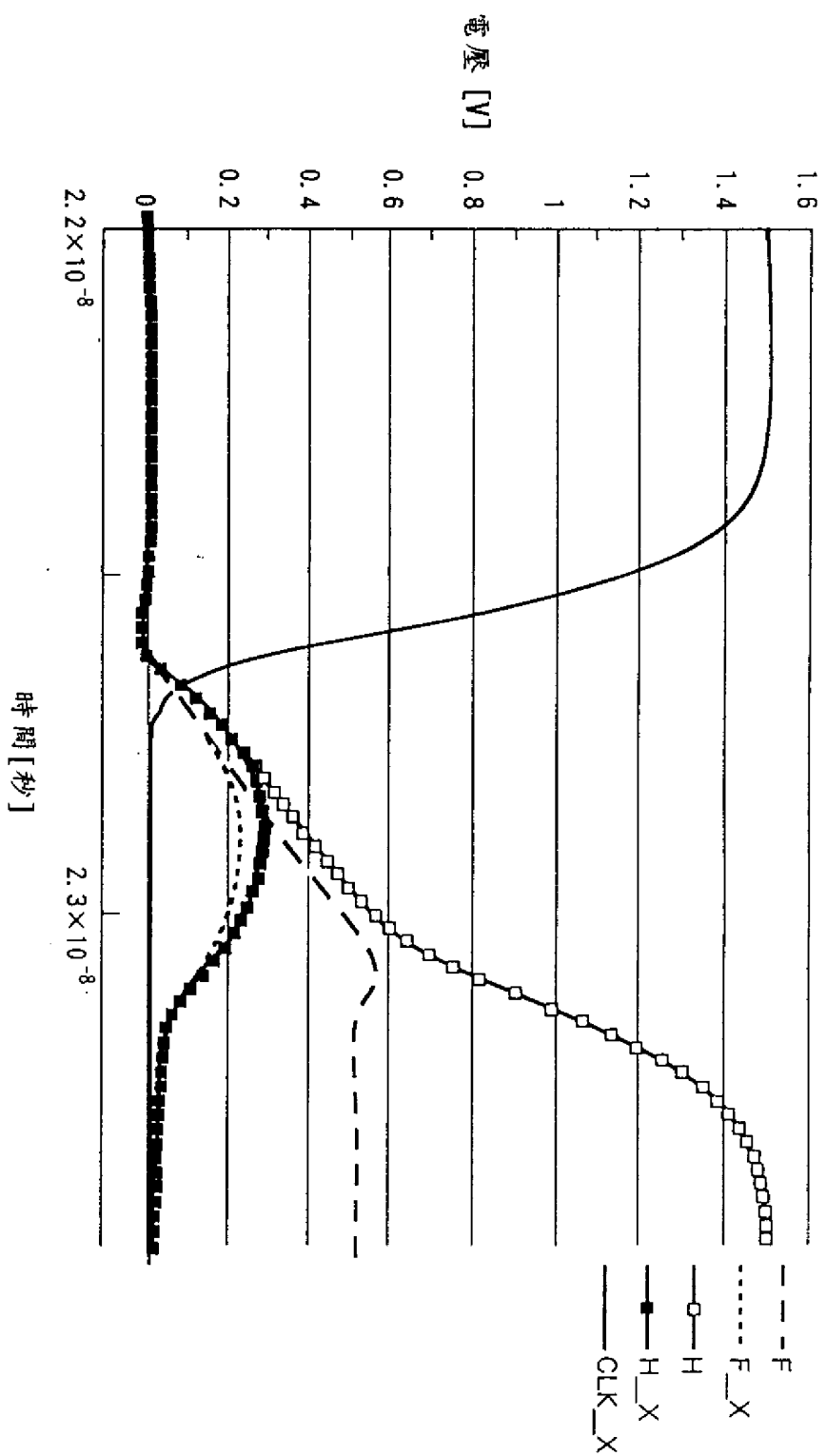


圖 25

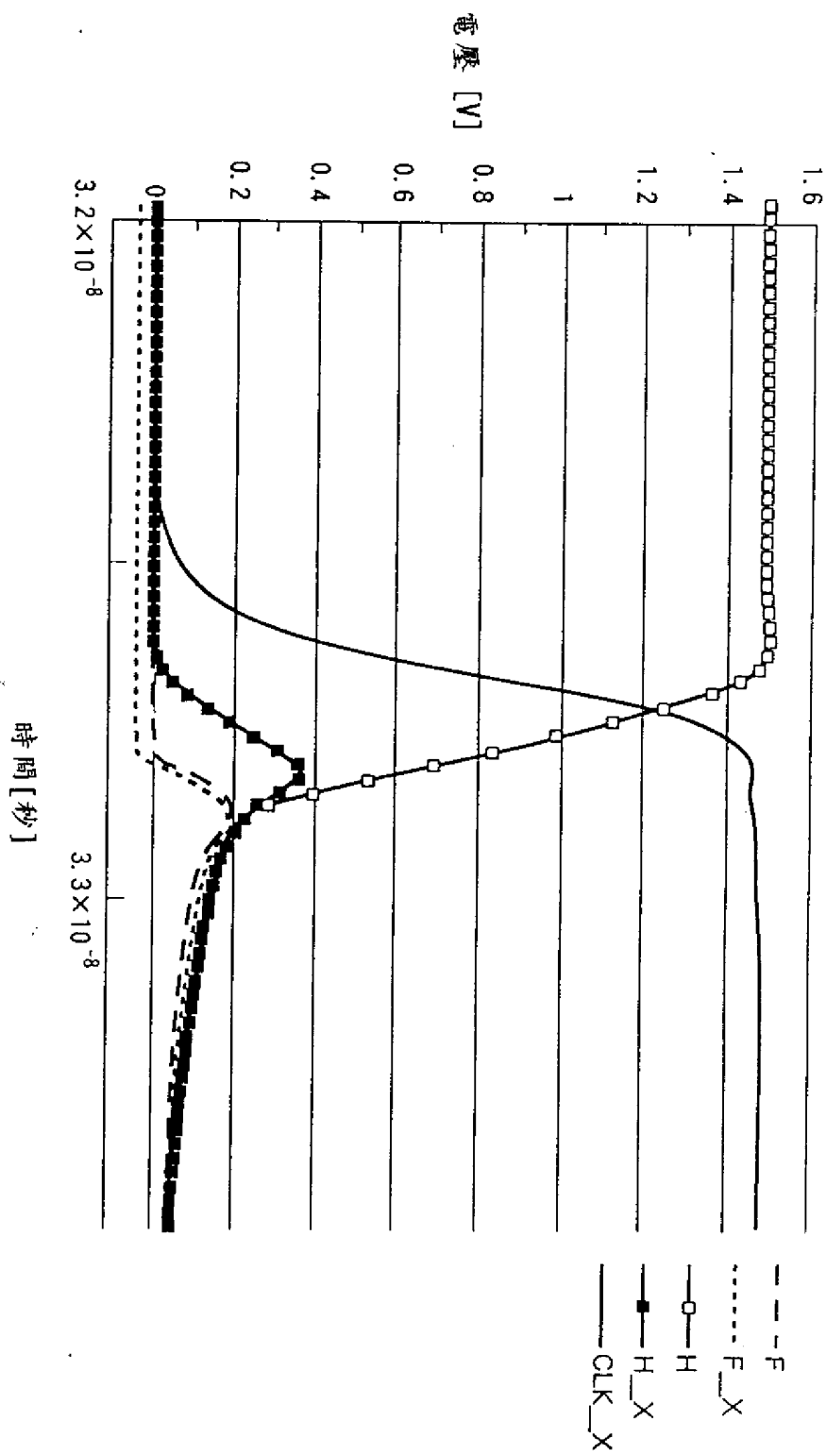


圖 26

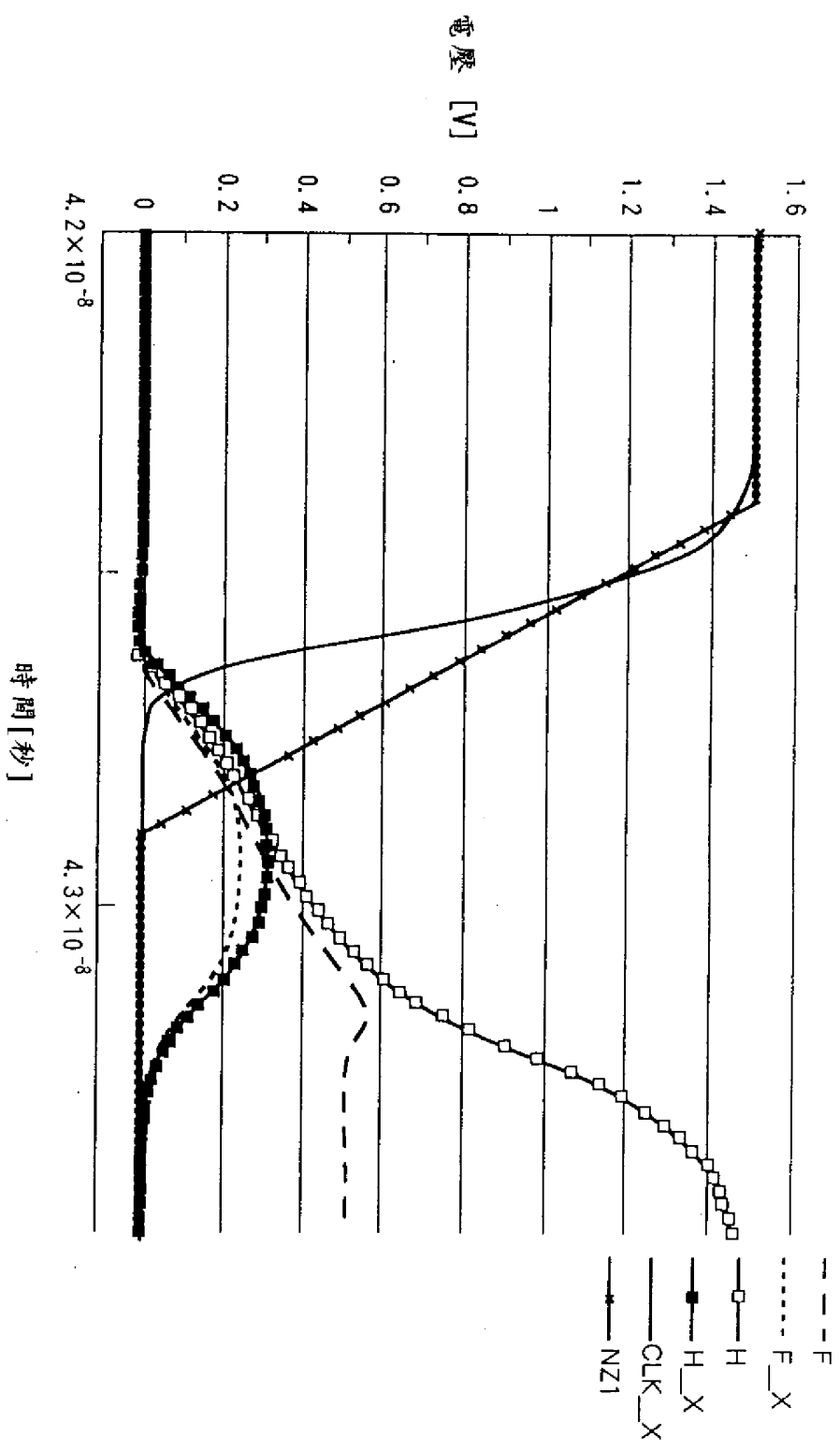


圖 27

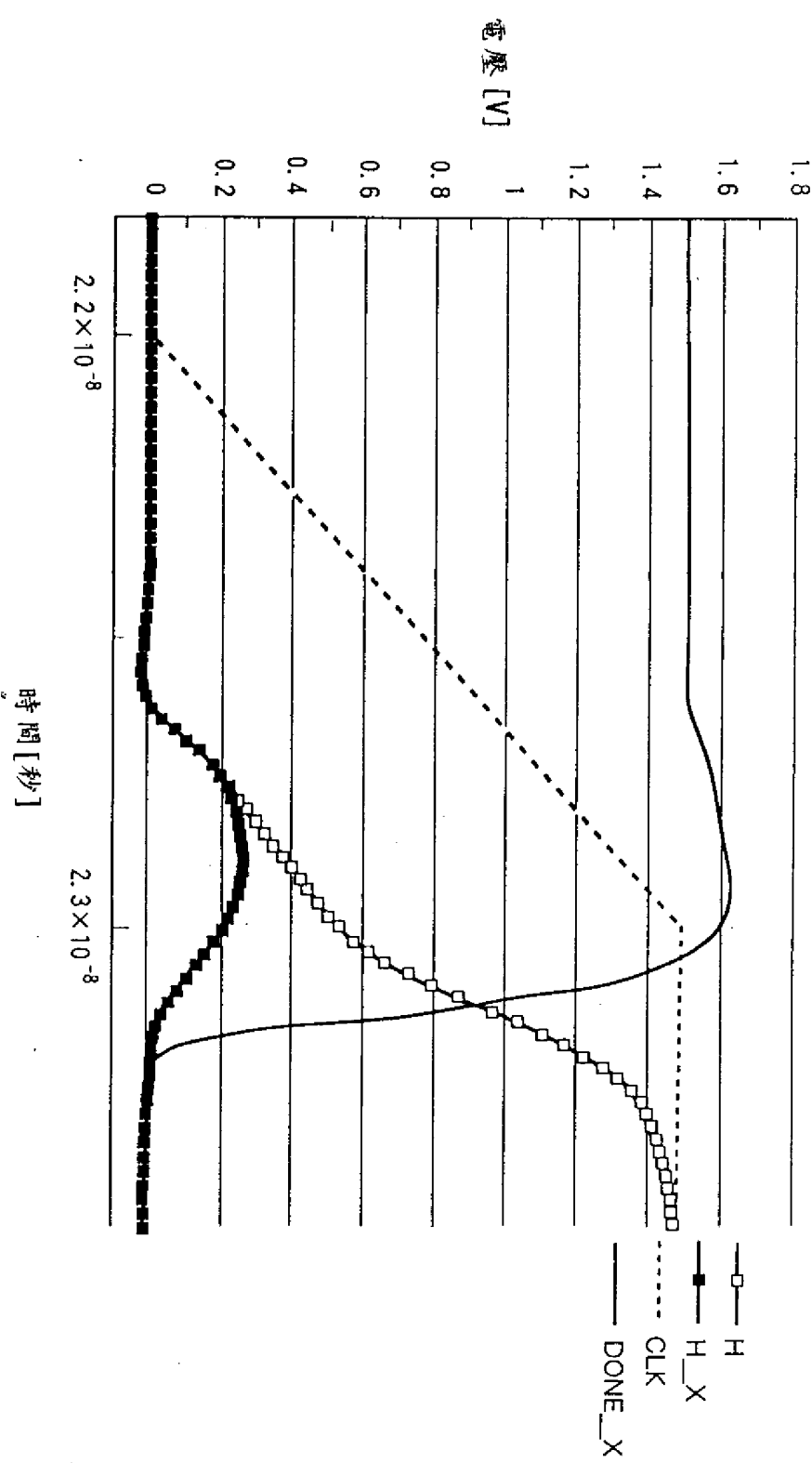
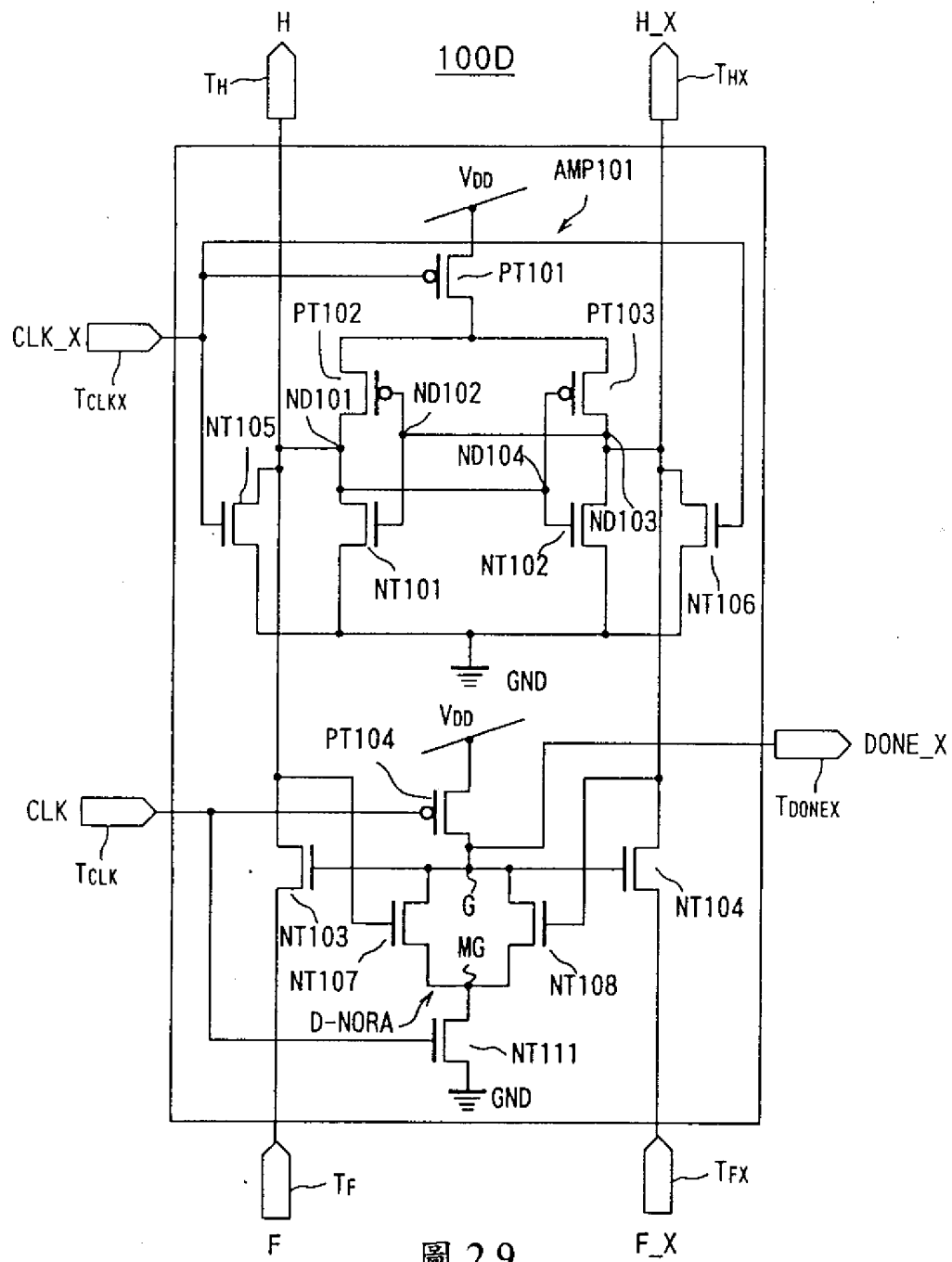


圖 28



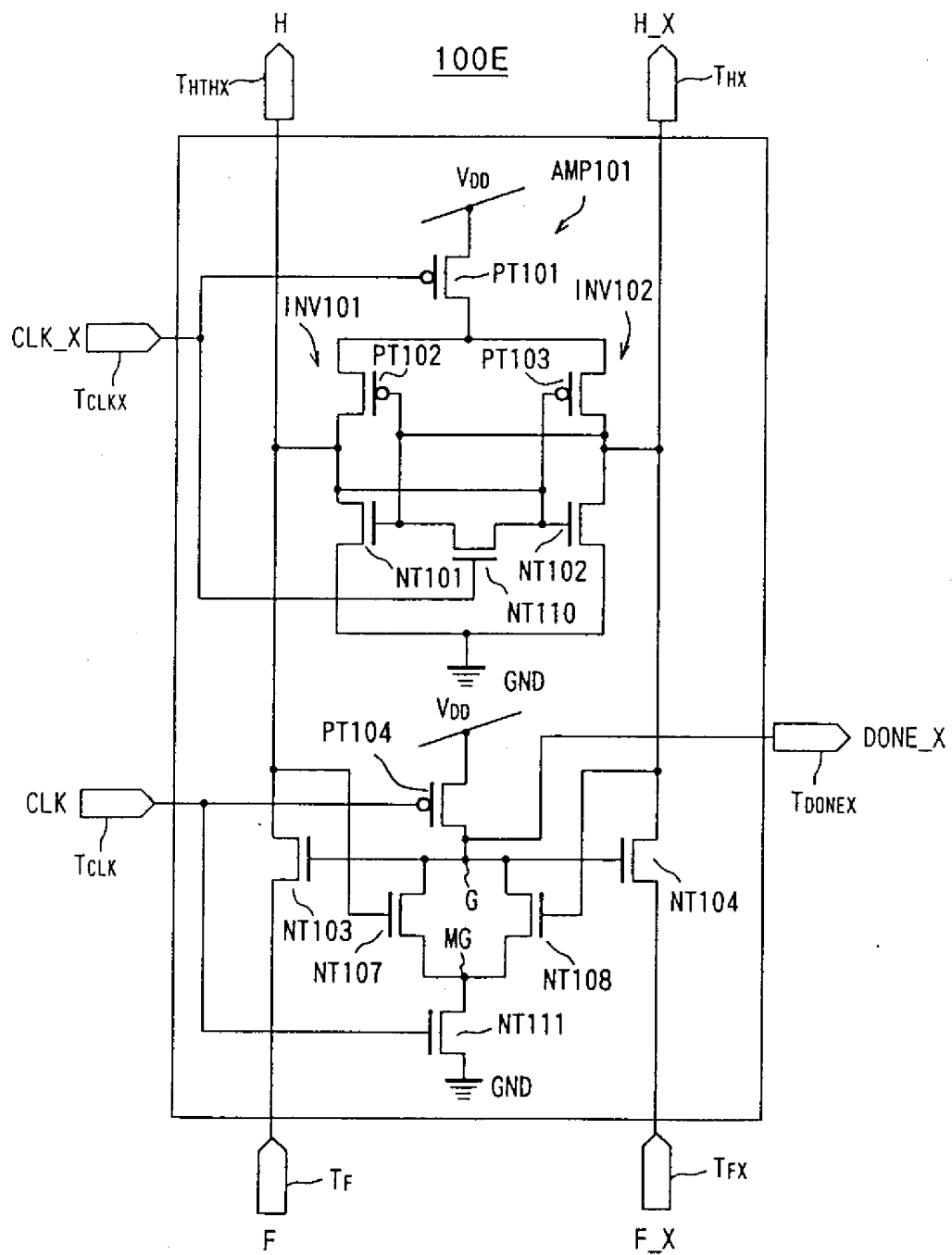


圖 30

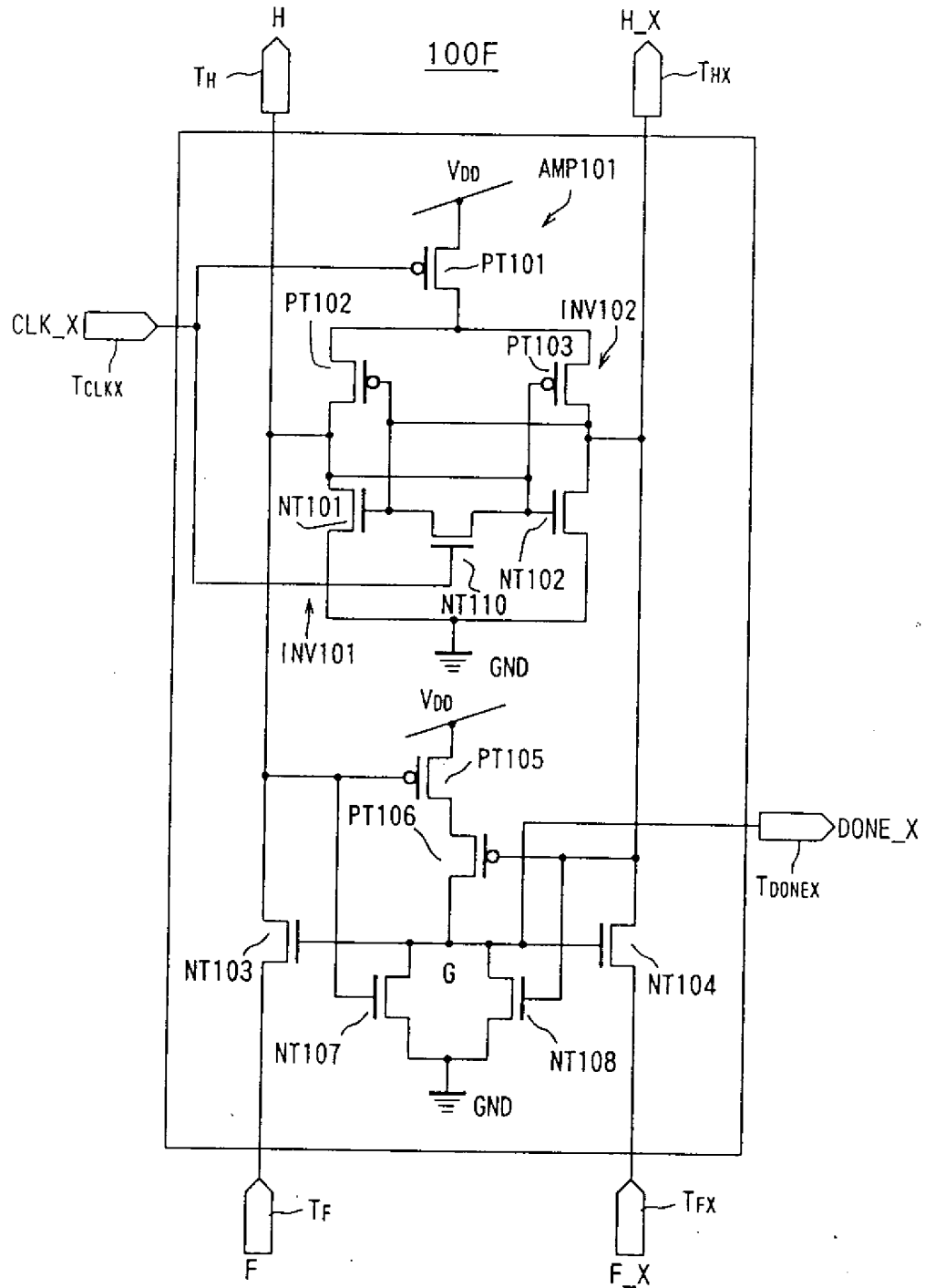


圖 31