(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년05월04일
(11) 등록번호 10-1854869
(24) 등록일자 2018년04월27일

(51) 국제특허분류(Int. Cl.)
H01L 21/82 (2006.01) *H01L 21/8247* (2006.01)
H01L 27/115 (2017.01) *H01L 29/788* (2006.01)
(21) 출원번호 10-2012-0051532
(22) 출원일자 2012년05월15일
심사청구일자 2017년05월10일
(65) 공개번호 10-2012-0129782
(43) 공개일자 2012년11월28일
(30) 우선권주장
JP-P-2011-112804 2011년05월19일 일본(JP)
(56) 선행기술조사문헌
JP01295527 A
JP04127615 A
JP2011086929 A

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
타케와키 요시야
일본국 901-2133 오키나와켄 우라소에시 구스쿠마 2-3-6 아반하우스야구라 101
(74) 대리인
황의만

전체 청구항 수 : 총 10 항 심사관 : 김진우

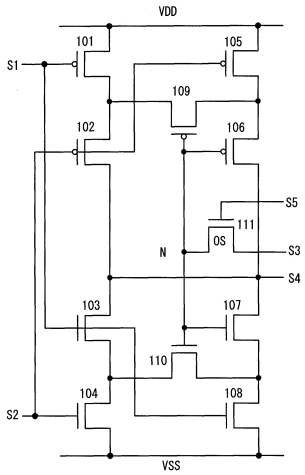
(54) 발명의 명칭 **논리회로**

(57) 요 약

전원 전위의 공급이 차단된 때에도 논리회로의 전환 상태의 유지가 가능하고, 전원 투입 후의 논리 블록의 기동 시간이 짧고, 저소비전력화가 가능한, 부정 논리곱(NAND) 회로 및 부정 논리합(NOR) 회로를 용이하게 전환할 수 있는 논리회로를 제공한다.

산화물 반도체를 갖는 트랜지스터를 통해, 노드에의 전하 유지 상태를 전환함으로써 부정 논리곱(NAND) 회로 및 부정 논리합(NOR) 회로를 용이하게 전환할 수 있다. 이 트랜지스터에는 와이드 밴드 갭 반도체인 산화물 반도체 재료를 이용함으로써, 트랜지스터의 오프 전류를 충분히 작게 할 수 있으므로 노드에 유지한 전하 상태를 불휘발로 할 수 있다.

대 표 도 - 도1



명 세 서

청구범위

청구항 1

논리회로로서,

제 1 트랜지스터 내지 제 4 트랜지스터,

제 5 트랜지스터 내지 제 8 트랜지스터,

게이트가 서로 전기적으로 접속하는 제 9 트랜지스터 및 제 10 트랜지스터, 및

소스와 드레인 중 하나가 상기 제 9 트랜지스터 및 상기 제 10 트랜지스터의 상기 게이트와 전기적으로 접속하는 제 11 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스와 드레인 중 하나가 상기 제 5 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스와 드레인 중 하나가 상기 제 8 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트, 상기 제 3 트랜지스터의 게이트, 및 상기 제 8 트랜지스터의 게이트는 서로 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트, 상기 제 4 트랜지스터의 게이트, 및 상기 제 5 트랜지스터의 게이트는 서로 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트, 상기 제 7 트랜지스터의 게이트, 상기 제 9 트랜지스터의 게이트, 및 상기 제 10 트랜지스터의 상기 게이트는, 상기 제 11 트랜지스터의 상기 소스와 드레인 중 하나에 전기적으로 접속되어 노드가 형성되고,

상기 제 9 트랜지스터의 소스와 드레인 중 하나는, 상기 제 1 트랜지스터의 소스와 드레인 중 나머지 하나와 상기 제 2 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 9 트랜지스터의 상기 소스와 드레인 중 나머지 하나는, 상기 제 5 트랜지스터의 소스와 드레인 중 나머지 하나와 상기 제 6 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 10 트랜지스터의 소스와 드레인 중 하나는, 상기 제 3 트랜지스터의 소스와 드레인 중 하나와 상기 제 4 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 10 트랜지스터의 소스와 드레인 중 나머지 하나는, 상기 제 7 트랜지스터의 소스와 드레인 중 하나와 상기 제 8 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스와 드레인 중 나머지 하나, 상기 제 3 트랜지스터의 소스와 드레인 중 나머지 하나, 상기 제 6 트랜지스터의 소스와 드레인 중 나머지 하나, 및 상기 제 7 트랜지스터의 소스와 드레인 중 나머지 하나는 서로 전기적으로 접속되고,

상기 제 11 트랜지스터는 산화물 반도체를 포함하는, 논리회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

논리회로로서,

제 1 트랜지스터 내지 제 4 트랜지스터,

제 5 트랜지스터 내지 제 8 트랜지스터,

게이트가 서로 전기적으로 접속하는 제 9 트랜지스터 및 제 10 트랜지스터, 및

소스와 드레인 중 하나가 상기 제 9 트랜지스터 및 상기 제 10 트랜지스터의 상기 게이트와 전기적으로 접속하는 제 11 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스와 드레인 중 하나가 상기 제 5 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스와 드레인 중 하나가 상기 제 8 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 1 트랜지스터의 게이트, 상기 제 3 트랜지스터의 게이트, 및 상기 제 8 트랜지스터의 게이트는 서로 전기적으로 접속되고,

상기 제 2 트랜지스터의 게이트, 상기 제 4 트랜지스터의 게이트, 및 상기 제 5 트랜지스터의 게이트는 서로 전기적으로 접속되고,

상기 제 6 트랜지스터의 게이트, 상기 제 7 트랜지스터의 게이트, 상기 제 9 트랜지스터의 상기 게이트, 상기 및 제 10 트랜지스터의 상기 게이트가, 상기 제 11 트랜지스터의 상기 소스와 드레인 중 하나에 전기적으로 접속되어 노드가 형성되고,

상기 제 9 트랜지스터의 소스와 드레인 중 하나는, 상기 제 1 트랜지스터의 소스와 드레인 중 나머지 하나와 상기 제 2 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 9 트랜지스터의 소스와 드레인 중 나머지 하나는, 상기 제 5 트랜지스터의 소스와 드레인 중 나머지 하나와 상기 제 6 트랜지스터의 소스와 드레인 중 하나에 전기적으로 접속되고,

상기 제 10 트랜지스터의 소스와 드레인 중 하나는, 상기 제 3 트랜지스터의 소스와 드레인 중 하나와 상기 제 4 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 10 트랜지스터의 소스와 드레인 중 나머지 하나는, 상기 제 7 트랜지스터의 소스와 드레인 중 하나와 상기 제 8 트랜지스터의 소스와 드레인 중 나머지 하나에 전기적으로 접속되고,

상기 제 2 트랜지스터의 소스와 드레인 중 나머지 하나, 상기 제 3 트랜지스터의 소스와 드레인 중 나머지 하나, 상기 제 6 트랜지스터의 소스와 드레인 중 나머지 하나, 및 상기 제 7 트랜지스터의 소스와 드레인 중 나머지 하나는 서로 전기적으로 접속되는, 논리회로.

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

논리회로로서,

제 1 트랜지스터 내지 제 4 트랜지스터,

제 5 트랜지스터 내지 제 8 트랜지스터,

게이트가 서로 전기적으로 접속하는 제 9 트랜지스터 및 제 10 트랜지스터, 및

소스와 드레인 중 한쪽이 상기 제 9 트랜지스터 및 상기 제 10 트랜지스터의 상기 게이트와 전기적으로 접속하는 제 11 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 소스와 드레인 중 하나와, 상기 제 5 트랜지스터의 소스와 드레인 중 하나는, 고전위 전원선에 전기적으로 접속되고,

상기 제 4 트랜지스터의 소스와 드레인 중 하나와, 상기 제 8 트랜지스터의 소스와 드레인 중 하나는, 접지 또는 저전위 전원선에 전기적으로 접속되고,

상기 제 1 트랜지스터, 상기 제 3 트랜지스터, 및 상기 제 8 트랜지스터의 게이트는 제 1 신호선에 전기적으로 접속되고,

상기 제 2 트랜지스터, 상기 제 4 트랜지스터, 및 상기 제 5 트랜지스터의 게이트는 제 2 신호선에 전기적으로 접속되고,

상기 제 6 트랜지스터, 상기 제 7 트랜지스터, 상기 제 9 트랜지스터, 및 상기 제 10 트랜지스터의 게이트는 상기 제 11 트랜지스터의 소스와 드레인 중 하나와 전기적으로 접속되어 노드가 형성되고,

상기 제 11 트랜지스터의 소스와 드레인 중 나머지 하나는 제 3 신호선과 전기적으로 접속하고,

상기 제 11 트랜지스터의 게이트는 제 5 신호선과 전기적으로 접속하고,

상기 제 9 트랜지스터의 소스와 드레인 중 하나는 상기 제 1 트랜지스터의 소스와 드레인 중 나머지 하나 및 상기 제 2 트랜지스터의 소스와 드레인 중 하나와 전기적으로 접속하고,

상기 제 9 트랜지스터의 소스와 드레인 중 나머지 하나는 상기 제 5 트랜지스터의 소스 와 드레인 중 나머지 하나 및 상기 제 6 트랜지스터의 소스와 드레인 중 하나와 전기적으로 접속하고,

상기 제 10 트랜지스터의 소스와 드레인 중 하나는 상기 제 3 트랜지스터의 소스와 드레인 중 하나 및 상기 제 4 트랜지스터의 소스 또는 드레인 중 나머지 하나와 전기적으로 접속하고,

상기 제 10 트랜지스터의 소스와 드레인 중 나머지 하나는 상기 제 7 트랜지스터의 소스와 드레인 중 하나 및 상기 제 8 트랜지스터의 소스와 드레인 중 나머지 하나와 전기적으로 접속하고,

상기 제 2 트랜지스터의 소스와 드레인 중 나머지 하나, 상기 제 3 트랜지스터의 소스 와 드레인 중 나머지 하나, 상기 제 6 트랜지스터의 소스와 드레인 중 나머지 하나, 및 상기 제 7 트랜지스터의 소스와 드레인 중 나머지 하나는 제 4 신호선과 전기적으로 접속하고,

제 11 트랜지스터는 산화물 반도체를 포함하는, 논리회로.

청구항 12

제 1 항, 제 6 항, 및 제 11 항 중 어느 한 항에 있어서,

상기 노드와 전기적으로 접속하는 용량 소자를 더 포함하는, 논리회로.

청구항 13

제 1 항, 제 6 항, 및 제 11 항 중 어느 한 항에 있어서,

상기 노드에서의 전하 유지 상태를 전환함으로써, 부정 논리합(NOR) 회로 또는 부정 논리곱(NAND) 회로로 전환할 수 있는, 논리회로.

청구항 14

제 1 항, 제 6 항, 및 제 11 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터, 상기 제 2 트랜지스터, 상기 제 5 트랜지스터, 상기 제 6 트랜지스터, 및 상기 제 9 트랜지스터는 p채널 트랜지스터이고,

상기 제 3 트랜지스터, 상기 제 4 트랜지스터, 상기 제 7 트랜지스터, 상기 제 8 트랜지스터, 상기 제 10 트랜지스터, 및 상기 제 11 트랜지스터는 n채널 트랜지스터인, 논리회로.

청구항 15

제 1 항 또는 제 11 항에 있어서,

상기 산화물 반도체는 In, Ga, Sn, 및 Zn으로부터 선택된 적어도 한 원소를 포함하는, 논리회로.

청구항 16

제 6 항에 있어서,

상기 제 11 트랜지스터는 산화물 반도체를 포함하고,

상기 제 11 트랜지스터는 상기 제 1 트랜지스터 내지 상기 제 10 트랜지스터 위에 적층되는, 논리회로.

청구항 17

제 16 항에 있어서,

상기 산화물 반도체는 In, Ga, Sn, 및 Zn으로부터 선택된 적어도 한 원소를 포함하는, 논리회로.

청구항 18

제 1 항, 제 6 항, 및 제 11 항 중 어느 한 항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 10 트랜지스터 각각은 채널 형성 영역에 실리콘을 포함하는, 논리회로.

발명의 설명

기 술 분 야

[0001] 논리회로 및 이 논리회로를 이용한 반도체 장치에 관한 것이다. 또한, 이 반도체 장치를 이용한 전자기기에 관한 것이다.

[0002] 또한, 본 명세서에 있어서 반도체 장치란 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며,

전기광학장치, 발광표시장치, 대규모 집적회로 및 전자기기는 모두 반도체 장치이다.

배 경 기 술

[0003] 통상적으로 대규모 집적회로(LSI: Large Scale Integration라고도 함.)로 대표되는 반도체 집적회로는 제조 시에 회로 구성이 고정되고, 제조 후에 회로 구성을 변경할 수 없다. 그에 반해, 프로그래머블 로직 디바이스(PLD: Programmable Logic Device)라 불리는 반도체 집적회로는 복수의 논리회로로 이루어지는 논리 블록을 단위로 하여, 각 논리 블록이 배선을 통해 전기적으로 접속되는 구조로 되어 있다. 프로그래머블 로직 디바이스에서는 각 논리 블록의 회로 구성을 전기신호에 의해 제어할 수 있다.

[0004] 따라서, 프로그래머블 로직 디바이스는 제조 후에도 설계 변경을 수행하는 것이 가능해지므로, 프로그래머블 로직 디바이스를 이용함으로써 반도체 집적회로의 설계, 개발에 소요되는 기간 및 비용을 큰 폭으로 삭감시킬 수 있다.

[0005] 프로그래머블 로직 디바이스에는 CPLD(Complex PLD), FPGA(Field Programmable Gate Array)라고 불리는 것도 존재한다. 모두, 논리 블록에 마련되어 있는 메모리부에 저장된 데이터{구성(configuration) 데이터}에 따라 스위치의 전환을 수행하는 프로그래머블 스위치에 의해 각 논리 블록의 회로 구성을 제어하고 있다. 즉, 각 프로그래머블 스위치에 데이터를 프로그래밍함으로써 프로그래머블 로직 디바이스의 회로 구성을 변경할 수 있다.

[0006] 상기 메모리부에는 SRAM(Static Random Access Memory) 등의 휘발성 메모리가 주로 이용되고 있다. 또한, 그 한편으로 특허문헌 1에 나타낸 바와 같이, 메모리부에 플래시메모리와 같이 플로팅 게이트 트랜지스터로 이루어지는 비휘발성 메모리를 이용하는 기술도 존재한다(특허문헌 1 참조.).

선행기술문헌

특허문헌

[0007] (특허문헌 0001) 일본 특개 2004-15060호 공보

발명의 내용

해결하려는 과제

[0008] 이와 같이 프로그래머블 로직 디바이스에 있어서, 메모리부에 저장된 데이터에 따라 스위치의 전환을 수행하는 프로그래머블 스위치에 의해, 각 논리 블록의 회로 구성을 제어하고 있으나, 프로그래머블 스위치의 메모리부에 SRAM 등의 휘발성 메모리를 이용하는 경우, 전원 전압의 공급이 차단되었을 때, 메모리부에 저장되어 있던 구성 데이터가 소실된다. 이에 따라, 프로그래머블 스위치의 메모리부에 휘발성 메모리를 이용한 프로그래머블 로직 디바이스에서는 전원 투입 때마다 이 휘발성 메모리에 구성 데이터를 매회 기입할 필요가 있다. 따라서, 전원 투입을 수행한 후 논리 블록을 동작시키기까지 긴 지연 시간이 발생한다.

[0009] 또한, 프로그래머블 로직 디바이스에 있어서, 프로그래머블 스위치의 메모리부에 플로팅 게이트 트랜지스터를 이용하여 메모리부의 비휘발화를 도모하는 경우, 전원 전압의 공급을 차단해도 구성 데이터는 유지된다. 그러나, 데이터를 기입할 시에는 플로팅 게이트에 전자를 주입할 필요가 있기 때문에 높은 전위의 인가가 필요하게 되어, 기입에 긴 시간을 필요로 한다. 그러므로, 소비전력이 증가되는 문제가 있다. 또한, 기입 시에 발생하는 터널 전류에 의해 플로팅 게이트의 게이트 절연층이 열화되는 문제도 있다.

[0010] 상술의 문제를 감안하여, 본 발명에서는 전원 전위의 공급이 차단된 때에도 논리회로의 전환 상태의 유지가 가능하고, 전원 투입 후의 논리 블록의 기동 시간이 짧고, 저소비전력화가 가능한, 부정 논리곱(NAND) 회로 및 부정 논리합(NOR) 회로를 용이하게 전환할 수 있는 논리회로를 제공하는 것을 하나의 과제로 한다.

과제의 해결 수단

[0011] 본 발명의 일 양태에서는, NAND 회로 및 NOR 회로를 전환하기 위해서 오프 전류가 충분히 작은 트랜지스터를 이용한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 재료로서는, 예를 들어 와이드 밴드갭 반도체인 산화물 반도체를 이용하여 이 트랜지스터를 구성할 수 있다. 이와 같은 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 이용함으로써, 전원 전위의 공급이 차단된 때에도 논리회로의 전환 상태를 유지하는

것이 가능해진다.

[0012] 트랜지스터의 오프 전류는 트랜지스터의 채널 폭 1㎛당 오프 전류를 1×10^{-18}A 이하, 바람직하게는 1×10^{-21}A 이하, 보다 바람직하게는 1×10^{-24}A 이하로 한다. 이와 같은 트랜지스터를 이용함으로써 데이터의 유지 특성이 뛰어나고 소비전력이 작은 메모리 셀을 제작할 수 있다.

[0013] 본 발명의 일 양태는, 직렬로 접속한 제 1 내지 제 4 트랜지스터와, 직렬로 접속한 제 5 내지 제 8 트랜지스터와, 게이트가 접속한 제 9 트랜지스터 및 제 10 트랜지스터와, 소스 또는 드레인의 한쪽이 제 9 트랜지스터 및 제 10 트랜지스터의 게이트와 접속하는 제 11 트랜지스터를 갖고, 제 1 트랜지스터 및 제 5 트랜지스터의 소스 또는 드레인의 한쪽은 고전위 전원선에 접속되고, 제 4 트랜지스터 및 제 8 트랜지스터의 소스 또는 드레인의 한쪽은 접지 또는 저전위 전원선에 접속되고, 제 1 트랜지스터, 제 3 트랜지스터 및 제 8 트랜지스터의 게이트는 제 1 신호선에 접속되고, 제 2 트랜지스터, 제 4 트랜지스터 및 제 5 트랜지스터의 게이트는 제 2 신호선에 접속되고, 제 6 트랜지스터, 제 7 트랜지스터, 제 9 트랜지스터 및 제 10 트랜지스터의 게이트는 제 11 트랜지스터의 소스 또는 드레인의 한쪽과 접속하여 노드를 형성하고, 제 11 트랜지스터의 소스 또는 드레인의 다른 한쪽은 제 3 신호선과 접속하고, 제 11 트랜지스터의 게이트는 제 5 신호선과 접속하고, 제 9 트랜지스터의 소스 또는 드레인의 한쪽은 제 1 트랜지스터의 소스 또는 드레인의 다른 한쪽 및 제 2 트랜지스터의 소스 또는 드레인의 한쪽과 접속하고, 제 9 트랜지스터의 소스 또는 드레인의 다른 한쪽은 제 5 트랜지스터의 소스 또는 드레인의 다른 한쪽 및 제 6 트랜지스터의 소스 또는 드레인의 한쪽과 접속하고, 제 10 트랜지스터의 소스 또는 드레인의 한쪽은 제 3 트랜지스터의 소스 또는 드레인의 한쪽 및 제 4 트랜지스터의 소스 또는 드레인의 다른 한쪽과 접속하고, 제 10 트랜지스터의 소스 또는 드레인의 다른 한쪽은 제 7 트랜지스터의 소스 또는 드레인의 한쪽 및 제 8 트랜지스터의 소스 또는 드레인의 다른 한쪽과 접속하고, 제 2 트랜지스터의 소스 또는 드레인의 다른 한쪽, 제 3 트랜지스터의 소스 또는 드레인의 다른 한쪽, 제 6 트랜지스터의 소스 또는 드레인의 다른 한쪽 및 제 7 트랜지스터의 소스 또는 드레인의 다른 한쪽은 제 4 신호선과 접속하고, 제 11 트랜지스터는 산화물 반도체를 갖는 논리회로이다.

[0014] 또한 본 발명의 일 양태는, 상기 노드와 접속하는 용량 소자를 갖는 논리회로이다.

[0015] 본 발명의 일 양태는, 상기 노드에서의 전하 유지 상태를 전환함으로써, 부정 논리합 또는 부정 논리곱으로 전환할 수 있는 논리회로이다.

[0016] 본 발명의 일 양태에 있어서, 상기 제 1 트랜지스터, 제 2 트랜지스터, 제 5 트랜지스터, 제 6 트랜지스터 및 제 9 트랜지스터는 p채널 트랜지스터이며, 제 3 트랜지스터, 제 4 트랜지스터, 제 7 트랜지스터, 제 8 트랜지스터, 제 10 트랜지스터 및 제 11 트랜지스터는 n채널 트랜지스터이다. 예를 들어, 제 1 내지 제 10 트랜지스터는 실리콘을 채널 영역에 이용한 트랜지스터에 의해 형성하고, 제 11 트랜지스터는 산화물 반도체를 채널 영역에 이용한 트랜지스터로 한 경우, 제 1 내지 제 10 트랜지스터와 적층시켜 제 11 트랜지스터를 형성할 수 있으므로, 회로에 있어서의 점유 면적을 축소시킬 수 있다.

[0017] 또한, 본 발명의 일 양태는, 상기 산화물 반도체는 In, Ga, Sn 및 Zn으로부터 선택된 1종 이상의 원소를 포함하는 산화물 반도체이다. 이러한 산화물 반도체를 트랜지스터의 채널 영역에 이용함으로써, 낮은 오프 전류를 갖는 트랜지스터를 형성할 수 있다. 그러므로, 산화물 반도체를 이용한 트랜지스터를 논리회로에 적용함으로써 소비전력을 감소시킬 수 있다.

발명의 효과

[0018] 본 발명의 일 양태에 의해, 전원 전위의 공급이 차단되었을 때에도 논리회로의 전환 상태의 유지가 가능하고, 전원 투입 후의 논리 블록의 기동 시간이 짧고, 저소비전력화가 가능한, 부정 논리곱(NAND) 회로 및 부정 논리합(NOR) 회로를 용이하게 전환할 수 있는 논리회로를 제공할 수 있다.

도면의 간단한 설명

[0019] 도 1은 본 발명의 일 양태인 논리회로를 설명하는 회로도이다.

도 2는 본 발명의 일 양태인 논리회로를 설명하는 회로도이다.

도 3은 본 발명의 일 양태인 논리회로를 설명하는 회로도이다.

도 4는 본 발명의 일 양태인 논리회로에 있어서의 트랜지스터의 제작 공정을 나타내는 도이다.

도 5는 본 발명의 일 양태인 논리회로에 있어서의 트랜지스터의 제작 공정을 나타내는 도이다.

도 6은 본 발명의 일 양태인 논리회로에 있어서의 트랜지스터의 제작 공정을 나타내는 도이다.

도 7은 본 발명의 일 양태인 논리회로에 있어서의 트랜지스터의 제작 공정을 나타내는 도이다.

도 8은 휴대용 전자기기의 블록도이다.

도 9는 전자 서적의 블록도이다.

도 10은 본 발명의 일 양태에 따른 산화물 재료의 구조를 설명하는 도이다.

도 11은 본 발명의 일 양태에 따른 산화물 재료의 구조를 설명하는 도이다.

도 12는 본 발명의 일 양태에 따른 산화물 재료의 구조를 설명하는 도이다.

도 13은 계산에 의해 얻어진 이동도의 게이트 전압 의존성을 설명하는 도이다.

도 14는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도이다.

도 15는 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도이다.

도 16은 계산에 의해 얻어진 드레인 전류와 이동도의 게이트 전압 의존성을 설명하는 도이다.

도 17은 계산에 이용한 트랜지스터의 단면 구조를 설명하는 도이다.

도 18은 산화물 반도체막을 이용한 트랜지스터 특성의 그래프이다.

도 19는 시료 A 및 시료 B의 XRD 스펙트럼을 나타내는 도이다.

도 20은 트랜지스터의 오프 전류와 측정 시 기판온도와의 관계를 나타내는 도이다.

도 21은 I_d 및 전계 효과 이동도의 V_g 의존성을 나타내는 도이다.

도 22는 기판온도와 문턱값 전압의 관계 및 기판온도와 전계 효과 이동도의 관계를 나타내는 도이다.

도 23은 측정에 이용한 트랜지스터의 상면도 및 단면도를 나타내는 도이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 발명의 실시형태에 대해 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위를 벗어나지 않고 그 형태 및 상세를 다양하게 변경할 수 있음을 당업자라면 용이하게 이해될 것이다. 따라서, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 아울러 이하에 설명하는 본 발명의 구성에 있어서 동일 부분 또는 동일한 기능을 갖는 부분에는 동일한 부호를 다른 도면들에서 공통적으로 사용하고 그 반복 설명은 생략한다.

[0021] 아울러, 본 명세서에서 설명하는 각 도면에서 각 구성의 크기, 막의 두께 또는 영역은 명료화를 위해 과장되어 있는 경우가 있다. 따라서, 반드시 그 스케일에 한정되지 않는다.

[0022] 또한, 본 명세서에서 사용하는 제 1, 제 2, 제 3 등의 용어는 구성요소의 혼동을 피하기 위해 부여한 것으로, 수적으로 한정하는 것은 아니다. 그러므로, 예를 들어, 「제 1」을 「제 2」 또는 「제 3」 등으로 적절히 치환하여 설명할 수 있다.

[0023] 또한, 본 명세서에서는 트랜지스터의 소스와 드레인은 한쪽을 드레인이라고 부를 때 다른 한쪽을 소스라고 부른다. 즉, 전위의 고저에 따라 그들을 구별하지 않는다. 따라서, 본 명세서에서 소스로 되어 있는 부분을 드레인으로 대체할 수도 있다.

[0024] 또한, 본 명세서에서 「전기적으로 접속」이란 「어떠한 전기적 작용을 갖는 것」을 통해 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 갖는 것」은 접속 대상 사이에서의 전기 신호의 수수를 가능하게 하는 것이면 특별히 제한은 없다. 예를 들어, 「어떠한 전기적 작용을 갖는 것」에는 전극이나 배선을 비롯하여 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 커패시터, 그 외의 각종 기능을 갖는 소자 등이 포함된다.

[0025] 본 명세서에 있어서, 회로도 상은 독립되어 있는 구성요소들이 전기적으로 접속해 있는 것처럼 도시되어 있는

경우라도, 실제로는 예를 들어 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전막이 복수의 구성요소의 기능을 겸비하고 있는 경우도 있다. 본 명세서에서 전기적으로 접속이란, 이와 같은 하나의 도전막이 복수의 구성요소의 기능을 겸비하고 있는 경우도 그 범주에 포함시킨다.

[0026] (실시형태 1)

[0027] 본 실시형태에서는 본 발명의 일 양태인 NAND 회로 및 NOR 회로를 전환할 수 있는 논리회로에 대해서 도 1을 이용하여 설명한다.

[0028] 도 1에 나타내는 논리회로는, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 4 트랜지스터(104)가 직렬로 접속하고, 제 5 트랜지스터(105), 제 6 트랜지스터(106), 제 7 트랜지스터(107), 제 8 트랜지스터(108)가 직렬로 접속하고, 제 1 트랜지스터(101) 및 제 5 트랜지스터(105)의 소스 또는 드레인의 한쪽이 고전위 전원선(VDD)과 접속하고, 제 4 트랜지스터(104) 및 제 8 트랜지스터(108)의 소스 또는 드레인의 한쪽이 저전위 전원선(VSS)과 접속하고 있다. 또한, 제 1 트랜지스터(101), 제 3 트랜지스터(103) 및 제 8 트랜지스터(108)의 게이트는 제 1 신호선(S1)에 접속되고, 제 2 트랜지스터(102), 제 4 트랜지스터(104) 및 제 5 트랜지스터(105)의 게이트는 제 2 신호선(S2)에 접속되고, 제 6 트랜지스터(106), 제 7 트랜지스터(107), 제 9 트랜지스터(109) 및 제 10 트랜지스터(110)의 게이트는 제 11 트랜지스터(111)의 소스 또는 드레인의 한쪽과 접속하여 노드(N)를 형성하고 있다. 아울러, 제 11 트랜지스터(111)의 소스 또는 드레인의 다른 한쪽은 제 3 신호선(S3)과 접속하고, 제 11 트랜지스터(111)의 게이트는 제 5 신호선(S5)과 접속하고, 제 9 트랜지스터(109)의 소스 또는 드레인의 한쪽은 제 1 트랜지스터(101)의 소스 또는 드레인의 다른 한쪽 및 제 2 트랜지스터(102)의 소스 또는 드레인의 한쪽과 접속하고, 제 9 트랜지스터(109)의 소스 또는 드레인의 다른 한쪽은 제 5 트랜지스터(105)의 소스 또는 드레인의 다른 한쪽 및 제 6 트랜지스터(106)의 소스 또는 드레인의 한쪽과 접속하고, 제 10 트랜지스터(110)의 소스 또는 드레인의 한쪽은 제 3 트랜지스터(103)의 소스 또는 드레인의 한쪽 및 제 4 트랜지스터(104)의 소스 또는 드레인의 다른 한쪽과 접속하고, 제 10 트랜지스터(110)의 소스 또는 드레인의 다른 한쪽은 제 7 트랜지스터(107)의 소스 또는 드레인의 한쪽 및 제 8 트랜지스터(108)의 소스 또는 드레인의 다른 한쪽과 접속하고, 제 2 트랜지스터(102)의 소스 또는 드레인의 다른 한쪽, 제 3 트랜지스터(103)의 소스 또는 드레인의 다른 한쪽, 제 6 트랜지스터(106)의 소스 또는 드레인의 다른 한쪽 및 제 7 트랜지스터(107)의 소스 또는 드레인의 다른 한쪽은 제 4 신호선(S4)과 접속하고 있다.

[0029] 도 1에 도시하는 논리회로에 있어서, 제 1 트랜지스터(101), 제 2 트랜지스터(102), 제 5 트랜지스터(105), 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)는 p채널 트랜지스터이며, 제 3 트랜지스터(103), 제 4 트랜지스터(104), 제 7 트랜지스터(107), 제 8 트랜지스터(108), 제 10 트랜지스터(110) 및 제 11 트랜지스터(111)는 n채널 트랜지스터이다.

[0030] 또한, 제 11 트랜지스터(111)는 산화물 반도체를 갖는 트랜지스터이다.

[0031] 도 1과 같은 회로 구성에 의해 형성된 노드(N)에서의 전하의 유지 상태를 전환함으로써, NAND 회로 또는 NOR 회로로 전환할 수 있는 논리회로를 형성할 수 있다.

[0032] 노드(N)에서의 전하 유지 상태의 전환은 제 11 트랜지스터(111)의 온 오프를 전환함으로써 제어할 수 있다. 노드(N)에 전하를 유지하는 경우는, 제 5 신호선(S5)의 전위를 High(H)로 하여 제 11 트랜지스터(111)를 온 상태로 하고 나서 제 3 신호선(S3)으로부터 전위를 입력하고, 그 후 제 5 신호선(S5)의 전위를 Low(L)로 함으로써 제 11 트랜지스터(111)를 오프 상태로 함으로써, 노드(N)에 전하를 유지할 수 있다.

[0033] 또한, 노드(N)에 유지된 전하는 제 5 신호선(S5)의 전위를 H로 하여 제 11 트랜지스터(111)를 온 상태로 하고, 제 3 신호선(S3)의 전위를 접지시킴으로써, 노드(N)에 유지한 전하를 방출할 수 있다.

[0034] 아울러, 신호선(S3)으로부터 입력하는 전위는 제 7 트랜지스터(107) 및 제 10 트랜지스터(110)를 온 상태로 하면서, 또한 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)를 오프 상태로 하는 전위로 한다. 따라서, 노드(N)에 전하가 유지됨으로써, 제 7 트랜지스터(107) 및 제 10 트랜지스터(110)가 온 상태가 되고, 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)는 오프 상태가 된다. 또한 노드(N)에 전하가 유지되어 있지 않은 상태(접지된 상태)에서는 제 7 트랜지스터(107) 및 제 10 트랜지스터(110)는 오프 상태가 되고, 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)는 온 상태가 된다.

[0035] 이어서, 노드(N)의 전하 유지 상태에 의해, 도 1에 도시하는 논리회로가 NAND 회로와 NOR 회로로 전환되는 것에 대해서 설명한다. 또한, 오프 상태(비도통 상태)의 트랜지스터에 대해서는, 도면에서 X표를 하여 나타낸다.

아울러 산화물 반도체를 갖는 트랜지스터를 도면에서 OS로 나타낸다.

[0036] 노드(N)에 전하를 유지하면 제 7 트랜지스터(107) 및 제 10 트랜지스터(110)가 온 상태가 되고, 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)는 오프 상태가 된다. 이와 같이, 노드(N)에 전하가 유지된 상태의 회로는 NOR 회로로서 기능한다. NOR 회로의 동작에 대해서 도 2를 이용하여 설명한다.

[0037] 예를 들어, 제 1 신호선(S1)의 전위에 H, 제 2 신호선(S2)의 전위에 L을 입력한 경우의 논리회로의 동작을 도 2에 나타낸다. 도 2에 도시한 바와 같이, 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 5 트랜지스터(105), 제 7 트랜지스터(107), 제 8 트랜지스터(108) 및 제 10 트랜지스터(110)가 온 상태(도통 상태)가 되고, 제 1 트랜지스터(101), 제 4 트랜지스터(104), 제 6 트랜지스터(106), 제 9 트랜지스터(109) 및 제 11 트랜지스터(111)가 오프 상태(비도통 상태)가 된다. 그러므로, 저전위 전원선(VSS)에 입력되는 L의 신호가 제 4 신호선(S4)에 L로서 출력된다.

[0038] 이와 같이, 도 2에 도시한 NOR 회로에서 신호선(S1) 및 신호선(S2)의 전위에 H 또는 L을 입력한 경우의 신호선(S4)에 출력되는 신호에 대해서 정리한 진리치표를 표 1에 나타낸다.

표 1

[0039]

NOR 회로		
S1	S2	S4
L	L	H
L	H	L
H	L	L
H	H	L

[0040] 표 1에 나타낸 바와 같이 노드(N)에 전하를 유지함으로써, 본 실시형태에서의 논리회로를 NOR 회로로서 기능시킬 수 있다.

[0041] 이어서, 노드(N)에 전하를 유지하고 있지 않은 상태에서는 제 7 트랜지스터(107) 및 제 10 트랜지스터(110)가 오프 상태가 되고, 제 6 트랜지스터(106) 및 제 9 트랜지스터(109)는 온 상태가 된다. 이와 같이, 노드(N)에 전하를 유지하고 있지 않은 상태의 회로는 NAND 회로로서 기능한다. NAND 회로의 동작에 대해서 도 3을 이용하여 설명한다.

[0042] 예를 들어, 제 1 신호선(S1)에 H, 제 2 신호선(S2)에 L을 입력한 경우의 논리회로의 동작을 도 3에 나타낸다. 도 3에 도시한 바와 같이, 제 2 트랜지스터(102), 제 3 트랜지스터(103), 제 5 트랜지스터(105), 제 6 트랜지스터(106), 제 8 트랜지스터(108) 및 제 9 트랜지스터(109)가 온 상태(도통 상태)가 되고, 제 1 트랜지스터(101), 제 4 트랜지스터(104), 제 7 트랜지스터(107), 제 10 트랜지스터(110) 및 제 11 트랜지스터(111)가 오프 상태(비도통 상태)가 된다. 그러므로, 고전위 전원선(VDD)에 입력되는 H의 신호가 제 4 신호선(S4)에 H로서 출력된다.

[0043] 이와 같이, 도 3에 도시한 NAND 회로에서 신호선(S1) 및 신호선(S2)에 H 또는 L을 입력한 경우의 신호선(S4)에 출력되는 신호에 대해서 정리한 것을 표 2에 나타낸다.

표 2

[0044]

NAND 회로		
S1	S2	S4
L	L	H
L	H	H
H	L	H
H	H	L

[0045] 표 2에 나타낸 바와 같이 노드(N)에 전하를 유지하고 있지 않음으로써, 본 실시형태에서의 논리회로를 NAND 회로로서 기능시킬 수 있다.

[0046] 이와 같이, NOR 회로 및 NAND 회로를 전환하기 위한 노드(N)에 접속되는 트랜지스터에, 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 산화물 반도체와 같은 와이드 밴드갭 반도체를 이용함으로써, 전원 전위의 공급이

차단되어 있는 동안에도 장기간에 걸쳐 노드(N)에 유지한 전하를 유지하고, 논리회로의 전환 상태를 유지할 수 있다. 이에 의해, 예를 들어 반도체 장치 전체 또는 그 일부에의 전원 전압의 공급을 일시적으로 차단하고, 필요 시에만 필요한 회로 블록에 있어서 전원 전압 공급을 선택하는 구동 방법(노멀리 오프의 구동 방법)을 이용하여, 그 논리회로에의 전원 전위의 공급을 차단해도, 논리회로의 전환 상태는 유지된다. 따라서, 노멀리 오프의 구동 방법을 이용하여 전원 투입을 수행할 때에 노드(N)에의 전하의 주입(기입)을 생략하는 것이 가능해지므로, 논리회로의 기동 시간을 짧게 할 수 있다. 그러므로, 본 실시형태에 나타내는 논리회로를 이용함으로써, 노멀리 오프의 구동 방법을 이용하여 저소비전력화를 도모할 수 있다.

[0047] 또한, 제 11 트랜지스터(111)를 통해 논리회로의 전환에 필요한 전위를 노드(N)에 공급함으로써 논리회로를 전환할 수 있으므로, 프로그래머블 스위치의 메모리부에 플로팅 게이트를 이용하여 전자 주입으로 구성 데이터를 기입하는 경우와 비교하여, 기입에 필요한 전위 및 시간을 큰 폭으로 저감시킬 수 있다. 또한, 플로팅 게이트에 전자 주입을 수행할 때 발생한 터널 전류에 의한 게이트 절연층의 열화 문제도 발생하지 않으므로, 데이터의 재기록 가능 횟수를 늘릴 수 있다.

[0048] 또한, 일반적으로 프로그래머블 로직 디바이스는, 이 프로그래머블 로직 디바이스를 갖는 반도체 장치의 동작을 정지한 상태로, 프로그래머블 스위치의 전환을 수행하여 논리 블록의 회로 구성의 변경을 수행한다. 이를 구성(configuration)이라고 부른다. 구성에 대하여, 이 반도체 장치의 동작 중에 구성을 수행하는 것을 동적 구성이라고 부른다. 상술한 바와 같이, 본 실시형태에 나타내는 프로그래머블 스위치는 구성 데이터의 기입이 고속화되어 있으므로, 동적 구성도 용이하게 수행할 수 있다.

[0049] 이상과 같이, 본 실시형태에 나타내는 회로 구성으로 함으로써, 전원 전위의 공급이 차단된 때에도 논리회로의 전환 상태의 유지가 가능하고, 전원 투입 후의 논리 블록의 기동 시간이 짧고, 저소비전력화가 가능한, 부정 논리곱(NAND) 회로 및 부정 논리합(NOR) 회로를 용이하게 전환할 수 있는 논리회로를 제공할 수 있다.

[0050] 본 실시형태는 다른 실시형태와 적절히 조합시킬 수 있다.

[0051] (실시형태 2)

[0052] 본 실시형태에서는 실시형태 1에 도시한 논리회로에서의 트랜지스터의 제작 방법에 대해서 도 4 내지 도 7을 이용하여 설명한다. 예로서 도 1에 도시한 논리회로에 있어서의 트랜지스터(111), 트랜지스터(107) 및 트랜지스터(106)의 제작 방법에 대해서 설명한다. 또한, 도 4 내지 도 7에서 A-B로 나타내는 단면도는, 산화물 반도체막을 갖는 트랜지스터(111), n채널 트랜지스터(107) 및 p채널 트랜지스터(106)가 형성되는 영역의 단면도에 상당하고, 트랜지스터(111)는 트랜지스터(107) 및 트랜지스터(106)와 적층시켜 형성되어 있고, C-D로 나타내는 단면도는, 산화물 반도체막을 갖는 트랜지스터(111)의 소스 전극 또는 드레인 전극의 한쪽과 n채널 트랜지스터(107)의 게이트 전극이 접속된 노드(N)에서의 단면도에 상당한다. 또한, 본 실시형태에서는 직접 도시하고 있지 않지만, 도 1에 도시한 바와 같이 p채널 트랜지스터(106)의 게이트 전극도 노드(N)와 전기적으로 접속된다.

[0053] 우선, 도 4(A)에 도시한 바와 같이, n형의 반도체 기판(201)에 소자 분리 영역(203)을 형성한 후, n형의 반도체 기판(201)의 일부에 p웰 영역(205)을 형성한다.

[0054] n형의 반도체 기판(201)으로는, n형의 도전형을 갖는 단결정 실리콘 기판(실리콘 웨이퍼), 화합물 반도체 기판(SiC 기판, 사파이어 기판, GaN 기판 등)을 이용할 수 있다.

[0055] 또한, n형의 반도체 기판(201) 대신에 SOI(Silicon On Insulator) 기판으로서, 경면 연마 웨이퍼에 산소 이온을 주입한 후 고온 가열함으로써 표면으로부터 일정한 깊이에 산화층을 형성시킴과 아울러, 표면층에 발생한 결함을 소멸시켜 만들어진 소위 SIMOX(Separation by IMplanted OXygen) 기판이나, 수소 이온 주입에 의해 형성된 미세 보이드의 열처리에 의한 성장을 이용하여 반도체 기판을 벽개하는 스마트컷법 등을 이용하여 형성한 SOI 기판을 이용할 수도 있다.

[0056] 소자 분리 영역(203)은 LOCOS(Local Oxidation of Silicon)법 또는 STI(Shallow Trench Isolation)법 등을 이용하여 형성한다.

[0057] p웰 영역(205)은 붕소 등의 p형을 부여하는 불순물 원소가 $5\times10^{15}cm^{-3}$~$1\times10^{16}cm^{-3}$ 정도의 농도로 첨가되어 있다. p웰 영역(205)은 반도체 기판(201)의 일부에 마스크를 형성한 후, 반도체 기판(201)의 일부에 붕소 등의 p형을 부여하는 불순물 원소를 첨가하여 형성된다.

[0058] 또한, 여기서는 n형의 반도체 기판을 이용하고 있으나, p형의 반도체 기판을 이용하고, p형의 반도체 기판에 n

형을 부여하는 인, 비소 등의 불순물 원소가 첨가된 n웰 영역을 형성할 수도 있다.

[0059] 이어서, 도 4(B)에 도시한 바와 같이, 반도체 기판(201) 상에 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극(209a) 및 게이트 전극(209b)을 형성한다.

[0060] 우선 열처리를 수행하여 반도체 기판(201)의 표면을 산화한 산화 실리콘막을 형성한다. 또는, 열산화법에 의해 산화 실리콘막을 형성한 후에 질화 처리를 수행함으로써 산화 실리콘막의 표면을 질화시킴으로써, 산화 실리콘막과 산소와 질소를 갖는 실리콘막(산화 질화 실리콘막)의 적층 구조로 형성한다. 이어서, 산화 실리콘막 또는 산질화 실리콘막의 일부를 선택적으로 에칭하여 게이트 절연막(207a) 및 게이트 절연막(207b)을 형성한다. 또는, 두께 5~50㎚의 산화 실리콘, 산화 질화 실리콘, 고유전율 물질(high-k 재료라고도 함.)인 탄탈 산화물, 산화 하프늄, 산화 하프늄 실리케이트, 산화 지르코늄, 산화 알루미늄, 산화 티타늄 등의 금속 산화물, 또는 산화 란탄 등의 희토류 산화물 등을 CVD법, 스퍼터링법 등을 이용하여 형성한 후, 선택적으로 일부를 에칭하여, 게이트 절연막(207a) 및 게이트 절연막(207b)을 형성한다.

[0061] 게이트 전극(209a) 및 게이트 전극(209b)은 탄탈, 텅스텐, 티타늄, 몰리브덴, 크롬, 니오븀 등으로부터 선택된 금속, 또는 이들 금속을 주성분으로 하는 합금 재료 또는 화합물 재료를 이용하는 것이 바람직하다. 또한, 인 등의 불순물을 첨가한 다결정 실리콘을 이용할 수 있다. 또한, 금속 질화물막과 상기한 금속막의 적층 구조로 게이트 전극(209a) 및 게이트 전극(209b)을 형성할 수도 있다. 금속 질화물로서는, 질화 탄탈, 질화 텅스텐, 질화 몰리브덴, 질화 티타늄을 이용할 수 있다. 금속 질화물막을 마련함으로써 금속막의 밀착성을 향상시킬 수 있으므로 박리를 방지할 수 있다.

[0062] 게이트 전극(209a) 및 게이트 전극(209b)은 도전막을 스퍼터링법, CVD법 등에 의해 형성한 후, 그 도전막의 일부를 선택적으로 에칭하여 형성된다.

[0063] 여기서는, 열처리를 수행하여, 반도체 기판(201) 상의 표면을 산화한 산화 실리콘막을 형성하고, 그 산화 실리콘막 상에 질화 탄탈막 및 텅스텐막이 적층된 도전막을 스퍼터링법에 의해 형성한 후, 산화 실리콘막 및 도전막의 각각 일부를 선택적으로 에칭하여, 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극(209a) 및 게이트 전극(209b)을 형성한다.

[0064] 또한, 트랜지스터의 특성을 중시하는 경우에는 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드월 절연층을 마련한 구성으로 할 수도 있다. 그러나, 도 4에 도시한 바와 같이, 고집적화를 실현하기 위해서는, 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다.

[0065] 이어서, 도 4(C)에 도시한 바와 같이, 반도체 기판(201)에 p형을 부여하는 불순물 원소를 첨가하여 p형의 불순물 영역(213a), p형의 불순물 영역(213b)을 형성한다. 또한, p웰 영역(205)에 n형을 부여하는 불순물 원소를 첨가하여, n형의 불순물 영역(211a), n형의 불순물 영역(211b)을 형성한다. n형의 불순물 영역(211a), n형의 불순물 영역(211b), p형의 불순물 영역(213a) 및 p형의 불순물 영역(213b)에 있어서의 n형을 부여하는 불순물 원소 및 p형을 부여하는 불순물 원소의 농도는 $1\times10^{19}\,cm^{-3}$ 이상 $1\times10^{21}\,cm^{-3}$ 이하이다. n형을 부여하는 불순물 원소 및 p형을 부여하는 불순물 원소는 이온 도핑법, 이온 주입법 등을 적절히 이용하여, 반도체 기판(201) 및 p웰 영역(205)에 첨가한다.

[0066] 또한, 게이트 전극(209a) 및 게이트 전극(209b)의 측면에 사이드월 절연층을 마련하는 경우, 이 사이드월 절연층과 중첩되는 영역에 n형의 불순물 영역(211a), n형의 불순물 영역(211b), p형의 불순물 영역(213a) 및 p형의 불순물 영역(213b)과는 다른 불순물 농도의 불순물 영역을 형성할 수 있다.

[0067] 이어서, 도 4(D)에 도시한 바와 같이, 반도체 기판(201), 소자 분리 영역(203), 게이트 절연막(207a), 게이트 절연막(207b), 게이트 전극(209a) 및 게이트 전극(209b) 상에 스퍼터링법, CVD법 등에 의해 절연막(215) 및 절연막(217)을 형성한다.

[0068] 절연막(215) 및 절연막(217)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용할 수 있고, 적층 또는 단층으로 마련한다. 또한, 절연막(215)을 CVD법에 의해 형성함으로써 절연막(215)의 수소 함유량이 높아진다. 이러한 절연막(215)을 형성한 후에 가열 처리를 수행함으로써 반도체 기판을 수소화하고 수소에 의해 댕글링 본드를 종단시켜, 이 반도체 기판 내의 결함을 저감시킬 수 있다.

[0069] 또한, 절연막(217)으로서, BPSG(Boron Phosphorus Silicon Glass) 등의 무기 재료, 또는 폴리이미드, 아크릴 등의 유기 재료를 이용하여 형성함으로써 절연막(217)의 평탄성을 높일 수 있다.

[0070] 절연막(215) 또는 절연막(217)을 형성한 후, n형 불순물 영역(211a), n형 불순물 영역(211b), p형 불순물 영역(213a), p형 불순물 영역(213b)에 첨가된 불순물 원소를 활성화하기 위한 열처리를 수행한다.

[0071] 이상의 공정에 의해, 도 4(D)에 도시한 바와 같이 n형 트랜지스터(107) 및 p형 트랜지스터(106)를 제작할 수 있다.

[0072] 이어서, 절연막(215, 217)의 일부를 선택적으로 에칭하여 개구부를 형성한다. 이어서, 개구부에 콘택 플러그(219a) 내지 콘택 플러그(219d)를 형성한다. 대표적으로는 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP(Chemical Mechanical Polishing)법이나 에칭 등에 의해 평탄화 처리를 수행하여, 도전막의 표면의 불필요한 부분을 제거하여 도전막을 형성한다.

[0073] 콘택 플러그(219a) 내지 콘택 플러그(219d)가 되는 도전막은 WF_6 가스와 SiH_4 가스로부터 CVD법으로 텅스텐 실리사이드를 형성하고, 개구부에 도전막을 메워 넣음으로써 형성된다.

[0074] 이어서, 절연막(217) 및 콘택 플러그(219a) 내지 콘택 플러그(219d) 상에 스퍼터링법, CVD법 등에 의해 절연막을 형성한 후, 그 절연막의 일부를 선택적으로 에칭하여, 홈부를 갖는 절연막(221)을 형성한다. 이어서, 스퍼터링법, CVD법 등에 의해 도전막을 형성한 후, CMP법이나 에칭 등에 의해 평탄화 처리를 수행하여, 그 도전막의 표면의 불필요한 부분을 제거하여 배선(223a) 내지 배선(223c)을 형성한다(도 5(A) 참조.).

[0075] 절연막(221)은 절연막(215)과 동일한 재료를 이용하여 형성할 수 있다.

[0076] 배선(223a) 내지 배선(223c)으로서, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈 또는 텅스텐으로 이루어지는 단체 금속, 또는 이것을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 하여 이용한다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막을 적층하는 2층 구조, 텅스텐막 상에 티타늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 상에 구리막을 적층하는 2층 구조, 티타늄막과, 그 티타늄막 상에 중첩하여 알루미늄막을 적층하고, 추가로 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석 또는 산화 아연을 포함하는 투명 도전재료를 이용할 수도 있다.

[0077] 평탄화된 절연막(221) 및 배선(223a) 내지 배선(223c)을 이용함으로써, 이후에 형성하는 산화물 반도체막을 갖는 트랜지스터에 있어서의 전기 특성의 편차를 저감시킬 수 있다. 또한, 높은 수율로 산화물 반도체막을 갖는 트랜지스터를 형성할 수 있다.

[0078] 이어서, 가열 처리 또는 플라즈마 처리에 의해 절연막(221) 및 배선(223a) 내지 배선(223c)에 포함되는 수소를 탈리시키는 것이 바람직하다. 이 결과, 이후의 가열 처리에 있어서, 후에 형성되는 절연막 및 산화물 반도체막 내에 수소가 확산하는 것을 방지할 수 있다. 또한, 가열 처리는 불활성 분위기, 감압 분위기 또는 건조 공기 분위기에서, 100℃ 이상 기판의 왜곡점 미만으로 수행한다. 또한, 플라즈마 처리는 희가스, 산소, 질소 또는 산화 질소(아산화질소, 일산화질소, 이산화질소 등)를 이용한다.

[0079] 이어서, 절연막(221) 및 배선(223a) 내지 배선(223c) 상에 스퍼터링법, CVD법 등에 의해 절연막(225)을 형성한다. 절연막(225)으로서는, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 산화 갈륨, 산화 하프늄, 산화 이트륨, 산화 알루미늄, 산화 질화 알루미늄을 단층 또는 적층하여 형성한다. 또한, 절연막(225)으로서, 가열에 의해 산소의 일부가 탈리하는 산화 절연막을 이용하여 형성하는 것이 바람직하다. 가열에 의해 산소의 일부가 탈리하는 산화 절연막으로서는, 화학양론적 조성비를 충족시키는 산소보다 많은 산소를 포함하는 산화 절연막을 이용한다. 가열에 의해 산소의 일부가 탈리하는 산화 절연막은 가열에 의해 산소가 탈리하기 때문에, 이후의 공정에서 수행하는 가열에 의해 산화물 반도체막으로 산소를 확산시킬 수 있다.

[0080] 또한, 절연막(225)은 CMP 처리 등을 수행하여 평탄화를 도모하는 것이 바람직하다. 절연막(225)의 표면의 평균면 조도(Ra)는 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하로 한다.

[0081] 또한, 본 명세서 등에서 평균면 조도(Ra)란 JIS B 0601:2001(ISO 4287:1997)에서 정의되어 있는 중심선 평균 조도(Ra)를 측정면에 대하여 적용할 수 있도록 3차원으로 확장한 것이며, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현된다.

[0082] 평균면 조도(Ra)는, 측정 데이터를 나타내는 면인 측정면을 Z=F(X,Y)로 나타낼 때, 기준면으로부터 지정면까지의 편차의 절대값을 평균한 값으로 표현되며, 다음의 식 (1)로 주어진다.

수학식 1

[0083] $$R_a = \frac{1}{S_0}\int_{X_1}^{X_2}\int_{Y_1}^{Y_2}\left|F(X,Y) - Z_0\right|dXdY \qquad (1)$$

[0084] 여기서, 지정면이란 조도 계측의 대상이 되는 면이며, 좌표(X_1, Y_1)(X_1, Y_2)(X_2, Y_1)(X_2, Y_2)로 나타나는 4점에 의해 둘러싸이는 직사각형의 영역으로 하고, 지정면이 이상적으로 플랫하다고 한 때의 면적을 S_0으로 한다. 또한, 기준면이란 지정면의 평균 높이에 있어서의 XY 평면과 평행한 면을 말한다. 즉, 지정면의 높이의 평균값을 Z_0으로 할 때, 기준면의 높이도 Z_0으로 나타난다. 평균면 조도(Ra)는 원자간력현미경(AFM: Atomic Force Microscope)으로 평가 가능하다.

[0085] 상기 CMP 처리는 1회 수행할 수도 있고, 복수 회 수행할 수도 있다. 복수 회로 나누어 CMP 처리를 수행하는 경우는 높은 연마 레이트의 1차 연마를 수행한 후, 낮은 연마 레이트의 마무리 연마를 수행하는 것이 바람직하다. 이와 같이 연마 레이트가 다른 연마를 조합함으로써 절연막(225)의 표면의 평탄성을 더욱 향상시킬 수 있다.

[0086] 또한, 절연막(225)을 평탄화시키는 처리로서는, 플라즈마 처리를 이용할 수도 있다. 플라즈마 처리는 진공의 챔버에 불활성 가스, 예를 들어 아르곤 가스 등의 희가스를 도입하고, 피처리면을 음극으로 하는 전계를 인가하여 수행한다. 그 원리는 플라즈마 드라이 에칭법과 동등하지만, 불활성 가스를 이용하여 수행한다. 즉, 이 플라즈마 처리는 피처리면에 불활성 가스의 이온을 조사하여, 스퍼터링 효과에 의해 표면의 미세한 요철을 평탄화하는 처리이다. 그러므로, 이 플라즈마 처리를 「역스퍼터 처리」라고 부를 수도 있다.

[0087] 이 플라즈마 처리 시, 플라즈마 내에는 전자와 아르곤의 양이온이 존재하고, 음극 방향으로 아르곤의 양이온이 가속된다. 가속된 아르곤의 양이온은 피처리면을 스퍼터한다. 이때, 그 피처리면의 볼록부부터 우선적으로 스퍼터된다. 피처리면으로부터 스퍼터된 입자는 피처리면의 다른 곳에 부착된다. 이때, 그 피처리면의 오목부에 우선적으로 부착된다. 이와 같이 볼록부를 깎고 오목부를 메움으로써 피처리면의 평탄성이 향상한다. 또한, 플라즈마 처리와 CMP 처리를 병용함으로써 더욱 절연막(225)의 평탄화를 도모할 수 있다.

[0088] 또한, 이 플라즈마 처리에 의해, 절연막(225) 표면에 부착된 수분, 유기물 등의 불순물을 스퍼터링의 효과로 제거하는 것도 가능하다.

[0089] 또한, 산화물 반도체의 성막을 수행하기 전에 처리실의 가열 및 배기를 수행하여, 처리실 내의 수소, 물, 수산기, 수소화물 등의 불순물을 제거해 두는 것이 바람직하다. 특히 처리실의 내벽에 흡착해 존재하는 이들 불순물을 제거하는 것이 중요하다. 여기서, 가열 처리는 예를 들어, 100℃ 이상 450℃ 이하로 수행할 수 있다. 또한, 처리실의 배기는 드라이 펌프 등의 저진공 펌프와, 스퍼터 이온 펌프, 터보 분자 펌프 및 크라이오 펌프 등의 고진공 펌프를 적절히 조합하여 수행하면 된다. 터보 분자 펌프는 큰 사이즈의 분자의 배기가 우수한 반면, 수소나 물의 배기 능력이 낮다. 나아가, 터보 분자 펌프와, 물의 배기 능력이 높은 크라이오 펌프 또는 수소의 배기 능력이 높은 스퍼터 이온 펌프를 조합시키는 것이 유효하다. 또한 이때 불활성 가스를 도입하면서 불순물의 제거를 수행하면, 배기하는 것 만으로는 탈리하기 어려운 물 등의 탈리 속도를 더욱 크게 할 수 있다. 이러한 처리를 수행하여 산화물 반도체의 성막 전에 처리실의 불순물을 제거함으로써, 산화물 반도체에의 수소, 물, 수산기, 수소화물 등의 혼입을 저감시킬 수 있다.

[0090] 또한, 산화물 반도체막을 스퍼터링 장치로 성막하기 전에, 스퍼터링 장치에 더미 기판을 반입하고, 더미 기판상에 산화물 반도체막을 성막하여, 타겟 표면 또는 방착판에 부착된 수소, 수분을 제거하는 공정을 수행할 수도 있다.

[0091] 이어서, 절연막(225) 상에 스퍼터링법, 도포법, 인쇄법, 펄스 레이저 증착법 등을 이용하여 산화물 반도체막(227)을 형성한다(도 5(B) 참조.). 여기서는, 산화물 반도체막(227)으로서, 스퍼터링법에 의해 1nm 이상 50nm 이하, 더욱 바람직하게는 3nm 이상 30nm 이하의 두께로 산화물 반도체막을 형성한다. 산화물 반도체막(227)의 두께를 상기 두께로 함으로써, 트랜지스터의 미세화에 수반하여 발생할 우려가 있는 쇼트 채널 효과를 억제할 수 있다.

[0092] 산화물 반도체막(227)에 이용하는 산화물 반도체로서는 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 특히 In과 Zn을 포함하는 것이 바람직하다. 또한, 그 산화물 반도체를 이용한 트랜지스터의 전기 특성

의 편차를 줄이기 위한 스태빌라이저로서 그것들에 추가로 갈륨(Ga)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 주석(Sn)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 하프늄(Hf)을 갖는 것이 바람직하다. 또한, 스태빌라이저로서 알루미늄(Al)을 갖는 것이 바람직하다.

[0093] 또한, 그 외의 스태빌라이저로서, 란타노이드인 란탄(La), 세륨(Ce), 프라세오디뮴(Rr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 중 어느 1종 또는 복수 종을 가질 수도 있다.

[0094] 예를 들어, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다. 또한, 상기 산화물 반도체에 산화 실리콘을 포함할 수도 있다. 여기서, 예를 들어, In-Ga-Zn계 산화물이란, 인듐(In), 갈륨(Ga), 아연(Zn)을 주성분으로서 갖는 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 문제시 하지 않는다. 또한, In과 Ga와 Zn 이외의 금속 원소가 들어가 있어도 된다. 이때, 상기 산화물 반도체에 있어서는 화학양론비에 대해 산소를 과잉으로 하면 바람직하다. 산소를 과잉으로 함으로써 산화물 반도체막의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.

[0095] 또한, 산화물 반도체로서 $InMO_3(ZnO)_m$(m>0, 또한 m은 정수가 아님)으로 표기되는 재료를 이용할 수도 있다. 또한, M은 Ga, Fe, Mn 및 Co로부터 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 또한, 산화물 반도체로서 $In_3SnO_5(ZnO)_n$(n>0, 또한 n은 정수)으로 표기되는 재료를 이용할 수도 있다.

[0096] 또한, 산화물 반도체막(227)에 있어서 알칼리 금속 또는 알칼리 토류 금속의 농도는 1×10^{18}atoms/㎤ 이하, 더욱 바람직하게는 2×10^{16}atoms/㎤ 이하인 것이 바람직하다. 알칼리 금속 및 알칼리 토류 금속은 산화물 반도체와 결합하면 캐리어가 생성될 수 있어, 트랜지스터의 오프 전류의 상승의 원인이 되기 때문이다.

[0097] 또한, 산화물 반도체막(227)에는 5×10^{18}atoms/㎤ 이하의 질소가 포함되어 있을 수도 있다.

[0098] 또한, 산화물 반도체막(227)에 이용하는 것이 가능한 산화물 반도체는 실리콘 반도체보다 밴드갭이 넓고, 진성 캐리어 밀도가 실리콘보다 작은 와이드 밴드갭 반도체로 한다. 이와 같이, 밴드갭이 넓은 산화물 반도체를 이용함으로써, 트랜지스터의 오프 전류를 저감시킬 수 있다.

[0099] 산화물 반도체막(227)은 단결정 구조일 수도 있고, 비단결정 구조일 수도 있다. 후자의 경우, 아몰퍼스 구조 또는 다결정 구조일 수도 있다. 또한, 아몰퍼스 내에 결정성을 갖는 부분을 포함하는 구조 또는 비아몰퍼스 구조일 수도 있다.

[0100] 아몰퍼스 상태의 산화물 반도체는 비교적 용이하게 평탄한 표면을 얻을 수 있으므로, 이를 이용하여 트랜지스터를 제작했을 시의 계면산란을 저감시킬 수 있고, 비교적 용이하게 비교적 높은 이동도를 얻을 수 있다.

[0101] 또한, 결정성을 갖는 산화물 반도체에서는 벌크 내 결함을 보다 저감할 수 있고, 표면의 평탄성을 높이면 아몰퍼스 상태의 산화물 반도체 이상의 이동도를 얻을 수 있다. 표면의 평탄성을 높이기 위해서는, 평탄한 표면 상에 산화물 반도체를 형성하는 것이 바람직하고, 상술한 바와 같이, 절연막(225)의 표면의 평균면 조도(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하로 하고, 그 위에 산화물 반도체막(227)을 형성하는 것이 바람직하다.

[0102] 여기서는, 산화물 반도체막(227)을 스퍼터링법에 의해 형성한다.

[0103] 스퍼터링법에 이용하는 타겟으로서는, 예를 들어, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화

물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0104] 산화물 반도체로서 In-Ga-Zn-O계의 재료를 사용하는 경우, 사용하는 타겟의 조성비는 예를 들어, 원자수비로 In:Ga:Zn=1:1:1(=1/3:1/3:1/3)(몰수비로 환산하면 In203:Ga203:ZnO=1:1:2), In:Ga:Zn=2:2:1(=2/5:2/5:1/5)(몰수비로 환산하면 In203:Ga203:ZnO=1:1:1) 등일 수 있다. 이와 같은 원자수비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 사용할 수 있다.

[0105] 또한, 산화물 반도체로서 In-Sn-Zn-O계의 재료를 사용하는 경우, 사용하는 타겟의 조성비는 예를 들어, 원자수비로 In:Sn:Zn=1:1:1(=1/3:1/3:1/3), In:Sn:Zn=2:1:3(=1/3:1/6:1/2), In:Sn:Zn=2:1:5(=1/4:1/8:5/8, In:Sn:Zn=1:2:2(=1/5:2/5:2/5), In:Sn:Zn=20:45:35 등일 수 있다. 이와 같은 원자수비의 In-Sn-Zn계 산화물이나 그 조성의 근방의 산화물을 타겟으로서 사용할 수 있다.

[0106] 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타겟의 조성비는 원자수비로 In:Zn=50:1~1:2(몰수비로 환산하면 In_2O_3:ZnO=25:1~1:4), 바람직하게는 In:Zn=20:1~1:1(몰수비로 환산하면 In_2O_3:ZnO=10:1~1:2), 더욱 바람직하게는 In:Zn=15:1~1.5:1(몰수비로 환산하면 In_2O_3:ZnO=15:2~3:4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타겟은 원자수비가 In:Zn:O=X:Y:Z일 때, Z>1.5X+Y로 한다. 이와 같은 원자수비의 In-Zn-O계 산화물이나 그 조성 근방의 산화물을 타겟으로서 사용할 수 있다.

[0107] 그러나, 이들에 한정되지 않으며, 필요로 하는 반도체 특성(이동도, 문턱값, 편차 등)에 따라 적절한 조성의 것을 사용하면 된다. 또한, 필요로 하는 반도체 특성을 얻기 위해서 캐리어 농도나 불순물 농도, 결함밀도, 금속원소와 산소의 원자수비, 원자간 결합 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

[0108] 예를 들어, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도가 얻어진다. 그러나, In-Ga-Zn계 산화물에서도 벌크 내 결함밀도를 저감시킴으로써 이동도를 높일 수 있다.

[0109] 또한, 예를 들어, In, Ga, Zn의 원자수비가 In:Ga:Zn=a:b:c(a+b+c=1)인 산화물의 조성이, 원자수비가 In:Ga:Zn=A:B:C(A+B+C=1)인 산화물의 조성의 근방이라는 것은 a, b, c가 $(a-A)^2+(b-B)^2+(c-C)^2\leq r^2$를 충족시키는 것을 말하며, r은 예를 들어 0.05일 수 있다. 다른 산화물에서도 마찬가지이다.

[0110] 또한, 스퍼터링 가스는 희가스(대표적으로는 아르곤) 분위기, 산소 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 아울러, 희가스 및 산소의 혼합 가스의 경우, 희가스에 대해 산소의 가스비를 높이는 것이 바람직하다. 또한, 스퍼터링 가스는 산화물 반도체막에의 수소, 물, 수산기, 수소화물 등의 혼입을 방지하기 위해서, 수소, 물, 수산기, 수소화물 등의 불순물이 충분히 제거된 고순도 가스를 사용한 분위기로 하는 것이 바람직하다.

[0111] 스퍼터링법에 있어서, 플라즈마를 발생시키기 위한 전원장치는 RF 전원장치, AC 전원장치, DC 전원장치 등을 적절히 사용할 수 있다.

[0112] 또한, 산화물 반도체막을 성막하는 처리실은 리크 레이트를 1×10^{-10}Pa·㎥/초 이하로 하는 것이 바람직하며, 이에 따라 스퍼터링법에 의해 성막할 시 막 내로의 불순물의 혼입을 저감시킬 수 있다. 이와 같이, 산화물 반도체막의 성막 공정에서, 더욱 바람직하게는 산화 절연막의 성막 공정에서, 처리실의 압력, 처리실의 리크 레이트 등에 있어서 불순물의 혼입을 가능한 한 억제함으로써, 산화물 반도체막에 포함되는 수소를 포함하는 불순물의 혼입을 저감시킬 수 있다. 또한, 산화 절연막으로부터 산화물 반도체막에의 수소 등의 불순물의 확산을 저감시킬 수 있다.

[0113] 또한, 산화물 반도체막(227)으로서 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)막을 이용할 수도 있다.

[0114] CAAC-OS란, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 보아 삼각형상 또는 육각형상의 원자배열을 가지며, c축에 있어서는, 금속원자가 층상으로 또는 금속원자와 산소원자가 층상으로 배열해 있고, ab면(또는 표면 또는 계면)에 있어서는, a축 또는 b축의 방향이 다른(c축을 중심으로 회전한) 결정을 포함하는 산화물 반도체이다.

[0115] 넓은 의미에서 CAAC-OS란 비단결정이며, 그 ab면에 수직인 방향으로부터 보아, 삼각형 혹은 육각형, 또는 정삼

각형 혹은 정육각형의 원자 배열을 가지며, 또한 c축 방향으로 수직인 방향으로부터 보아 금속원자가 층상으로 또는 금속원자와 산소원자가 층상으로 배열한 상을 포함하는 산화물 반도체를 말한다.

[0116] CAAC-OS는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC-OS는 결정화한 부분(결정 부분)을 포함하지만, 하나의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별할 수 없는 경우도 있다.

[0117] CAAC-OS를 구성하는 산소의 일부는 질소로 치환될 수도 있다. 또한, CAAC-OS를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC-OS를 형성하는 기판면이나 CAAC-OS의 표면이나 막면, 계면 등에 수직인 방향)으로 일치되어 있어도 된다. 또는, CAAC-OS를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, 기판면, 표면, 막면, 계면 등에 수직인 방향)을 향하고 있어도 된다.

[0118] 이러한 c축 배향을 갖는 결정을 포함하는 산화물 반도체막을 마련함으로써, 가시광이나 자외광의 조사에 의한 전기적 특성의 변화를 억제할 수 있다. 특히, 상술한 바와 같이, 절연막(225)의 표면의 평균면 조도(Ra)를 1nm 이하, 바람직하게는 0.3nm 이하, 보다 바람직하게는 0.1nm 이하로 하고, 그 위에 c축 배향을 갖는 결정을 포함하는 산화물 반도체막을 형성하는 것이 바람직하다. 이에 따라, c축 배향을 갖는 결정을 포함하는 산화물 반도체막의 결정성을 향상시켜, 이 산화물 반도체막을 이용한 트랜지스터의 이동도의 향상을 도모할 수 있다.

[0119] CAAC-OS에 포함되는 결정 구조의 일례에 대해서 도 10 내지 도 12를 이용하여 상세하게 설명한다. 또한, 특별히 언급이 없는 한, 도 10 내지 도 12는 상방향을 c축 방향으로 하고, c축 방향과 직교하는 면을 ab면으로 한다. 또한, 단순히 상반분, 하반분이라고 하는 경우, ab면을 경계로 했을 경우의 상반분, 하반분을 말한다. 또한, 도 10에서 동그라미로 둘러싸인 O는 4배위의 O를 나타내고, 이중 동그라미로 둘러싸인 O는 3배위의 O를 나타낸다.

[0120] 도 10(A)에, 1개의 6배위의 In과, In에 근접한 6개의 4배위의 산소원자(이하 4배위의 O)를 갖는 구조를 나타낸다. 여기서는, 금속원자 1개에 대하여, 근접한 산소원자만 나타낸 구조를 소그룹이라고 부른다. 도 10(A)의 구조는 팔면체 구조를 하고 있으나, 간단화를 위해 평면 구조로 나타내고 있다. 또한, 도 10(A)의 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있다. 도 10(A)에 나타내는 소그룹은 전하가 0이다.

[0121] 도 10(B)에, 1개의 5배위의 Ga와, Ga에 근접한 3개의 3배위의 산소원자(이하 3배위의 O)와, Ga에 근접한 2개의 4배위의 O를 갖는 구조를 나타낸다. 3배위의 O는 모두 ab면에 존재한다. 도 10(B)의 상반분 및 하반분에는 각각 1개씩 4배위의 O가 있다. 또한, In도 5배위를 취하기 때문에, 도 10(B)에 나타내는 구조를 취할 수 있다. 도 10(B)에 나타내는 소그룹은 전하가 0이다.

[0122] 도 10(C)에, 1개의 4배위의 Zn과, Zn에 근접한 4개의 4배위의 O를 갖는 구조를 나타낸다. 도 10(C)의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 또는, 도 10(C)의 상반분에 3개의 4배위의 O가 있고, 하반분에 1개의 4배위의 O가 있을 수도 있다. 도 10(C)에 나타내는 소그룹은 전하가 0이다.

[0123] 도 10(D)에, 1개의 6배위의 Sn과, Sn에 근접한 6개의 4배위의 O를 갖는 구조를 나타낸다. 도 10(D)의 상반분에는 3개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있다. 도 10(D)에 나타내는 소그룹은 전하가 +1이 된다.

[0124] 도 10(E)에, 2개의 Zn을 포함하는 소그룹을 나타낸다. 도 10(E)의 상반분에는 1개의 4배위의 O가 있고, 하반분에는 1개의 4배위의 O가 있다. 도 10(E)에 나타내는 소그룹은 전하가 -1이 된다.

[0125] 여기서는, 복수의 소그룹의 집합체를 중그룹이라고 부르고, 복수의 중그룹의 집합체를 대그룹(유닛 셀이라고도 함.)이라고 부른다.

[0126] 여기서, 이들 소그룹끼리가 결합하는 규칙에 대해서 설명한다. 도 10(A)에 나타내는 6배위의 In의 상반분의 3개의 O는 하방향에 각각 3개의 근접 In을 갖고, 하반분의 3개의 O는 상방향에 각각 3개의 근접 In을 갖는다. 도 10(B)에 나타내는 5배위의 Ga의 상반분의 1개의 O는 하방향에 1개의 근접 Ga를 갖고, 하반분의 1개의 O는 상방향에 1개의 근접 Ga를 갖는다. 도 10(C)에 나타내는 4배위의 Zn의 상반분의 1개의 O는 하방향에 1개의 근접 Zn을 갖고, 하반분의 3개의 O는 상방향에 각각 3개의 근접 Zn을 갖는다. 이와 같이, 금속원자의 상방향의 4배위의 O의 수와, 그 O의 하방향에 있는 근접 금속원자의 수는 동일하고, 마찬가지로 금속원자의 하방향의 4배위의 O의 수와, 그 O의 상방향에 있는 근접 금속원자의 수는 동일하다. O는 4배위이므로, 하방향에 있는 근접 금속원자의 수와, 상방향에 있는 근접 금속원자의 수의 합은 4가 된다. 따라서, 금속원자의 상방향에 있는 4배위의 O의 수와, 다른 금속원자의 하방향에 있는 4배위의 O의 수의 합이 4개일 때, 금속원자를 갖는 2종의 소그룹끼리는 결합할 수 있다. 예를 들어, 6배위의 금속원자(In 또는 Sn)가 하반분의 4배위의 O를 통해 결합하는 경

우, 4배위의 O가 3개이므로, 5배위의 금속원자(Ga 또는 In) 또는 4배위의 금속원자(Zn) 중 어느 하나와 결합하게 된다.

[0127] 이들 배위 수를 갖는 금속원자는 c축 방향에서 4배위의 O를 통해 결합한다. 또한, 이 외에도, 층 구조의 합계의 전하가 0이 되도록 복수의 소그룹이 결합하여 중그룹을 구성한다.

[0128] 도 11(A)에 In-Sn-Zn-O계의 층 구조를 구성하는 중그룹의 모델도를 도시한다. 도 11(B)에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 11(C)는 도 11(B)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 나타낸다.

[0129] 도 11(A)에 있어서는 간단화를 위해서 3배위의 O는 생략하고, 4배위의 O는 개수만 나타내고, 예를 들어, Sn의 상반분 및 하반분에는 각각 3개씩 4배위의 O가 있는 것을 동그라미 테두리의 3으로서 나타내고 있다. 마찬가지로, 도 11(A)에 있어서, In의 상반분 및 하반분에는 각각 1개씩 4배위의 O가 있으며, 동그라미 테두리의 1로서 나타내고 있다. 또한, 마찬가지로 도 11(A)에 있어서, 하반분에는 1개의 4배위의 O가 있고, 상반분에는 3개의 4배위의 O가 있는 Zn과, 상반분에는 1개의 4배위의 O가 있고, 하반분에는 3개의 4배위의 O가 있는 Zn을 나타내고 있다.

[0130] 도 11(A)에 있어서, In-Sn-Zn-O계의 층 구조를 구성하는 중그룹은, 위에서부터 순서대로 4배위의 O가 3개씩 상반분 및 하반분에 있는 Sn이, 4배위의 O가 1개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이 상반분에 3개의 4배위의 O가 있는 Zn과 결합하고, 그 Zn의 하반분의 1개의 4배위의 O를 통해 4배위의 O가 3개씩 상반분 및 하반분에 있는 In과 결합하고, 그 In이 상반분에 1개의 4배위의 O가 있는 Zn 2개로 이루어지는 소그룹과 결합하고, 이 소그룹의 하반분의 1개의 4배위의 O를 통해 4배위의 O가 3 개씩 상반분 및 하반분에 있는 Sn과 결합해 있는 구성이다. 이 중그룹이 복수 결합되어 대그룹을 구성한다.

[0131] 여기서, 3배위의 O 및 4배위의 O의 경우, 결합 1개당 전하는 각각 -0.667, -0.5라고 생각할 수 있다. 예를 들어, In(6배위 또는 5배위), Zn(4배위), Sn(5배위 또는 6배위)의 전하는 각각 +3, +2, +4이다. 따라서, Sn을 포함하는 소그룹은 전하가 +1이 된다. 그렇기 때문에, Sn을 포함하는 층 구조를 형성하기 위해서는 전하 +1을 상쇄하는 전하 -1이 필요하게 된다. 전하 -1을 취하는 구조로서, 도 10(E)에 도시한 바와 같이, 2개의 Zn을 포함하는 소그룹을 들 수 있다. 예를 들어, Sn을 포함하는 소그룹 1개에 대하여 2개의 Zn을 포함하는 소그룹이 1개 있으면, 전하가 상쇄되므로 층 구조의 합계의 전하를 0으로 할 수 있다.

[0132] 구체적으로는 도 11(B)에 도시한 대그룹이 반복됨으로써, In-Sn-Zn-O계의 결정($In_2SnZn_3O_8$)을 얻을 수 있다. 또한, 얻어지는 In-Sn-Zn-O계의 층 구조는 $In_2SnZn_2O_7(ZnO)_m$(m은 0 또는 자연수)로 하는 조성식으로 나타낼 수 있다.

[0133] 또한, 이 외에도, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물이나, 3원계 금속 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함.), In-Al-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물이나, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물이나, 2원계 금속 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물이나, In-Ga계 산화물 등을 이용한 경우도 마찬가지이다.

[0134] 예를 들어, 도 12(A)에 In-Ga-Zn-O계의 층 구조를 구성하는 중그룹의 모델도를 도시한다.

[0135] 도 12(A)에 있어서, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은 위에서부터 순서대로 4배위의 O가 3개씩 상반분 및 하반분에 있는 In이, 4배위의 O가 1개 상반분에 있는 Zn과 결합하고, 그 Zn의 하반분의 3개의 4배위의 O를 통해 4배위의 O가 1개씩 상반분 및 하반분에 있는 Ga와 결합하고, 그 Ga의 하반분의 1개의 4배위의 O를 통해 4배위의 O가 3개씩 상반분 및 하반분에 있는 In과 결합해 있는 구성이다. 이 중그룹이 복수 결합되어 대그룹을 구성한다.

[0136] 도 12(B)에 3개의 중그룹으로 구성되는 대그룹을 도시한다. 또한, 도 12(C)는 도 12(B)의 층 구조를 c축 방향으로부터 관찰한 경우의 원자 배열을 도시하고 있다.

[0137] 여기서, In(6배위 또는 5배위), Zn(4배위), Ga(5배위)의 전하는 각각 +3, +2, +3이므로, In, Zn 및 Ga 중 어느 하나를 포함하는 소그룹은 전하가 0이 된다. 그렇기 때문에, 이들 소그룹의 조합이면 중그룹의 합계의 전

하는 항상 0이 된다.

[0138] 또한, In-Ga-Zn-O계의 층 구조를 구성하는 중그룹은 도 12(A)에 도시한 중그룹에 한정되지 않으며, In, Ga, Zn의 배열이 다른 중그룹을 조합한 대그룹도 취할 수 있다.

[0139] 산화물 반도체막(227)을 CAAC-OS막으로 하는 경우는, 산화물 반도체막(227)을 성막할 때에 기판온도가 200℃를 초과해 700℃ 이하, 바람직하게는 300℃를 초과해 500℃ 이하, 보다 바람직하게는 400℃ 이상 450℃ 이하가 되도록 기판을 가열한다. 이와 같이, 기판을 가열하면서 산화물 반도체막(227)을 성막함으로써, 산화물 반도체막(227)을 CAAC-OS막으로 할 수 있다.

[0140] 또한, 상기의 온도 범위로 가열하면서, 1 원자층 이상 10nm 이하, 바람직하게는 2nm 이상 5nm 이하의 얇은 막 두께의 제 1 산화물 반도체막을 성막한 후, 동일한 방법으로 가열하면서 더욱 두꺼운 막 두께의 제 2 산화물 반도체막을 성막하고, 제 1 산화물 반도체막과 제 2 산화물 반도체막을 적층하여, CAAC-OS의 산화물 반도체막(227)을 형성할 수도 있다.

[0141] 또한, 산화물 반도체막(227)을 비정질 구조로 하는 경우는, 산화물 반도체막(227)을 성막할 때에 기판의 가열을 수행하지 않거나, 또는 기판온도를 200℃ 미만, 보다 바람직하게는 180℃ 미만으로 하여 기판을 가열한다. 이와 같이, 산화물 반도체막(227)을 성막함으로써 산화물 반도체막(227)을 비정질 구조로 할 수 있다.

[0142] 또한, 상기의 방법으로 산화물 반도체막을 비정질 구조로서 성막한 후, 250℃ 이상 700℃ 이하, 바람직하게는 400℃ 이상, 보다 바람직하게는 500℃, 더욱 바람직하게는 550℃ 이상의 온도로 가열 처리를 수행하여, 이 비정질 구조의 산화물 반도체막의 적어도 일부를 결정화하여, CAAC-OS의 산화물 반도체막(227)을 형성할 수도 있다. 또한, 이 열처리는 불활성 가스 분위기하에서 수행할 수 있다. 불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다. 또한, 이 열처리는 후술하는 탈수화 또는 탈수소화의 열처리 등과 겸하는 것도 가능하다.

[0143] 산화물 반도체막(227) 형성 후, 산화물 반도체막(227)에 대해 열처리(제 1 열처리)를 수행할 수도 있다. 열처리를 수행함으로써, 산화물 반도체막(227) 내에 포함되는 수소원자를 포함하는 물질을 더욱 제거하여, 산화물 반도체막(227)의 구조를 개선하고, 밴드갭 내의 결함 준위를 저감시킬 수 있다. 이 열처리는 불활성 가스 분위기하에서 수행하고, 열처리의 온도는 300℃ 이상 700℃ 이하, 바람직하게는 450℃ 이상 600℃ 이하, 또한, 기판이 왜곡점을 갖는 경우는 기판의 왜곡점 미만으로 한다. 불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.

[0144] 이 열처리는 예를 들어, 저항 발열체 등을 이용한 전기로에 반도체 기판(201)을 도입하고, 질소 분위기하, 450℃, 1시간의 조건으로 수행할 수 있다.

[0145] 또한, 열처리 장치는 전기로에 한정되지 않으며, 가열된 가스 등의 매체로부터의 열전도, 또는 열복사에 의해 피처리물을 가열하는 장치를 사용할 수도 있다. 예를 들어, LRTA(LampRapid Thermal Annealing) 장치, GRTA(Gas Rapid Thermal Annealing) 장치 등의 RTA(Rapid Thermal Annealing) 장치를 사용할 수 있다. LRTA 장치는 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 사용하여 열처리를 수행하는 장치이다. 가스로서는, 아르곤 등의 희가스, 또는 질소와 같은 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다. 또한, 가열처리장치로서 GRTA 장치를 사용하는 경우에는 그 열처리 시간이 짧기 때문에, 650℃~700℃의 고온으로 가열한 불활성 가스중에서 기판을 가열할 수도 있다.

[0146] 또한, 상기 열처리로 산화물 반도체막(227)을 가열한 후, 동일한 로에 고순도의 산소 가스, 고순도의 N_2O 가스, 또는 초건조 에어(CRDS(캐비티 링 다운 레이저 분광법) 방식의 노점계를 사용하여 측정한 경우의 수분량이 20ppm(노점 환산으로 -55℃) 이하, 바람직하게는 1ppm 이하, 바람직하게는 10ppb 이하의 공기)를 도입하는 것이 바람직하다. 특히 이들 가스에는 물, 수소 등이 포함되지 않는 것이 바람직하다. 또한, 동일한 로에 도입하는 산소 가스 또는 N_2O 가스의 순도를 6N 이상 바람직하게는 7N 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는

0.1ppm 이하)으로 하는 것이 바람직하다. 산소 가스 또는 N_2O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 감소되어 버린 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를 공급할 수 있다.

[0147] 또한, 상술한 열처리에는 수소나 물 등을 제거하는 효과가 있으므로, 이 열처리를 탈수화 또는 탈수소화 등으로 부를 수도 있다. 이 열처리는 예를 들어, 산화물 반도체층을 섬 형상으로 가공하기 전, 게이트 절연막의 형성 후 등의 타이밍에 수행하는 것도 가능하다. 또한, 이러한 탈수화 또는 탈수소화의 열처리는 1회로 한정되지 않으며 여러 차례 수행할 수도 있다.

[0148] 이어서, 산화물 반도체막(227)의 일부를 선택적으로 에칭하여 산화물 반도체막(229)을 형성한다. 그리고 나서, 산화물 반도체막(229) 상에 스퍼터링법, CVD법 등에 의해 절연막(231)을 형성한다. 그리고, 절연막(231) 상에 게이트 전극(233)을 형성한다(도 6(A) 참조.).

[0149] 절연막(231)은, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn-O계 금속 산화물막 등을 이용할 수 있고, 적층 또는 단층으로 마련한다. 또한, 절연막(231)은, 절연막(225)에 나타낸 바와 같은, 가열에 의해 산소가 탈리하는 산화 절연막을 이용할 수도 있다. 절연막(231)에 가열에 의해 산소가 탈리하는 막을 이용함으로써, 이후의 가열 처리에 의해 산화물 반도체막(229)에 발생하는 산소 결손을 수복할 수 있고, 트랜지스터의 전기 특성의 열화를 억제할 수 있다.

[0150] 또한, 절연막(231)으로서, 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 이용함으로써 게이트 절연막의 두께를 얇게 해도 게이트 리크를 저감시킬 수 있다.

[0151] 절연막(231)의 두께는 10nm 이상 300nm 이하, 보다 바람직하게는 5nm 이상 50nm 이하, 보다 바람직하게는 10nm 이상 30nm 이하로 한다.

[0152] 게이트 전극(233)은, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 금속 원소, 또는 상술한 금속 원소를 성분으로 하는 합금 등을 이용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나 또는 복수로부터 선택된 금속 원소를 이용할 수도 있다. 또한, 게이트 전극(233)은 단층 구조일 수도 있고, 2층 이상의 적층 구조일 수도 있다. 예를 들어, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 상에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 상에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 상에 텅스텐막을 적층하는 2층 구조, 질화 탄탈막 상에 텅스텐막을 적층하는 2층 구조, 티타늄막과 그 티타늄막 상에 알루미늄막을 적층하고, 추가로 그 위에 티타늄막을 형성하는 3층 구조 등이 있다. 또한, 알루미늄에, 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐으로부터 선택된 원소와의 합금막, 또는 질화막을 이용할 수도 있다.

[0153] 또한, 게이트 전극(233)은 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상기 금속 원소의 적층 구조로 할 수도 있다.

[0154] 게이트 전극(233)은 인쇄법 또는 잉크젯법에 의해 형성된다. 또는, 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 그 도전막의 일부를 선택적으로 에칭하여 형성된다.

[0155] 또한, 게이트 전극(233)과 절연막(231)의 사이에, 절연막(231)에 접하는 재료층으로서, 질소를 포함하는 In-Ga-Zn-O막이나, 질소를 포함하는 In-Sn-O막이나, 질소를 포함하는 In-Ga-O막이나, 질소를 포함하는 In-Zn-O막이나, 질소를 포함하는 Sn-O막이나, 질소를 포함하는 In-O막이나, 금속 질화막(InN, ZnN 등)을 마련하는 것이 바람직하다. 이러한 막은 5eV, 바람직하게는 5.5eV 이상의 일함수를 갖고, 트랜지스터의 문턱값 전압을 플러스로 할 수 있어, 소위 노멀리 오프의 스위칭 소자를 실현할 수 있다. 예를 들어, 질소를 포함하는 In-Ga-Zn-O막을 이용하는 경우, 적어도 산화물 반도체막(229)보다 높은 질소 농도, 구체적으로는 7원자% 이상의 질소를 포함하는 In-Ga-Zn-O막을 이용한다.

[0156] 이 후, 가열 처리를 수행하는 것이 바람직하다. 이 가열 처리에 의해 절연막(225) 및 절연막(231)으로부터 산화물 반도체막(229)으로 산소를 확산시켜, 산화물 반도체막(229)에 포함되는 산소 결함을 보충하여 산소 결함을 저감시킬 수 있다.

[0157] 또한, 절연막(231)의 성막 후에 불활성 가스 분위기하, 또는 산소 분위기하에서 열처리(제 2 열처리)를 수행할 수도 있다. 열처리의 온도는 200℃ 이상 450℃ 이하로 하는 것이 바람직하고, 250℃ 이상 350℃ 이하로 하는 것이 보다 바람직하다. 이와 같은 열처리를 수행함으로써 트랜지스터의 전기적 특성의 편차를 경감할 수 있다. 또한, 산화물 반도체막(229)과 접하는 절연막(231) 또는 절연막(225)이 산소를 포함하는 경우, 산화물 반도체막(229)으로 산소를 공급하여, 그 산화물 반도체막(229)의 산소 결손을 보충할 수도 있다. 이와 같이, 상술의 열처리에는 산소를 공급하는 효과가 있기 때문에, 이 열처리를 가산화(가산소화) 등으로 부를 수도 있다.

[0158] 또한, 본 실시형태에서는, 절연막(231)의 형성 후에 가산화 열처리를 수행하고 있으나, 가산화 열처리의 타이밍은 이것에 한정되지 않으며, 절연막(231)의 형성 후에 적절히 수행하면 된다.

[0159] 상술한 바와 같이, 탈수화 또는 탈수소화 열처리와 가산화 열처리를 적용하여, 산화물 반도체막(229) 내의 불순물을 저감시키고, 산소 결손을 보충함으로써, 산화물 반도체막(229)을 그 주성분 이외의 불순물이 가능한 한 포함되지 않도록 고순도화할 수 있다.

[0160] 이어서, 게이트 전극(233)을 마스크로 하여 산화물 반도체막(229)에 도펀트를 첨가하는 처리를 수행한다. 이 결과, 도 6(B)에 도시한 바와 같이, 게이트 전극(233)으로 덮여, 도펀트가 첨가되지 않는 제 1 영역(235a)과, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성한다. 게이트 전극(233)을 마스크로 하여 도펀트를 첨가하기 때문에, 셀프 얼라인으로, 도펀트가 첨가되지 않는 제 1 영역(235a), 및 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성할 수 있다. 아울러, 게이트 전극(233)과 중첩되는 제 1 영역(235a)은 채널 영역으로서 기능한다. 또한, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)은 소스 영역 및 드레인 영역으로서 기능한다. 또한, 제 1 영역(235a), 및 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)을 산화물 반도체막(235)으로 나타낸다.

[0161] 산화물 반도체막(235)의 제 1 영역(235a)은 수소 농도를 5×10^{18}atoms/㎤ 미만, 바람직하게는 1×10^{18}atoms/㎤ 이하, 보다 바람직하게는 5×10^{17}atoms/㎤ 이하, 더욱 바람직하게는 1×10^{16}atoms/㎤ 이하로 하는 것이 바람직하다. 산화물 반도체 및 수소의 결합에 의해, 수소의 일부가 도너가 되고 캐리어인 전자가 발생하게 된다. 이로 인해 산화물 반도체막(235)의 제 1 영역(235a) 내의 수소 농도를 저감시킴으로써, 문턱값 전압의 마이너스 시프트를 저감시킬 수 있다.

[0162] 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)에 포함되는 도펀트의 농도는 5×10^{18}atoms/㎤ 이상 1×10^{22}atoms/㎤ 이하, 바람직하게는 5×10^{18}atoms/㎤ 이상 5×10^{19}atoms/㎤ 미만으로 한다.

[0163] 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)은 도펀트를 포함하므로, 캐리어 밀도 또는 결함을 증가시킬 수 있다. 그러므로, 도펀트를 포함하지 않는 제 1 영역(235a)과 비교하여 도전성을 높일 수 있다. 또한, 도펀트 농도를 과도하게 증가시키면, 도펀트가 캐리어의 이동을 저해하게 되어, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)의 도전성을 저하시키게 된다.

[0164] 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)은 도전율이 0.1S/㎝ 이상 1000S/㎝ 이하, 바람직하게는 10S/㎝ 이상 1000S/㎝ 이하로 하는 것이 바람직하다.

[0165] 산화물 반도체막(229)에 도펀트를 첨가하는 방법으로 이온 도핑법 또는 이온 주입법을 이용할 수 있다. 또한, 첨가하는 도펀트로서는 붕소, 질소, 인 및 비소 중 적어도 하나 이상이 있다. 또는, 도펀트로서는 헬륨, 네온, 아르곤, 크립톤 및 크세논 중 적어도 하나 이상이 있다. 또는, 도펀트로서는 수소가 있다. 또한, 도펀트로서, 붕소, 질소, 인 및 비소 중 하나 이상과, 헬륨, 네온, 아르곤, 크립톤 및 크세논 중 하나 이상과, 수소를 적절히 조합할 수도 있다.

[0166] 또한, 산화물 반도체막(229)에의 도펀트의 첨가는, 산화물 반도체막(229)을 덮어, 절연막 등이 형성되어 있는 상태를 나타냈으나, 산화물 반도체막(229)이 노출되어 있는 상태에서 도펀트의 첨가를 수행할 수도 있다.

[0167] 나아가, 상기 도펀트의 첨가는 이온 도핑법 또는 이온 주입법 이외의 방법으로도 수행할 수 있다. 예를 들어, 첨가할 원소를 포함하는 가스 분위기에서 플라즈마를 발생시켜, 피첨가물에 대해 플라즈마 처리를 수행함으로써, 도펀트를 첨가할 수 있다. 상기 플라즈마를 발생시키는 장치로는, 드라이 에칭 장치나 플라즈마 CVD 장치, 고밀도 플라즈마 CVD 장치 등을 이용할 수 있다.

[0168] 이 후, 가열 처리를 수행할 수도 있다. 이 가열 처리의 온도는 대표적으로는 150℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 325℃ 이하로 한다. 또는, 250℃에서 325℃까지 서서히 온도를 상승시키면서 가열할 수도 있

다.

[0169] 이 가열 처리에 의해, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)의 저항을 저감시킬 수 있다. 또한, 이 가열 처리에 있어서, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)은 결정 상태일 수도 있고 비정질 상태일 수도 있다.

[0170] 이어서, 도 6(C)에 도시한 바와 같이, 게이트 전극(233)의 측면에 사이드월 절연막(237), 및 게이트 절연막(239) 및 전극(241a), 전극(241b)을 형성한다.

[0171] 사이드월 절연막(237)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용할 수 있고, 적층 또는 단층으로 마련한다. 또한, 사이드월 절연막(237)으로서, 절연막(225)과 동일하게 가열에 의해 산소의 일부가 탈리하는 산화 절연막을 이용하여 형성할 수도 있다.

[0172] 가열에 의해 산소의 일부가 탈리하는 산화 절연막은 산화 절연막의 성막 후에 산소를 주입함으로써 형성할 수도 있다.

[0173] 여기서, 사이드월 절연막(237)의 형성 방법에 대해서 설명한다.

[0174] 우선, 절연막(231) 및 게이트 전극(233) 상에 이후에 사이드월 절연막(237)이 될 절연막을 형성한다. 절연막은 스퍼터링법, CVD법 등에 의해 형성한다. 또한, 이 절연막의 두께는 특별히 한정은 없으나, 게이트 전극(233)의 형상에 따르는 피복성을 고려하여 적절히 선택하면 된다.

[0175] 이어서, 절연막을 에칭함으로써 사이드월 절연막(237)을 형성한다. 그 에칭은 이방성이 높은 에칭이며, 사이드월 절연막(237)은 절연막에 이방성이 높은 에칭 공정을 수행함으로써 셀프 얼라인으로 형성할 수 있다.

[0176] 또한, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)에 있어서, 전계 완화 영역으로서 기능하는 폭은 사이드월 절연막(237)의 폭에 대응하고, 또한 사이드월 절연막(237)의 폭은 게이트 전극(233)의 두께에도 영향을 받으므로, 전계 완화 영역의 범위가 원하는 범위가 되도록 게이트 전극(233)의 두께를 결정하면 된다.

[0177] 또한, 사이드월 절연막(237)의 형성 공정과 함께, 이방성이 높은 에칭을 이용하여 절연막(231)을 에칭하여, 산화물 반도체막(235)을 노출시킴으로써 게이트 절연막(239)을 형성할 수 있다.

[0178] 한 쌍의 전극(241a), 전극(241b)은 배선(223a) 내지 배선(223c)과 동일한 재료를 적절히 이용하여 형성할 수 있다. 또한, 한 쌍의 전극(241a), 전극(241b)은 배선으로서 기능시킬 수도 있다.

[0179] 한 쌍의 전극(241a), 전극(241b)은 인쇄법 또는 잉크젯법을 이용하여 형성된다. 또는, 스퍼터링법, CVD법, 증착법 등으로 도전막을 형성한 후, 그 도전막의 일부를 선택적으로 에칭하여 한 쌍의 전극(241a), 전극(241b)을 형성한다.

[0180] 한 쌍의 전극(241a), 전극(241b)은 사이드월 절연막(237) 및 게이트 절연막(239)의 측면과 접하도록 형성되는 것이 바람직하다. 즉, 트랜지스터의 한 쌍의 전극(241a), 전극(241b)의 단부가 사이드월 절연막(237) 상에 위치하고, 산화물 반도체막(235)에 있어서, 도펀트를 포함하는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)의 노출부를 채널 길이 방향에 있어서 모두 덮고 있는 것이 바람직하다. 이 결과, 도펀트가 포함되는 한 쌍의 제 2 영역(235b), 제 2 영역(235c)에서, 한 쌍의 전극(241a), 전극(241b)과 접하는 영역이 소스 영역 및 드레인 영역으로서 기능함과 아울러, 사이드월 절연막(237) 및 게이트 절연막(239)과 중첩되는 영역이 전계 완화 영역으로서 기능한다. 또한, 사이드월 절연막(237)의 길이에 의해 전계 완화 영역의 폭을 제어할 수 있으므로, 한 쌍의 전극(241a), 전극(241b)을 형성하기 위한 마스크 맞춤의 정밀도를 완화할 수 있다. 따라서, 복수의 트랜지스터에 있어서의 편차를 저감시킬 수 있다.

[0181] 또한, 본 실시형태에서는, 게이트 전극(233)의 측면에 접하여 사이드월 절연막(237)을 마련했으나, 본 발명은 이것에 한정되는 것은 아니며, 사이드월 절연막(237)을 마련하지 않는 구성으로 할 수도 있다. 또한, 본 실시형태에서는, 한 쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성한 후에 사이드월 절연막(237)을 마련했으나, 본 발명은 이것에 한정되는 것은 아니며, 사이드월 절연막(237)을 마련한 후에 한 쌍의 제 2 영역(235b), 제 2 영역(235c)을 형성할 수도 있다.

[0182] 이어서, 도 7(A)에 도시한 바와 같이 스퍼터링법, CVD법, 도포법, 인쇄법 등에 의해 절연막(243) 및 절연막(245)을 형성한다.

[0183] 절연막(243), 절연막(245)은 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 질화 알루미늄, 질화 산화 알루미늄, 질화 알루미늄 등을 이용할 수 있고, 적층 또는 단층으로 마련한다. 또한, 절연막(245)으로서, 외부로의 산소의 확산을 막는 절연막을 이용함으로써, 절연막(243)으로부터 탈리하는 산소를 산화물 반도체막으로 공급할 수 있다. 외부로의 산소의 확산을 막는 절연막의 대표적인 예로는 산화 알루미늄, 산화 질화 알루미늄 등이 있다. 또한, 절연막(245)으로서, 외부로부터의 수소의 확산을 막는 절연막을 이용함으로써, 외부로부터 산화물 반도체막으로의 수소의 확산을 저감시키는 것이 가능하며, 산화물 반도체막의 결손을 저감시킬 수 있다. 외부로부터의 수소의 확산을 막는 절연막의 대표적인 예로는 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등이 있다. 또한, 절연막(243)을, 가열에 의해 산소의 일부가 탈리하는 산화 절연막, 외부로의 산소의 확산을 막는 절연막과, 산화 절연막의 3층 구조로 함으로써, 효율적으로 산화물 반도체막으로 산소를 확산함과 아울러, 외부로의 산소의 탈리를 억제하는 것이 가능하며, 온도 및 습도가 높은 상태에서도 트랜지스터의 특성의 변동을 저감시킬 수 있다.

[0184] 이상의 공정에 의해, 도 7(A)에 도시한 바와 같이 산화물 반도체막을 갖는 트랜지스터(111)를 제작할 수 있다. 또한, 상기 트랜지스터(111)의 채널부는 i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체막(235)을 가지므로, 극히 우수한 특성을 나타낸다.

[0185] 또한, 본 실시형태에서 트랜지스터(111)를 탑 게이트 구조로 했으나, 본 발명은 이것에 한정되는 것은 아니며, 예를 들어 보텀 게이트 구조로 할 수도 있다. 또한, 본 실시형태에서 트랜지스터(111)는 한 쌍의 전극(241a) 및 전극(241b)이 한 쌍의 제 2 영역(235b) 및 제 2 영역(235c)의 상면의 적어도 일부와 접하는 구성으로 하고 있으나, 본 발명은 이것에 한정되는 것은 아니다.

[0186] 이어서, 절연막(215), 절연막(217), 절연막(221), 절연막(225), 절연막(243), 절연막(245)의 각각 일부를 선택적으로 에칭해 개구부를 형성하여, 게이트 전극(209a), 전극(241a) 및 전극(241b)의 각각 일부를 노출한다. 이어서, 개구부에 도전막을 성막한 후, 그 도전막의 일부를 선택적으로 에칭하여 배선(249) 및 배선(250)을 형성한다. 배선(249) 및 배선(250)은 콘택 플러그(219a~219d)에 나타내는 재료를 적절히 이용할 수 있다.

[0187] 여기서, 배선(249)은 트랜지스터(111)의 소스 전극 또는 드레인 전극의 한쪽(전극(241a))과 트랜지스터(107)의 게이트 전극(209a)을 전기적으로 접속하는 노드(N)로서 기능한다. 또한, 도 7(B)에서는 직접적으로 도시하고 있지 않지만, 마찬가지로 배선(249)은 트랜지스터(106)의 게이트 전극(209b)과도 전기적으로 접속되는 것으로 한다. 또한, 배선(250)은 트랜지스터(111)의 소스 전극 또는 드레인 전극의 다른 한쪽(전극(241b))으로서 기능하고, 도 3에 도시하는 신호선(S3)과 전기적으로 접속된다. 또한, 도 7(B)에서는 직접적으로 도시하고 있지 않지만, 트랜지스터(111)의 게이트 전극(233)도 도 3에 도시하는 신호선(S5)과 전기적으로 접속되는 것으로 한다.

[0188] 이상의 공정에 의해, 트랜지스터(111), 트랜지스터(107) 및 트랜지스터(106)를 갖는 논리회로를 작성할 수 있다.

[0189] 이상 나타낸 바와 같이, 산화물 반도체와 같은 와이드 밴드갭 반도체를 이용함으로써 트랜지스터의 오프 전류를 충분히 작게 할 수 있다. 나아가 그 트랜지스터를 노드(N)에서의 전하 유지 상태를 전환하기 위한 트랜지스터로서 이용함으로써, 전원 전위의 공급이 차단된 때에도 노드(N)의 전하 유지 상태를 유지하는 것이 가능한 논리회로를 제작할 수 있다. 즉, 산화물 반도체를 이용한 트랜지스터는 노드(N)에서의 전하 유지 상태를 전환함으로써, 불휘발성의 메모리로서 기능한다. 또한, 전원 투입 후의 논리 블록의 기동 시간을 짧게 한 논리회로를 제작할 수 있다. 이로써, 노멀리 오프의 구동 방법을 이용하여 저소비전력화를 도모할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0190] 그런데, 불휘발성의 랜덤 액세스 메모리로서 자기 터널 접합 소자(MTJ 소자)가 알려져 있다. MTJ 소자는 절연막을 사이에 두고 상하로 배치되어 있는 막 속의 스핀의 방향이 평행인 경우는 저저항 상태, 역평행인 경우는 고저항 상태가 됨으로써 정보를 기억하는 소자이다. 따라서, 본 실시형태에서 나타내는 산화물 반도체를 이용한 트랜지스터에 의한 메모리와는 원리가 전혀 다르다. 표 3은 MTJ 소자와 본 실시형태에 따른 반도체 장치의 대비를 나타낸다.

표 3

[0191]

	스핀트로닉스(MTJ 소자)	OS/Si
1) 내열성	퀴리 온도	프로세스 온도 500℃ (신뢰성 150℃)
2) 구동 방식	전류 구동	전압 구동

3) 기입 원리	자성체의 스핀 방향을 변경	FET의 온/오프
4) Si LSI	바이폴라 LSI에 적합 (바이폴라는 고집적화에는 적합하지 않으므로, 고집적화 회로에서는 MOS가 바람직하다. 단, W가 커진다.)	MOS LSI에 적합
5) 오버헤드	크다 (줄열이 크기 때문)	2~3 자릿수 이상 작다 (기생용량의 충방전)
6) 불휘발성	스핀을 이용	오프 전류가 작은 것을 이용
7) 독출 횟수	무제한	무제한
8) 3D화	어려움(많아야 2층까지)	용이함(몇 층이라도 가능)
9) 집적화도(F^2)	$4F^2$~$15F^2$	3D화의 적층수로 정해진다 (상층 OS FET 공정의 프로세스 내열성의 확보가 필요)
10) 재료	자성을 갖는 희토류	OS 재료
11) 비트 비용	높다	낮다 (OS를 구성하는 재료에 따라서는(In 등), 다소 비용이 높을 수 있음)
12) 자계내성	약하다	강하다

[0192] MTJ 소자는 자성재료를 사용하기 때문에 퀴리 온도 이상으로 하면 자성을 잃게되는 결점이 있다. 또한, MTJ 소자는 전류 구동이기 때문에 실리콘의 바이폴러 디바이스와 호환성이 좋지만, 바이폴러 디바이스는 집적화에 적합하지 않다. 그리고, MTJ 소자는 기입 전류가 미소하다고는 하나 메모리의 대용량화에 의해 소비전력이 증대되는 문제가 있다.

[0193] 원리적으로 MTJ 소자는 자계내성에 약하여 강자계에 노출되면 스핀의 방향이 쉽게 변화된다. 또한, MTJ 소자에 이용하는 자성체의 나노스케일화에 의해 발생하는 자화요동(magnetic fluctuation)을 제어할 필요가 있다.

[0194] 나아가, MTJ 소자는 희토류 원소를 사용하기 때문에, 금속 오염에 약한 실리콘 반도체의 프로세스에 포함시키려면 상당한 주의를 필요로 한다. MTJ 소자는 비트당 재료 비용의 측면에서 보아도 고가라고 생각된다.

[0195] 한편, 본 실시형태에서 나타내는 산화물 반도체를 이용한 트랜지스터는 채널을 형성하는 반도체 재료가 금속 산화물인 것 외에는 소자 구조나 동작 원리가 실리콘 MOSFET과 동일하다. 또한, 산화물 반도체를 이용한 트랜지스터는 자계의 영향을 받지 않고, 소프트 에러도 일으키지 않는다고 하는 특징을 갖는다. 따라서, 실리콘 집적회로와 매우 정합성이 좋다고 할 수 있다.

[0196] 이상, 본 실시형태에 나타내는 구성, 방법 등은 본 실시형태에 나타내는 구성, 방법들과 조합하여 이용할 수도 있고, 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수도 있다.

[0197] (실시형태 3)

[0198] 본 실시형태에서는 앞선 실시형태에서 나타낸 산화물 반도체막을 갖는 트랜지스터에 대해서, 전계 효과 이동도를 이론적으로 도출하고, 이 전계 효과 이동도를 이용하여 트랜지스터 특성을 도출한다.

[0199] 산화물 반도체에 한정되지 않으며, 실제로 측정되는 절연 게이트형 트랜지스터의 전계 효과 이동도는 여러 가지 이유에 의해 본래의 이동도보다 낮아진다. 이동도를 저하시키는 요인으로는 반도체 내부의 결함이나 반도체와 절연막과의 계면의 결함이 있으나, Levinson 모델을 이용하면, 반도체 내부에 결함이 없다고 가정한 경우의 전계 효과 이동도를 이론적으로 도출할 수 있다.

[0200] 반도체 본래의 이동도를 μ_0, 측정되는 전계 효과 이동도를 μ로 하고, 반도체 내에 어떠한 포텐셜 장벽(입계 등)이 존재한다고 가정하면, 다음의 식 (2)로 표현할 수 있다.

수학식 2

[0201] $$\mu = \mu_0 \exp(-\frac{E}{kT}) \qquad (2)$$

[0202] 여기서, E는 포텐셜 장벽의 높이이며, k가 볼츠만 상수, T는 절대온도이다. 또한, 포텐셜 장벽이 결함에서 유래한다고 가정하면, Levinson 모델에서는 다음의 식 (3)으로 표현할 수 있다.

수학식 3

[0203] $$E = \frac{e^2 N^2}{8\varepsilon n} = \frac{e^3 N^2 t}{8\varepsilon C_{ox} V_g} \qquad (3)$$

[0204] 여기서 e는 전기소량, N은 채널 내의 단위면적당 평균결함밀도, ε는 반도체의 유전률, n은 단위면적당 채널에 포함되는 캐리어 수, C_{ox}는 단위면적당 용량, V_g는 게이트 전압, t는 채널의 두께이다. 또한, 두께 30nm 이하의 반도체층이면, 채널의 두께는 반도체층의 두께와 동일하게 해도 상관없다. 선형 영역에서의 드레인 전류(I_d)는 다음의 식 (4)로 표현할 수 있다.

수학식 4

[0205] $$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp(-\frac{E}{kT}) \qquad (4)$$

[0206] 여기서, L은 채널길이, W는 채널 폭이며, 여기서는 L=W=10㎛이다. 또한 V_d는 드레인 전압이다. 상기 식 (4)의 양 변을 V_g로 나누고, 나아가 양 변의 대수를 취하면, 다음의 식 (5)가 된다.

수학식 5

[0207] $$\ln(\frac{I_d}{V_g}) = \ln(\frac{W\mu V_d C_{ox}}{L}) - \frac{E}{kT} = \ln(\frac{W\mu V_d C_{ox}}{L}) - \frac{e^3 N^2 t}{8kT\varepsilon C_{ox} V_g} \qquad (5)$$

[0208] 식 (5)의 우변은 V_g의 함수이다. 이 식으로부터 알 수 있듯이, 세로축을 $\ln(I_d/V_g)$, 횡축을 1/Vg로 하는 직선의 기울기로부터 결함밀도(N)가 구해진다. 즉, 트랜지스터의 I_d-V_g 특성으로부터 결함밀도를 평가할 수 있다. 산화물 반도체로서는 인듐(In), 주석(Sn), 아연(Zn)의 비율이 In:Sn:Zn=1:1:1인 것에서는 결함밀도(N)는 1×10^{12} cm^{-2} 정도이다.

[0209] 이와 같이 하여 구한 결함밀도 등을 기초로 식 (2) 및 식 (3)으로부터 μ_0=120㎠/Vs가 도출된다. 결함이 있는 In-Sn-Zn 산화물에서 측정되는 이동도는 40㎠/Vs 정도이다. 그러나, 반도체 내부 및 반도체와 절연막과의 계면의 결함이 없는 산화물 반도체의 이동도(μ_0)는 120㎠/Vs가 된다고 예상할 수 있다.

[0210] 단, 반도체 내부에 결함이 없어도, 채널과 게이트 절연물과의 계면에서의 산란에 의해 트랜지스터의 수송 특성은 영향을 받는다. 즉 게이트 절연물 계면으로부터 x만큼 떨어진 곳에서의 이동도(μ_1)는 다음의 식 (6)으로 표현할 수 있다.

수학식 6

[0211] $$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B}\exp\left(-\frac{x}{l}\right) \qquad (6)$$

[0212] 여기서, D는 게이트 방향의 전계, B, l는 상수이다. B 및 l는 실제의 측정 결과로부터 구할 수 있고, 상기 측정 결과로부터는 B=4.75×10^7㎝/s, l=10nm(계면산란이 미치는 깊이)이다. D가 증가하면(즉, 게이트 전압이 높아지면) 식 (6)의 제2항이 증가되기 때문에, 이동도(μ_1)는 저하되는 것을 알 수 있다.

[0213] 반도체 내부의 결함이 없는 이상적인 산화물 반도체를 채널에 이용한 트랜지스터의 이동도(μ)를 계산한 결과를 도 13에 나타낸다. 또한, 계산에는 시놉시스사 제품 디바이스 시뮬레이션 소프트, Sentaurus Device를 사용하고, 산화물 반도체의 밴드갭, 전자친화력, 비유전률, 두께를 각각, 2.8 전자볼트, 4.7 전자볼트, 15, 15nm로 했다. 이들 값은 스퍼터링법에 의해 형성된 박막을 측정하여 얻어진 것이다.

[0214] 아울러, 게이트, 소스, 드레인의 일함수를 각각, 5.5 전자볼트, 4.6 전자볼트, 4.6 전자 볼트로 했다. 또한, 게이트 절연물의 두께는 100nm, 비유전률은 4.1로 했다. 채널 길이 및 채널 폭은 모두 10㎛, 드레인 전압(V_d)은 0.1V이다.

[0215] 도 13에 도시한 바와 같이, 게이트 전압 1V강에서 이동도 100㎠/Vs 이상의 피크를 갖지만, 게이트 전압이 더욱 높아지면 계면산란이 커지고, 이동도가 저하된다. 또한, 계면산란을 저감시키기 위해서는, 반도체층 표면을 원자 레벨로 평탄하게 하는 것(ALF: Atomic Layer Flatness)이 바람직하다.

[0216] 이와 같은 이동도를 갖는 산화물 반도체를 이용하여 미세한 트랜지스터를 제작한 경우의 특성을 계산한 결과를 도 14 내지 도 16에 나타낸다. 또한, 계산에 이용한 트랜지스터의 단면 구조를 도 17에 도시한다. 도 17에 도시하는 트랜지스터는 산화물 반도체층에 n^+의 도전형을 나타내는 제 2 영역(1103b) 및 제 2 영역(1103c)을 갖는다. 제 2 영역(1103b) 및 제 2 영역(1103c)의 저항률은 2×10^{-3}Ω㎝로 한다.

[0217] 도 17(A)에 도시하는 트랜지스터는 하지 절연막(1101)과, 하지 절연막(1101)에 메워 넣어지도록 형성된 산화 알루미늄으로 이루어지는 매립 절연물(1102) 상에 형성된다. 트랜지스터는 제 2 영역(1103b), 제 2 영역(1103c)과, 그들 사이에 마련되어 채널 형성 영역이 되는 진성의 제 1 영역(1103a)과, 게이트 전극(1105)을 갖는다. 게이트 전극(1105)의 폭(즉 채널 길이에 해당함.)을 33nm로 한다.

[0218] 게이트 전극(1105)과 제 1 영역(1103a)의 사이에는 게이트 절연막(1104)을 갖고, 또한, 게이트 전극(1105)의 양측면에는 사이드월 절연막(1106a) 및 사이드월 절연막(1106b), 게이트 전극(1105)의 상부에는 게이트 전극(1105)과 다른 배선과의 단락을 방지하기 위한 절연물(1107)을 갖는다. 사이드월 절연막의 폭은 5nm로 한다. 또한, 제 2 영역(1103b) 및 제 2 영역(1103c)에 접하여 소스 전극(1108a) 및 드레인 전극(1108b)을 갖는다. 또한, 이 트랜지스터에서의 채널 폭을 40nm로 한다.

[0219] 도 17(B)에 도시하는 트랜지스터는 하지 절연막(1101)과, 산화 알루미늄으로 이루어지는 매립 절연물(1102) 상에 형성되고, 제 2 영역(1103b), 제 2 영역(1103c)과, 그들 사이에 마련된 진성의 제 1 영역(1103a)과, 폭 33nm의 게이트 전극(1105)과 게이트 절연막(1104)과 사이드월 절연막(1106a) 및 사이드월 절연막(1106b)과 절연물(1107)과 소스 전극(1108a) 및 드레인 전극(1108b)을 갖는 점에서 도 17(A)에 도시하는 트랜지스터와 동일하다.

[0220] 도 17(A)에 도시하는 트랜지스터와 도 17(B)에 도시하는 트랜지스터의 차이점은, 사이드월 절연막(1106a) 및 사이드월 절연막(1106b) 아래의 반도체 영역의 도전형이다. 도 17(A)에 도시하는 트랜지스터에서는, 사이드월 절연막(1106a) 및 사이드월 절연막(1106b) 아래의 반도체 영역은 n^+의 도전형을 나타내는 제 2 영역(1103b) 및 제 2 영역(1103c)이지만, 도 17(B)에 도시하는 트랜지스터에서는 진성의 제 1 영역(1103a)이다. 즉, 제 2 영역(1103b)(제 2 영역(1103c))과 게이트 전극(1105)이 Loff만큼 중첩되지 않는 영역이 형성되어 있다. 이 영역을 오프셋 영역이라고 하고, 그 폭(Loff)을 오프셋 길이라고 한다. 도면으로부터 분명하듯이, 오프셋 길이는 사이드월 절연막(1106a)(사이드월 절연막(1106b))의 폭과 동일하다.

[0221] 그 외의 계산에 사용하는 파라미터는 상술한 바와 같다. 계산에는 시놉시스사 제품 디바이스 시뮬레이션 소프트, Sentaurus Device를 사용했다. 도 14는 도 17(A)에 도시되는 구조의 트랜지스터의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g)(게이트와 소스의 전위차) 의존성을 나타낸다. 드레인 전류(I_d)는 드레인 전압(드레인과 소스의 전위차)을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다.

[0222] 도 14(A)는 게이트 절연막의 두께를 15nm로 한 것이고, 도 14(B)는 10nm로 한 것이며, 도 14(C)는 5nm로 한 것이다. 게이트 절연막이 얇아질수록, 특히 오프 상태에서의 드레인 전류(I_d)(오프 전류)가 현저하게 저하된다. 한편, 이동도(μ)의 피크값이나 온 상태에서의 드레인 전류(I_d)(온 전류)에는 눈에 띄는 변화가 없다. 게이트 전압 1V 전후에서 드레인 전류는 메모리 소자 등에서 필요로 하는 10㎂를 초과하는 것이 나타났다.

[0223] 도 15는 도 17(B)에 도시되는 구조의 트랜지스터이며, 오프셋 길이(Loff) 를 5nm로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압(V_g) 의존성을 나타낸다. 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 15(A)는 게이트 절연막의 두께를 15nm로 한 것이고, 도 15(B)는 10nm로 한 것이며, 도 15(C)는 5nm로 한 것이다.

[0224] 또한, 도 16은 도 17(B)에 도시되는 구조의 트랜지스터이며, 오프셋 길이(Loff)를 15nm로 한 것의 드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압 의존성을 나타낸다. 드레인 전류(I_d)는 드레인 전압을 +1V로 하고, 이동도(μ)는 드레인 전압을 +0.1V로 하여 계산한 것이다. 도 16(A)는 게이트 절연막의 두께를 15nm로 한 것이고, 도 16(B)는 10nm로 한 것이며, 도 16(C)는 5nm로 한 것이다.

[0225] 어느 것이나 모두 게이트 절연막이 얇아질수록 오프 전류가 현저하게 저하하는 한편, 이동도(μ)의 피크값이나 온 전류에는 눈에 띄는 변화가 없다.

[0226] 또한, 이동도(μ)의 피크는 도 14에서는 80㎠/Vs 정도이지만, 도 15에서는 60㎠/Vs정도, 도 16에서는 40㎠/Vs로, 오프셋 길이(Loff)가 증가할수록 저하된다. 또한, 오프 전류도 동일한 경향을 갖는다. 한편, 온 전류는 오프셋 길이(Loff)의 증가에 따라 감소하지만, 오프 전류의 저하에 비해 훨씬 완만하다. 또한, 모두 게이트 전압 1V 전후에서, 드레인 전류는 메모리 소자 등에서 필요로 하는 10㎂를 초과하는 것으로 나타났다. 또한, 이와 같이 이동도가 높은 트랜지스터를 앞선 실시형태에서 나타낸 논리회로를 전환하기 위한 트랜지스터에 이용함으로써, 노드(N)에의 기입을 고속으로 수행할 수 있으므로, 동적 구성을 용이하게 수행할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0227] (실시형태 4)

[0228] 본 실시형태에서는, 앞선 실시형태에서 나타낸 산화물 반도체막을 갖는 트랜지스터에 대해서, 특히 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 갖는 트랜지스터에 대해서 설명한다.

[0229] In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터는, 그 산화물 반도체를 형성할 때에 기판을 가열하여 성막함으로써, 또는 산화물 반도체막을 형성한 후에 열처리를 수행함으로써 양호한 특성을 얻을 수 있다. 또한, 주성분은 조성비로 5atomic% 이상 포함되는 원소를 말한다.

[0230] In, Sn, Zn을 주성분으로 하는 산화물 반도체막의 성막 후에 기판을 의도적으로 가열함으로써, 트랜지스터의 전계 효과 이동도를 향상시키는 것이 가능해진다. 또한, 트랜지스터의 문턱값 전압을 플러스 시프트시켜, 노멀리 오프화시키는 것이 가능해진다. 이하, In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 갖는 트랜지스터를 제작하여 각종 측정을 수행한 결과에 대해서 설명한다.

[0231] 우선, 본 실시형태에서 각종 측정에 이용한 트랜지스터의 구조에 대해서 도 23을 이용하여 설명한다. 도 23(A)는 이 트랜지스터의 평면도이며, 도 23(B)는 도 23(A)의 일점쇄선 A-B에 대응하는 단면도이다.

[0232] 도 23(B)에 도시하는 트랜지스터는, 기판(600)과, 기판(600) 상에 마련된 하지 절연막(602)과, 하지 절연막(602) 상에 마련된 산화물 반도체막(606)과, 산화물 반도체막(606)과 접하는 한 쌍의 전극(614)과, 산화물 반도체막(606) 및 한 쌍의 전극(614) 상에 마련된 게이트 절연막(608)과, 게이트 절연막(608)을 통해 산화물 반도체막(606)과 중첩되어 마련된 게이트 전극(610)과, 게이트 절연막(608) 및 게이트 전극(610)을 덮어 마련된 층간 절연막(616)과, 게이트 절연막(608) 및 층간 절연막(616)에 마련된 개구부를 통해 한 쌍의 전극(614)과 접속하는 배선(618)과, 층간 절연막(616) 및 배선(618)을 덮어 마련된 보호막(620)을 갖는다. 여기서, 한 쌍의 전극(614)은 이 트랜지스터의 소스 전극 및 드레인 전극으로서 기능한다.

[0233] 기판(600)으로서는 유리 기판을, 하지 절연막(602)으로서는 산화 실리콘막을, 산화물 반도체막(606)으로서는 In-Sn-Zn-O막을, 한 쌍의 전극(614)으로서는 텅스텐막을, 게이트 절연막(608)으로서는 산화 실리콘막을, 게이트 전극(610)으로서는 질화 탄탈막과 텅스텐막의 적층 구조를, 층간 절연막(616)으로서는 산화 질화 실리콘막과 폴리이미드막의 적층 구조를, 배선(618)으로서는 티타늄막, 알루미늄막, 티타늄막이 이 순서로 형성된 적층 구조를, 보호막(620)으로서는 폴리이미드막을, 각각 이용했다.

[0234] 또한, 도 23(A)에 도시하는 구조의 트랜지스터에 있어서, 게이트 전극(610)과 한 쌍의 전극(614)의 중첩되는 폭을 Lov라고 부른다. 마찬가지로 산화물 반도체막(606)에 대한 한 쌍의 전극(614)이 중첩되지 않는 부분을 dW라고 부른다.

[0235] 도 18(A)~도 18(C)는 도 23에 도시하는 트랜지스터에 있어서, 채널 길이(L)가 3㎛, 채널 폭(W)이 10㎛인 산화물 반도체막과, 두께 100㎚의 게이트 절연막을 이용한 트랜지스터의 특성(드레인 전류(I_d)(실선) 및 이동도(μ)(점선)의 게이트 전압 의존성)이다. 또한, V_d는 10V로 했다.

[0236] 도 18(A)는 기판을 의도적으로 가열하지 않고 스퍼터링법으로 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 때의 트랜지스터 특성이다. 이때 전계 효과 이동도는 18.8㎠/Vs가 얻어지고 있다. 한편, 기판을 의도적으로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성하면 전계 효과 이동도를 향상시키는 것이 가능해진다. 도 18(B)는 기판을 200℃로 가열하여 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 때의 트랜지스터 특성을 나타내고 있는데, 전계 효과 이동도는 32.2㎠/Vs가 얻어지고 있다.

[0237] 전계 효과 이동도는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 형성한 후에 열처리를 함으로써 더욱 높일 수 있다. 도 18(C)는 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 200℃로 스퍼터링 성막한 후, 650℃로 열처리를 한 때의 트랜지스터 특성을 나타낸다. 이때 전계 효과 이동도는 34.5㎠/Vs가 얻어지고 있다.

[0238] 기판을 의도적으로 가열함으로써 스퍼터링 성막 중의 수분이 산화물 반도체막 내로 들어가는 것을 저감시키는 효과를 기대할 수 있다. 또한, 성막 후에 열처리를 하는 것에 의해서도, 산화물 반도체막으로부터 수소나 수산기 또는 수분을 방출시켜 제거할 수 있고, 상기와 같이 전계 효과 이동도를 향상시킬 수 있다. 이와 같은 전계 효과 이동도의 향상은 탈수화·탈수소화 의한 불순물의 제거뿐만 아니라, 고밀도화에 의해 원자간 거리가 짧아지기 때문인 것으로도 추정된다. 또한, 산화물 반도체로부터 불순물을 제거하여 고순도화함으로써 결정화를 도모할 수 있다. 이와 같이 고순도화된 비단결정 산화물 반도체는 이상적으로는 100㎠/Vs를 초과하는 전계 효과 이동도를 실현하는 것도 가능해질 것으로 추정된다.

[0239] In, Sn, Zn을 주성분으로 하는 산화물 반도체에 산소 이온을 주입하고, 열처리에 의해 그 산화물 반도체에 포함되는 수소나 수산기 또는 수분을 방출시켜, 그 열처리와 동시에 또는 그 후의 열처리에 의해 산화물 반도체를 결정화시킬 수도 있다. 이러한 결정화 또는 재결정화의 처리에 의해 결정성이 좋은 비단결정 산화물 반도체를 얻을 수 있다.

[0240] 기판을 의도적으로 가열하여 성막하는 것 및 성막 후에 열처리하는 것의 효과는 전계 효과 이동도의 향상뿐만 아니라, 트랜지스터의 노멀리 오프화를 도모하는 것에도 기여하고 있다. 기판을 의도적으로 가열하지 않고 형성된 In, Sn, Zn을 주성분으로 하는 산화물 반도체막을 채널 형성 영역으로 한 트랜지스터는 문턱값 전압이 마이너스 시프트해 버리는 경향이 있다. 그러나, 기판을 의도적으로 가열하여 형성된 산화물 반도체막을 이용한 경우, 이 문턱값 전압의 마이너스 시프트화는 해소된다. 즉, 문턱값 전압은 트랜지스터가 노멀리 오프가 되는 방향으로 움직이고, 이러한 경향은 도 18(A)와 도 18(B)의 대비로부터도 확인할 수 있다.

[0241] 또한, 문턱값 전압은 In, Sn 및 Zn의 비율을 변경하는 것에 의해서도 제어할 수 있으며, 조성비로서 In:Sn:Zn=2:1:3으로 함으로써 트랜지스터의 노멀리 오프화를 기대할 수 있다. 또한, 타겟의 조성비를 In:Sn:Zn=2:1:3으로 함으로써 결정성이 높은 산화물 반도체막을 얻을 수 있다.

[0242] 의도적인 기판 가열 온도 또는 열처리 온도는 150℃ 이상, 바람직하게는 200℃ 이상, 보다 바람직하게는 400℃ 이상이며, 보다 고온으로 성막하거나 또는 열처리함으로써 트랜지스터의 노멀리 오프화를 도모하는 것이 가능해진다.

[0243] 열처리는 산소 분위기중에서 수행할 수 있으나, 우선 질소 또는 불활성 가스, 또는 감압하에서 열처리를 수행한 후에 산소를 포함하는 분위기중에서 열처리를 수행할 수도 있다. 처음에 탈수화·탈수소화를 수행한 후에 산소를 산화물 반도체에 가함으로써, 열처리의 효과를 보다 높일 수 있다. 또한, 나중에 산소를 가하려면, 산소 이온을 전계로 가속하여 산화물 반도체막에 주입하는 방법을 적용할 수도 있다.

[0244] 산화물 반도체 내 및 적층되는 막과의 계면에는 산소 결손에 의한 결함이 생성되기 쉬우나, 이러한 열처리에 의해 산화물 반도체 내에 산소를 과잉으로 포함시킴으로써, 정상적으로 생성되는 산소 결손을 과잉인 산소에 의해 보상하는 것이 가능해진다. 과잉 산소는 주로 격자 사이에 존재하는 산소이며, 그 산소 농도는 $1\times10^{16}cm^{-3}$ 이상 $2\times10^{20}cm^{-3}$ 이하로 하면 결정에 왜곡 등을 주지 않으면서 산화물 반도체 내에 포함시킬 수 있다.

[0245] 또한, 열처리에 의해 산화물 반도체에 결정이 적어도 일부에 포함되도록 함으로써, 보다 안정된 산화물 반도체막을 얻을 수 있다. 예를 들어, 조성비 In:Sn:Zn=1:1:1의 타겟을 사용하여, 기판을 의도적으로 가열하지 않고 스퍼터링 성막한 산화물 반도체막은 X선 회절(XRD: X-Ray Diffraction)로 할로 패턴이 관측된다. 이 성막된 산화물 반도체막을 열처리함으로써 결정화시킬 수 있다. 열처리 온도는 임의이지만, 예를 들어 650℃의 열처리를 수행함으로써, X선 회절에 의해 명확한 회절 피크를 관측할 수 있다.

[0246] 실제로 In-Sn-Zn-O막의 XRD 분석을 수행했다. XRD 분석에는 Bruker AXS사 제품 X선 회절장치 D8 ADVANCE를 사용하고 Out-of-Plane법으로 측정했다.

[0247] XRD 분석을 수행한 시료로서 시료 A 및 시료 B를 준비했다. 이하에 시료 A 및 시료 B의 제작 방법을 설명한다.

[0248] 탈수소화 처리가 끝난 석영기판 상에 In-Sn-Zn-O막을 100nm의 두께로 성막했다.

[0249] In-Sn-Zn-O막은 스퍼터링 장치를 사용하여 산소 분위기에서 전력을 100W(DC)로 하여 성막했다. 타겟은 In:Sn:Zn=1:1:1[원자수비]의 In-Sn-Zn-O 타겟을 사용했다. 또한, 성막 시의 기판 가열 온도는 200℃로 했다. 이와 같이 하여 제작한 시료를 시료 A로 했다.

[0250] 이어서, 시료 A와 동일한 방법으로 제작한 시료에 대해 가열 처리를 650℃의 온도로 수행했다. 가열 처리는 처음에 질소 분위기에서 1시간의 가열 처리를 수행하고, 온도를 내리지 않고 산소 분위기에서 추가로 1시간의 가열 처리를 수행하고 있다. 이와 같이 하여 제작한 시료를 시료 B로 했다.

[0251] 도 19에 시료 A 및 시료 B의 XRD 스펙트럼을 도시한다. 시료 A에서는 결정에서 유래하는 피크가 관측되지 않았으나, 시료 B에서는 2θ가 35deg 근방 및 37deg~38deg에 결정에서 유래하는 피크가 관측되었다.

[0252] 이와 같이, In, Sn, Zn을 주성분으로 하는 산화물 반도체는 성막 시에 의도적으로 가열하는 것 및/또는 성막 후에 열처리함으로써 트랜지스터의 특성을 향상시킬 수 있다.

[0253] 이 기판 가열이나 열처리는 산화물 반도체에 있어서 악성의 불순물인 수소나 수산기를 막내에 포함시키지 않도록 하는 것, 또는 막내로부터 제거하는 작용이 있다. 즉, 산화물 반도체 내에서 도너 불순물이 되는 수소를 제거함으로써 고순도화를 도모할 수 있고, 그에 따라 트랜지스터의 노멀리 오프화를 도모할 수 있고, 산화물 반도체가 고순도화됨으로써 오프 전류를 1aA/㎛ 이하로 할 수 있다. 여기서, 상기 오프 전류값의 단위는 채널 폭 1㎛당 전류값을 나타낸다.

[0254] 도 20에 트랜지스터의 오프 전류와 측정시의 기판온도(절대온도)의 역수와의 관계를 나타낸다. 여기서는, 간단화를 위해 측정시의 기판온도의 역수에 1000을 곱한 수치(1000/T)를 횡축으로 하고 있다.

[0255] 구체적으로는 도 20에 도시한 바와 같이, 기판온도가 125℃인 경우에는 0.1aA/㎛(1×10^{-19}A/㎛) 이하, 85℃인 경우에는 10zA/㎛(1×10^{-20}A/㎛) 이하였다. 전류값의 대수가 온도의 역수에 비례하므로, 실온(27℃)인 경우에는 0.1zA/㎛(1×10^{-22}A/㎛) 이하로 예상된다. 따라서, 오프 전류를 125℃에서 1aA/㎛(1×10^{-18}A/㎛) 이하로, 85℃에서 100zA/㎛(1×10^{-19}A/㎛) 이하로, 실온에서 1zA/㎛(1×10^{-21}A/㎛) 이하로 할 수 있다.

[0256] 무엇보다, 산화물 반도체막의 성막 시에 수소나 수분이 막내에 혼입되지 않도록, 처리실 외부로부터의 리크나 처리실 내의 내벽으로부터의 탈가스를 충분히 억제하고, 스퍼터링 가스의 고순도화를 도모하는 것이 바람직하다. 예를 들어, 스퍼터링 가스는 수분이 막내에 포함되지 않도록 노점 -70℃ 이하인 가스를 사용하는 것이 바람직하다. 또한, 타겟 그 자체에 수소나 수분 등의 불순물이 포함되어 있지 않도록, 고순도화된 타겟을 사용하는 것이 바람직하다. In, Sn, Zn을 주성분으로 하는 산화물 반도체는 열처리에 의해 막내의 수분을 제거할 수 있으나, In, Ga, Zn을 주성분으로 하는 산화물 반도체와 비교하여 수분의 방출 온도가 높기 때문에, 바람직하게는 처음부터 수분이 포함되지 않는 막을 형성해 두는 것이 바람직하다.

[0257] 또한, 산화물 반도체막 성막 후에 650℃의 가열 처리를 수행한 시료의 트랜지스터에 있어서, 기판온도와 전기적 특성의 관계에 대해서 평가했다.

[0258] 측정에 이용한 트랜지스터는 채널 길이(L)가 3㎛, 채널 폭(W)이 10㎛, Lov가 편측 3㎛(합계 6㎛), dW가 0㎛이다. 또한, V_d는 10V로 했다. 또한, 기판온도는 -40℃, -25℃, 25℃, 75℃, 125℃ 및 150℃로 수행했다. 여기서, 트랜지스터에 있어서, 게이트 전극과 한 쌍의 전극과의 중첩되는 폭을 Lov라고 부르고, 산화물 반도체막에 대한 한 쌍의 전극이 중첩되지 않는 부분을 dW라고 부른다.

[0259] 도 21에 I_d(실선) 및 전계 효과 이동도(점선)의 V_g 의존성을 나타낸다. 또한, 도 22(A)에 기판온도와 문턱값 전압의 관계를 나타내고, 도 22(B)에 기판온도와 전계 효과 이동도의 관계를 나타낸다.

[0260] 도 22(A)로부터 기판온도가 높을수록 문턱값 전압은 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40℃~150℃에서 1.09V~-0.23V였다.

[0261] 또한, 도 22(B)로부터 기판온도가 높을수록 전계 효과 이동도가 낮아지는 것을 알 수 있다. 또한, 그 범위는 -40℃~150℃에서 36㎠/Vs~32㎠/Vs였다. 따라서, 상술한 온도범위에서 전기적 특성의 변동이 작은 것을 알 수 있다.

[0262] 상기와 같은 In, Sn, Zn을 주성분으로 하는 산화물 반도체를 채널 형성 영역으로 하는 트랜지스터에 의하면, 오프 전류를 1aA/㎛ 이하로 유지하면서, 전계 효과 이동도를 30㎠/Vs 이상, 바람직하게는 40㎠/Vs 이상, 보다 바람직하게는 60㎠/Vs 이상으로 하여, LSI에서 요구되는 온 전류의 값을 충족시킬 수 있다. 예를 들어, L/W=33nm/40nm인 FET에서, 게이트 전압 2.7V, 드레인 전압 1.0V인 때 12㎂ 이상의 온 전류를 흐르게 할 수 있다.

[0263] 이와 같이 오프 전류가 낮은 트랜지스터를 앞선 실시형태에서 나타낸 논리회로를 전환하기 위한 트랜지스터에 이용함으로써, 전원 전위의 공급이 차단되었을 때에도 노드(N)의 전하 유지 상태를 유지하는 것이 가능해진다. 이에 따라, 전원 투입 후의 노드(N)에의 데이터의 기입을 생략하는 것이 가능해지므로, 논리 블록의 기동 시간을 짧게 할 수 있다. 따라서, 노멀리 오프의 구동 방법을 이용하여, 저소비전력화를 도모할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0264] 또한, 이와 같이 이동도가 높은 트랜지스터를 앞선 실시형태에서 나타낸 논리회로를 전환하기 위한 트랜지스터에 이용함으로써, 노드(N)에의 데이터의 기입을 고속으로 수행할 수 있으므로, 동적 구성을 용이하게 수행할 수 있는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0265] 또한, 이와 같은 특성이라면, Si 반도체로 만들어지는 집적회로 내에 산화물 반도체로 형성되는 트랜지스터를 혼재해도, 동작 속도를 희생하지 않는 프로그래머블 로직 디바이스를 제공할 수 있다.

[0266] (실시형태 5)

[0267] 본 발명의 일 양태에 따른 논리회로를 이용함으로써 소비전력이 낮은 전자기기를 제공하는 것이 가능하다. 특히 전력 공급을 상시 받기 어려운 휴대용 전자기기의 경우, 본 발명의 일 양태에 따른 소비전력이 낮은 반도체 장치를 그 구성요소에 추가함으로써, 연속 사용시간이 길어진다고 하는 장점이 얻어진다.

[0268] 본 발명의 일 양태에 있어서의 논리회로를 이용한 반도체 장치는 표시장치, 퍼스널 컴퓨터, 기록매체를 구비한 화상재생장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 이용할 수 있다. 그 외에, 본 발명의 일 양태에 따른 반도체 장치를 이용할 수 있는 전자기기로서, 휴대전화, 휴대형을 포함하는 게임기, 휴대정보단말, 전자 서적, 비디오 카메라, 디지털 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향재생장치(카오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금자동입출금기(ATM), 자동 판매기 등을 들 수 있다.

[0269] 본 발명의 일 양태에 있어서의 논리회로를 이용한 반도체 장치를 휴대전화, 스마트 폰, 전자 서적 등의 휴대용 전자기기에 응용한 경우에 대해서 설명한다.

[0270] 도 8은 휴대용 전자기기의 블럭도이다. 도 8에 도시하는 휴대용 전자기기는 RF 회로(421), 아날로그 베이스밴드 회로(422), 디지털 베이스밴드 회로(423), 배터리(424), 전원회로(425), 어플리케이션 프로세서(426), 플래시메모리(430), 디스플레이 콘트롤러(431), 메모리 회로(432), 디스플레이(433), 터치 센서(439), 음성회로(437), 키보드(438) 등으로 구성되어 있다. 디스플레이(433)는 표시부(434), 소스 드라이버(435), 게이트 드라이버(436)에 의해 구성되어 있다. 어플리케이션 프로세서(426)는 CPU(427), DSP(428), 인터페이스(429)를 갖고 있다. 예를 들어, CPU(427), 디지털 베이스밴드 회로(423), 메모리 회로(432), DSP(428), 인터페이스(429),

디스플레이 콘트롤러(431), 음성회로(437) 중 어느 하나 또는 모두에 상기 실시형태에서 나타낸 프로그래머블 로직 디바이스를 채용함으로써, 소비전력을 저감시킬 수 있다.

[0271] 도 9는 전자 서적의 블럭도이다. 전자 서적은 배터리(451), 전원회로(452), 마이크로 프로세서(453), 플래시메모리(454), 음성회로(455), 키보드(456), 메모리 회로(457), 터치 패널(458), 디스플레이(459), 디스플레이 콘트롤러(460)에 의해 구성된다. 마이크로 프로세서(453)는 CPU(461), DSP(462), 인터페이스(463)를 갖고 있다. 예를 들어, CPU(461), 음성회로(455), 메모리 회로(457), 디스플레이 콘트롤러(460), DSP(462), 인터페이스(463) 중 어느 하나 또는 모두에 상기 실시형태에서 나타낸 프로그래머블 로직 디바이스를 채용함으로써, 소비전력을 저감시키는 것이 가능해진다.

[0272] 본 실시형태는 상기 실시형태와 적절히 조합하여 실시하는 것이 가능하다.

[0273] 이상, 본 실시형태에 나타내는 구성, 방법 등은 다른 실시형태에 나타내는 구성, 방법 등과 적절히 조합하여 이용할 수 있다.

부호의 설명

[0274] 101 : 트랜지스터 102 : 트랜지스터

103 : 트랜지스터 104 : 트랜지스터

105 : 트랜지스터 106 : 트랜지스터

107 : 트랜지스터 108 : 트랜지스터

109 : 트랜지스터 110 : 트랜지스터

111 : 트랜지스터 201 : 반도체 기판

203 : 소자 분리 영역 205 : p웰 영역

215 : 절연막 217 : 절연막

221 : 절연막 225 : 절연막

227 : 산화물 반도체막 229 : 산화물 반도체막

231 : 절연막 233 : 게이트 전극

235 : 산화물 반도체막 237 : 사이드월 절연막

239 : 게이트 절연막 243 : 절연막

245 : 절연막 249 : 배선

250 : 배선 421 : RF 회로

422 : 아날로그 베이스밴드 회로 423 : 디지털 베이스밴드 회로

424 : 배터리 425 : 전원회로

426 : 어플리케이션 프로세서 427 : CPU

428 : DSP 429 : 인터페이스

430 : 플래시메모리 431 : 디스플레이 콘트롤러

432 : 메모리 회로 433 : 디스플레이

434 : 표시부 435 : 소스 드라이버

436 : 게이트 드라이버 437 : 음성회로

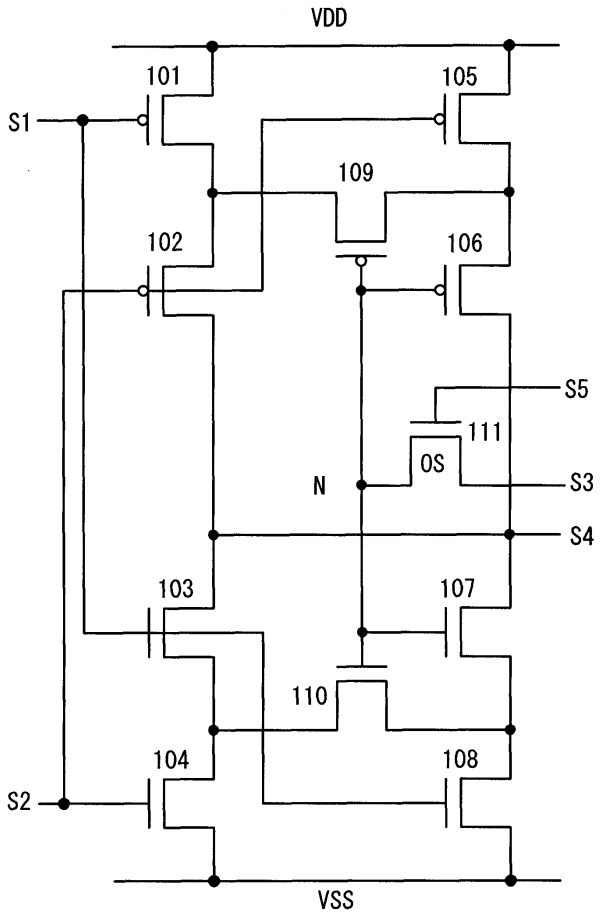
438 : 키보드 439 : 터치 센서

451 :배터리 452 : 전원회로

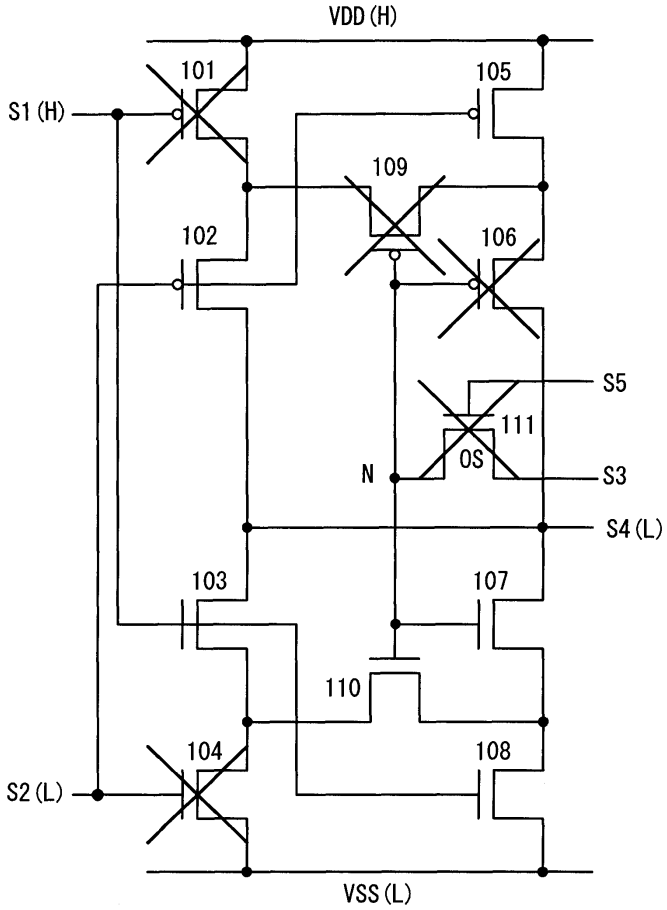
453 : 마이크로 프로세서
454 : 플래시메모리
455 : 음성회로
456 : 키보드
457 : 메모리 회로
458 : 터치 패널
459 : 디스플레이
460 : 디스플레이 콘트롤러
461 : CPU
462 : DSP
463 : 인터페이스
600 : 기판
602 : 하지 절연막
606 : 산화물 반도체막
608 : 게이트 절연막
610 : 게이트 전극
614 : 전극
616 : 층간 절연막
618 : 배선
620 : 보호막
1101 : 하지 절연막
1102 : 절연물
1104 : 게이트 절연막
1105 : 게이트 전극
1107 : 절연물
207a : 게이트 절연막
207b : 게이트 절연막
209a : 게이트 전극
209b : 게이트 전극
211a : 불순물 영역
211b : 불순물 영역
213a : 불순물 영역
213b : 불순물 영역
219a : 콘택 플러그
219b : 콘택 플러그
219c : 콘택 플러그
219d : 콘택 플러그
223a : 배선
223b : 배선
223c : 배선
235a : 영역
235b : 영역
235c : 영역
241a : 전극
241b : 전극
1103a : 영역
1103b : 영역
1103c : 영역
1106a : 사이드월 절연막
1106b : 사이드월 절연막
1108a : 소스 전극
1108b : 드레인 전극

도면

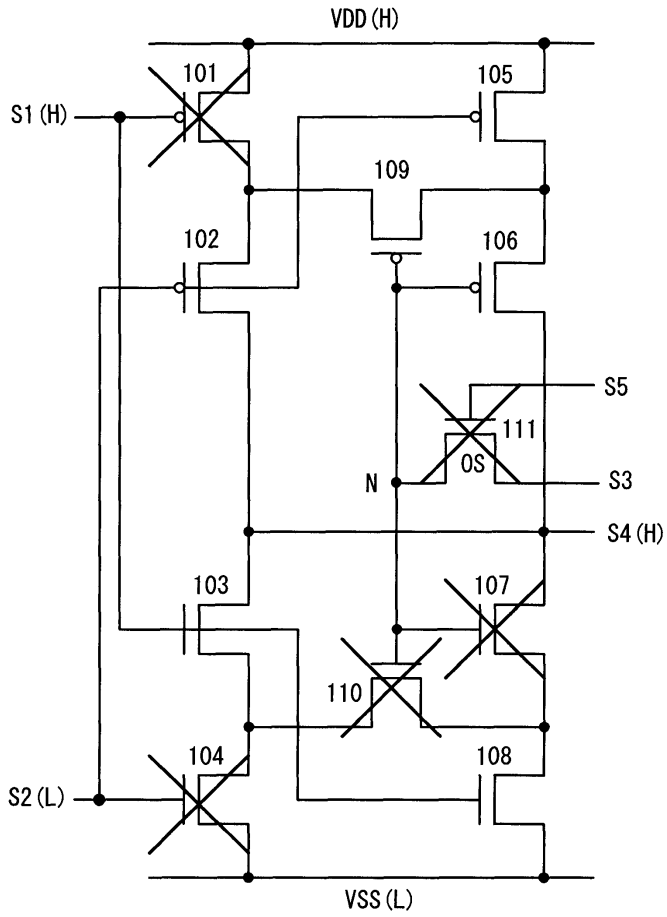
도면1


VDD
101
105
S1
109
102
106
S5
111
OS
N
S3
S4
103
107
110
104
108
S2
VSS

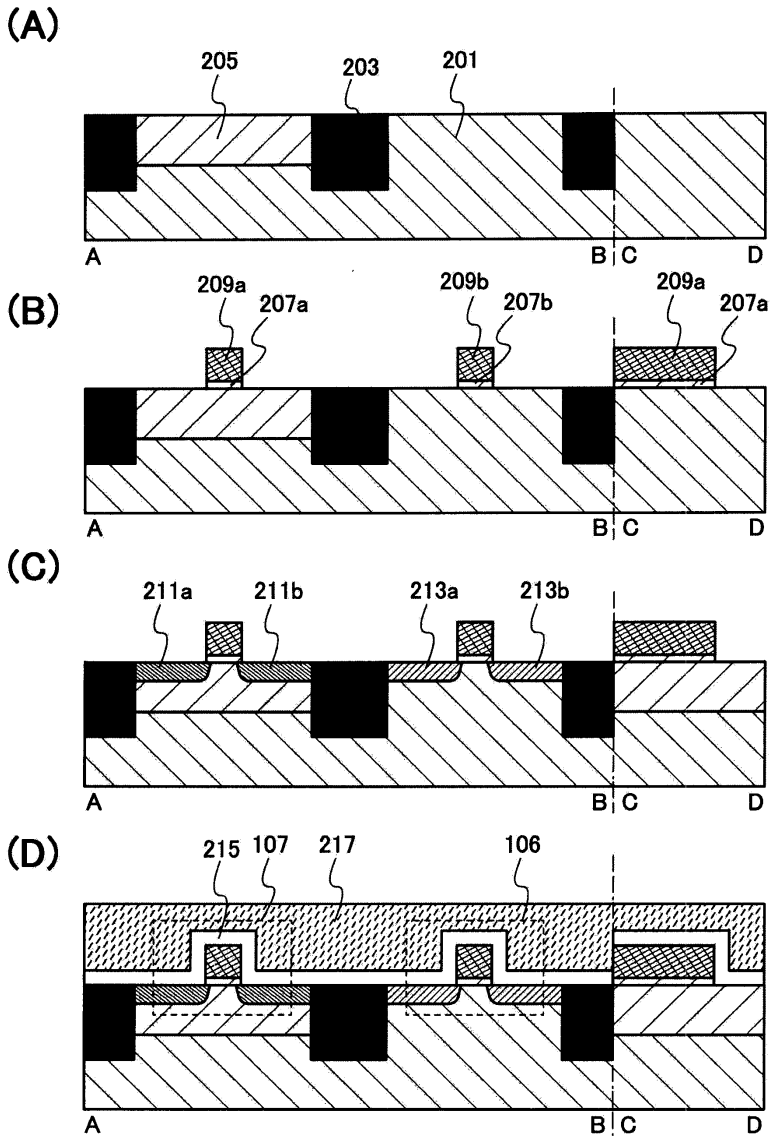
도면2


VDD (H)
101
105
S1 (H)
109
102
106
S5
111
OS
N
S3
S4 (L)
103
107
110
104
108
S2 (L)
VSS (L)

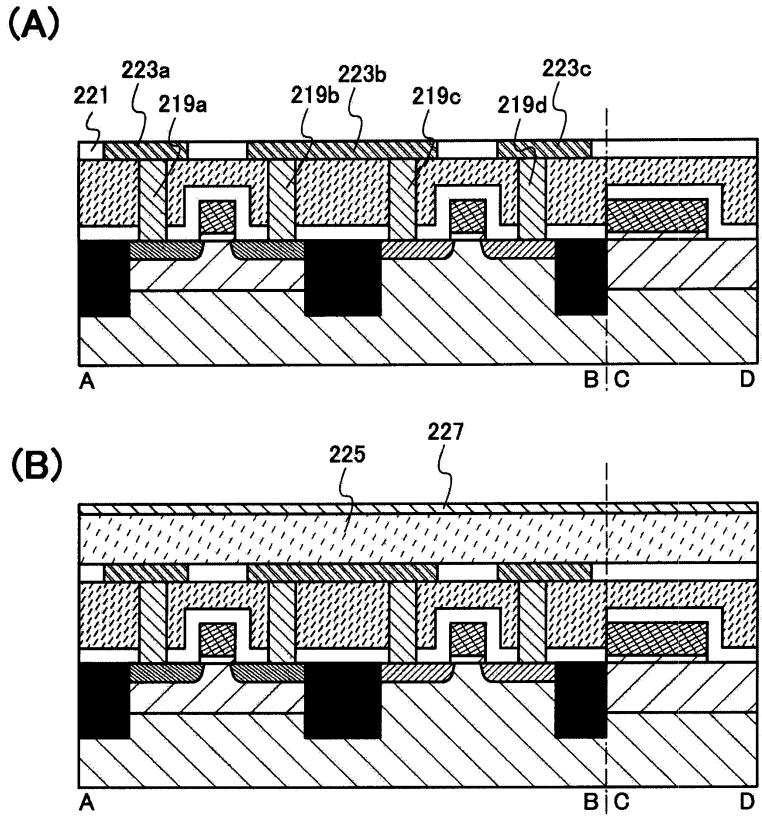
도면3


VDD (H)
101
105
S1 (H)
109
102
106
S5
111
OS
N
S3
S4 (H)
103
107
110
104
108
S2 (L)
VSS (L)

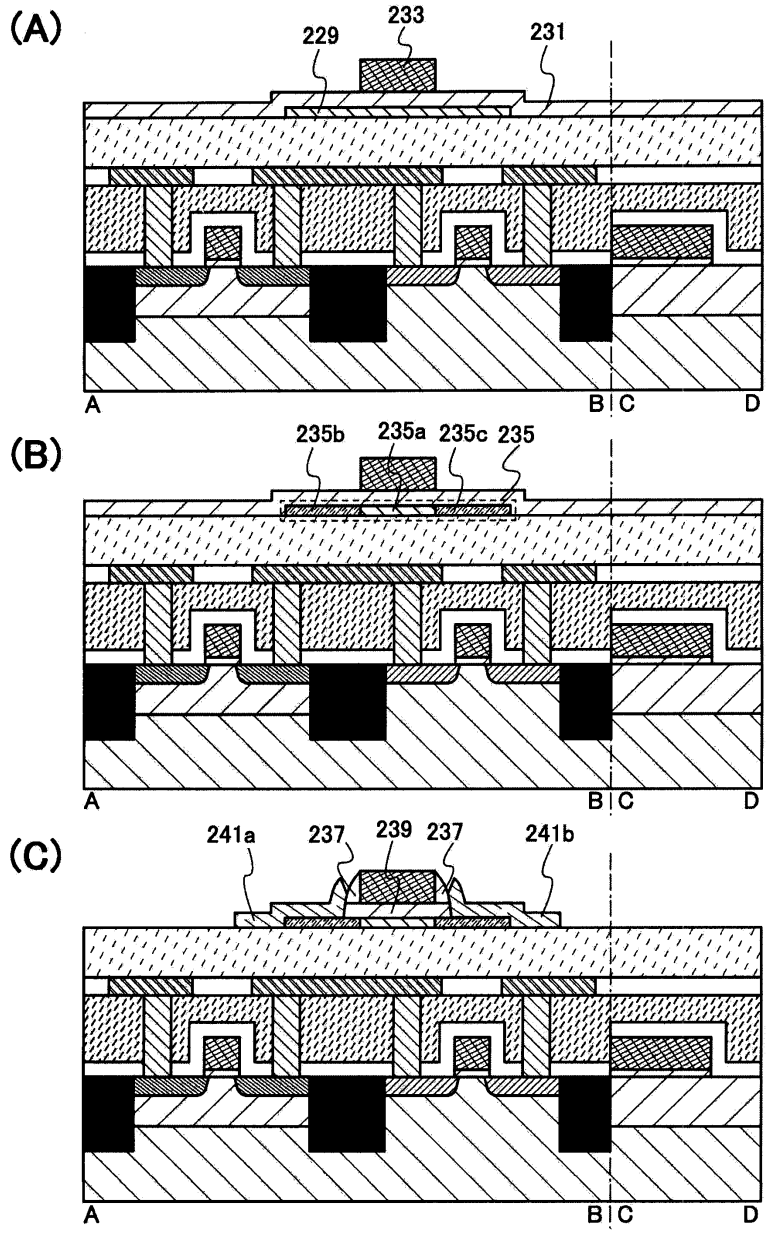
도면4


(A)
205
203
201
A
B
C
D
(B)
209a
207a
209b
207b
209a
207a
A
B
C
D
(C)
211a
211b
213a
213b
A
B
C
D
(D)
215
107
217
106
A
B
C
D

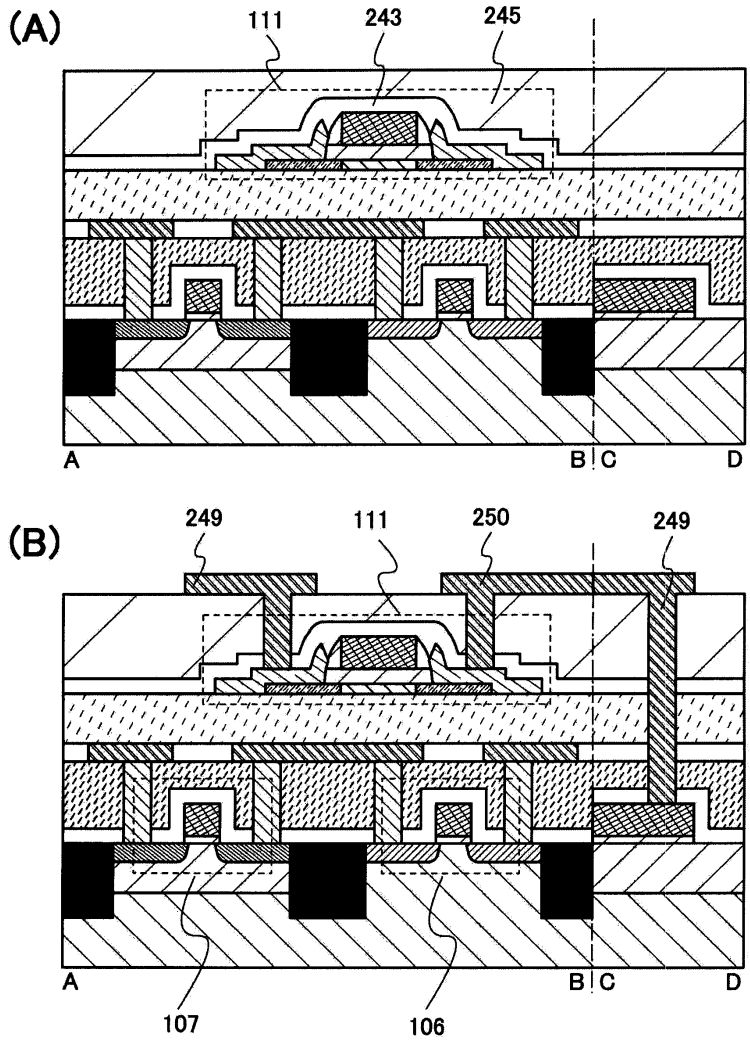
도면5



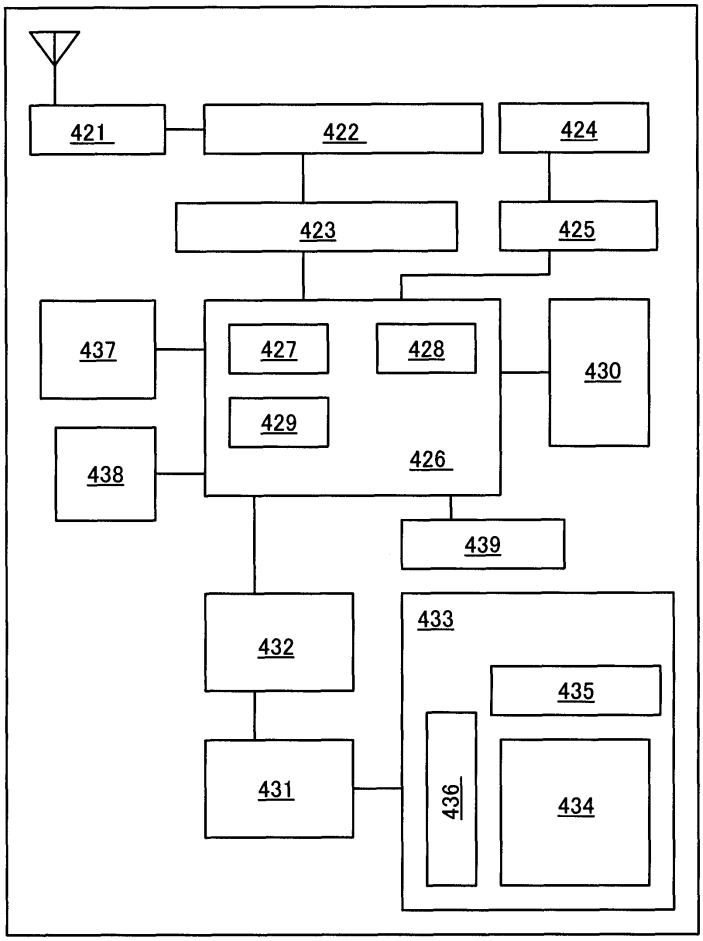
도면6


(A)
229
233
231
A
B
C
D
(B)
235b
235a
235c
235
A
B
C
D
(C)
241a
237
239
237
241b
A
B
C
D

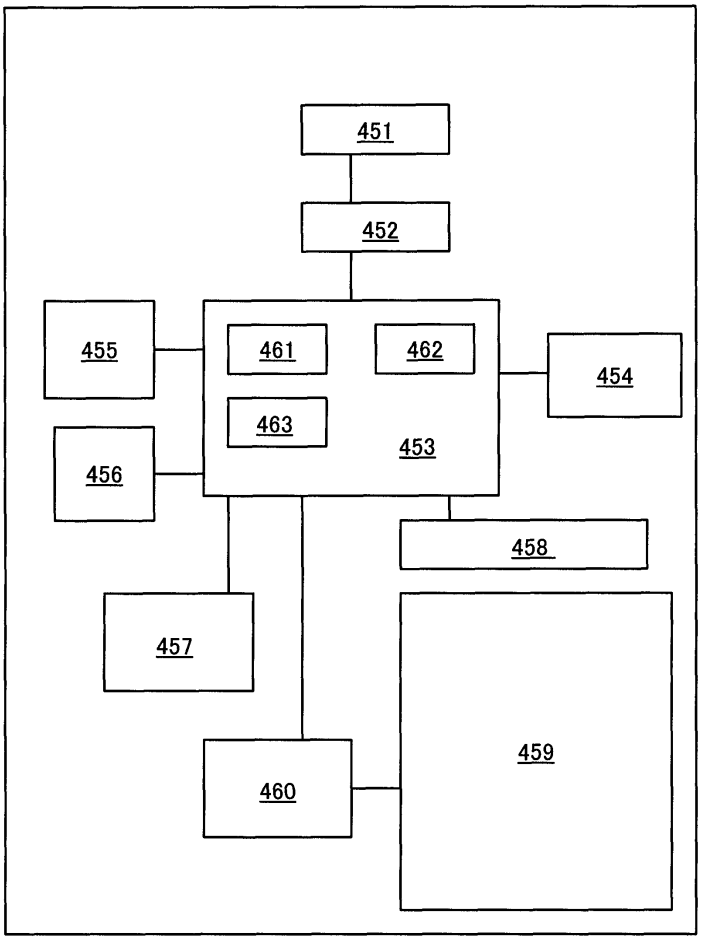
도면7



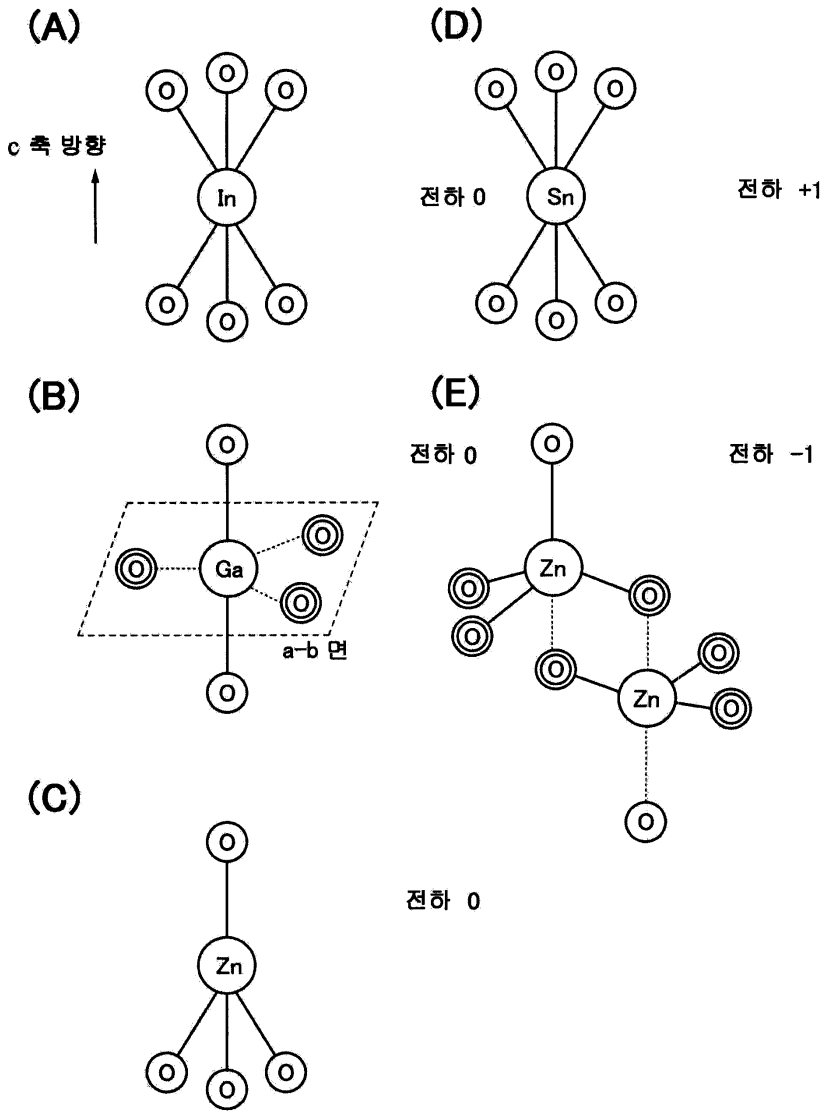
도면8


421
422
424
423
425
437
427
428
430
429
426
438
439
432
433
435
431
436
434

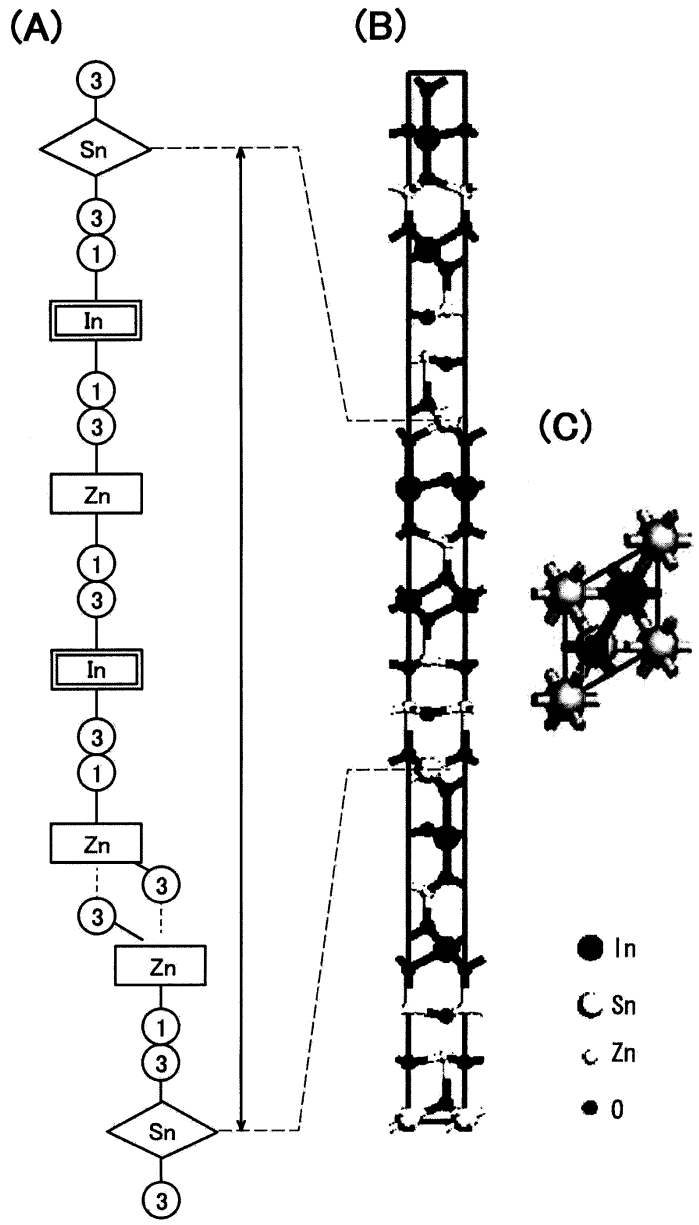
도면9



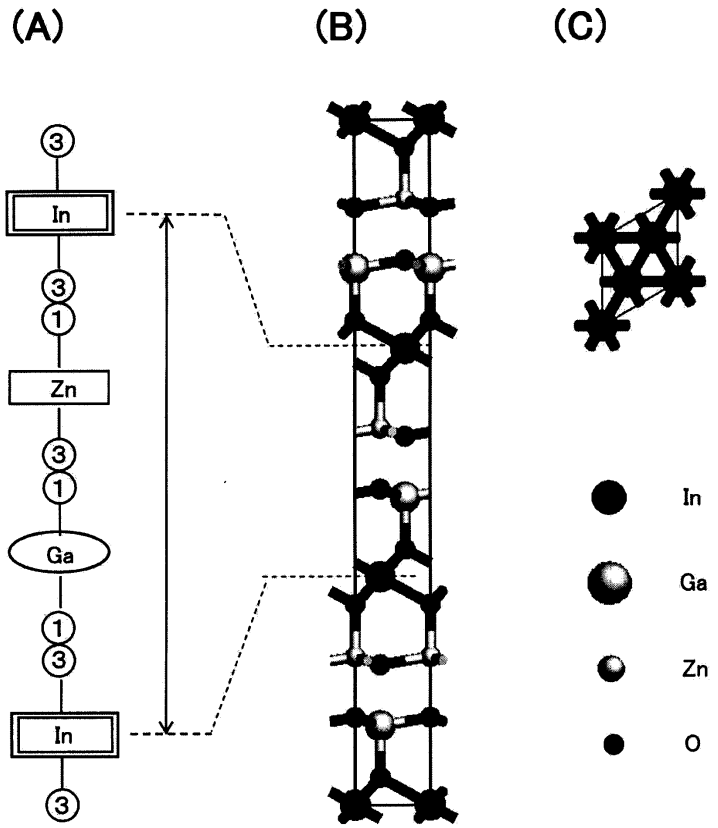
도면10



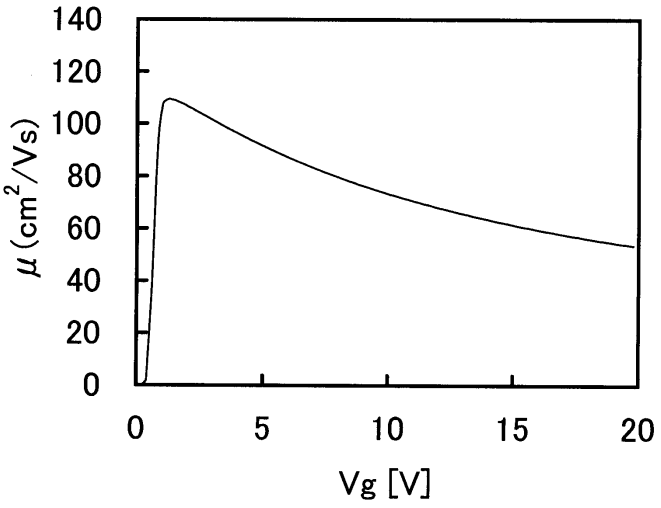
도면11



도면12

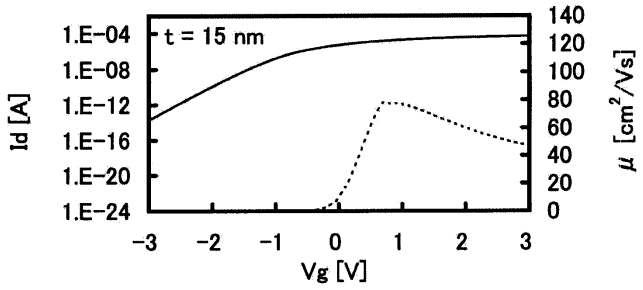

(A)
(B)
(C)
In
Zn
Ga
In
In
Ga
Zn
O

도면13

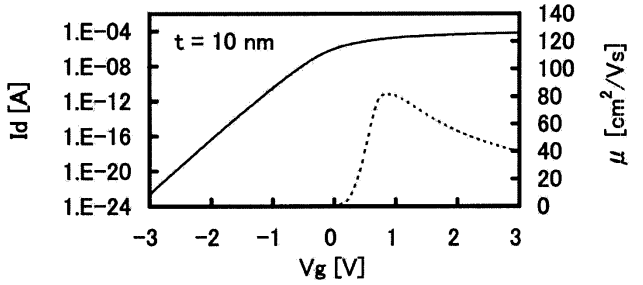

140
120
100
80
60
40
20
0
μ (cm²/Vs)
0
5
10
15
20
Vg [V]

도면14

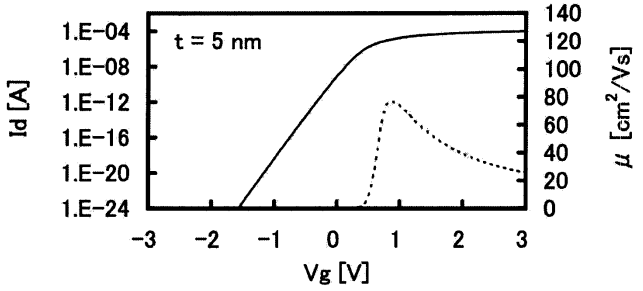
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

(B)

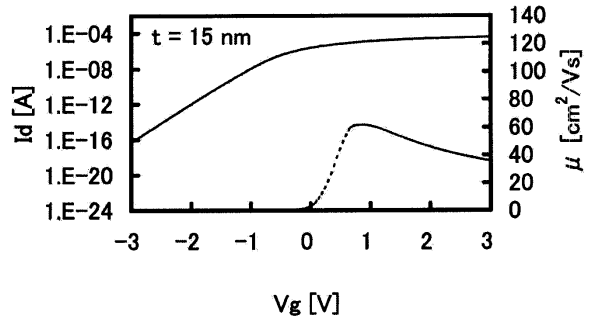

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

(C)

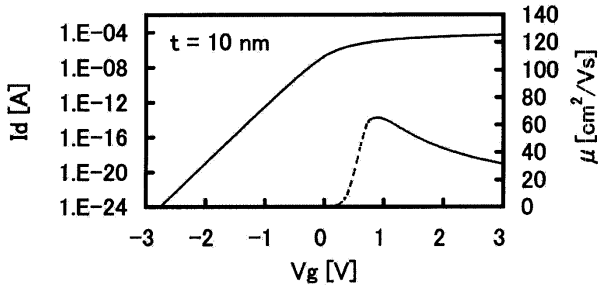

t = 5 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
−3 −2 −1 0 1 2 3
Vg [V]

도면15

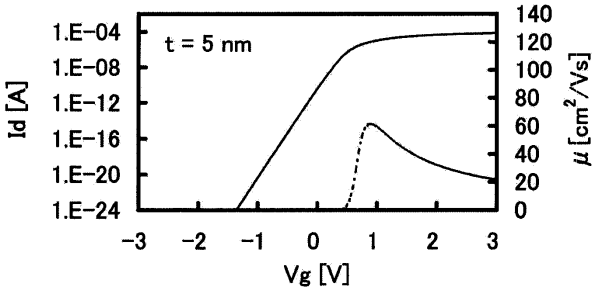
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

(B)

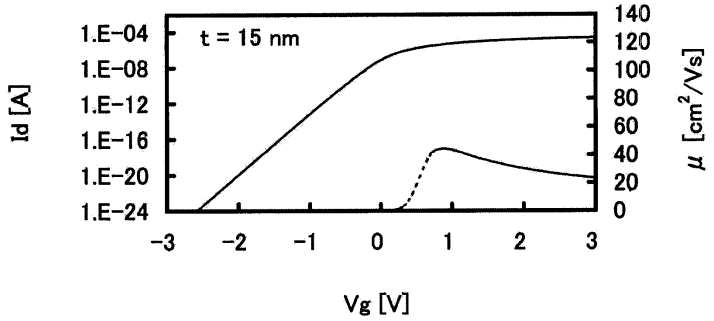

t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

(C)

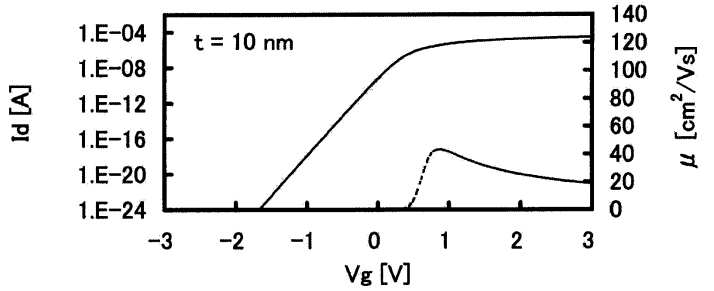

t = 5 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
140
120
100
80
60
40
20
0
μ [cm²/Vs]
-3
-2
-1
0
1
2
3
Vg [V]

도면16

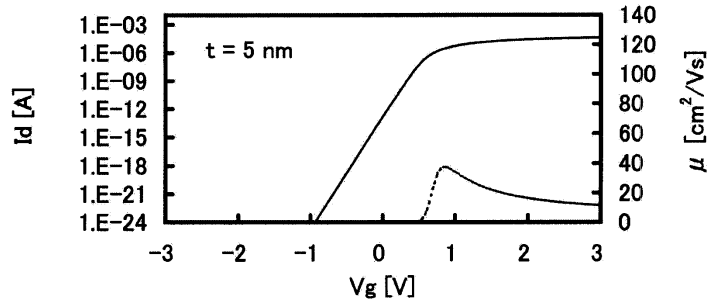
(A)


t = 15 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

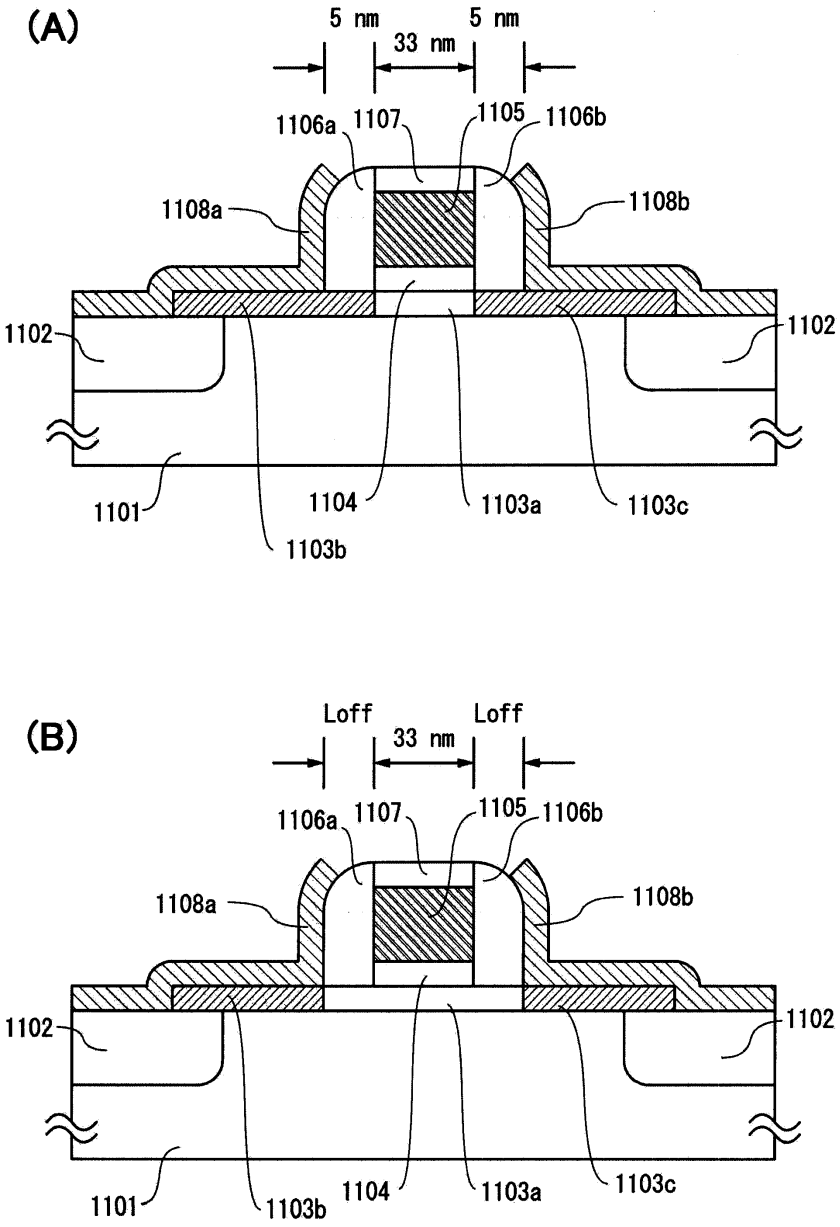
(B)


t = 10 nm
Id [A]
1.E-04
1.E-08
1.E-12
1.E-16
1.E-20
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

(C)

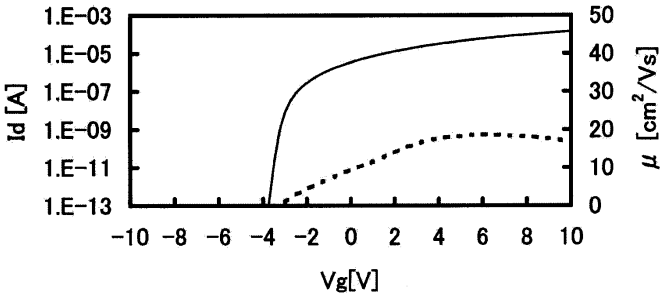

t = 5 nm
Id [A]
1.E-03
1.E-06
1.E-09
1.E-12
1.E-15
1.E-18
1.E-21
1.E-24
μ [cm²/Vs]
140
120
100
80
60
40
20
0
-3
-2
-1
0
1
2
3
Vg [V]

도면17

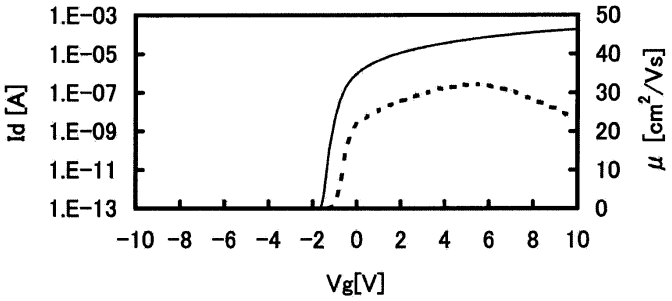

(A)
5 nm
33 nm
5 nm
1106a
1107
1105
1106b
1108a
1108b
1102
1102
1101
1104
1103a
1103c
1103b
(B)
Loff
33 nm
Loff
1106a
1107
1105
1106b
1108a
1108b
1102
1102
1101
1103b
1104
1103a
1103c

도면18

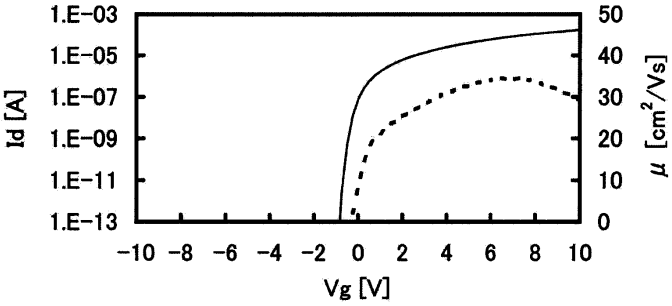
(A)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
Id [A]
50
40
30
20
10
0
μ [cm²/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
Vg[V]

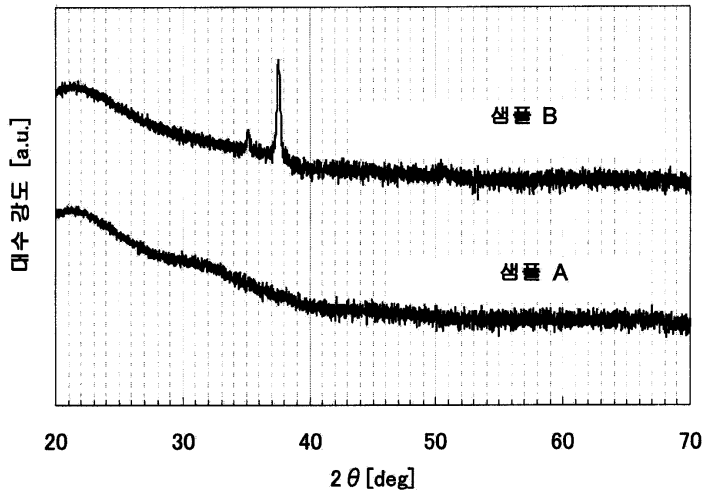
(B)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
Id [A]
50
40
30
20
10
0
μ [cm²/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
Vg[V]

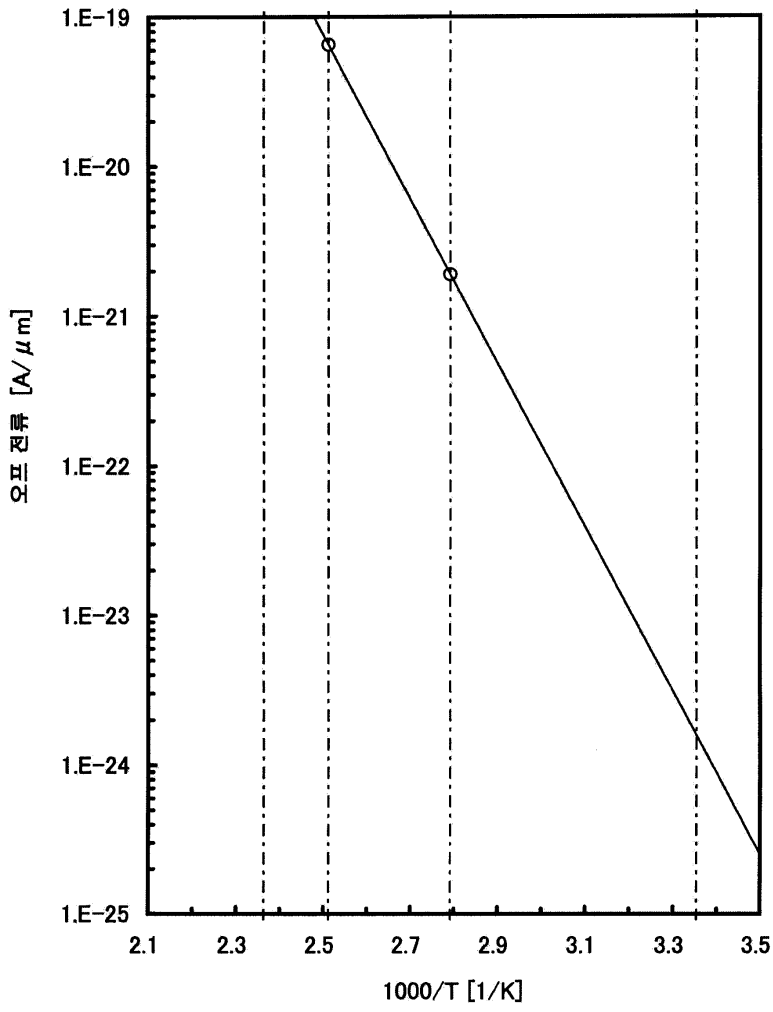
(C)


1.E-03
1.E-05
1.E-07
1.E-09
1.E-11
1.E-13
Id [A]
50
40
30
20
10
0
μ [cm²/Vs]
−10 −8 −6 −4 −2 0 2 4 6 8 10
Vg [V]

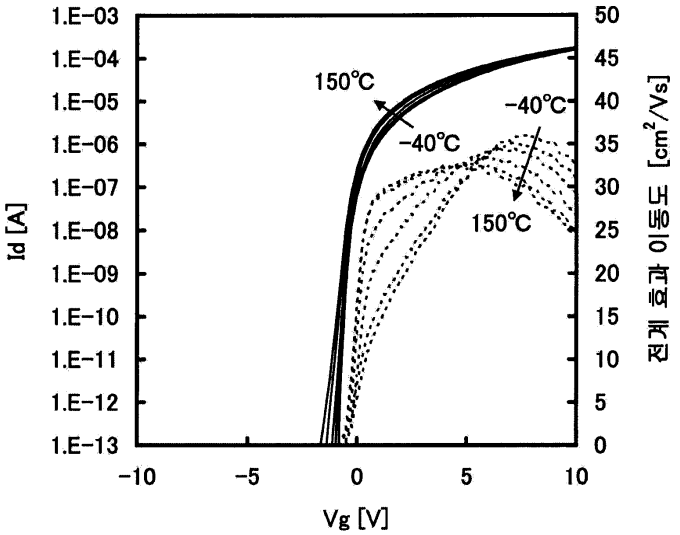
도면19


대수 강도 [a.u.]
샘플 B
샘플 A
20
30
40
50
60
70
2θ [deg]

도면20

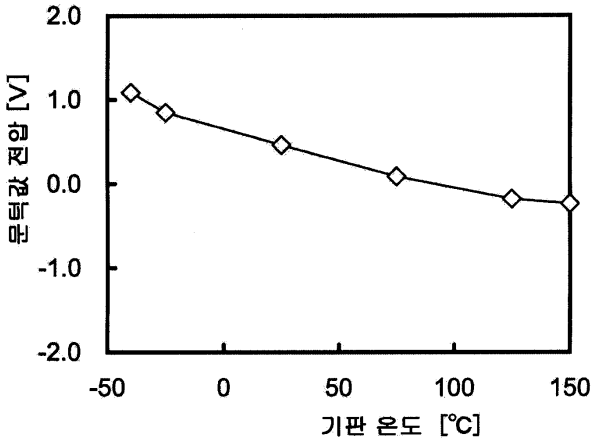

1.E-19
1.E-20
1.E-21
1.E-22
1.E-23
1.E-24
1.E-25
오프 전류 [A/μm]
2.1
2.3
2.5
2.7
2.9
3.1
3.3
3.5
1000/T [1/K]

도면21

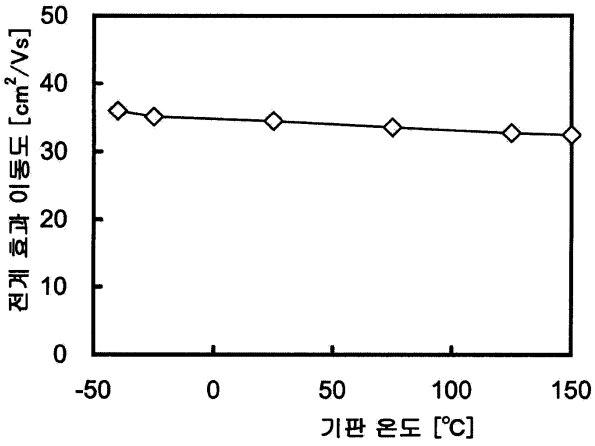

1.E-03
1.E-04
1.E-05
1.E-06
1.E-07
1.E-08
1.E-09
1.E-10
1.E-11
1.E-12
1.E-13
Id [A]
50
45
40
35
30
25
20
15
10
5
0
전계 효과 이동도 [cm²/Vs]
150℃
-40℃
-40℃
150℃
-10
-5
0
5
10
Vg [V]

도면22

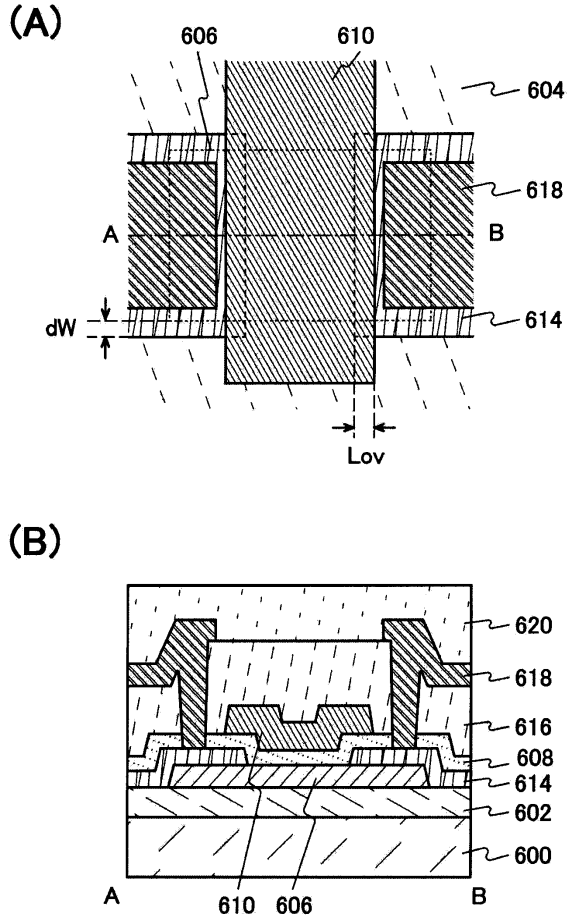
(A)


2.0
1.0
0.0
-1.0
-2.0
문턱값 전압 [V]
-50
0
50
100
150
기판 온도 [℃]

(B)


50
40
30
20
10
0
전계 효과 이동도 [cm²/Vs]
-50
0
50
100
150
기판 온도 [℃]

도면23


(A)
606
610
604
618
A
B
dW
614
Lov
(B)
620
618
616
608
614
602
600
A
610
606
B