

【特許請求の範囲】

【請求項 1】

バイアス電流が流れるバイアスラインと、
前記バイアス電流の量を制御信号に基づいて切り替える切り替えスイッチと、
前記制御信号が供給される制御ラインと、
前記制御ラインと前記バイアスラインとの間の寄生容量を介して前記制御信号の変化時に生じる前記バイアスラインの電位変動を相殺する相殺回路と、を備えることを特徴とする半導体装置。

【請求項 2】

前記相殺回路は、一端が前記バイアスラインに接続され、他端に前記制御信号の反転信号が供給されるバランス容量を含むことを特徴とする請求項 1 に記載の半導体装置。

10

【請求項 3】

前記切り替えスイッチは MOS トランジスタからなり、前記寄生容量は前記切り替えスイッチを構成する MOS トランジスタのゲートドレイン間容量からなることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記バランス容量はソースとドレインが短絡された MOS トランジスタからなることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記バランス容量を構成する MOS トランジスタのゲート面積は、前記切り替えスイッチを構成する MOS トランジスタのゲート面積の半分であることを特徴とする請求項 4 に記載の半導体装置。

20

【請求項 6】

前記バイアス電流をバイアス電圧に変換する電流電圧変換回路と、前記バイアス電圧が制御電極に供給されるバイアストランジスタとをさらに備えることを特徴とする請求項 1 乃至 5 のいずれか一項に記載の半導体装置。

【請求項 7】

クロック信号を伝送するクロック伝送ラインをさらに備え、前記バイアストランジスタは前記クロック伝送ラインに接続され、これにより前記バイアス電圧に応じて前記クロック伝送ラインの伝送特性が変化することを特徴とする請求項 6 に記載の半導体装置。

30

【請求項 8】

クロック信号を伝送するインバータ列をさらに備え、前記バイアストランジスタは前記インバータ列を構成するトランジスタと電源ラインとの間に挿入され、これにより前記バイアス電圧に応じて前記インバータ列の伝送特性が変化することを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

バイアス電流が流れるバイアスラインと、
ゲート幅が互いに異なり、ドレインが前記バイアスラインに共通接続された複数の MOS トランジスタからなる切り替えスイッチと、
前記複数の MOS トランジスタのゲートにそれぞれ個別の制御信号を供給する制御回路と、
容量値が互いに異なり、一端が前記バイアスラインに共通接続され、他端にそれぞれ対応する前記制御信号の反転信号が供給される複数のバランス容量と、を備えることを特徴とする半導体装置。

40

【請求項 10】

ゲートに所定の制御信号が供給される MOS トランジスタのゲートドレイン間容量は、前記所定の制御信号の反転信号が供給されるバランス容量の容量値と等しいことを特徴とする請求項 9 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は半導体装置に関し、特に、バイアスラインに流れるバイアス電流を切り替え可能な半導体装置に関する。

【 背景技術 】

【 0 0 0 2 】

半導体装置においては、バイアスラインに流れるバイアス電流量が切り替えられる場合がある。一例として、クロック信号のデューティを制御するデューティ制御回路の中には、バイアス電流に基づいてクロック信号のデューティを変化させるタイプのものが存在する（特許文献 1 参照）。このようなタイプのデューティ制御回路においては、クロック信号の現在のデューティに応じてバイアスラインに流すバイアス電流量を変化させるフィードバック制御を行うことにより、クロック信号のデューティを所望の値（典型的には 5 0 %）に安定させることができる。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 3 】

【 特許文献 1 】 特開 2 0 0 9 - 6 5 6 3 3 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 4 】

しかしながら、バイアスラインに流すバイアス電流を変化させる際には、切り替えスイッチのオンオフに伴うノイズがバイアスラインに重畳することがある。このような場合、バイアス電流を変化させる度にノイズが発生することから、バイアス電流を例えばデューティ制御回路において用いると、クロック信号のデューティを所望の値とすることができないおそれが生じる。

20

【 課題を解決するための手段 】

【 0 0 0 5 】

本発明の一側面による半導体装置は、バイアス電流が流れるバイアスラインと、前記バイアス電流の量を制御信号に基づいて切り替える切り替えスイッチと、前記制御信号が供給される制御ラインと、前記制御ラインと前記バイアスラインとの間の寄生容量を介して前記制御信号の変化時に生じる前記バイアスラインの電位変動を相殺する相殺回路とを備えることを特徴とする。

30

【 0 0 0 6 】

本発明の他の側面による半導体装置は、バイアス電流が流れるバイアスラインと、ゲート幅が互いに異なり、ドレインが前記バイアスラインに共通接続された複数の MOS トランジスタからなる切り替えスイッチと、前記複数の MOS トランジスタのゲートにそれぞれ個別の制御信号を供給する制御回路と、容量値が互いに異なり、一端が前記バイアスラインに共通接続され、他端にそれぞれ対応する前記制御信号の反転信号が供給される複数のバランス容量とを備えることを特徴とする。

【 発明の効果 】

【 0 0 0 7 】

本発明によれば、切り替えスイッチのオンオフに伴ってバイアスラインに生じるノイズを相殺することが可能となる。

40

【 図面の簡単な説明 】

【 0 0 0 8 】

【 図 1 】 本発明の好ましい実施形態による半導体装置 1 0 の全体構成を示すブロック図である。

【 図 2 】 D L L 回路 2 0 の構成の一例を示すブロック図である。

【 図 3 】 デューティ調整回路 2 2 の一例を示す回路図である。

【 図 4 】 デューティ調整回路 2 2 の動作を説明するための波形図である。

【 図 5 】 バイアス回路 2 6 の一例を示す回路図である。

50

【図6】バイアス回路26の動作を説明するための模式的な波形図である。

【図7】本発明を適用したディレイライン21の回路図である。

【発明を実施するための形態】

【0009】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0010】

図1は、本発明の好ましい実施形態による半導体装置10の全体構成を示すブロック図である。

【0011】

図1に示すように、本実施形態による半導体装置10は、主回路11と、主回路11から出力される内部データRDに基づいてデータ出力端子13を駆動する出力バッファ12とを備えている。半導体装置10の種類については特に限定されないが、一例としてDRAM(Dynamic Random Access Memory)を挙げることができる。半導体装置10がDRAMである場合、主回路11はメモリセルアレイ及びこれにアクセスするためのアクセス回路(デコーダなど)を含む。この場合、主回路11にはアドレス端子14及びコマンド端子15を介してアドレス信号ADD及びコマンド信号CMDが入力され、コマンド信号CMDがリードコマンドを示していることに応答して、アドレス信号ADDにより特定されるメモリセルのデータが読み出され、データ出力端子13からリードデータDQとして出力される。但し、本発明の対象がDRAMに限定されるものではなく、他の半導体メモリ

10

20

【0012】

出力バッファ12の動作は内部クロック信号LCLKに同期して行われる。内部クロック信号LCLKは、クロック端子16を介して外部から供給される外部クロック信号CKをDLL回路20によって遅延させることによって生成される。DLL回路20によって生成された内部クロック信号LCLKは、出力バッファ12と実質的に同じ回路構成を有するレプリカバッファ30に供給され、その出力であるレプリカクロックRepCLKがDLL回路20にフィードバックされる。レプリカバッファ30は出力バッファ12と実質的に同じ回路構成を有しているため、レプリカバッファ30から出力されるレプリカクロックRepCLKの位相は、出力バッファ12から出力されるリードデータDQの位相と正確に一致する。DLL回路20は、レプリカクロックRepCLKを受けて外部クロック信号CKの遅延量を決定するとともに、出力される内部クロック信号LCLKのデューティを50%に制御する。

30

【0013】

図2は、DLL回路20の構成の一例を示すブロック図である。

【0014】

図2に示すDLL回路20は、外部クロック信号CKを遅延させるディレイライン21と、ディレイライン21から出力される内部クロック信号LCLKaのデューティを調整するデューティ調整回路22とを備えており、デューティ調整回路22の出力が内部クロック信号LCLKとして用いられる。さらに、DLL回路20には位相検出回路23、カウンタ回路24、デューティ検出回路25及びバイアス回路26が含まれている。

40

【0015】

位相検出回路23は、外部クロック信号CKとレプリカクロックRepCLKの位相を比較し、その結果に基づいて位相判定信号PDを生成する回路である。例えば、レプリカクロックRepCLKの位相が外部クロック信号CKに対して遅れている場合には位相判定信号PDをローレベルとし、レプリカクロックRepCLKの位相が外部クロック信号CKに対して進んでいる場合には位相判定信号PDをハイレベルとする。位相判定信号PDは、カウンタ回路24に供給される。カウンタ回路24は、位相判定信号PDに基づいてそのカウント値COUNTをカウントアップ又はカウントダウンする回路である。

【0016】

50

カウンタ回路 24 のカウント値 COUNT はディレイライン 21 に供給され、ディレイライン 21 はカウント値 COUNT に基づいて外部クロック信号 CK の遅延量を変化させる。これにより、例えば、位相判定信号 PD がローレベルを示している場合にはカウンタ回路 24 がカウントダウンされ、ディレイライン 21 による外部クロック信号 CK の遅延量が減少する。これにより、外部クロック信号 CK の位相と一致するまでレプリカクロック RepCLK の位相が進められる。逆に、位相判定信号 PD がハイレベルを示している場合にはカウンタ回路 24 がカウントアップされ、ディレイライン 21 による外部クロック信号 CK の遅延量が増加する。これにより、外部クロック信号 CK の位相と一致するまでレプリカクロック RepCLK の位相が遅延される。

【0017】

一方、デューティ検出回路 25 は、レプリカクロック RepCLK のデューティを検出し、その結果に基づいてデューティ制御信号 DD を生成する回路である。特に限定されるものではないが、本実施形態ではデューティ制御信号 DD は 3 ビットのバイナリ信号である。デューティ制御信号 DD はバイアス回路 26 に供給される。

【0018】

バイアス回路 26 は、デューティ制御信号 DD に基づいてバイアス電圧 Vbias を生成する回路である。上述の通り、デューティ制御信号 DD が 3 ビットのバイナリ信号である場合、バイアス回路 26 はバイアス電圧 Vbias のレベルを 8 段階 ($= 2^3$) に変化させる。バイアス回路 26 の詳細については後述する。バイアス回路 26 によって生成されるバイアス電圧 Vbias は、デューティ調整回路 22 に供給される。

【0019】

図 3 は、デューティ調整回路 22 の一例を示す回路図である。

【0020】

図 3 に示すデューティ調整回路 22 は、直列接続された 3 段のインバータ 41 ~ 43 を含む。初段のインバータ 41 には内部クロック信号 LCLKa が供給され、最終段のインバータ 43 からは内部クロック信号 LCLK が出力される。また、インバータ 41 とインバータ 42 を繋ぐクロック伝送ライン 44 にはバイアストランジスタ 45 が接続され、インバータ 42 とインバータ 43 を繋ぐクロック伝送ライン 46 にはバイアストランジスタ 47 が接続されている。これらバイアストランジスタ 45, 47 のゲートにはいずれもバイアス電圧 Vbias が供給され、ソースはいずれも接地電位 VSSDL に接続されている。このため、バイアス電圧 Vbias に応じてクロック伝送ライン 44, 46 の伝送特性が変化する。

【0021】

図 4 は、デューティ調整回路 22 の動作を説明するための波形図である。

【0022】

図 4 には、内部クロック信号 LCLKa のデューティが 50% を超えている状態が示されており、この場合、バイアス電圧 Vbias のレベルが高められる。つまり、バイアストランジスタ 45, 47 による電荷の引き抜き量を増大させる。その結果、図 4 に示すように、クロック伝送ライン 44, 46 を伝送するクロック信号 LCLKb, LCLKc の立ち上がり時間がより長くなる。そして、最終段のインバータ 43 から出力される内部クロック信号 LCLK は、クロック伝送ライン 46 上のクロック信号 LCLKc がインバータ 43 のしきい値 Vt を超える度に反転するため、最終的に得られる内部クロック信号 LCLK のデューティは、内部クロック信号 LCLKa のデューティよりも小さくなる。このような制御により、内部クロック信号 LCLK のデューティが 50% となるよう制御される。

【0023】

図 5 は、バイアス回路 26 の一例を示す回路図である。

【0024】

図 5 に示すバイアス回路 26 は、カレントミラー回路の入力側を構成するバイアス源 50 と、カレントミラー回路の出力側を構成する電流源 60 と、電流源 60 とバイアスライ

10

20

30

40

50

ンVLとの間に接続された切り替えスイッチ70とを備えている。

【0025】

バイアス源50は、電源電位VPERDと接地電位VSSDLとの間に直列接続されたPチャンネル型MOSトランジスタ51、抵抗52及びNチャンネル型MOSトランジスタ53を含んでいる。トランジスタ51のゲートとドレインは短絡されており、これによりカレントミラー回路の入力トランジスタを構成する。トランジスタ53はバイアス源50を活性化させるためのトランジスタであり、そのゲートには活性化信号ACTが入力される。これにより、活性化信号ACTがハイレベルになるとバイアス源50に定電流が流れ、ノードAの電位が所定の電位となる。

【0026】

電流源60は、ソースが電源電位VPERDに接続され、ゲートがノードAに接続された3つのPチャンネル型MOSトランジスタ61~63を備える。したがって、これらトランジスタ61~63はカレントミラー回路の出力トランジスタを構成する。トランジスタ61~63のチャンネル幅は互いに相違しており、本実施形態では、トランジスタ61のチャンネル幅をWaとした場合、トランジスタ62,63のチャンネル幅がそれぞれ2Wa、4Waに設定されている。このため、トランジスタ61のドレイン電流をIaとした場合、トランジスタ62,63のドレイン電流はそれぞれ2Ia,4Iaとなる。

【0027】

切り替えスイッチ70は、電流源60とバイアスラインVLとの間に接続された3つのPチャンネル型MOSトランジスタ71~73を備える。トランジスタ71~73のソースは、それぞれ対応するトランジスタ61~63のドレインに接続されている。また、トランジスタ71~73のゲートには、デューティ制御信号DDを構成する各ビットDD1~DD3がそれぞれ供給される。これにより、トランジスタ71~73はデューティ制御信号DDの各ビットDD1~DD3に基づいて個別にオンオフ制御がされることになる。本実施形態では、オン抵抗を減らすため、トランジスタ71~73のチャンネル幅についても互いに相違しており、トランジスタ71のチャンネル幅をWbとした場合、トランジスタ72,73のチャンネル幅がそれぞれ2Wb,4Wbに設定されている。WaとWbの値は同じであっても構わない。

【0028】

かかる構成により、電流源60からバイアスラインVLに流れるバイアス電流量は、デューティ制御信号DDの値に基づいて8段階に制御されることになる。図5に示すように、バイアスラインVLにはダイオード接続されたNチャンネル型MOSトランジスタからなる電流電圧変換回路80が接続されている。これにより、バイアスラインVLの電位は、バイアスラインVLに流れ込むバイアス電流量、すなわちデューティ制御信号DDの値に応じたレベルに制御される。

【0029】

さらに、本実施形態においては、バイアスラインVLにバランス容量91~93が接続されている。バランス容量91~93は、ソースとドレインが短絡されたPチャンネル型MOSトランジスタからなり、そのソース及びドレインがバイアスラインVLに接続され、ゲートにデューティ制御信号DDを構成する各ビットDD1~DD3の反転信号がそれぞれ供給される。本実施形態では、バランス容量91~93を構成する各トランジスタのチャンネル幅についても互いに相違しており、バランス容量91を構成するトランジスタのチャンネル幅をWcとした場合、バランス容量92,93を構成するトランジスタのチャンネル幅がそれぞれ2Wc,4Wcに設定されている。Wcの値はWbの半分であることが好ましい。

【0030】

バランス容量91~93は、切り替えスイッチ70を構成するトランジスタ71~73がオンからオフ又はオフからオンに変化する際、バイアスラインVLに生じるノイズを相殺する役割を果たす。つまり、デューティ制御信号DDを構成する各ビットDD1~DD3の論理レベルが変化すると、各ビットDD1~DD3を伝送する制御ラインとバイアス

10

20

30

40

50

ラインVLとの間の寄生容量によってバイアスラインVLにノイズが重畳する。この寄生容量は、主にトランジスタ71～73に含まれるゲートドレイン間の寄生容量Cgdからなる。したがって、ビットDD1がローレベルからハイレベルに変化すると、トランジスタ71に含まれる寄生容量CgdによってバイアスラインVLのレベルが瞬間的に高くなる。逆に、ビットDD1がハイレベルからローレベルに変化すると、バイアスラインVLのレベルが瞬間的に低くなる。このようなノイズは、バイアスラインVLに接続する補償容量81の容量値を大きく設計することによってある程度緩和することができるが、この場合にはデューティ制御信号DDの値の変化に伴うバイアス電圧Vbiasの変化が遅くなる。

【0031】

この問題はバランス容量91～93によって解決される。つまり、バランス容量91～93には各ビットDD1～DD3の反転信号がそれぞれ供給されるため、各ビットDD1～DD3の変化によってトランジスタ71～73経由でバイアスラインVLに与えられるノイズは、各ビットDD1～DD3の変化によってバランス容量91～93経由でバイアスラインVLに与えられるノイズによって打ち消される。例えば、ビットDD1がローレベルからハイレベルに変化した場合、トランジスタ71経由のノイズによってバイアスラインVLのレベルは瞬間的に高くなるとうとするが、同時に、バランス容量91経由のノイズによってバイアスラインVLのレベルは瞬間的に低くなるとうするため、結果的にバイアス電圧Vbiasにはノイズは現れない。このように、バランス容量91～93は、デューティ制御信号DDの変化時に生じるバイアスラインVLの電位変動を相殺する相殺回路として機能する。

10

20

【0032】

しかも、上述の通りWcの値をWbの半分に設計すれば、ノイズはほぼ完全に相殺される。これは、トランジスタ71～73経由のノイズはゲートドレイン間の寄生容量Cgdによるものであるのに対し、バランス容量91～93経由のノイズはゲートドレイン間の寄生容量Cgdとゲートソース間の寄生容量Cgsの両方によるものであるため、チャンネル幅が同じであればバランス容量91～93の方が2倍の容量値となるためである。したがって、バランス容量91～93を構成するトランジスタのチャンネル幅をトランジスタ71～73のチャンネル幅の半分とすれば、ノイズをほぼ完全に相殺することが可能となる。尚、上記はチャンネル長が一定である場合を前提とした説明であり、チャンネル長を考慮する場合には上述した「チャンネル幅」を「ゲート面積」と読み替えればよい。

30

【0033】

図6は、バイアス回路26の動作を説明するための模式的な波形図である。

【0034】

バランス容量91～93を用いない比較例においては、図6の波形aに示すようにデューティ制御信号DDの値が変化(2, 3, 4, 5, 6...)すると、変化の前後においてバイアス電圧Vbiasに大きなノイズが重畳する。特に、図3に示すデューティ調整回路22では、バイアスラインVLがバイアストランジスタ45, 47のゲートに直接接続されているため、バイアス電圧Vbiasにノイズが重畳すると、バイアストランジスタ45, 47が直接的に影響を受け、その結果、内部クロック信号LCLKのデューティが所望の値とは異なる値となる可能性がある。

40

【0035】

これに対し、本実施形態においては、図6の波形bに示すようにデューティ制御信号DDの値が変化すると、バイアス電圧Vbiasのレベルが正しく変化し、且つ、変化の前後においてノイズは生じない。これにより、バイアストランジスタ45, 47による電荷の引き抜き量は所望の量となり、その結果、内部クロック信号LCLKのデューティを所望の値(典型的には50%)とすることが可能となる。このように、本実施形態では、制御対象であるバイアストランジスタ45, 47のゲートがバイアスラインVLに直接接続されており、このため、バイアスラインVLのノイズがデューティに大きく影響を与える回路構成であるにもかかわらず、バイアスラインVLのノイズが相殺されることから、デ

50

ューティを所望の値に正しく制御することが可能となる。

【0036】

以上、デューティ調整回路22を制御するバイアス回路26に本発明を適用した場合を例に説明したが、本発明の適用範囲がこれに限定されるものではない。例えば、本発明をディレイライン21に適用することも可能である。

【0037】

図7は、本発明を適用したディレイライン21の回路図である。

【0038】

図7に示すディレイライン21は、複数段(本例では4段)のインバータからなるインバータ列220と、インバータ列220を構成するPチャンネル型MOSトランジスタのソースに動作電流を与える定電流回路231と、インバータ列220を構成するNチャンネル型MOSトランジスタのソースに動作電流を与える定電流回路232と、定電流回路231, 232の電流値 I_b を決める電流調整回路240とを備えている。

10

【0039】

電流調整回路240は、並列接続された3つの選択トランジスタ241~243を含んでいる。選択トランジスタ241~243の電流供給能力には重み付けがされており、選択トランジスタ241のチャンネル幅を W_d とした場合、選択トランジスタ242のチャンネル幅は $2W_d$ 、選択トランジスタ243のチャンネル幅は $4W_d$ に設計されている。また、選択トランジスタ241~243のゲートには、カウンタ回路24のカウント値COUNTを構成する各ビット C_1 ~ C_3 の反転信号がそれぞれ供給される。これにより、3ビットのカウント値COUNTに基づいて8種類の電流値のいずれかが選択されることになる。

20

【0040】

カウント値に基づいて電流調整回路240により生成される電流 I_b は、定電流回路231, 232に含まれるカレントミラー回路によって複製され、インバータ列220に動作電流として与えられる。そして、インバータ列220の遅延量を決める伝送特性は動作電流によって変化することから、カウント値によって内部クロック信号LCLKの位相を制御することが可能となる。

【0041】

さらに、本実施形態では、選択トランジスタ241~243のドレインにバランス容量291~293が接続されており、これらバランス容量291~293を構成するトランジスタのゲートには、カウント値COUNTを構成する各ビット C_1 ~ C_3 がそれぞれ供給される。バランス容量291~293を構成するトランジスタのチャンネル幅は、それぞれ $W_d/2$ 、 W_d 、 $2W_d$ とすることが好ましい。その理由は既に説明したとおりである。これにより、カウント値COUNTの変化によって生じるノイズがバランス容量291~293によって相殺されるため、内部クロック信号LCLKの位相を正しく制御することが可能となる。

30

【0042】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

40

【0043】

例えば、上記実施形態では、デューティ制御信号DD及びカウント値COUNTをいずれも3ビットとしているが、これら信号のビット数についてはこれに限定されるものではない。

【0044】

また、上記実施形態では、バランス容量としてソースとドレインが短絡されたMOSトランジスタを用いているが、本発明においてこの点は必須でない。また、バランス容量としてソースとドレインが短絡されたMOSトランジスタを用いる場合であっても、上記実施形態のようにゲートに信号を入力し、ソース及びドレインをバイアスラインに接続する

50

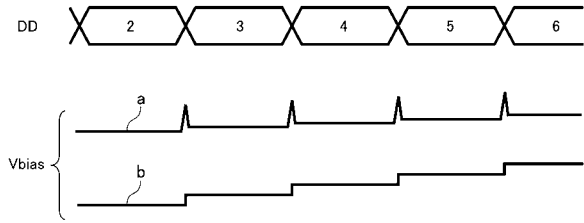
ことは必須でなく、その逆であっても構わない。

【符号の説明】

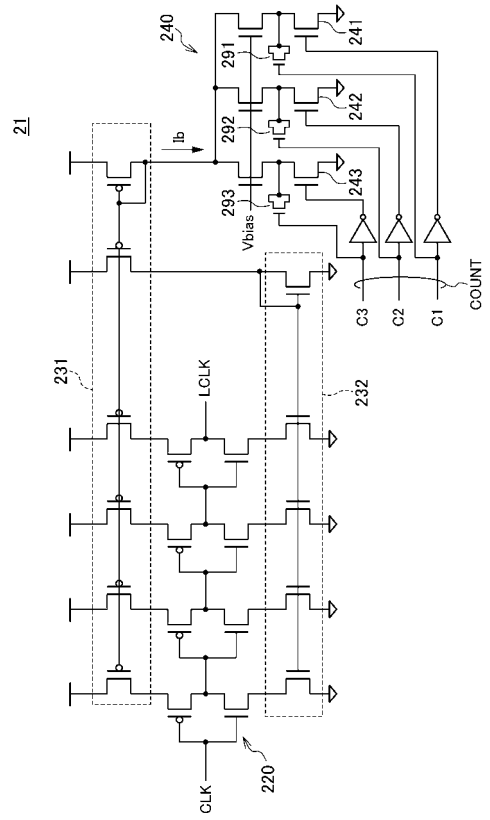
【0045】

10	半導体装置	
11	主回路	
12	出力バッファ	
13	データ出力端子	
14	アドレス端子	
15	コマンド端子	
16	クロック端子	10
20	DLL回路	
21	ディレイライン	
22	デューティ調整回路	
23	位相検出回路	
24	カウンタ回路	
25	デューティ検出回路	
26	バイアス回路	
30	レプリカバッファ	
41 ~ 43	インバータ	
44, 46	クロック伝送ライン	20
45, 47	バイアストランジスタ	
50	バイアス源	
51, 53	トランジスタ	
52	抵抗	
60	電流源	
61 ~ 63	トランジスタ	
70	切り替えスイッチ	
71 ~ 73	トランジスタ	
80	電流電圧変換回路	
81	補償容量	30
91 ~ 93	バランス容量 (相殺回路)	
220	インバータ列	
231, 232	定電流回路	
240	電流調整回路	
241 ~ 243	選択トランジスタ	
291 ~ 293	バランス容量 (相殺回路)	
VL	バイアスライン	

【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 3 K 5/13 (2006.01) H 0 3 K 5/13

(72)発明者 余公 秀之

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

(72)発明者 中村 功

東京都国分寺市東恋ヶ窪三丁目1番地1 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 石松 学

東京都国分寺市東恋ヶ窪三丁目1番地1 株式会社日立超エル・エス・アイ・システムズ内

Fターム(参考) 5J001 AA05 BB12 CC03 DD04 DD08

5J056 AA04 BB34 BB37 CC00 CC01 CC04 CC05 DD13 DD29 EE04

EE06 EE07 FF06 GG09 GG10 KK01