



## (12) 发明专利

(10) 授权公告号 CN 101312204 B

(45) 授权公告日 2011. 12. 14

(21) 申请号 200810108810. 3

US 2005139750 A1, 2005. 06. 30, 全文.

(22) 申请日 2008. 05. 26

US 2006197007 A1, 2006. 09. 07, 全文.

(30) 优先权数据

审查员 方岩

138081/07 2007. 05. 24 JP

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 马渊圭司

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 马高平

(51) Int. Cl.

H01L 27/146(2006. 01)

H04N 5/225(2006. 01)

(56) 对比文件

US 2003122209 A1, 2003. 07. 03, 全文.

CN 1681131 A, 2005. 10. 12, 全文.

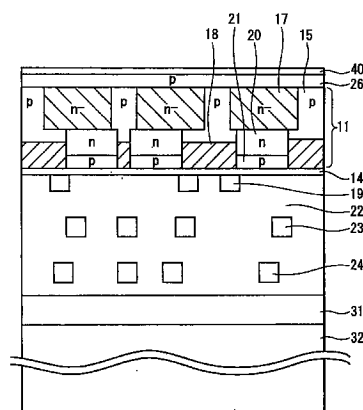
权利要求书 2 页 说明书 11 页 附图 17 页

(54) 发明名称

固态成像装置及其生产方法以及成像设备

(57) 摘要

本发明公开了一种固态成像装置及其生产方法以及成像设备。在该固态成像装置中,形成在半导体基板上的第一表面侧上的像素电路由多个光接收区域共享。半导体基板的第二表面侧作为光接收区域的光入射侧。形成在半导体基板的第二表面侧部分中的光接收区域的第二表面侧区域以近似均匀的间隔布置,而形成在半导体基板的第一表面侧部分中的光接收区域的第一表面侧区域以不均匀的间隔布置,并且在半导体基板中第二表面侧区域与第一表面侧区域相应连接,使得光接收区域从半导体基板的第二表面侧延伸到第一表面侧。



1. 一种固态成像装置,包括:

半导体基板,具有第一表面和与所述第一表面相对的第二表面;

多个光接收区域,形成在所述半导体基板上,分别具有形成在所述半导体基板的第一表面侧的部分中的第一表面侧区域和形成在所述半导体基板的第二表面侧的部分中的第二表面侧区域;以及

像素电路,形成在所述半导体基板的所述第一表面侧上,并且由所述多个光接收区域共享,其中

所述半导体基板的所述第二表面侧与形成有所述像素电路的所述第一表面侧相对,所述第二表面侧作为所述光接收区域的光入射侧,并且其中

形成在所述半导体基板的所述第二表面侧的部分中的所述光接收区域的所述第二表面侧区域以近似均匀的间隔布置,而形成在所述半导体基板的所述第一表面侧的部分中的所述光接收区域的所述第一表面侧区域以不均匀的间隔布置,并且在所述半导体基板中所述光接收区域的所述第二表面侧区域和所述第一表面侧区域相应连接,使得所述光接收区域从所述半导体基板的所述第二表面侧延伸到所述第一表面侧。

2. 根据权利要求1所述的固态成像装置,其中所述光接收区域的所述第二表面侧区域距所述半导体基板的所述第二表面的深度为 $1\mu\text{m}$ 至 $5\mu\text{m}$ 。

3. 根据权利要求1所述的固态成像装置,其中通过从所述半导体基板的所述第一表面侧进行离子注入,形成所述光接收区域的所述第二表面侧区域。

4. 根据权利要求3所述的固态成像装置,其中改变能量执行几次所述离子注入,并且所述第一表面侧区域的浓度高于所述第二表面侧区域的浓度。

5. 根据权利要求3所述的固态成像装置,其中在形成器件分隔区域前执行所述离子注入。

6. 一种成像设备,包括:

固态成像装置;

成像光学单元,将来自成像物体的光引导到所述固态成像装置;以及

信号处理单元,处理从所述固态成像装置输出的图像信号,其中

所述固态成像装置包括:

半导体基板,具有第一表面和与所述第一表面相对的第二表面;

多个光接收区域,形成在所述半导体基板上,分别具有形成在所述半导体基板的第一表面侧的部分中的第一表面侧区域和形成在所述半导体基板的第二表面侧的部分中的第二表面侧区域;以及

像素电路,形成在所述半导体基板的所述第一表面侧上,并且由所述多个光接收区域共享,其中

所述半导体基板的所述第二表面侧与形成有所述像素电路的所述第一表面侧相对,所述第二表面侧作为所述光接收区域的光入射侧,并且其中

形成在所述半导体基板的所述第二表面侧的部分中的所述光接收区域的所述第二表面侧区域以近似均匀的间隔布置,而形成在所述半导体基板的所述第一表面侧的部分中的所述光接收区域的所述第一表面侧区域以不均匀的间隔布置,并且在所述半导体基板中所述光接收区域的所述第二表面侧区域和所述第一表面侧区域相应连接,使得所述光接收区

域从所述半导体基板的所述第二表面侧延伸到所述第一表面侧。

7. 一种固态成像装置的生产方法,包括如下步骤:

从半导体基板的第一表面侧注入第一导电类型的杂质,以在所述半导体基板的第二表面侧的部分中以近似均匀的间隔形成光接收区域的第二表面侧区域;

在所述半导体基板的第一表面侧的部分中形成器件分隔区域;

在所述半导体基板的所述第一表面上形成栅极电极;

从所述半导体基板的所述第一表面侧注入在所述光接收区域的所述第二表面侧区域上的第二导电类型杂质,以在所述半导体基板的所述第一表面侧的部分中以不均匀的间隔形成所述光接收区域的第一表面侧区域;

在所述半导体基板的所述第一表面上形成层间绝缘层和配线层;以及

从所述半导体基板的与所述第一表面相对的所述第二表面侧蚀刻所述半导体基板,以露出在所述半导体基板的所述第二表面侧的部分中以近似均匀的间隔布置的所述光接收区域的所述第二表面侧区域,

其中

从所述半导体基板的所述第一表面侧注入杂质以便形成所述光接收区域的第二表面侧区域的步骤在形成所述器件分隔区域的步骤前执行。

## 固态成像装置及其生产方法以及成像设备

### 技术领域

[0001] 本发明涉及例如带有 CMOS 传感器的固态成像装置及其生产方法以及成像设备。

### 背景技术

[0002] 近来,为了在例如移动电话等的移动设备上安装照相功能的目的,提高了使固态成像装置紧凑的要求。

[0003] 在固态成像装置例如 CMOS 成像传感器等中,通常采用这样的结构,其中光电二极管 (PD) 以固定的间隔布置,例如,以方格形形式,以采样入射光。

[0004] 因此,出现了这样的问题,随着如上所述的固态成像装置的体积减小以及单元像素由于增加像素数量而且小型化,PD 的面积减少,且固态成像装置的特性降低,例如饱和信号量、灵敏度降低。

[0005] 过去,为了防止固态成像装置的这种特性上的降低,采取了这样的方法,其中通过减小单元像素中的晶体管的面积来抑制 PD 面积上的减少。然而,通过减少晶体管的面积保持 PD 的面积的方法来保持固态成像装置的特性的做法是有限制的。

[0006] 日本未审查专利申请公开 No. 63-100879 和 No. 2004-128193 描述了 CMOS 成像传感器,其中除 PD 和电荷转移晶体管之外的像素电路由相邻单元像素共享(例如,见 JP No. 63-100879 的第 4 页、图 4 和 JP No. 2004-128193 的 [0019]-[0040] 段和图 2)。

[0007] 在上述的 CMOS 成像传感器中,每个单元像素的晶体管数量和配线数量可得以减少,因此,可以保证相对大的 PD 面积,从而能够适应单元像素的小型化。

[0008] 然而,在上述 JP 公开中所描述的结构中,每个单元像素中,PD 和相邻单元像素共享的电路区域混合在一起。在此情况下,因为共享区域设置在相邻单元像素之间,所以在相邻单元像素中 PD 所占据的相对位置在相邻单元像素之间不同。

[0009] 因此,在平面构造中,PD 并不是设置成方格形,而是呈不均匀的间隔。

[0010] 当 PD 没有均匀地间隔布置时,空间上以不均匀的间隔采样入射光。在此情况下,出现下面的问题。

[0011] a) 需要校正采样信号,从而与 PD 以均匀间隔布置的情况相比,信号处理变得复杂。

[0012] b) 如果 PD 的布置根据 CMOS 传感器的类型而不同,则信号处理也必须相应地改变。

[0013] c) 当显示具有浅色和深色的条形图案的图像时,尤其是在条形的延伸方向相对于像素的布置倾斜时,难以再现条形的间隔、颜色等。

[0014] d) 因为通常的信号处理 IC 基于以均匀间隔进行采样的假定设计,所以很可能不能采用典型的信号处理 IC,并且限制了系统结构。

[0015] e) 在远离光轴的周边部分的像素中,光倾斜入射,从而由 PD 不均匀间隔布置引起的阴影在输出方式上不同。例如,甚至在白色物体成像时,其上边缘和下边缘也是着色的,而且着色成不同的颜色,从而阴影的校正变得困难。

[0016] 因为出现上述的不便,优选以均匀的间隔进行入射光的采样。

[0017] 为了解决上述问题,过去已经采取了下面的方法。

[0018] 1) 在 PD 周围均匀地布置晶体管,使得 PD 均匀地间隔布置。

[0019] 2) 提供额外的空间,使得 PD 均匀地间隔布置。

[0020] 3) 对于以不均匀的间隔布置的 PD,适当缩小光开口,并且以均匀的间隔布置光入射区域。

[0021] 关于上述方法 1),在几乎所有各式各样的固态成像装置例如 CMOS 传感器等中,因为极难以完全相等的间隔布置 PD,所以导致 PD 的面积减少,并且降低了像素电路的例如变换增益等的特性。

[0022] 关于上述方法 2),同样,其导致减少 PD 的面积,并且降低像素电路的特性。

[0023] 在上述方法 3) 中,具有引起灵敏度下降的不便。

[0024] 作为 CMOS 的另一个实例,在日本未审查专利申请公开 No. 2003-31785 中,本申请人提出了后表面入射型 CMOS 传感器。所提出的后表面入射型 CMOS 传感器从后侧面接收光,如图 1 所示。

[0025] 在图 1 中,通过借助 CMP(化学机械抛光)抛光由硅等制造的基板,形成约 10-20  $\mu\text{m}$  厚的硅部分 204。栅极电极 212 和配线层 211 经由层间绝缘层形成在硅部分 204 的一个表面(即前表面)侧上,并且由此形成栅极/配线部分 203。此外,支撑基板 201 借助粘合剂 202 连接到栅极/配线部分 203 上。彩色滤光片 206 和芯片上透镜 207 形成在硅部分 204 的另一个表面(后表面)侧上,且一  $\text{SiO}_2$  膜 205 夹在中间。

[0026] 在硅部分 204 中形成例如 n 型的杂质区域 214 和光电转换区域 213,所述杂质区域 214 成为栅极电极 212 的源极和漏极区域,每个光电转换区域 213 都包括构成 PD 的 p 型杂质区域和 n 型杂质区域,并且作为光入射区域的例如 n 型的杂质区域 205 形成在硅部分 204 的后表面侧上,以与光电转换区域 213 的 n 型杂质区域连接。此外,p 型杂质区域 216 在硅部分 204 的后表面侧上形成为遍布于表面上。

[0027] 利用上述的构造,与现有技术的 CMOS 形成对比,采用前表面入射型的像素结构,其中使得配线层侧为前表面侧并且入射光从配线层侧入射,在图 1 所示的实例中,入射光从与配线层 211 相对的表面侧(即后表面侧)入射,即,采用了后表面入射型结构。当采用后表面入射型结构时,从箭头 200 所示的入射光和像素结构可见,能够避免由配线层 211 上的晕映(vignetting)引起的聚光限制,并且由此提高聚光效率。

[0028] 然而,在后表面入射型结构中,只存在将 PD 设置成均匀间隔的设计。这是因为除非 PD 均匀地间隔布置,否则就会发生上述的问题。因此,难于同时实现像素电路的共享以及将 PD 均匀地间隔设置,与在前表面入射型结构中的情况相同。

## 发明内容

[0029] 本发明考虑到上述的和其它的问题,并且意在避免当像素电路由多个光接收区域共享时由于光接收区域设置成不均匀间隔而使信号处理变为复杂。

[0030] 根据本发明的实施例,固态成像装置包括:半导体基板,具有第一表面和与该第一表面相对的第二表面;多个光接收区域,形成在该半导体基板上,分别具有形成在该半导体基板的第一表面侧部分中的第一表面侧区域和形成在该半导体基板的第二表面侧部分中的第二表面侧区域;以及像素电路,形成在该半导体基板的该第一表面侧上,并且由所述多

个光接收区域共享。该半导体基板的该第二表面侧与形成有该像素电路的该第一表面侧相对,该第二表面侧作为该光接收区域的光入射侧。形成在该半导体基板的该第二表面侧部分中的该光接收区域的该第二表面侧区域以近似均匀的间隔布置,而形成在该半导体基板的该第一表面侧部分中的该光接收区域的该第一表面侧区域以不均匀的间隔布置,并且在该半导体基板中该光接收区域的该第二表面侧区域和该第一表面侧区域相应连接,使得该光接收区域从该半导体基板的该第二表面侧延伸到该第一表面侧。

[0031] 根据本发明的另一个实施例,成像设备包括:固态成像装置;成像光学单元,将来自成像物体的光引导到该固态成像装置;以及信号处理单元,处理从该固态成像装置输出的图像信号。该固态成像装置包括:半导体基板,具有第一表面和与该第一表面相对的第二表面;多个光接收区域,形成在该半导体基板上,分别具有形成在该半导体基板的第一表面侧部分中的第一表面侧区域和形成在该半导体基板的第二表面侧部分中的第二表面侧区域;以及像素电路,形成在该半导体基板的该第一表面侧上,并且由所述多个光接收区域共享。该半导体基板的该第二表面侧与形成有该像素电路的该第一表面侧相对,该第二表面侧作为该光接收区域的光入射侧。形成在该半导体基板的该第二表面侧部分中的该光接收区域的该第二表面侧区域以近似均匀的间隔布置,而形成在该半导体基板的该第一表面侧部分中的该光接收区域的该第一表面侧区域以不均匀的间隔布置,并且在该半导体基板中该光接收区域的该第二表面侧区域和该第一表面侧区域相应连接,使得该光接收区域从该半导体基板的该第二表面侧延伸到该第一表面侧。

[0032] 根据本发明的再一个实施例,提供固态成像装置的生产方法。该生产方法包括如下步骤:从半导体基板的第一表面侧注入第一导电类型的杂质,以在该半导体基板的第二表面侧部分中以近似均匀的间隔形成光接收区域的第二表面侧区域;在该半导体基板的第一表面侧部分中形成器件分隔区域;在该半导体基板的该第一表面上形成栅极电极;在该光接收区域的该第二表面区域上从该半导体基板的该第一表面侧注入第二导电类型杂质,以在该半导体基板的该第一表面侧部分中以不均匀的间隔形成该光接收区域的第一表面侧区域;在该半导体基板的该第一表面上形成层间绝缘层和配线层;以及从相对于该半导体基板的该第一表面的该第二表面侧蚀刻该半导体基板,以暴露在该半导体基板的该第二表面侧部分中以近似均匀的间隔布置的该光接收区域的该第二表面侧区域。从该半导体基板的该第一表面侧注入杂质以便形成该光接收区域的该第二表面侧区域的步骤在形成该器件分隔区域的步骤前执行。

[0033] 如上所述,在根据本发明实施例的固态成像装置和成像设备中,像素电路由多个光接收区域共享,并且固态成像装置构造为这样的后表面入射型装置,其中半导体基板的与形成有像素电路的第一表面侧相对的第二表面侧做为光接收区域的光入射侧。特别是,在半导体基板的第一表面侧部分中,该光接收区域的第一表面侧以不均匀的间隔布置,从而可以相对容易设置要形成在半导体基板的第一表面侧上的像素电路,并且在半导体基板的第二表面侧部分中,光接收区域的第二表面侧区域以近似均匀的间隔布置。就是说,在半导体基板中光接收区域的第二表面侧区域和第一表面侧区域相应连接,使得光接收区域从半导体基板的第二表面侧延伸到第一表面侧。换言之,在半导体基板中,以与相邻光接收区域不同的形状形成各光接收区域,使其从半导体基板的第二表面侧延伸到第一表面侧,并且在半导体基板的第一表面侧以不均匀的间隔布置,而在半导体基板的第二表面侧上形成

为近似均匀的间隔,由此可以避免降低图像质量及使信号处理复杂化。

[0034] 此外,根据本发明实施例的固态成像装置的生产方法,具有上述构造的固态成像装置可以相对容易生产。特别是,因为在相对早的步骤中通过从半导体基板的第一表面侧注入杂质形成光接收区域的第二表面侧区域,作为半导体基板的后表面侧上的光入射区域,所以区域中杂质浓度的变化可以在后续的加热步骤中通过扩散杂质来抑制。此外,通过在形成器件分隔区域的步骤前从半导体基板的第一表面侧执行注入第一导电类型杂质的步骤,杂质不通过器件分隔区域,从而作为光入射区域的光接收区域的第二表面侧区域可以形成具有更均匀杂质浓度。

[0035] 根据本发明实施例的固态成像装置和成像设备,在像素电路由多个光接收区域共享的情况下,可以避免由于光接收区域以不均匀的间隔布置引起的图像质量的变坏和信号处理的复杂。

[0036] 此外,根据本发明实施例的固态成像装置,可以相对容易得生产避免信号处理复杂化的固态成像装置,特别是,能够在构成光接收区域的杂质区域中抑制杂质浓度的变化。

## 附图说明

[0037] 图 1 是描绘现有后表面入射型固态成像装置的结构示意性截面图。

[0038] 图 2 是根据本发明实施例的固态成像装置的示意性平面图。

[0039] 图 3 是固态成像装置的像素电路的示意性构造图。

[0040] 图 4 是描绘在图 3 所示像素电路设置在平面表面上时固态成像装置的示范性构造的示意性平面图。

[0041] 图 5A 是图 4 的平面图的一部分的示意性平面图。

[0042] 图 5B 是图 5A 中沿 AA' 线的截面图。

[0043] 图 6A、图 6B 和图 6C 是根据本发明实施例的固态成像装置的生产方法的第一部分的生产工艺图。

[0044] 图 7A、图 7B 和图 7C 是固态成像装置的生产方法的第二部分的生产工艺图。

[0045] 图 8 是固态成像装置的生产方法的第三部分的生产工艺图。

[0046] 图 9 是固态成像装置的生产方法的第四部分的生产工艺图。

[0047] 图 10 是固态成像装置的生产方法的第五部分的生产工艺图。

[0048] 图 11 是根据本发明另一个实施例的固态成像装置的主要部分的示意性平面构造图。

[0049] 图 12 是根据本发明另一个实施例的固态成像装置的主要部分的示意性平面构造图。

[0050] 图 13 是根据本发明另一个实施例的固态成像装置的像素部分的示意性平面构造图。

[0051] 图 14 是根据本发明另一个实施例的固态成像装置的像素部分的示意性平面构造图。

[0052] 图 15 是根据本发明另一个实施例的固态成像装置的像素部分的示意性平面构造图。

[0053] 图 16 是根据本发明实施例的成像设备的示意性构造图。

## 具体实施方式

[0054] 现在,将参照附图描述本发明优选实施例的实例。本发明不限于下述的实例。

[0055] 图 2 是根据本发明实施例的固态成像装置的示意性平面图。如图 2 所示,固态成像装置 10 包括像素部分 1、垂直驱动电路 2、列单元 3、水平驱动电路 4、控制电路 5、水平总线 6 和输出电路 7。这些部分安装在基板(未示出)上。

[0056] 在像素部分 1 中,多个像素设置成行列状态。此外,为每行像素设置在行方向上延伸的像素驱动配线(未示出),并且为每列像素设置在列方向延伸的垂直信号线(未示出)。

[0057] 像素部分 1 的各像素由像素驱动配线驱动。像素的信号是模拟信号,并且输出到垂直信号线。

[0058] 控制电路 5 接收输入时钟和指示操作模式等的的数据,并且输出数据,例如固态成像装置 10 的内部信息。此外,控制电路 5 提供驱动垂直电路 2、水平驱动电路 4、列单元 3 和输出电路 7 所需的时钟和脉冲。

[0059] 垂直驱动电路 2 选择像素驱动配线,并且给选通的像素驱动配线提供驱动像素的脉冲。通过驱动像素驱动配线,与该像素驱动配线相关的一行像素同时被驱动。

[0060] 在列单元 3 中,列电路布置为对应于像素的列。列电路从像素部分 1 的垂直信号线接收像素部分 1 中各列的像素信号。列单元 3 执行相关双采样(CDS-Correlated Double Sampling),这是对接收的像素信号的固定图案噪声去除处理、信号放大处理、AD 转换处理等。

[0061] 水平驱动电路 4 依次选择列单元 3 的列电路,并且将存储在列电路中的信号引导到水平总线 6。

[0062] 输出电路 7 处理来自水平总线 6 的信号,并且输出所处理的信号。例如,有时只进行缓冲,而有时进行处理,如黑色电平调节、列变化校正、各种类型的数字信号处理等。

[0063] 图 3 描绘了在固态成像装置 10 的像素中像素电路的示范性结构。在该实例中,四套光接收单元 61(61a-61d)和转移晶体管 62(62a-62d)共享一套复位晶体管 67、放大晶体管 64 和选择晶体管 65,构成了像素电路,其中每个光接收单元 61 都包括光电二极管(PD)等,并且构成光接收区域。

[0064] 包括作为光电转换元件的 PD 等的光接收单元 61a-61d 分别经由转移晶体管 62a-62d 与浮置扩散(FD, floating diffusion)63 连接。浮置扩散 63 是节点,包括对应于转移晶体管 62a-62d 的漏极的两个扩散层、放大晶体管 64 的栅极,以及连接这些扩散层和栅极的配线。转移晶体管 62a-62d 将光接收单元 61a-61d 的光电子转移到浮置扩散 63。因为放大晶体管 64 的栅极电压是浮置扩散 63 的电压,如果选择晶体管 65 导通,则放大晶体管 64 输出对应于浮置扩散 63 的电势的信号到垂直信号线 68。复位晶体管 67 通过释放浮置扩散 63 的电子到电源(Vdd)配线 66 来复位浮置扩散 63。

[0065] 图 4 描绘了当图 3 所示的像素电路设置在平面表面上时固态成像装置 10 的示范性构造。这里,为了可视性,除浮置扩散 63 的配线 69 之外的金属配线和这些金属配线之间的接触被省略了。在图 4 中,图 2 中行的方向由箭头 x 表示,而图 2 中列的方向由箭头 y 表示。如图 4 所示,光接收单元对 61a、61b 和光接收单元对 61c、61d 分别基本上对称地设

置在箭头 y 表示的列方向上,并且浮置扩散 63、复位晶体管 67、接触单元 70 和光接收单元 61a、61b、61c、61d 的转移晶体管 62a、62b、62c、62d 设置在这样设置的光接收单元 61a、61b、61c、61d 之间。具体地讲,它们设置在光接收单元 61a 和光接收单元 61b 之间,以及光接收单元 61c 和光接收单元 61d 之间,即,相对列方向每隔一个各光接收单元之间的空间设置一个。在此情况下,光接收单元 61b 和光接收单元 61c 的间隔 D1 与光接收单元 61c 和光接收单元 61d 的间隔 D2 是不同的,从而光接收单元设置成不均匀间隔。

[0066] 下面,将参照图 5A 和图 5B 描述像素电路的截面结构。图 5A 描绘了图 4 的示意性平面图的一部分,而图 5B 描绘了沿图 5A 的 AA' 线的截面结构。在图 5A 和图 5B 中,与图 4 中的部分相对应的部分由相同的参考标记表示,并且省略重复性的描述。在图 5A 中,为了方便起见,图 4 所示的平面结构图横向旋转 90 度。在图 5B 中,省略了配线、支撑基板、彩色滤光片、芯片上透镜等,并且仅描绘了由硅等组成的半导体基板 11 和转移晶体管 62a-62d。

[0067] 本发明的特征在于:在相邻像素之间,光接收单元 61a-61d 在深度方向上的形状不同。在所描绘的实例中,在半导体基板 11 的形成像素电路的第一表面 11A 侧上的部分中,第二导电类型杂质区域 21a-21d (例如 p 型) 和第一类型杂质区域 20a-20d (例如 n 型) 以由器件分隔区域 18 分隔的不均匀的间隔形成,作为光接收区域的第一表面侧区域。另一方面,在半导体基板 11 的位于形成像素电路的第一表面 11A 的相对侧并且作为光入射侧的第二表面 11B 侧上的部分中,具有相对低的浓度并且与第一导电类型杂质区域 20a-20d 连接的第一导电类型杂质区域 17a-17d (例如 n- 型) 以不均匀间隔形成,作为光接收区域的第二表面侧区域,并且由此形成光接收区域 61a-61d。

[0068] 此时,如虚线 Ca-Cd 所示,光接收单元 61a-61d 的第一表面 11A 侧区域 (即第二导电类型杂质区域 21a-21d 和第一类型杂质区域 20a-20d) 与第二表面 11B 侧区域 (即第一导电类型杂质区域 17a-17d) 的结部分是不同的形状,取决于第一表面 11A 侧部分中的杂质区域的布置位置和第二表面 11B 侧部分中杂质区域的布置位置。就是说,在该实例中,在相邻像素之间结部分 Ca-Cd 形成不同的结位置和面积,也就是说,在半导体基板 11 内,杂质区域彼此连接并且弯曲。通过如此适当地选择结的位置,光接收单元 61a-61d 可以在半导体基板 11 的作为光入射侧的第二表面 11B 侧的部分上近似均匀地间隔布置,即使其在第一表面 11A 侧部分中是不均匀间隔布置的,从而像素的空间采样以近似均匀间隔进行。

[0069] 因此,过去通过牺牲像素的特性或者弯曲光路所要解决的问题,在本发明中通过逐个像素地弯曲光电转换电子的路径得以解决。

[0070] 应当注意的是,杂质区域的层数不限于所示的一个,并且可以是两个或四个或更多。然而,优选在各像素中 p 型区域和 n 型区域的结表面近似地具有相同的形状和面积。此外, p 型和 n 型可以颠倒。

[0071] 当在相邻像素之间光接收单元深度方向上的结构不同时,根据结构的差别,存在产生阴影的可能性。就是说,在图 5B 中,当光以如箭头 La-Ld 所示从第二表面 11B 侧倾斜进入时,根据第一导电类型杂质区域 17a-17d 与由虚线 Ca-Cd 围绕的结部分之间的相对位置差,具有光到达或者不到达第一导电类型杂质区域 17a-17d 上的第一导电类型杂质区域 20a-20d 的可能性。在所描绘的实例中,光不到达第一导电类型杂质区域 20c 和 20d,如区域 20c 和 20d 中的箭头 Lc 和 Ld 的尖端所示。

[0072] 为了避免这样的不同,重要的是在半导体基板 11 的第二表面 11B 侧部分中,在以

近似均匀间隔布置的第一导电类型杂质区域 17a-17d 中有效完成光电转换,并且大量的光不传播通过区域 17a-17d。因此,优选第一导电类型杂质区域 17a-17d 在半导体基板 11 的深度方向上从第二表面 11B 延伸  $1\mu\text{m}$  或更多。此外,为了通过电场耗尽区域 17a-17d 以将光电转换的电子转移到第一表面 11A 侧,优选距第二表面 11B 的深度“ $t_s$ ”为  $5\mu\text{m}$  或更小。

[0073] 接下来,参照图 6A 至图 10 的生产工艺图来描述根据本发明实施例的固态成像装置 10 的生产方法。将仅取图 5B 所示的一部分区域作为实例关于要点进行描述。

[0074] 工艺 (1) :

[0075] 该实例是这样的情况,采用 SOI (绝缘体上半导体) 基板,并且如图 6A 所示,硅部分通过由埋入的氧化膜等组成的绝缘膜 12 形成在由硅等组成的基板 13 上,该硅部分可以用作半导体基板 11。就是说,在根据本发明实施例的固态成像装置中的半导体基板可以是提供在部分基板中的半导体区域。当采用 SOI 基板时,硅部分即半导体基板 11 的厚度“ $t$ ”优选相对很厚,例如约为  $4\mu\text{m}$ ,并且半导体基板 11 可以是具有例如约  $10^{15}\text{cm}^{-3}$  的低杂质浓度的第一导电类型,  $n^-$  型。

[0076] 当通过热氧化在半导体基板 11 的表面上形成薄绝缘膜 14 后,第二导电类型杂质区域 15 通过注入例如硼等 p 型杂质例如形成在  $1.8\mu\text{m}$  深或者更深的区域中。当进行离子注入到距表面相对很深的区域时,优选采用能够处理兆电子伏的高能离子注入设备。第二导电类型杂质区域 15 形成为其平面形状呈例如格子形状,并且均匀间隔布置。

[0077] 工艺 (2) :

[0078] 如图 6B 所示,在距半导体基板 11 的第一表面 11A  $1.8\mu\text{m}$  深或者更深的区域中,注入第二导电类型杂质 (例如硼等),同时避开在后续工艺中将成为光接收单元的上部分的区域 (即第一表面 11A 侧区域),由此形成和第二导电类型杂质区域 15 连接的第二导电类型杂质区域 16。

[0079] 因为光接收单元的第一表面侧区域要均匀地间隔布置,所以在相邻像素之间,具有在上述工艺 (1) 中在注入深位置的第二导电类型杂质区域 15 的结部分形状不同,即结位置和结面积不同。

[0080] 工艺 (3) :

[0081] 接下来,如图 6C 所示,在深度没有到达绝缘层 14 的区域中,即在距第一表面 11A 约为  $1.8\mu\text{m}$  至  $3.5\mu\text{m}$  的深度上,通过进行 n 型的第一导电类型杂质的离子注入形成将成为光接收单元的下部分 (即第二表面 11B 侧区域) 的  $n^-$  型第一导电类型杂质区域 17。同样,在此情况下,与上述的第二导电类型杂质区域 15 一样,采用能够处理兆电子伏的高能离子注入设备进行杂质注入。

[0082] 在上述工艺 (1) 中形成的第一导电类型杂质区域 15 的格子形状的开口部分处进行离子注入,使得以均匀的间隔布置第一导电类型杂质区域 17。

[0083] 然而,在此情况下,因为在相邻像素之间第一表面 11A 侧区域中的像素的构造是不同的,所以在相邻像素间由离子注入引起的对像素表面附近的损害不同。因此,为了减小相邻像素间像素表面附近的损害程度上的差别,作为离子注入所用的离子,优选采用小原子量的离子,例如磷。

[0084] 另一方面,为了聚集电子到光接收单元的第一表面 11A 侧,即到配线电路侧,优选构造杂质浓度朝着第一表面 11A 侧增加。因此,适于离子注入时朝着第一表面 11A 侧增

加几倍的用量。

[0085] 这里,关于离子注入到如此深的区域,也可以考虑这样的方法,在一次性曝光第二表面 11B(即后表面)后,以相对低的能量从后表面侧进行离子注入。然而,在本实施例中,在上述工艺(3)中,从第一表面 11A 侧,即从半导体基板 11 的前表面侧以相对高的能量进行离子注入。其原因如下。

[0086] 在根据本发明实施例的固态成像装置中,在相邻像素之间光接收单元的第一表面侧区域与第二表面侧区域的结位置是不同的。正因为如此,如果杂质(例如磷等)浓度存在局部差异,则相邻像素间存在灵敏度、饱和度、残影等方面变化的可能性。为了抑制这样的变化,优选还在离子注入后扩散杂质,从而局部浓度差变小,并且浓度共享变得和缓。为了达此目的,在注入后进行相对强的热处理,然而,如果进行这样的热处理工艺,则其它的离子也被扩散,从而在器件分隔区域(具体内容如下所述)形成前,执行离子注入工艺到光接收单元的后表面侧区域,即第二表面侧区域。

[0087] 此时,可以采用执行以后续形成器件分隔区域的相对强的热处理工艺,用于扩散作为第二表面 11B 侧区域的第一导电类型杂质区域 17 的杂质,从而具有避免另外增加工艺的优点。

[0088] 在该阶段执行离子注入意味着离子注入不可避免地第一表面 11A 侧进行。在上述工艺(1)至(3)中,离子注入执行到比最终注入面积略狭小的面积,并且借助于后续形成器件分隔区域时的热处理工艺实现的扩散,实现缓和重叠的分布。因此,产生在水平方向上缓和的浓度梯度,并且易于将电子运动到光接收单元的第一表面 11A 侧区域。

[0089] 此外,在从第一表面 11A 侧注入杂质时,如果在形成器件分隔区域后进行离子注入,则注入深度造成在杂质通过器件分隔区域的部分和杂质通过器件分隔区域以外区域的部分之间的不同。如果所有的像素以相同的布局设置,则问题相对小,然而,当构造为由多个像素共享一个电路时,如在本发明实施例的固态成像装置中,因为相邻像素的布局即布置方式是不同的,所以如上所述离子注入深度上的变化会引起相邻像素间产生灵敏度、饱和度和特性上的变化。因此,当从第一表面 11A 侧进行离子注入时,还是由于上述原因,优选在形成器件分隔区域前进行离子注入。

[0090] 工艺(4):

[0091] 接下来,如图 7A 所示,形成器件分隔区域 18。这里,采用浅槽隔离(STI, Shallow Trench isolation),其中沟槽形成在硅等制成的半导体基板 11 中,并且例如  $\text{SiO}_2$  埋入沟槽中。因为它要经过接近  $950^\circ\text{C}$  的热处理,所以如上所述,在前述工艺中注入的离子更多地扩散。

[0092] 工艺(5):

[0093] 其后,如图 7B 所示,栅极电极 19 通过绝缘层 14 形成。

[0094] 工艺(6):

[0095] 如图 7C 所示,形成光接收单元的第一表面 11A 侧区域中的结构。例如,离子注入此例中为 n 型的第一导电类型的砷等,以形成第一导电类型杂质区域 20。然后,尽管没有示出,但是形成栅极电极 19 的侧壁,并且离子注入此例中为 p 型的第二导电类型的硼等,以及通过约  $850^\circ\text{C}$  的轻热处理使其激活但不扩散。尽管没有示出,但是在此工艺中还形成晶体管的源极和漏极。

[0096] 工艺 (7) :

[0097] 如图 8 所示,配线层 23 和 24 通过层间绝缘层 22 形成在栅极电极 19 之上,并且硅等制成的支撑基板 32 借助于光敏苯并环丁烯 (BCB, benzocyclobutene) 树脂等粘合剂 31 粘接。

[0098] 工艺 (8) :

[0099] 其后,翻转半导体基板 11,即 SOI 基板,通过抛光和蚀刻去除 SOI 的基板 13 和由埋入的氧化膜形成的绝缘层 12,以露出第二表面 11B。此外,薄保护氧化膜形成在第二表面 11B 的表面,并且如图 9 所示,离子注入硼等到第二表面 11B 侧上的表面,以及借助激光退火等进行激活,以形成 p 型的第二导电类型杂质层 26。此外,上面再形成氧化膜 40。

[0100] 工艺 (9) :

[0101] 其后,如图 10 所示,由氮化硅膜等组成的保护膜 41 形成在第二表面 11B 上的氧化膜 40 上,此外,形成彩色滤光片 42 和芯片上透镜 43。彩色滤光片 42 和芯片上透镜 43 以近似均匀的间隔形成在对应于第二导电类型杂质区域 21 和第一导电类型杂质区域 20 和 17 的位置,这构成了光接收单元。

[0102] 这里,在本发明中,均匀的间隔不需要是完全严格的均匀间隔,并且如果从实际角度看这样的均匀程度没问题,更具体地讲,如果不需要用于校正光接收单元的间隔变化的特殊信号处理,则这样的均匀程度就是足够的。

[0103] 此外,在根据本发明实施例的固态成像装置中,光接收单元的第一表面侧区域和第二表面侧区域之间,即光接收单元的前表面侧区域和后表面侧区域之间的布置是不同的,然而,优选选择最优的布置作为它们的相对位置关系。作为实例,如在上述的实施例中,当像素以四个像素单元设置时,可以采用下面的方法选择最优的布置。

[0104] 假设光接收单元(例如 PD)的前表面侧区域的几何重心以不均匀间隔布置在坐标轴上 p1、p2、p3 和 p4 点的位置,并且光接收单元的后表面侧区域的几何重心以均匀间隔布置在坐标轴上 q1、q2、q3 和 q4 点的位置。在此情况下,为了确定光接收单元的前表面侧区域和后表面侧区域之间的几何重心关系,  $p1-q1$ 、 $p2-q2$ 、 $p3-q3$  和  $p4-q4$  的最大值  $p_i-q_i$  和最小值  $p_j-q_j$  (每个 i 和 j 是 1、2、3、4 之一) 仅需满足:  $p_i-q_i = -(p_j-q_j)$ 。这意味着使 PD 的前表面侧和后表面侧之间的几何重心的最大偏差值最小。

[0105] 在图 5B 的实例中,几何重心的偏差的最大值和最小值由光接收单元 61b 和 61c 给出,并且光接收单元 61a 和 61d 给出最大值和最小值之间的值。如果左右翻转,则光接收单元 61b 和光接收单元 61c 为相同的形状,然而,如果它们保持原位,则光接收单元 61b 和光接收单元 61c 的形状相对于入射光 Lb 和入射光 Lc 是不同的,从而光接收单元 61b 和光接收单元 61c 在形状上是不同的。

[0106] 应当注意的是,很明显该方法可以应用到除像素以四个像素单元设置的情况之外的情况。

[0107] 至此,已经以列方向上四个像素共享的构造为实例进行了描述;然而,也已经提出了像素共享方法中的各种其它构造。例如,已经知道了在列方向上的两个相邻像素共享的构造,如图 11 所示,并且也已经知道了列方向上的两个像素和行方向上的两个像素即在两行和两列上的四个像素共享的构造,如图 12 所示。在图 11 和图 12 中,与图 4 相对应的部分由相同的参考标记表示,并且省略重复的描述。本发明同样可以应用到多个像素共享像

素电路的各种固态成像装置,包括图 11 和图 12 的情况。应当注意的是,在图 11 所示的实例中,配线 69 设置在光接收单元之上,然而,因为本发明的固态成像装置构造为后表面入射型装置,所以应当不存在问题。在已知的前表面入射型装置中,不会采用配线跨越 PD 的构造,因为入射光会受到阻挡。然而,通过采用后表面入射型构造,如上所述,可以增加配线设置上的自由度,使得小型化像素和电路成为可能。

[0108] 图 13 描绘了根据本发明实施例的固态成像装置从后表面侧即第二表面 11B 侧看光接收单元的示范性平面构造。如图 13 所示,在该实例中,以近似均匀的间隔布置第一导电类型杂质区域 17,该第一导电类型杂质区域 17 为光接收单元 61 的第二表面侧 11B 区域和入射侧区域。作为一个实例,如图 13 所示,示出了单 CCD 照相机中采用的彩色固态成像装置中的对应于绿 (G)、红 (R) 和蓝 (B) 各颜色的第一导电类型杂质区域 17 的布置实例。

[0109] 如上所述,在根据本发明实施例的固态成像装置中,以近似均匀的间隔进行光接收单元的第二表面侧区域即后表面侧区域的布置不需要完全严格,如果从实际角度看这样的均匀程度没问题,则这样的布置就是足够的。就是说,即使间隔稍微变化,如果后续的信号处理、采样可以如均匀间隔所进行的一样进行,也不会有问题。

[0110] 此外,尽管优选光接收单元 61 的第二表面 11B 侧区域即第一导电类型杂质区域 17 的形状和面积都相同,但是,如果它们以均匀间隔布置,则形状和面积都不需要必须相同。

[0111] 例如,在图 14 中,假设触点从后表面侧落入 p 阱等,则构造使得触点部分 70 设置在各个第一导电类型杂质区域 17 之间,一平面形状的实例被提供,其中省略了部分第一导电类型杂质区域 17。当采取这样的平面形状时,在精确的意义上,重心位置不是均匀间隔的。然而,如果在陆续的信号处理中其采样可以与如均匀间隔的一样进行,即使采取这样的构造也不会有问题。

[0112] 同样,例如,为了校准光谱灵敏度,也可以如图 15 所示对应彩色滤光片位置使第一导电类型杂质区域 17 即后表面侧区域的面积不同。在图 15 所示的实例中,尽管第一导电类型杂质区域 17 的各自面积是不同的,但是它们的重心位置均匀间隔排列。

[0113] 例如,当难于获得蓝灵敏度时,如图 15 所示,只有对应于蓝色滤光片的光接收单元 61,在该实例中为第一导电类型杂质区域 17B,具有增加的面积,并且由此可以提高蓝光灵敏度。

[0114] 如图 16 所示,采用根据本发明实施例的上述固态成像装置,能够制造根据本发明实施例的成像设备 100。

[0115] 图 16 所示的成像设备 100 构造为具有手提电话、数码相机和摄像头功能以及其它成像功能的电子设备。成像设备 100 包括成像光学单元 101、固态成像装置 102、信号处理单元 103,以及临时存储单元 105、显示装置 106、记录装置 107、操作单元 108 和电源单元 109,它们通过传输总线 104 与信号处理单元 103 连接。

[0116] 成像光学单元 101 包括各种透镜、快门、光圈等,并且引导成像物光到固态成像装置 102。固态成像装置 102 是根据本发明上述实施例的固态成像装置,并且光电转换通过成像光学单元 101 获得的成像物光以作为信号输出。信号处理单元 103 包括用于处理数字信号等的 DSP (数字信号处理器),并且对固态成像装置 102 输出的图像信号进行格式化处理等,以转换成为用于显示和记录的数据。

[0117] 临时存储单元 105 包括 RAM (随机存取存储器) 等,并且临时存储由信号处理单元

103 处理的图像数据。显示装置 106 包括液晶显示器等,并且显示由信号处理单元 103 处理的图像数据。记录装置 107 包括闪存、EPROM(可擦可编程只读存储器)、HD(硬盘)等,并且记录图像数据。操作单元 108 包括用于从外部输入控制成像设备 100 运行的控制信号的快门按钮、各种功能键、指针等。电源单元 109 给成像设备 100 的上述的单元提供操作动力。

[0118] 通过构造采用根据上述实施例的固态成像装置的成像设备 100,能够进行以均匀间隔采样的信号处理,从而成为能够避免信号处理复杂化。

[0119] 应当注意的是,成像设备 100 的构造不限于上述构造,并且可以采用各种其它的构造。

[0120] 如上所述,根据本发明的固态成像装置和成像设备,由于为多个像素提供公共像素电路并且随着像素的小型化而增加像素的数量,通过以近似均匀间隔布置光接收单元的后表面侧区域形成后表面入射型装置,因此可以以均匀间隔对入射光进行采样。

[0121] 此外,扩展了信号处理单元例如 DSP 的选择范围,并且避免阴影校正和其它信号处理复杂化。由此,信号处理简单化,而图像变为清晰。此外,由于以均匀间隔采样,没有降低像素的特性,并且可以成像为相对清晰的图像。

[0122] 如上所述,即使由于像素共享的布局使得 PD 以不均匀间隔布置,入射光也可以以均匀间隔采样。

[0123] 因此,与 PD 以不均匀间隔布置的已知固态成像装置相比,可以获得下面的优点。

[0124] a) 信号处理简单、便捷,因此,可以提供相对清晰的图像。

[0125] b) 不必对于每个 CMOS 传感器产品设计信号处理单元,例如 DSP 系统,并且不必基于像素设置使信号处理单元的系统不同。

[0126] c) 在成像条形图案时,条形间隔和着色方式的再现性是令人满意的。

[0127] d) 因为很多选择可以适合于信号处理 IC,所以使设备构造方法多样化。

[0128] e) 阴影的出现方式不因入射光接收单元的不均匀间隔而改变。例如,当成像白色物体时,不会发生上边缘和下边缘被着色并且以不同的颜色着色使得校正变得困难的情况,并且避免信号处理变得复杂。

[0129] 同样,在已知的固态成像装置中,相对于解决由像素电路共享和以不均匀间隔布置光接收单元引起的不便的方法,当应用本发明时,产生下面的效果。

[0130] f) 不必要对开口的形状进行限制,并且可以避免减少光接收单元的面积。

[0131] g) 可以避免引起降低像素电路的特性,例如变换增益等。

[0132] h) 与前表面入射型装置相比,因为光接收单元的面积可以得到保持,所以可以避免灵敏度的降低。

[0133] i) 尽管每次对于例如不同像素尺寸重新设计固态成像装置如 CMOS 传感器等时,必需例如重新选择不同折射系数的材料和重新设计层中透镜的形状,但是这样的复杂工作变为不需要了。

[0134] 本领域的技术人员应当理解的是,在所附权利要求及其等同特征的范围内,根据设计需要和其它因素,可以进行各种修改、结合、部分结合和替换。

[0135] 本发明包含 2007 年 5 月 24 日提交日本专利局的有关日本专利申请 JP2007-138081 的主题事项,其全部内容引用合并于此作为参考。

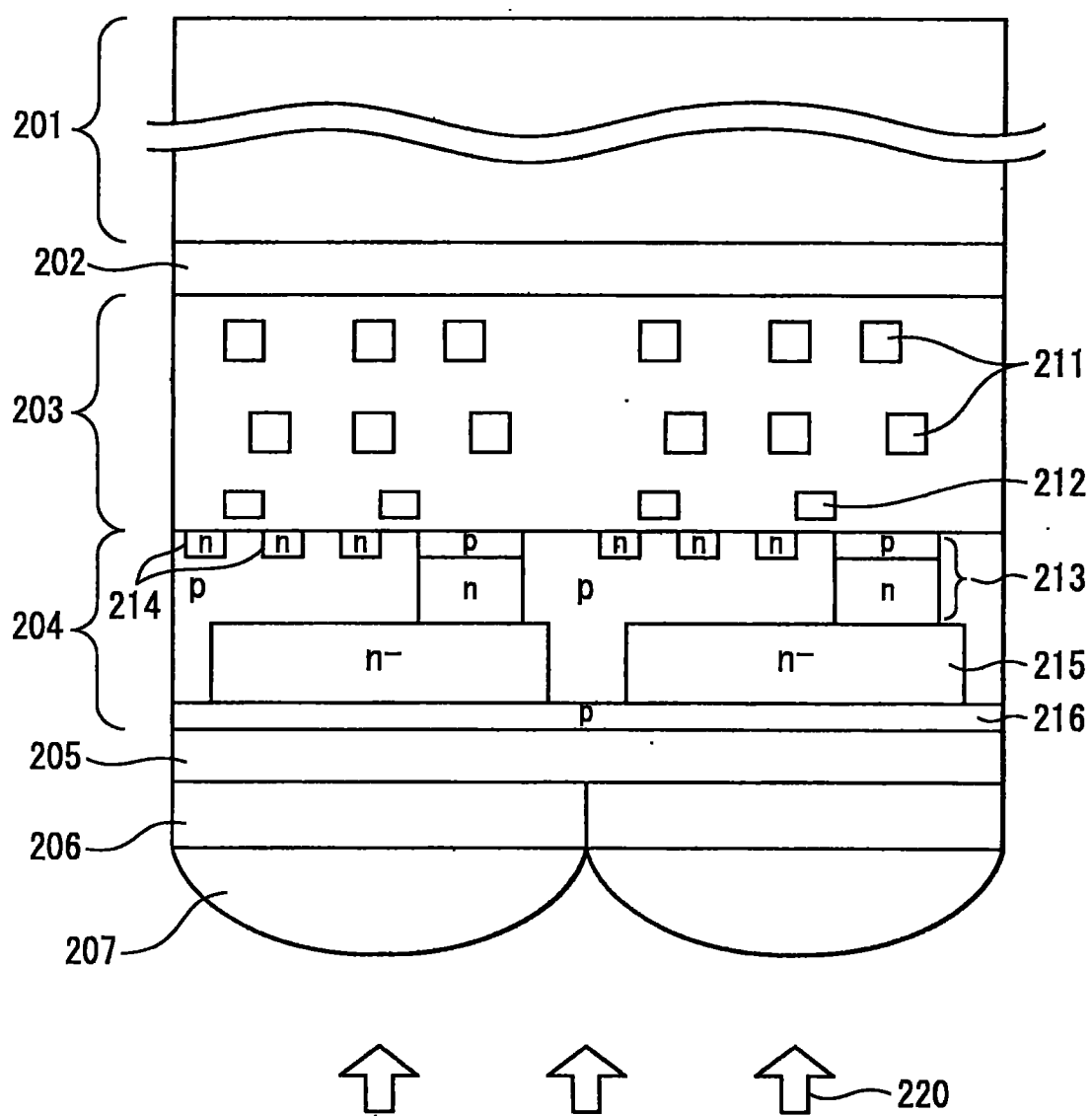


图 1

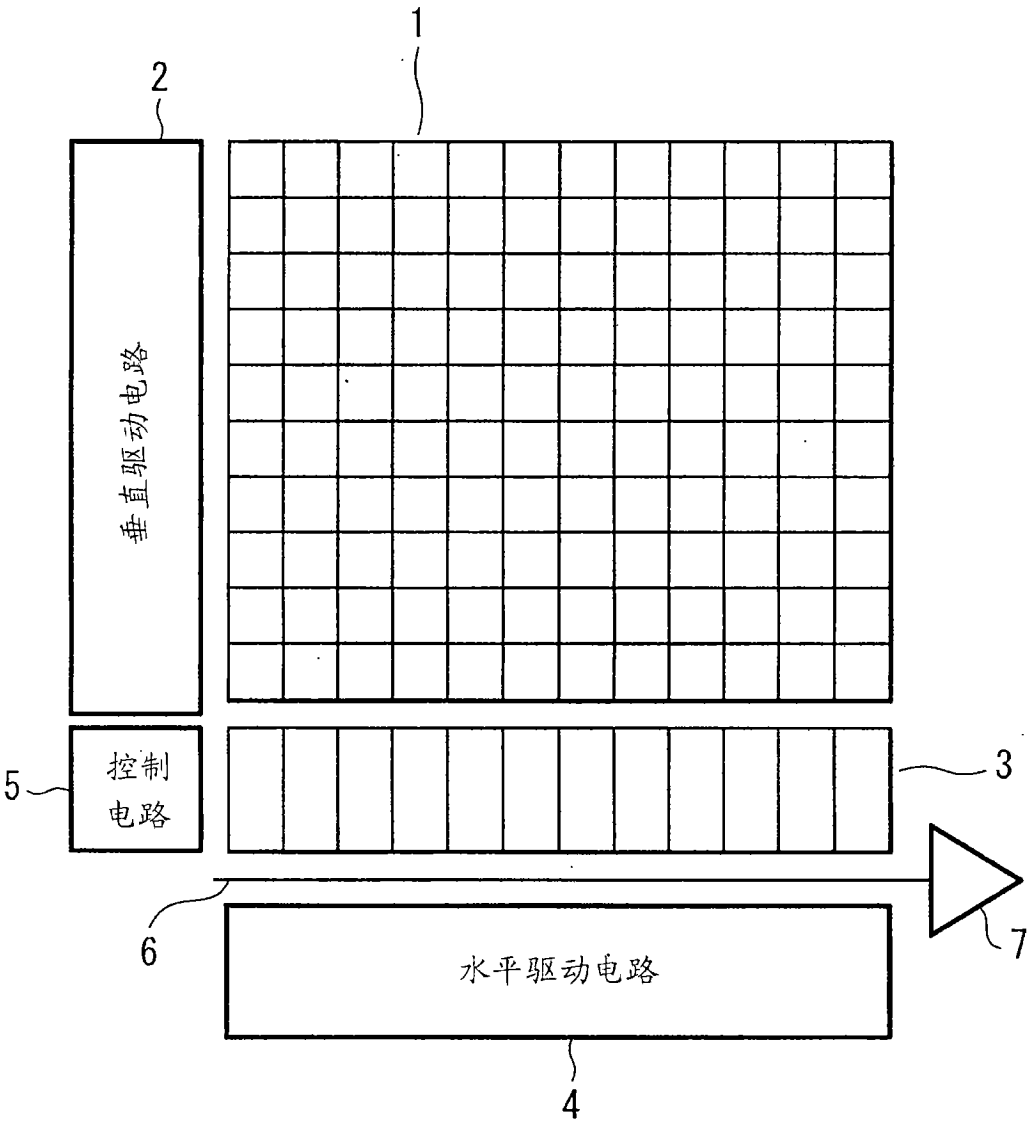


图 2

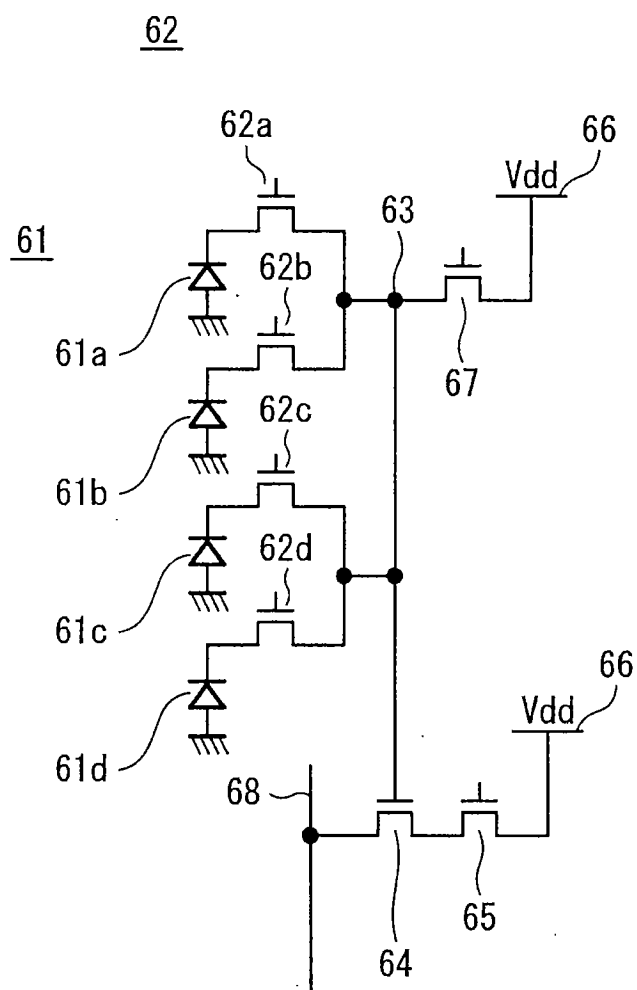


图 3

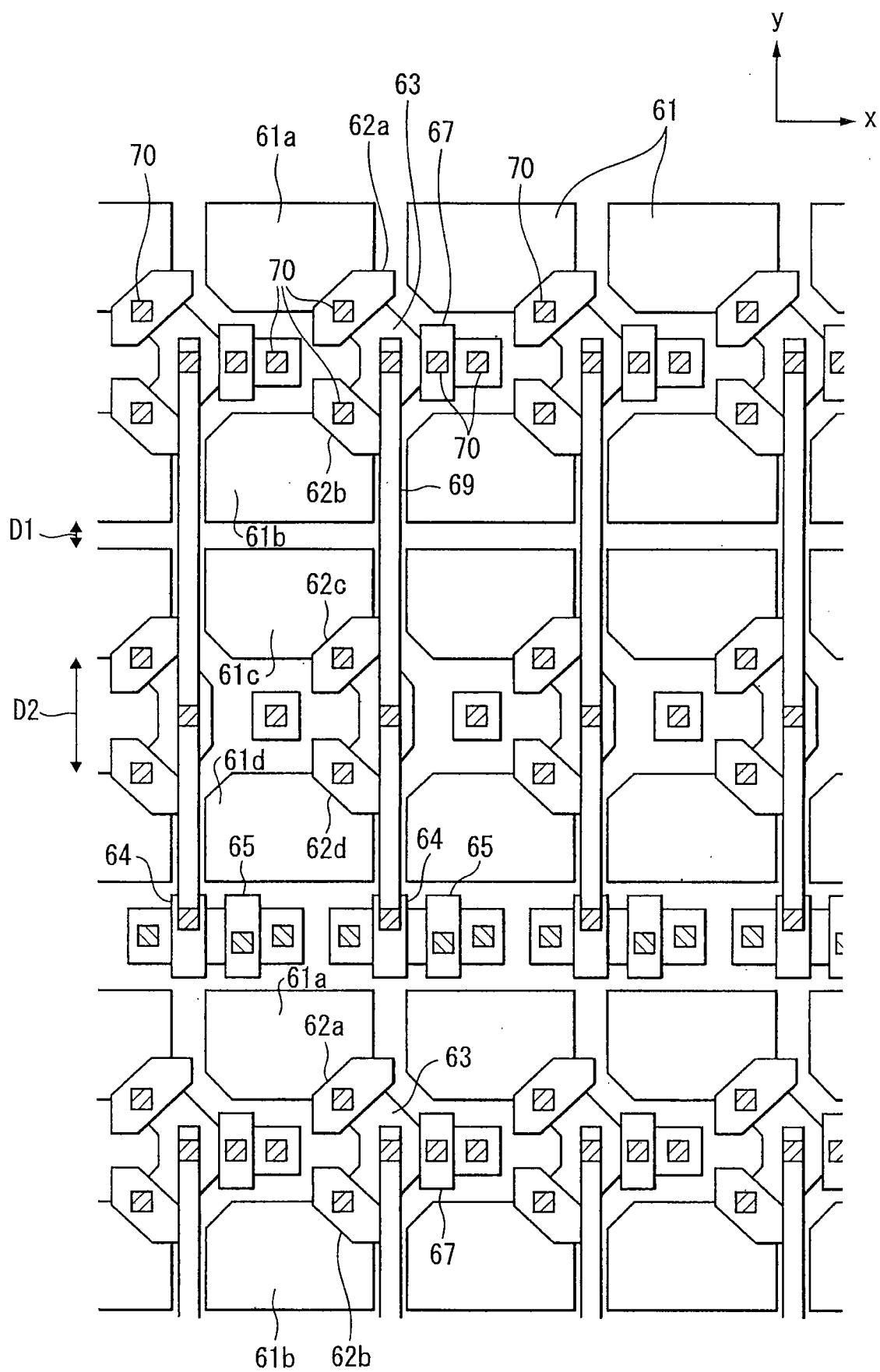


图 4

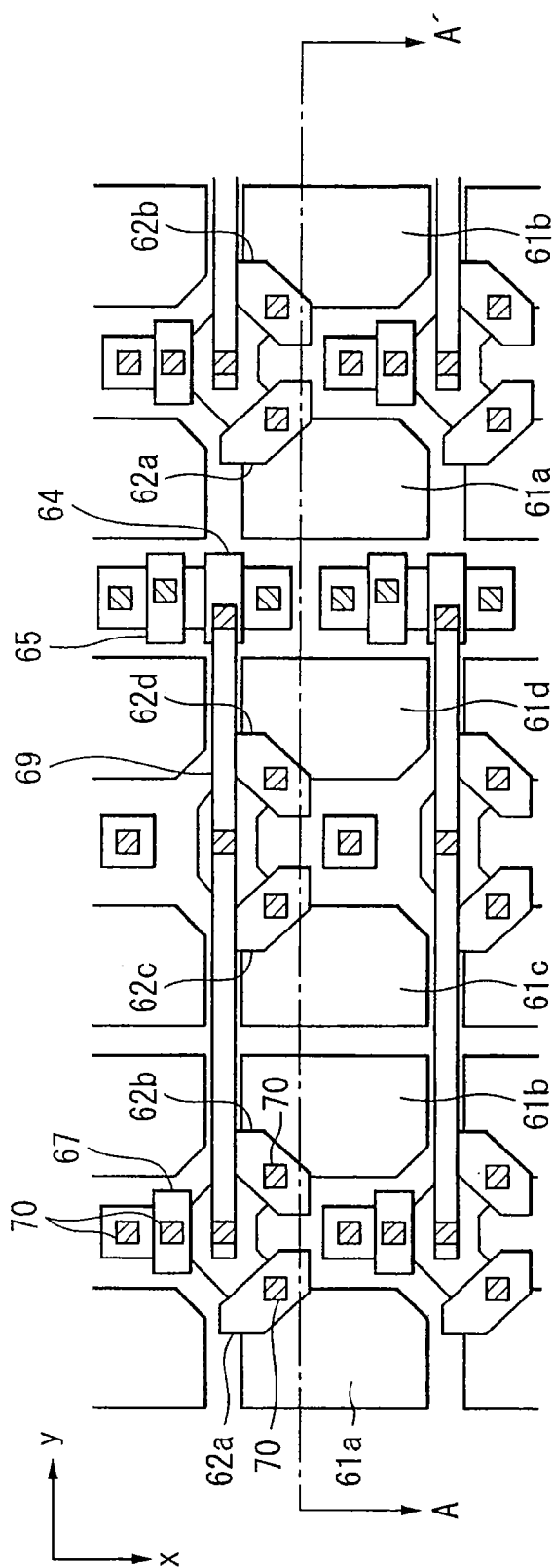


图 5A

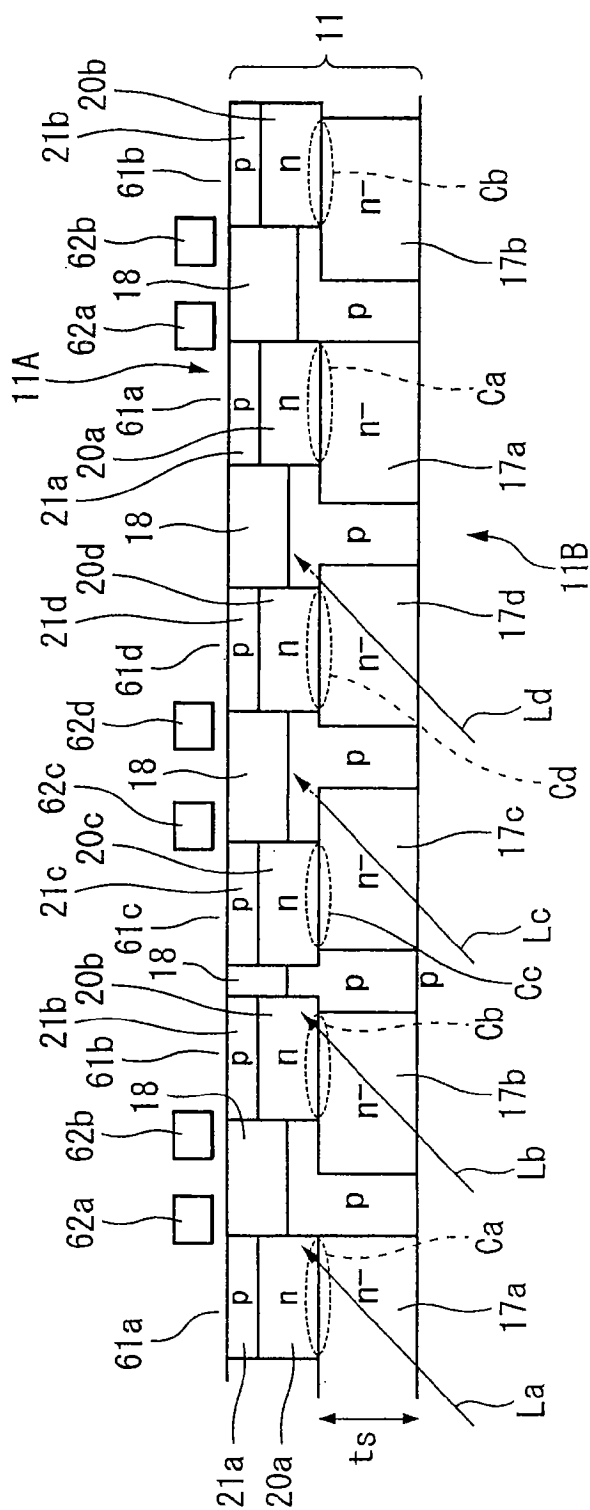


图 5B

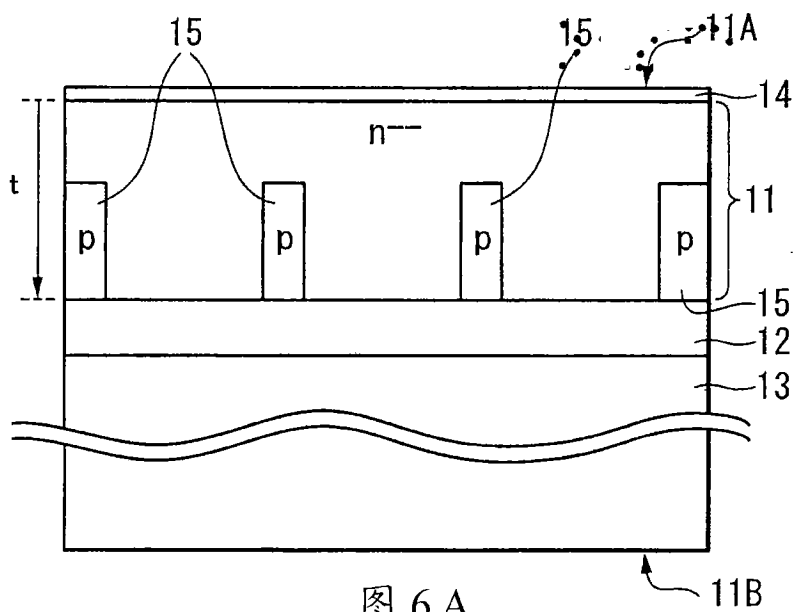


图 6A

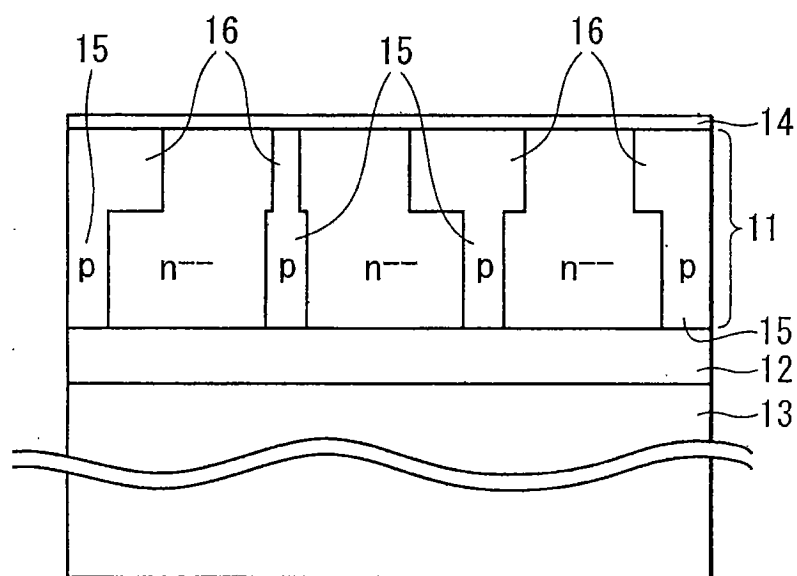


图 6B

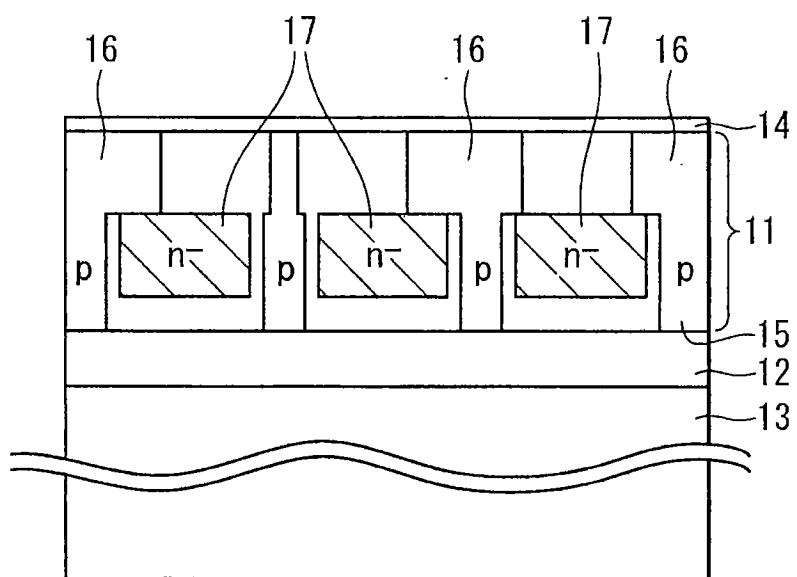


图 6C

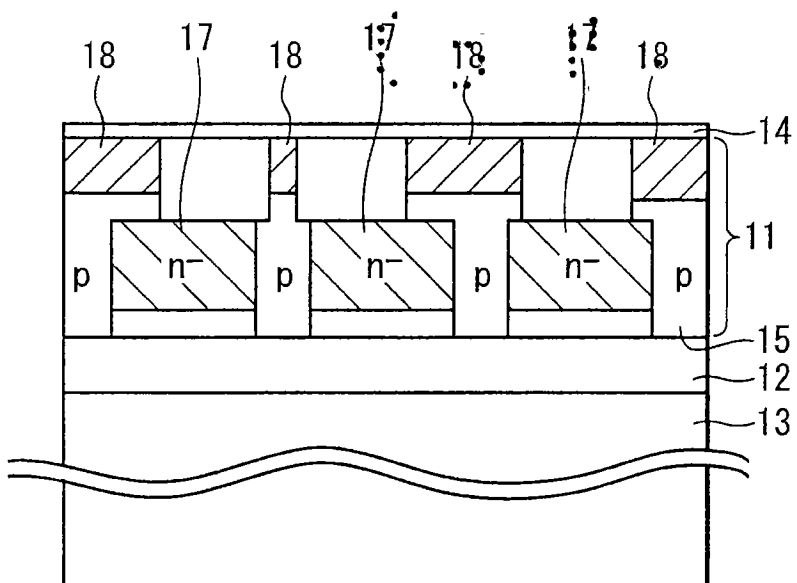


图 7A

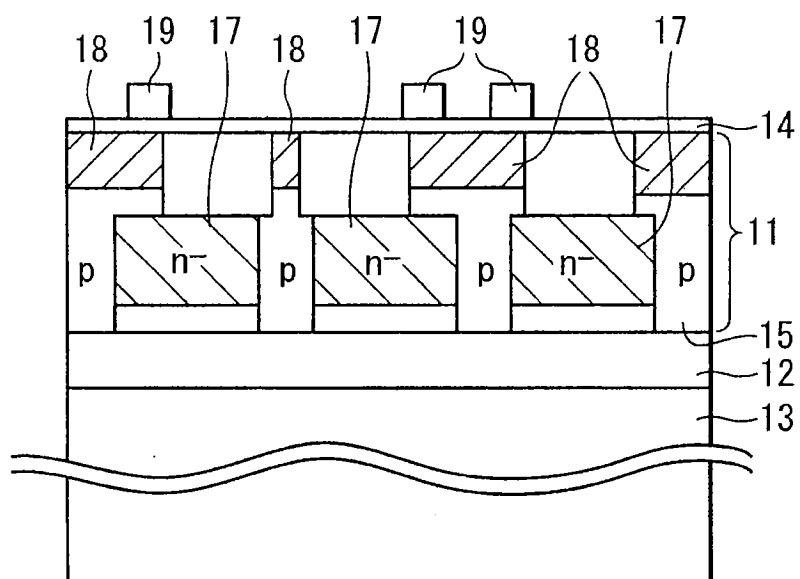


图 7B

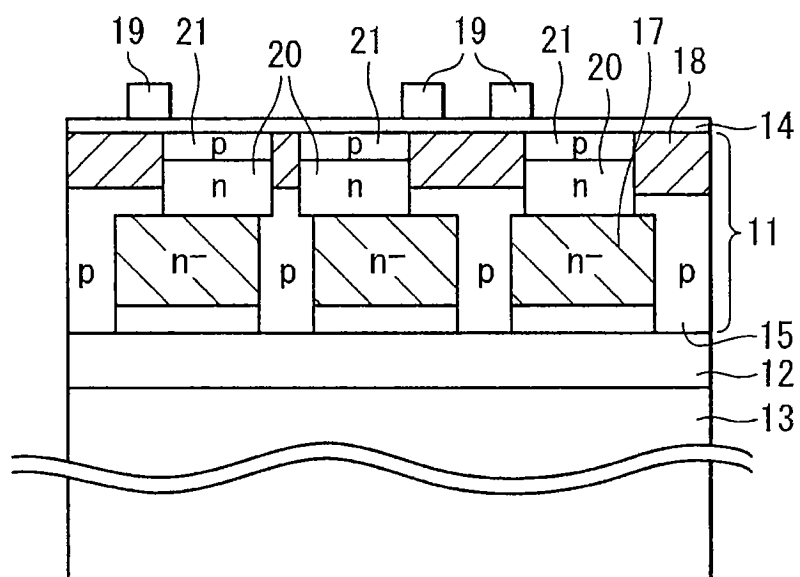


图 7C

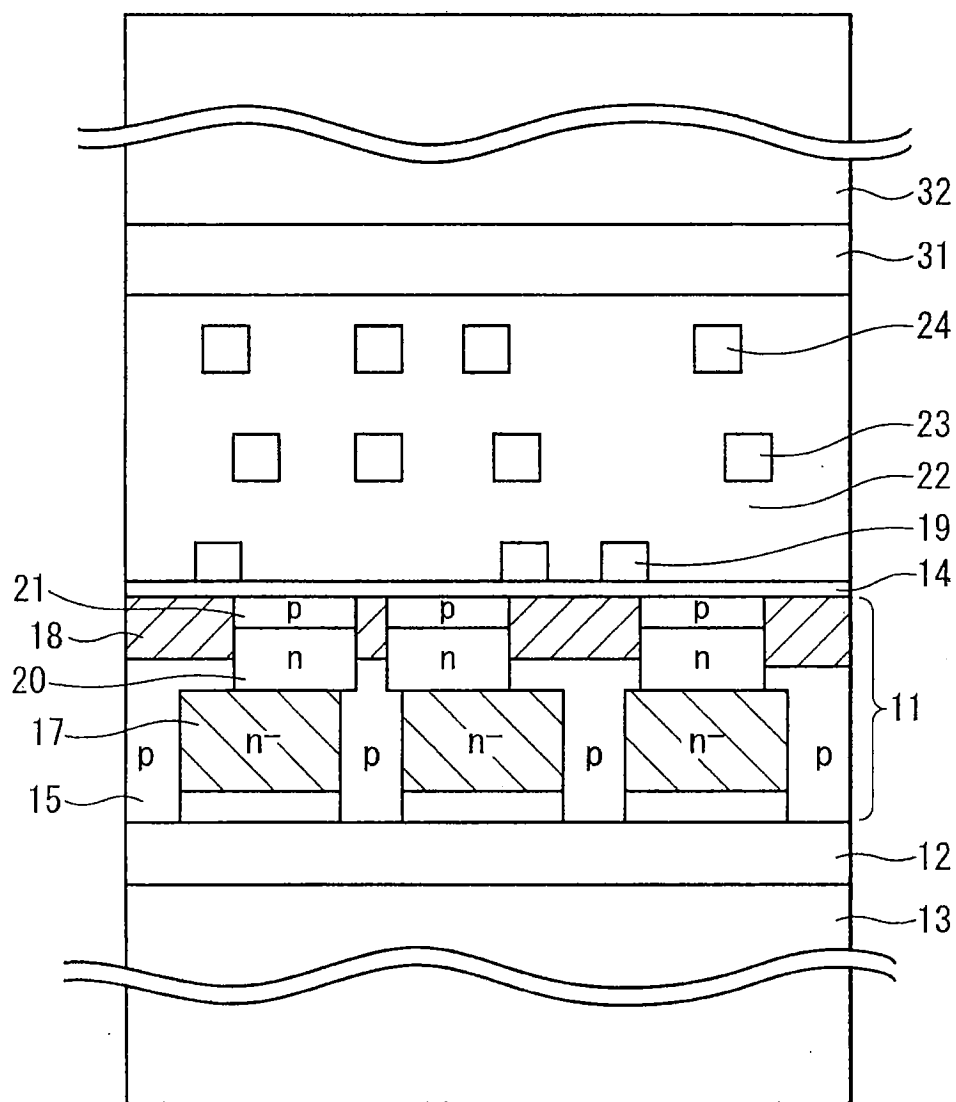


图 8

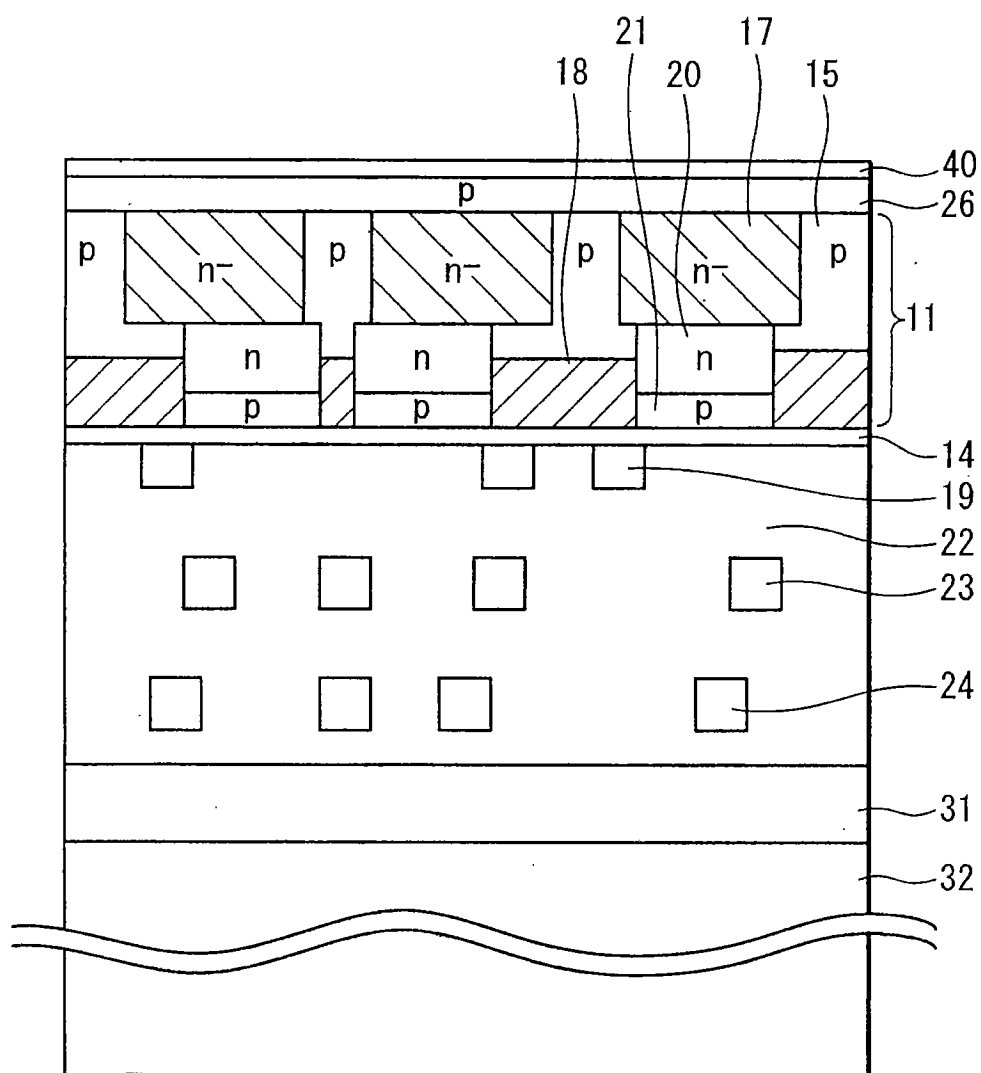


图 9

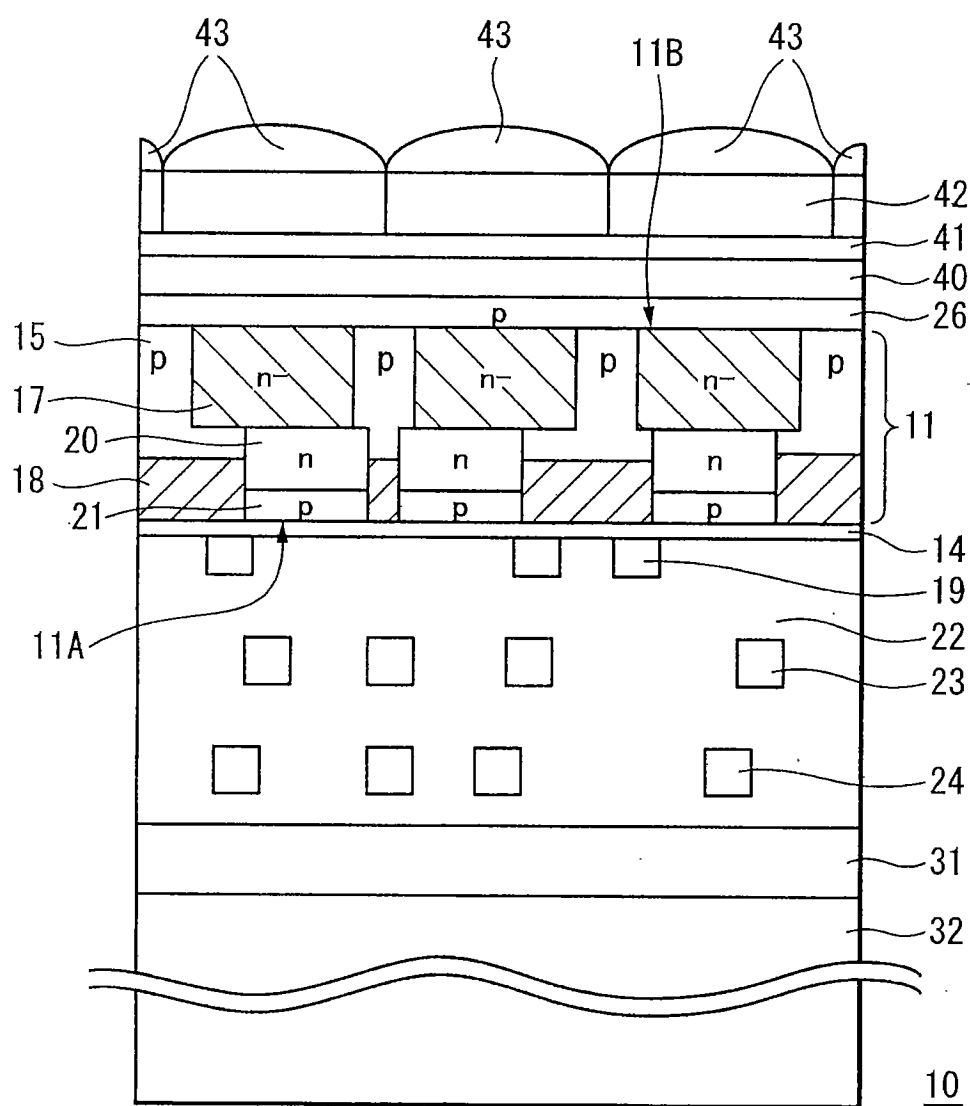


图 10

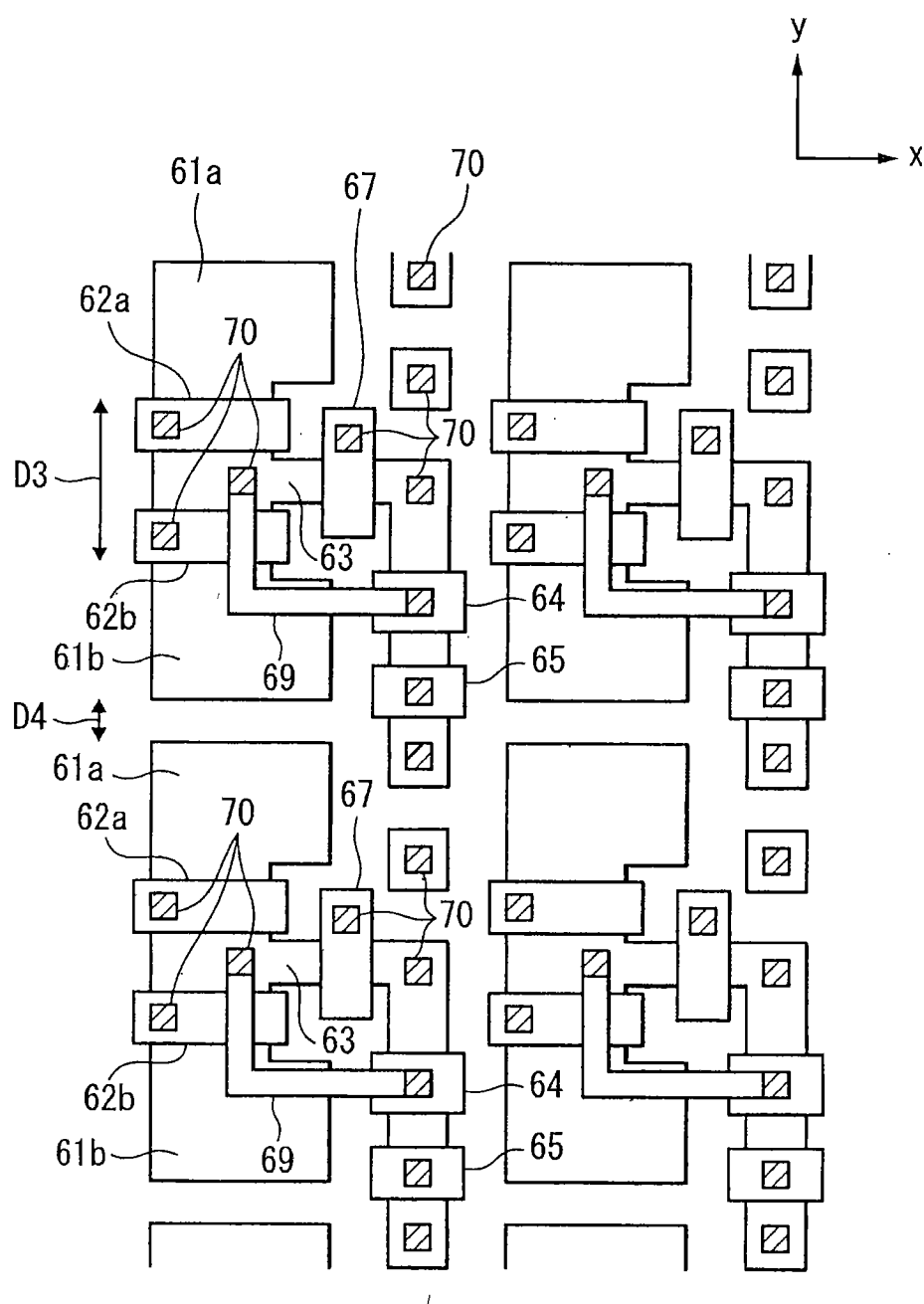


图 11

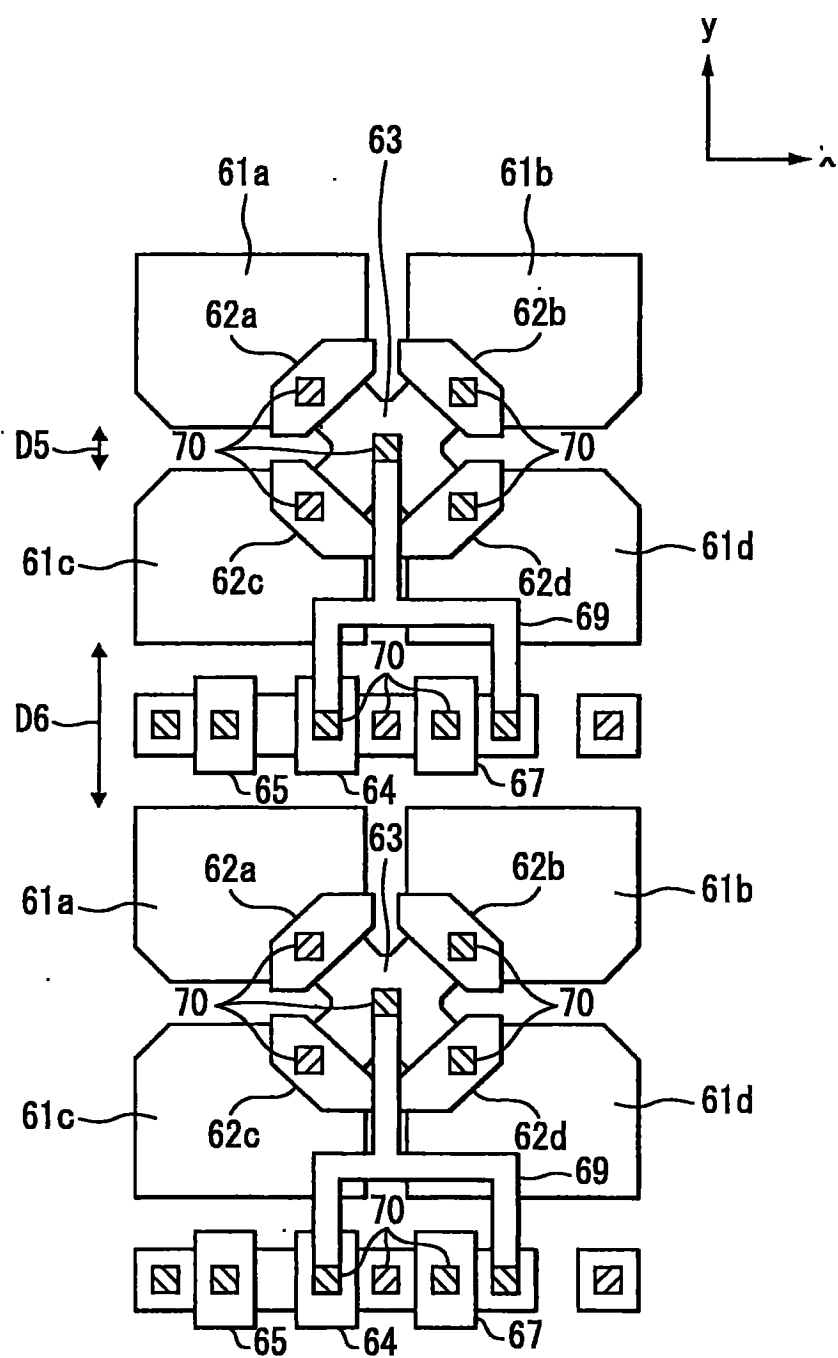


图 12

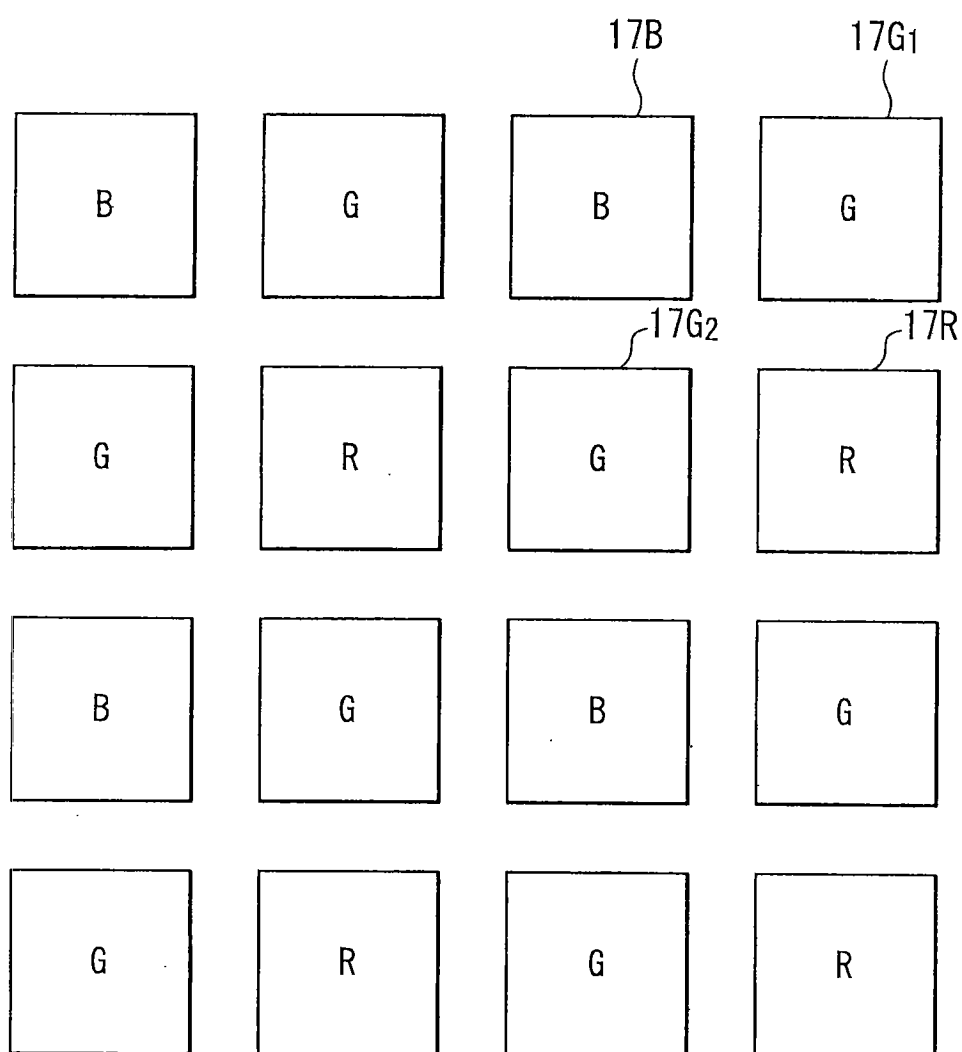
17 (61)

图 13

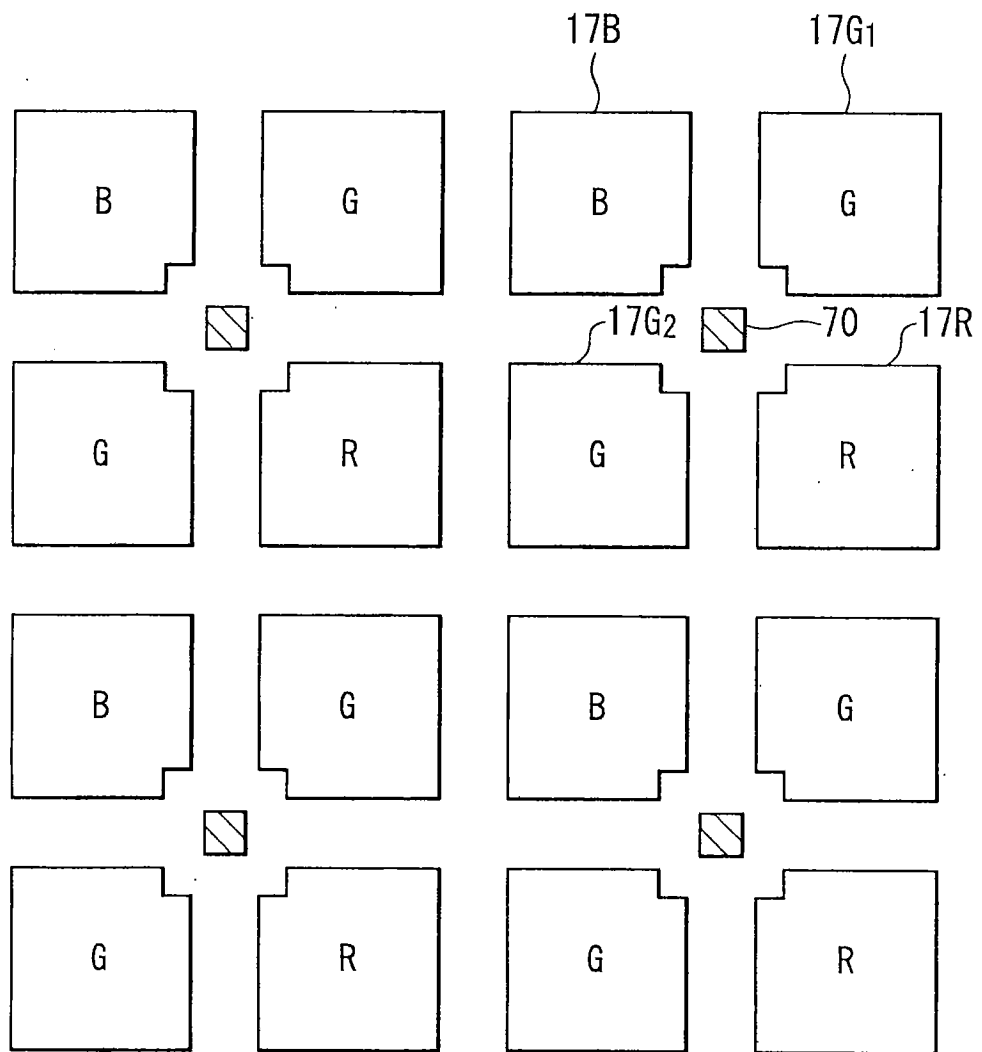
17 (61)

图 14

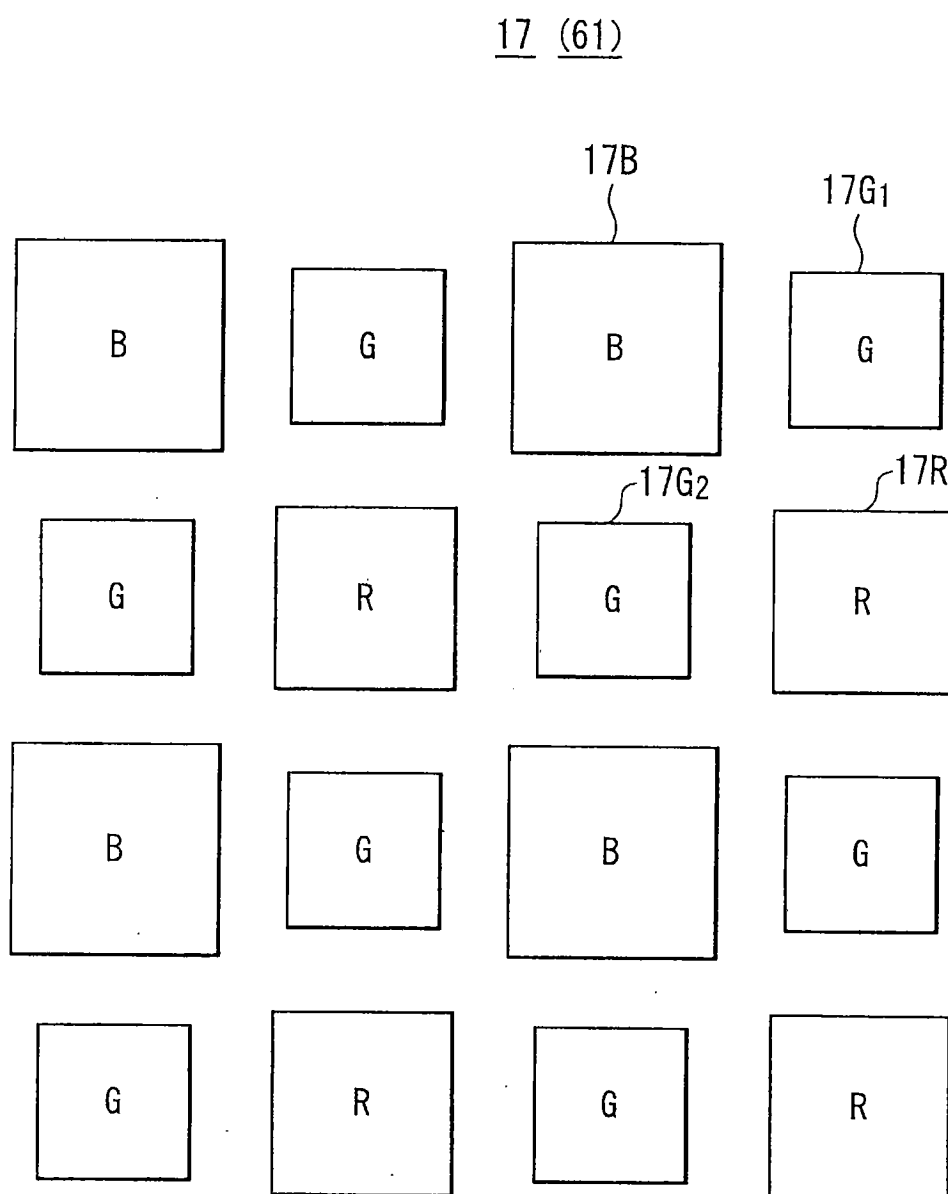


图 15

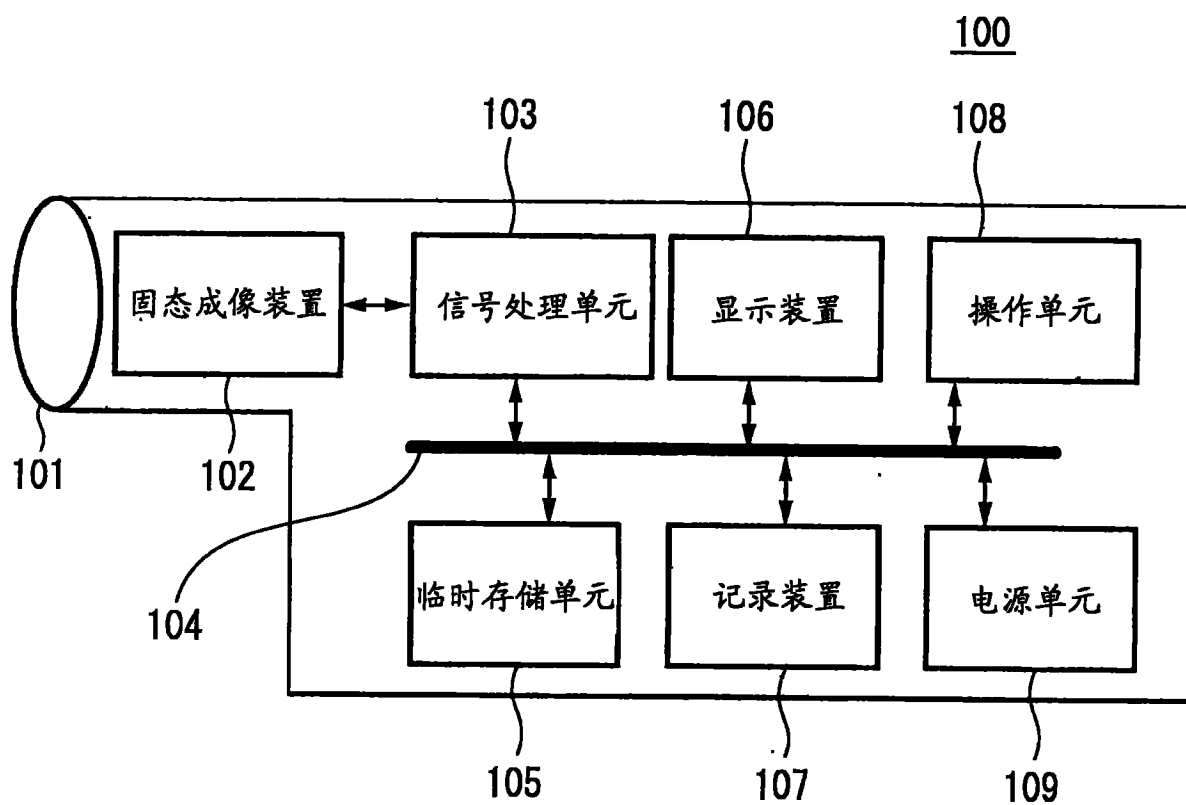


图 16