(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2006 年10 月5 日 (05.10.2006)

PCT

(10) 国际公布号
WO 2006/102833 A1

(51) 国际专利分类号:
H04B 10/12 (2006.01)

(21) 国际申请号: PCT/CN2006/000505

(22) 国际申请日: 2006 年3 月24 日 (24.03.2006)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
200510063017.2
2005 年4 月1 日 (01.04.2005) CN

(71) 申请人 (对除美国外的所有指定国): 华为技术有限公司(HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

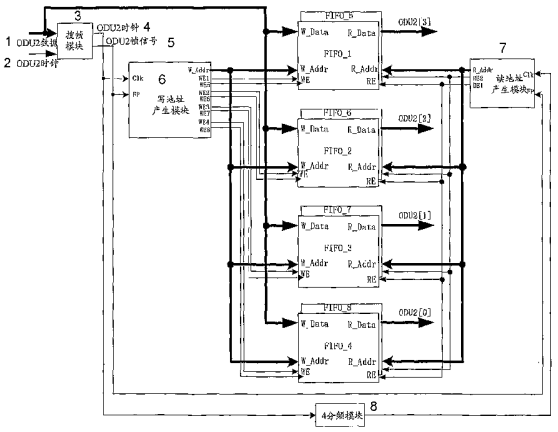
(72) 发明人; 及

(75) 发明人/申请人 (仅对美国): 肖新(XIAO, Xin) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 邹世敏(ZOU, Shimin) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 喻志清(YU, Zhiqing) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

[见续页]

(54) Title: A METHOD AND APPARATUS FOR SIGNAL SPLITTING AND SYNTHESIZING

(54) 发明名称: 信号拆分合并的方法及装置



(57) Abstract: An asynchronous signal splitting method comprises: store respectively the asynchronous frame signal needed to be split in sequence of frames, wherein the signal is in the unit of data frame, when n frames has been stored, transmit the n data frames parallelly through n channels, and repeat the process above; wherein, n is the multiple number between the rate level of the signal before splitting and that of the signal after splitting; and a splitting apparatus thereof. A signal synthesizing method comprises: store respectively the parallel n channels of signal needed to be synthesized in sequence of frames, wherein the signal is in the unit of dada frame, when the n channels of signal have been stored till each one finishes a frame, then read out the stored n channels of signal data frame in sequence in the unit of frame, repeat the process above; and a synthesizing apparatus thereof. The signal splitting/synthesizing method and apparatus are simple to realize, and have not restriction on each frame byte of the asynchronous signal, thus it can be applied not limit to the asynchronous frame signal of optical transmission network.

(57) 摘要: 本发明公开了一种异步信号的拆分方法，包括：将待拆分的异步帧信号以数据帧为单位，按帧的顺序分别进行缓存，每存满n帧后，将n个数据帧通过n个通道并行发出，重复执行上述过程；其中，n为拆分前与拆分后信号之间速率级别相差的倍数；以及一种基于该方法的拆分装置。还公开了一种信号的合并方法，包括：将待合并的n路并行信号以数据帧为单位

[见续页]

WO 2006/102833 A1

(74) 代理人：北京德琦知识产权代理有限公司(DEQI INTELLECTUAL PROPERTY LAW CORPORATION); 中国北京市海淀区知春路1号学院国际大厦7层, Beijing 100083 (CN)。

(81) 指定国（除另有指明，要求每一种可提供的国家保护）：AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW。

(84) 指定国（除另有指明，要求每一种可提供的地区保护）：ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告。

所引用双字母代码及其它缩写符号，请参考刊登在每期PCT公报期刊起始的“代码及缩写符号简要说明”。

，按帧的顺序分别同时进行缓存，并在该n路信号各存满一帧后，对所缓存的n路信号数据帧依次按帧读出，重复执行上述过程；以及一种基于该方法的合并装置。本发明的信号拆分/合并的方法和装置，实现简单，且对异步信号每帧的字节数没有限制，可应用于包括但不限于光传送网中的异步帧信号。

信号拆分合并的方法及装置

技术领域

本发明涉及一种异步信号的处理技术，特别是指一种实现异步信号拆分的方法和装置，以及对信号进行合并的方法及装置。

发明背景

光传送体系（OTH）技术是在同步数字体系（SDH）/同步光网络（Sonet）之后的新一代传送体制。为了实现 OTH 中的数据传输，国际电信联盟标准部（ITU-T）G.709 建议定义了光数据单元（ODUk）作为连接信号，光传送单元（OTUk）作为传送信号，以及光净荷单元（OPUk）、支路单元组（ODTUGk）等信号，用以实现不同的功能，其中 k = 1, 2, 3。

ODUk 的帧结构参见图 1 所示，共 4 × 3824 = 16320 字节（byte）。第 1 ~ 14 列（Column）的第 1 行（Row）为帧定界（FA）和 OTUk 开销（OH，Overhead）的保留区，第 1 ~ 14 列的第 2 ~ 4 行为 ODUk 的开销区，其余的第 15~3824 列为 OPUk 区共占 4 × 3810 字节。其中 ODUk 帧的 1 ~ 6 字节为定帧字节。

ODUk 通过映射可以转化为 OTUk，ODUk 到 OTUk 的映射结构参见图 2 所示。通过在保留区中填充 FA 和 OTUk 开销，并增加第 3825 至 4080 列（4 × 256 字节），在其中填充 OTUk 的前向纠错（FEC）编码（RS），从而得到 OTUk 帧，共 4 × 4080 = 15296 字节，其中 OTUk 帧的 1 ~ 6 字节为定帧字节。

ODUk（k = 1, 2, 3）作为三种级别的连接信号，速率分别为：

ODU1：239/238 × 2.48832 Gbps = 2.498775126 Gbps;

ODU2：239/237 × 9.95328 Gbps = 10.037273924 Gbps;

ODU3：239/236 × 39.81312 Gbps = 40.319218983 Gbps。

即，ODUk（k = 1, 2, 3）的速率满足：239/（239 - k）× “N 阶同步传送模块（STM-N）”。

OTUk（k = 1, 2, 3），作为三种级别的传送信号，速率分别为：

OTU1：255/238 × 2.48832 Gbps = 2.66605714285714 Gbps;

OTU2：255/237 × 9.95328 Gbps = 10.7092253164557 Gbps;

OTU3：255/236 × 39.81312 Gbps = 43.018413559322 Gbps。

即，OTUk（k = 1, 2, 3）的速率满足：255/（239 - k）× “STM-N”。

然而，现有的信号传送和交叉技术往往无法支持 ODU2/OTU2、ODU3/OTU3 等高速率信号的串行传送，例如：当前业界商用成熟的大容量异步电交叉网片端口速率一般只达到 3.6Gbps，只能支持 ODU1 串行信号的调度功能。

对于 OTU2/ODU2 信号，速率为 10Gbps 级别，一般需要拆分成 4bit 位宽的并行信号；对于 OTU3/ODU3 信号，速率为 40Gbps 级别，一般需要拆分成 16bit 位宽的并行信号。拆分后的并行信号还需要考虑成帧处理，保证宿端的正常定帧对齐，合并恢复出源信号。

现有技术的拆分方法是对 OTN 的帧结构以 16 字节/块拆分成 4 路通道后传送。参见图 3 所示，图 3 为光传送网中 OTU2 的帧结构拆分示意图，图中斜线填充部分为帧头区，一般是将 OTU2 帧直接按字节的顺序拆分成 4 路，第 1 路为 1 ~ 4080 字节，第 2 路为 4081 ~ 8160 字节，第 3 路为 8161 ~ 12240 字节，第 4 路为 12241 ~ 16320 字节。参见图 3a 所示，整个帧头区域将会落到第 1 个通道，这样无法实现宿端的定帧对齐，也就无法合并恢复出源信号。为了解决这个问题，在拆分后的第 2、3、4 帧起始位置，调整通道顺序，使帧头能够分别落到第 2、3、4 通道，参见图 3b 所示。如此保证每个通道都具有用于定帧的帧头区域，从而保

证宿端的定帧对齐合并正常进行。

这种拆分方法要求每帧能够整数的拆分成若干个通道（若干块组成）。以一帧大小来计算，帧大小为 F 字节，通道数为 C，每通道含的块数 B，块的大小为 S 字节（要大于帧区域大小），有：$F = C \times B \times S$。

因此，这种方法对于帧大小有要求，对于 OTN 帧结构 ODU/OTU 信号，帧头区域为 6 字节，所以块拆分的大小最小应为 6 字节。

例如：对于以上 OTU2 帧结构，由于 OTU2 帧大小为 16320 字节，拆分成 4 通道（10Gbps 速率级别，4 个通道方便处理），这样，16320 = 16 字节/块 × 4 通道 × 255，即每帧拆分到每个通道后有 255 块。

对于 ODU2 帧结构，扩展出上述的帧头区域（斜线区域 6 字节），ODU2 帧大小为 15296 字节，15296 = 16 字节/块 × 4 通道 × 239，即每帧拆分到每个通道后有 239 块。

而对于 OTU3 结构，大小 16320 字节，拆分成 16 通道，16320 = 16 字节/块 × 16 通道 × 63.75，即每帧拆分到每个通道后有 63.75 块，非整数，无法拆分。

对于 ODU3 结构，大小 15296 字节，拆分成 16 通道，15296 = 16 字节/块 × 16 通道 × 59.75，即每帧拆分到每个通道后有 59.75 块，非整数，也无法拆分。

从上面所述可以看出，由于现有技术的信号拆分方法对 OTN 系统中的一些帧结构无法适用，造成 OTN 系统信号处理能力的不完善，对于 OTN 的系统来说是一个缺陷，很多场合，例如：多种信号的统一传输、统一调度，该系统的许多功能都难以实现。

发明内容

有鉴于此，本发明的主要目的在于提供一种光传送网中信号的拆分

方法，实现OTN各种级别高速信号向低级别速率信号的拆分。

基于上述目的本发明提供的一种异步信号拆分的方法，包括：

将待拆分的异步信号以数据帧为单位，按帧的顺序分别进行缓存，每当存满n帧后，将该n个数据帧分别通过n个通道并行发出，与此同时缓存待拆分的异步信号后续的n帧数据；其中，n为拆分前与拆分后信号之间速率级别相差的倍数。

该拆分方法所述数据帧的缓存过程进一步包括：将所述每个数据帧的存入频率与所述待拆分信号的随路异步信号时钟同步；所述数据帧的发出过程进一步包括：将所述n个数据帧的并行发出频率为所述数据帧存入频率的n分之一。

该拆分方法所述数据帧的缓存方法为：设置两组缓存每组n个，每个缓存存储一个数据帧；将所述待拆分的异步信号以数据帧为单位，按帧的顺序分别写入一组缓存，每当存满一组缓存后，跳转到另一组缓存进行存储，与此同时将存满的一组缓存中的数据帧分别通过n个通道并行读出，写入和读出动作交错重复进行。

本发明的第二个目的提供一种异步信号的拆分装置，将OTN系统内部各种级别的高速信号拆分为低级别速率信号。

基于第二个目的本发明提供的一种异步信号的拆分装置，包括：

2n个先入先出存储器，分为两组，每组n个，每个存储器一次存储一帧的数据；

写地址产生模块，用于控制每个所述先入先出存储器的写入操作；

读地址产生模块，用于控制每个所述先入先出存储器的读出操作；以及

n分频模块，用于将输入时钟信号的频率降低为原频率的1/n后输出；

其中，n 为拆分前与拆分后信号之间速率级别相差的倍数;

写地址产生模块根据输入时钟信号的频率，产生写地址和写允许分别输入每个先入先出存储器，控制输入数据按帧的顺序依次串行写入一组先入先出存储器;同时所述时钟信号经 n 分频模块降低为原频率的 1/n 后输入至读地址产生模块，产生读地址和读允许分别输入至每个先入先出存储器，控制另一组先入先出存储器将所存储的数据同时并行输出;两组先入先出存储器交错执行上述操作。

该拆分装置进一步包括：用于对输入信号进行搜帧处理的搜帧模块;

输入信号进入搜帧模块，进行搜帧处理后，输出帧信号和所述的随路异步信号时钟输入至所述的写地址产生模块。

所述的随路时钟信号同时输入至 n 分频模块，经 n 分频模块输出后与所述的帧信号一起输入至所述的读地址产生模块。

本发明的第三个目的提供一种信号的合并方法，将多路低速信号合并为一路高速信号。

基于第三个目的所提供的一种信号的合并方法，包括:

将待合并的 n 路并行信号以数据帧为单位，按帧的顺序分别同时进行缓存，并在该 n 路信号各存满一帧后，对所缓存的 n 路信号数据帧依次按帧串行输出；其中，n 为合并后与拆分前信号之间速率级别相差的倍数。

该合并方法所述数据帧的缓存过程进一步包括：控制所述每个数据帧的存入频率与所述待合并信号的参考时钟同步;

所述数据帧的发出过程进一步包括：控制对存入的每个数据帧的读出频率为所述数据帧存入频率的 n 倍。

该合并方法所述数据帧的缓存方法为：设置两组缓存每组 n 个，每

个缓存存储一个数据帧；将待合并的n路并行信号以数据帧为单位，按帧的顺序分别同时写入一组缓存，每当存满一组缓存后，跳转到另一组缓存进行存储，与此同时将存满的一组缓存中的数据帧依次按帧串行读出，写入和读出动作交错进行。

本发明的第四个目的是提供一种信号的合并装置，将多路低速信号合并为一路高速信号。

基于本发明的第四个目的所提供的一种信号的合并装置，包括：

2n个先入先出存储器，分为两组，每组n个，每个存储器一次存储一帧的数据；

写地址产生模块，用于控制每个所述先入先出存储器的写入操作；

读地址产生模块，用于控制每个所述先入先出存储器的读出操作；以及

n倍频模块，用于将输入时钟信号的频率降低为原频率的n倍后输出；

其中，n为拆分前与拆分后信号之间速率级别相差的倍数；

写地址产生模块根据输入时钟信号的频率，产生写地址和写允许分别输入每个先入先出存储器，控制输入的n路数据按帧的顺序同时并行写入一组先入先出存储器；同时所述时钟信号经n倍频模块降低为原频率的n倍后输入至读地址产生模块，产生读地址和读允许分别输入至每个先入先出存储器，控制另一组先入先出存储器将所存储的数据依次串行输出；两组先入先出存储器交错执行上述操作。

该合并装置进一步包括：定帧对齐单元，用于对每路信号分别进行帧搜索，找到n路信号各自的帧起始位置，将n路信号的帧起始位置都对齐到相同的帧相位上，输出n路对齐的数据至所述2n个先入先出存储器，并输出参考帧信号至所述写地址产生模块和读地址产生模块。

该合并装置进一步包括:

接口单元，用于对输入的经过背板或者电缆等方式传送的n路异步信号进行时钟数据恢复，恢复后的n路时钟选出其中一路时钟作为参考时钟和待对齐的并行数据信号发送至所述的定帧对齐单元；所述的参考时钟经 n 倍频模块输出后输入至所述写地址产生模块和读地址产生模块。

从上面所述可以看出，本发明提供的光传送网中信号拆分的方法和装置，在进行信号拆分时，以帧为基本单位进行拆分，每帧的帧头区域被完整的保存下来，无需在拆分过程中再进行调整，使拆分操作大为简化，同时对每帧包含的字节数也没有要求，实现对光传送网中的各种信号都能够进行拆分。同时，本发明还提供了光传送网中信号合并的方法和装置，对低速信号以帧为基本单位进行合并，每帧的帧头区域被完整的保存下来，大大简化了信号合并的操作，并且对待合并信号每帧的字节数无需进行限制。

附图简要说明

图 1 为光传送网中 ODUk 信号的帧结构示意图;

图 2 为光传送网中 ODUk 到 OTUk 的映射结构示意图;

图 3 为光传送网中 OTU2 的帧结构拆分示意图;

图 4 为本发明较佳实施例的 ODU2 拆分装置的结构示意图;

图 5 为本发明较佳实施例的 ODU3 拆分装置的结构示意图;

图 6 为本发明较佳实施例的 ODU2 合并装置的结构示意图;

图 7 为本发明较佳实施例的 ODU3 合并装置的结构示意图;

图 8 为本发明较佳实施例中包含有接口单元和定帧对齐单元的合并装置的结构框图;

图 9 为本发明 ODU2 合并装置的接口单元的结构示意图；

图 10 为本发明 ODU2 合并装置的定帧对齐单元的结构示意图；

图 11 为本发明定帧对齐单元帧对齐过程的时序图。

实施本发明的方式

下面结合附图及具体实施例对本发明再作进一步详细的说明。

本发明拆分方法的核心思想为：以帧为单位对信号进行拆分，对高速信号按帧的顺序进行缓存，每当存满 n 帧后，将该 n 帧的数据并行发出，重复执行上述过程直至将高速信号完全拆分成所需的低速信号。其中，n 为高速信号与低速信号之间速率级别相差的倍数。

以下以 OTN 中的应用为例进行详细说明。以将 ODU2 信号拆分为 ODU1 速率级别的信号为例，ODU2 信号串行进行缓存，存满 4 帧后，将这 4 帧数据并行发出，与此同时，缓存后面的数据帧，待存满 4 帧后并行发出，如此反复执行上述操作，这样就将一路串行的 ODU2 成功地拆分成了 4 路并行信号，也可称为 4 个通道并行信号。由于这 4 路信号组合在一起才能构成完整的 ODU2，因此为了下文描述方便，本发明用 ODU2[3:0]代表 ODU2 拆分后得到的 4 个 ODU1 速率级别的并行信号。在这一过程中由于以帧为基本单位进行拆分，每帧的帧头区域被完整的保存下来，无需在拆分过程中再进行调整，使拆分操作大为简化，同时对每帧包含的字节数没有要求。

对于 OTU2 信号，如果需将其拆分为 OTU1 速率级别的信号，则也采用上述拆分过程。本发明用 OTU2[3:0]代表 OTU2 拆分后得到的 4 个 OTU1 速率级别的并行信号。

对于 ODU3/OTU3 信号，如果需要拆分为 ODU1/OTU1 速率级别的信号，则在每次存满 16 帧后，并行发出，拆分成 16 路 ODU1/OTU1 速

率级别的信号，为了下文描述方便，本发明用 ODU3[15:0]/OTU3[15:0]代表 ODU3/OTU3 拆分后得到的 16 个 ODU1/OTU1 速率级别的并行信号；如果需要拆分为 ODU2/OTU2 速率级别的信号，则在每次存满 4 帧后，并行发出；其余过程与 ODU2/OTU2 信号的处理完全类似。

基于上述方法，本发明较佳实施例的 ODU2 拆分装置的结构参见图 4 所示，包括：搜帧模块、写地址产生模块，读地址产生模块，4 分频模块、以及 8 个先入先出存储器 FIFO_1、FIFO_2、FIFO_3、FIFO_4、FIFO_5、FIFO_6、FIFO_7、FIFO_8。其中，4 分频模块用于将输入时钟信号的频率降低为原有频率的 1/4；写地址产生模块用于控制每个 FIFO 写指针的写入频率；读地址产生模块用于控制每个 FIFO 读指针的读出频率；8 个 FIFO 共分为两组，每 4 个为一组，每个 FIFO 可存储一个 ODU2 帧的数据。

该装置对 ODU2 信号的拆分过程具体包括：

输入的 ODU2 异步信号具有随路的异步信号时钟 CLK，经搜帧模块进行搜帧处理后得到帧信号 FP，这一过程是成熟的现有技术，不再赘述。随路异步信号时钟 Clk 与帧信号 FP 一起进入写地址产生模块，这里随路异步信号时钟用于控制 FIFO 的写频率，帧信号 FP 用于控制 FIFO 的写起始地址，写地址产生模块根据输入的 Clk 和 FP 产生写地址 W_Addr 和写允许 WEi（i=1，2……8），分别进入每个 FIFO 的 W_Addr 和 WE 端，控制 FIFO 的写入。所述写地址和写允许的产生规则为：FIFO 写地址循环变化，使 ODU2 数据按帧依次写入各个 FIFO；写允许信号轮流有效，使写满第一组的 4 个 FIFO 后再跳转到另一组 FIFO。其中，在图 4 中两组中对应的 FIFO 共用一组写地址 W_Addr 线来接收写地址信号，即 FIFO_1 与 FIFO_5、FIFO_2 与 FIFO_6、FIFO_3 与 FIFO_7、FIFO_4 与 FIFO_8 两两共用一组，从而可以简化布线，当然也允许为每个 FIFO

都提供一组写地址 W_Addr 线。

时钟 Clk 还输入至 4 分频模块，经 4 分频模块分频后的输出信号与帧信号 FP 一起分别输入至读地址产生模块的 Clk 和 FP 端，这里随路异步信号时钟用于控制 FIFO 的读频率，帧信号 FP 用于控制 FIFO 的读起始地址，读地址产生模块根据输入的 Clk 和 FP 产生读地址 R_Addr 以及读允许 RE1、RE2，读地址 R_Addr 分别进入每个 FIFO 的 R_Addr；读允许 RE1 输入第一组先入先出存储器 FIFO_1、FIFO_2、FIFO_3、FIFO_4，RE2 输入第二组先入先出存储器 FIFO_5、FIFO_6、FIFO_7、FIFO_8，分别控制各 FIFO 的读出。读地址和读允许的产生规则是：读地址循环变化，读允许信号 RE1 和 RE2 交替有效，使两组 FIFO 中的数据交替并行读出，其中，在图 4 中两组中对应的 FIFO 共用一组读地址 R_Addr 线，即 FIFO_1 与 FIFO_5、FIFO_2 与 FIFO_6、FIFO_3 与 FIFO_7、FIFO_4 与 FIFO_8 两两共用一组，当然，也可设置为不共用。另外，产生的读地址信号需要保证当前进行读出操作的一组 FIFO 与当前进行写入操作的一组 FIFO 错开，进行乒乓方式的读写，即写 FIFO_1 至 FIFO_4 的期间，读 FIFO_5 至 FIFO_8；写 FIFO_5 至 FIFO_8 时，读 FIFO_1 至 FIFO_4。其中，可以看出，FIFO 的读出频率是写入频率的 1/4。

ODU2 数据顺序写入 FIFO_1、FIFO_2、FIFO_3 和 FIFO_4，每个 FIFO 存储一帧数据；FIFO_1 至 FIFO_4 都写入一帧过后，跳转到 FIFO_5、FIFO_6、FIFO_7 和 FIFO_8 同样的顺序写入，与此同时，读指针开始从 FIFO_1、FIFO_2、FIFO_3 和 FIFO_4 中同时并行读出数据，形成低速的并行数据 ODU2[0]、ODU2[1]、ODU2[2]和 ODU2[3]输出，读速率为 ODU2 速率的 1/4，如此读写动作交替，即完成了 ODU2 信号到并行信号 ODU2[3:0]（ODU1 速率级别信号）的转换。

如此，拆分后得到的 ODU2[3:0]信号依然为成帧信号，包含有 FA

区域；数据延迟为 4 倍 ODU2 信号周期。

对于 OTU2 信号的情况与 ODU2 的基本相同，只是 OTU 拆分单元的每个 FIFO_x 需要存储 OTU2 的一帧数据。

对于需拆分为 ODU1/OTU1 速率级别信号的 ODU3/OTU3 信号，与上述 ODU2 信号的拆分装置完全类似，参见图 5 所示，图 5 为本发明较佳实施例的 ODU3 拆分装置的结构示意图，所不同的是需在拆分装置中设置 32 个 FIFO，每 16 个作为一组，以及用于将输入信号的频率降低为原有频率 1/16 的 16 分频模块，写地址产生模块和读地址产生模块分别控制该 32 个 FIFO 的读写。用于其它信号处理的拆分装置的结构，本领域技术人员也完全可以依此类推。

与上述拆分方法相对应，本发明还提出了一种信号的合并方法，包括：将 n 路对齐的并行低速信号的数据按帧进行缓存，以 n 倍于存入的速率按帧顺序依次读取所缓存的数据，根据对齐后的帧相位确定帧头区域，合并为高速信号后串行发出。

由于通常合并前的 n 路低速信号帧相位并不是相同的，这种情况下，一般还需要在进行上述合并过程之前，增加对这些信号的对齐过程包括：对 n 路并行信号进行时钟和数据恢复，将恢复后的 n 路时钟和数据信号以其中的任意一路时钟作为参考时钟对这 n 路数据信号进行帧搜索，找到 n 路数据信号各自的帧起始位置，将 n 路数据信号的帧起始位置按照某路数据信号的帧起始位置，对齐到相同的帧相位上，生成参考帧信号，具体实现可参见下文对图 10 的描述。

以经上述拆分方法后得到的 ODU2[3:0]合并为 ODU2 的过程为例，具体合并过程包括：对 n 路并行信号 ODU2[3:0]进行时钟和数据恢复，将恢复后的 4 路时钟和数据信号以其中的一路时钟作为参考时钟对这 4 路数据信号进行帧搜索，找到 4 路数据信号各自的帧起始位置，将 4 路

数据信号的帧起始位置都对齐到相同的帧相位上，并生成参考帧信号，将输出 4 路对齐的数据和参考帧信号一起按帧并行写入存储器缓存，然后，以 4 倍于写操作的速率按帧顺序依次读取数据，恢复出 ODU2 数据。如此，采用乒乓读写方式反复执行上述操作，从而将并行的低速信号 ODU2[3:0]恢复为 ODU2 信号。

基于上述合并方法，本发明的低速信号合并装置，参见图 6 所示。

图 6 是以 ODU2[3:0]合并为 ODU2 信号为例的 ODU2 合并装置结构示意图，包括：写地址产生模块、读地址产生模块、4 倍频模块、以及 8 个先入先出存储器 FIFO_1、FIFO_2、FIFO_3、FIFO_4、FIFO_5、FIFO_6、FIFO_7 和 FIFO_8。其中 8 个 FIFO 分为两组，每个 FIFO 存储一帧数据。

写地址产生模块根据接收的参考时钟和参考帧信号，产生各个 FIFO 的写地址 W_Addr 和写允许信号 WE1、WE2，这里参考时钟的作用是控制 FIFO 的写频率，参考帧信号的作用是控制 FIFO 的写起始地址，产生规则是：FIFO 写地址 W_Addr 循环变化，WE1 和 WE2 交替有效；在第一个参考时钟周期中，WE1 有效，写地址 W_Addr 指向第一组 FIFO，使对齐的 ODU2[3:0]并行数据 ODU2[0]至 ODU2[3]并行写入第一组 FIFO；在下一个参考时钟周期来临时，WE2 有效，写地址 W_Addr 指向第二组 FIFO，对齐的并行数据 ODU2[0]至 ODU2[3]开始写入第二组 FIFO。其中，两组中对应的 FIFO 可共用一组写地址线，即 FIFO_1 与 FIFO_5、FIFO_2 与 FIFO_6、FIFO_3 与 FIFO_7、FIFO_4 与 FIFO_8 两两共用一组，写速率为参考时钟速率。

参考时钟信号经 4 倍频模块后输出的 4 倍频时钟信号与参考帧信号一起进入读地址产生模块，产生各个 FIFO 的读地址 R_Addr 和读允许信号 RE1、RE2、RE3、RE4、RE5、RE6、RE7、RE8，这里参考时钟的作用是控制 FIFO 的读频率，参考帧信号的作用是控制 FIFO 的读起始地

址，产生规则为：FIFO 读地址循环变化，读允许信号轮流有效，例如：在第一个 1/4 参考时钟周期，RE5 有效，读地址指向 FIFO_5，将 FIFO_5 中的数据帧读出，如此，在第一个参考时钟周期结束后，FIFO_5 至 FIFO8 中的数据都依次被串行读出；然后另一参考时钟周期的第一个 1/4 周期，读地址指向 FIFO_1，将 FIFO_1 中的数据帧读出；如此，在第一个参考时钟周期结束后， FIFO_1 至 FIFO4 中的数据都依次被串行读出。从而使读完第一组的 4 个 FIFO 后再跳转到另一组 FIFO，FIFO_1 至 FIFO8 中的数据不断被串行读出。其中，两组中对应的 FIFO 可共用一组读地址 R_Addr 线，即 FIFO_1 与 FIFO_5、FIFO_2 与 FIFO_6、FIFO_3 与 FIFO_7、FIFO_4 与 FIFO_8 两两共用一组。FIFO 中的数据被串行读出，并且当前正在读的一组 FIFO 与当前正写的一组 FIFO 错开。

这样，FIFO 的写指针并行分别写入 FIFO_1、FIFO_2、FIFO_3 和 FIFO_4，然后再并行写入 FIFO_5、FIFO_6、FIFO_7 和 FIFO_8，写速率为参考时钟速率；此时，读指针开始从 FIFO_1、FIFO_2、FIFO_3 和 FIFO_4 顺序读出数据，读速率为参考时钟的 4 倍频。如此不断循环，从而完成了 4 路 ODU2 并行信号 ODU2[3:0]（2.5Gbps 级别信号）到一路 ODU2 信号的转换。

OTU2[3:0]合并为 OTU2 信号的 OTU2 合并装置结构与图 6 所示完全一致。

将 ODU3[15:0]合并为 ODU3 信号的 ODU3 合并装置结构参见图 7 所示，与用于 ODU2 信号的合并装置所不同的只是在 ODU3 合并装置中设置 32 个 FIFO，每 16 个为一组，4 倍频模块替换为用于将输入信号的频率提高为原有频率 16 倍的 16 倍频模块，写地址产生模块和读地址产生模块分别控制该 32 个 FIFO 的读写。ODU3 合并装置的工作方式与 ODU2 信号合并装置完全类似。用于将 OTU3[15:0]合并为 OTU3 信号的

OTU3 合并装置结构与图 7 所示的结构也完全相同。用于其它信号处理的合并装置的结构，本领域技术人员也完全可以依此类推。

由于通常输入的 n 路低速信号的帧相位不同步，因此，合并装置通常与用于定帧对齐的装置配合使用。

以 ODU2[3:0]信号的处理为例，参见图 8 所示，在图 6 或图 7 所示的合并装置前进一步设置：接口单元、定帧对齐单元。接口单元和定帧对齐单元分别用于异步信号的时钟恢复及时钟选择和定帧对齐处理。处理其它信号的装置组成与图 7 所示的完全一样，信号处理过程也可以此类推。

待合并的 4 路 ODU2[3:0]进入接口单元中，接口单元对输入的 4 路并行信号进行时钟数据恢复，将恢复后的 4 路时钟和数据信号输入至定帧对齐单元，并根据时钟选择控制信号选择其中一路时钟作为参考时钟分别发送至定帧对齐单元和 ODU2 合并装置。

定帧对齐单元对每路信号分别进行帧搜索，找到 4 路信号各自的帧起始位置，将 4 路信号的帧起始位置都对齐到相同的帧相位上，输出 4 路对齐的数据和参考帧信号至 ODU2 合并装置。

ODU2 合并装置内部设置有两组 FIFO，每组 4 个，每个 FIFO 存储一帧数据。对齐之后的 ODU2[3:0]并行数据与参考帧一起按帧使用低速时钟并行写入其中的一组 FIFO，进行对齐处理；与此同时，以 4 倍于写操作的速率按帧顺序依次从另一组 FIFO 中读取数据并发出，两组 FIFO 采用乒乓读写方式防止读写冲突。最后得到 ODU2 数据；数据提前为 4 倍 ODU1 信号周期。

其中的接口单元结构参见图 9 所示，包括：4 个时钟数据恢复模块（CDR）和四选一的选择器，ODU2[3:0]的各路并行信号 ODU2[0]、ODU2[1]、ODU2[2]和 ODU2[3]分别进入 4 个 CDR 恢复出数据 ODU2[n]

和对应的时钟信号 ODU2[n] Clk 并输出，其中 n = 0, 1, 2, 3；恢复出的 4 路时钟信号 ODU2[n] Clk 同时进入四选一选择器，根据时钟选择控制信号选择一路时钟输出，作为参考时钟。其中，由于 ODU2[3:0]信号是由同一 ODU2 信号拆分而成的，因此 CDR 时钟信号具有相同的时钟源，可选择其中一路 CDR 时钟作为定帧对齐 FIFO 的读时钟，以完成 ODU2[3:0]数据的定帧对齐，弥补了 4 路信号经过交叉调度及传送过程中产生的延迟差异。

用于 OTU2 信号的接口单元与图 9 所示完全相同；对用于 ODU3/OTU3 信号的接口单元的结构也图 9 所示类似，只是 CDR 的数量为 16 个，并采用十六选一选择器。用于其它信号处理的接口单元的结构，本领域技术人员也完全可以依此类推。

定帧对齐单元结构参见图 10 所示，包括：4 个搜帧模块、4 个 FIFO 和相应的写地址产生模块、以及一个帧相位对齐模块和一个读地址产生模块。

经 CDR 恢复后的各路数据 ODU2[n]（n = 0, 1, 2, 3）和时钟 ODU2[n] Clk（n = 0, 1, 2, 3）首先分别进入搜帧模块进行搜帧，搜索出各路信号的帧相位分别输出给帧相位对齐模块和各 FIFO 的写地址产生模块；写地址产生模块还接收对应的时钟信号，产生写地址分别输出至对应的 FIFO；帧相位对齐模块根据接收的参考时钟将各信号的帧相位对齐到一个合适的位置，生成参考帧信号输出给读地址产生模块以及后面的 ODU2 合并装置；读地址产生模块接收所述参考帧信号和参考时钟生成读地址输出给各 FIFO；各 FIFO 在读写地址的作用下循环进行读写操作，将 4 路信号都对齐到相同的帧相位上。其中，此帧相位是 4 路中某一路信号搜帧出来的帧信号，即内部自动帧对齐操作。由于读写地址的时钟频率是相同的，在合适的读写地址差异情况下，FIFO 不会溢出或为空。

其中读写地址差异由帧相位对齐模块决定，与 FIFO 的大小相关。

参见图 11 所示，为帧对齐过程的时序图。由于每个 FIFO 的大小是有限制的，所以各个帧信号的最大偏差不能超过 FIFO 的大小范围，对齐后的参考帧信号相位应位于最落后的帧相位后一定量延迟的位置，但不能超过 FIFO 的范围，即该参考帧信号的相位应落在图 11 中所示实线框区域内。

用于 OTU2 信号的定帧对齐单元与图 10 所示完全相同；对用于 ODU3/OTU3 信号的定帧对齐单元的结构也图 10 所示类似，只是其中搜帧模块、FIFO 和相应的写地址产生模块的数量为 16 个，并采用 16 选一选择器。用于其它信号处理的定帧对齐单元的结构，本领域技术人员也完全可以依此类推。

以上所述仅为本发明的较佳实施例而已，并不用以限制本发明，凡在本发明的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本发明的保护范围之内。

权利要求书

1、一种异步信号的拆分方法，其特征在于，包括:

将待拆分的异步信号以数据帧为单位，按帧的顺序分别进行缓存，每当存满 n 帧后，将该 n 个数据帧分别通过 n 个通道并行发出，与此同时缓存待拆分的异步信号后续的 n 帧数据；其中，n 为拆分前与拆分后信号之间速率级别相差的倍数。

2、根据权利要求 1 所述的方法，其特征在于，所述数据帧的缓存过程进一步包括：将所述每个数据帧的存入频率与所述待拆分信号的随路异步信号时钟同步；

所述数据帧的发出过程进一步包括：将所述 n 个数据帧的并行发出频率为所述数据帧存入频率的 n 分之一。

3、根据权利要求 1 或 2 所述的方法，其特征在于，所述数据帧的缓存方法为：设置两组缓存每组 n 个，每个缓存存储一个数据帧；将所述待拆分的异步信号以数据帧为单位，按帧的顺序分别写入一组缓存，每当存满一组缓存后，跳转到另一组缓存进行存储，与此同时将存满的一组缓存中的数据帧分别通过 n 个通道并行读出，写入和读出动作交错重复进行。

4、一种异步信号的拆分装置，其特征在于，包括:

2n 个先入先出存储器，分为两组，每组 n 个，每个存储器一次存储一帧的数据;

写地址产生模块，用于控制每个所述先入先出存储器的写入操作;

读地址产生模块，用于控制每个所述先入先出存储器的读出操作;以及

n 分频模块，用于将输入时钟信号的频率降低为原频率的 1/n 后输

出；

其中，n 为拆分前与拆分后信号之间速率级别相差的倍数；

写地址产生模块根据输入时钟信号的频率，产生写地址和写允许分别输入每个先入先出存储器，控制输入数据按帧的顺序依次串行写入一组先入先出存储器；同时所述时钟信号经 n 分频模块降低为原频率的 1/n 后输入至读地址产生模块，产生读地址和读允许分别输入至每个先入先出存储器，控制另一组先入先出存储器将所存储的数据同时并行输出；两组先入先出存储器交错执行上述操作。

5、根据权利要求 4 所述的装置，其特征在于，该装置进一步包括：用于对输入信号进行搜帧处理的搜帧模块；

输入信号进入搜帧模块，进行搜帧处理后，输出帧信号和所述的随路异步信号时钟输入至所述的写地址产生模块。

所述的随路时钟信号同时输入至 n 分频模块，经 n 分频模块输出后与所述的帧信号一起输入至所述的读地址产生模块。

6、一种信号的合并方法，其特征在于，包括：

将待合并的 n 路并行信号以数据帧为单位，按帧的顺序分别同时进行缓存，并在该 n 路信号各存满一帧后，对所缓存的 n 路信号数据帧依次按帧串行输出；其中，n 为合并后与拆分前信号之间速率级别相差的倍数。

7、根据权利要求 6 所述的方法，其特征在于，所述数据帧的缓存过程进一步包括：控制所述每个数据帧的存入频率与所述待合并信号的参考时钟同步；

所述数据帧的发出过程进一步包括：控制对存入的每个数据帧的读出频率为所述数据帧存入频率的 n 倍。

8、根据权利要求 6 或 7 所述的方法，其特征在于，所述数据帧的

缓存方法为：设置两组缓存每组 n 个，每个缓存存储一个数据帧；将待合并的 n 路并行信号以数据帧为单位，按帧的顺序分别同时写入一组缓存，每当存满一组缓存后，跳转到另一组缓存进行存储，与此同时将存满的一组缓存中的数据帧依次按帧串行读出，写入和读出动作交错进行。

9、一种信号的合并装置，其特征在于，包括:

2n 个先入先出存储器，分为两组，每组 n 个，每个存储器一次存储一帧的数据;

写地址产生模块，用于控制每个所述先入先出存储器的写入操作;

读地址产生模块，用于控制每个所述先入先出存储器的读出操作;

以及

n 倍频模块，用于将输入时钟信号的频率降低为原频率的 n 倍后输出;

其中，n 为拆分前与拆分后信号之间速率级别相差的倍数;

写地址产生模块根据输入时钟信号的频率，产生写地址和写允许分别输入每个先入先出存储器，控制输入的 n 路数据按帧的顺序同时并行写入一组先入先出存储器；同时所述时钟信号经 n 倍频模块降低为原频率的 n 倍后输入至读地址产生模块，产生读地址和读允许分别输入至每个先入先出存储器，控制另一组先入先出存储器将所存储的数据依次串行输出；两组先入先出存储器交错执行上述操作。

10、根据权利要求 9 所述的装置，其特征在于，该装置进一步包括:

定帧对齐单元，用于对每路信号分别进行帧搜索，找到 n 路信号各自的帧起始位置，将 n 路信号的帧起始位置都对齐到相同的帧相位上，输出 n 路对齐的数据至所述 2n 个先入先出存储器，并输出参考帧信号至所述写地址产生模块和读地址产生模块。

11、根据权利要求 10 所述的装置，其特征在于，该装置进一步包括:

接口单元，用于对输入的经过背板或者电缆等方式传送的 n 路异步信号进行时钟数据恢复，恢复后的 n 路时钟选出其中一路时钟作为参考时钟和待对齐的并行数据信号发送至所述的定帧对齐单元;

所述的参考时钟经 n 倍频模块输出后输入至所述写地址产生模块和读地址产生模块。

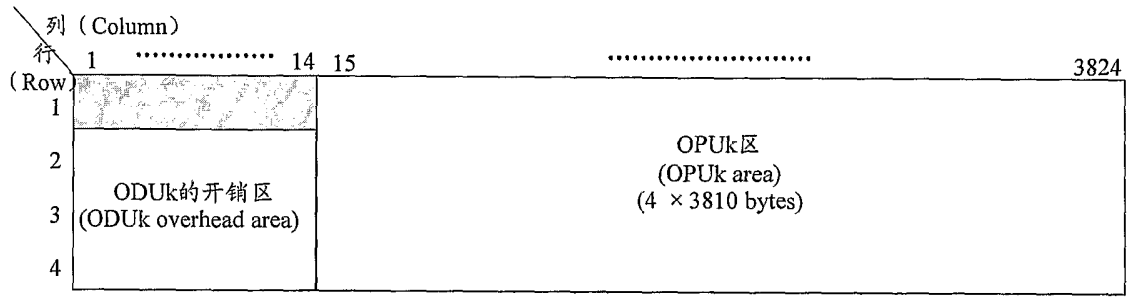

列（Column）
行
（Row）
1
14
15
3824
1
2
3
4
ODUk的开销区
(ODUk overhead area)
OPUk区
(OPUk area)
(4 ×3810 bytes)

图 1

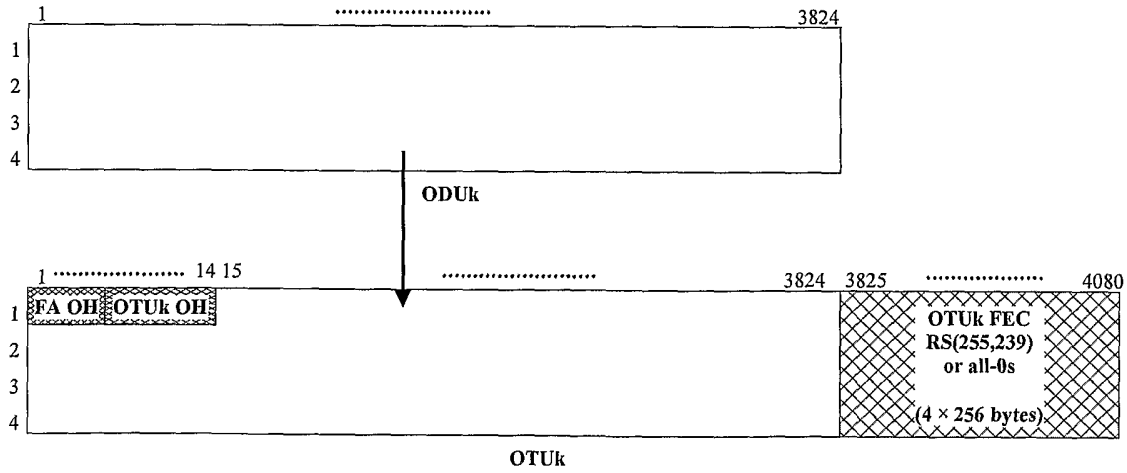

1
3824
1
2
3
4
ODUk
1
14
15
3824
3825
4080
FA OH
OTUk OH
OTUk FEC
RS(255,239)
or all-0s
(4 × 256 bytes)
OTUk

图 2

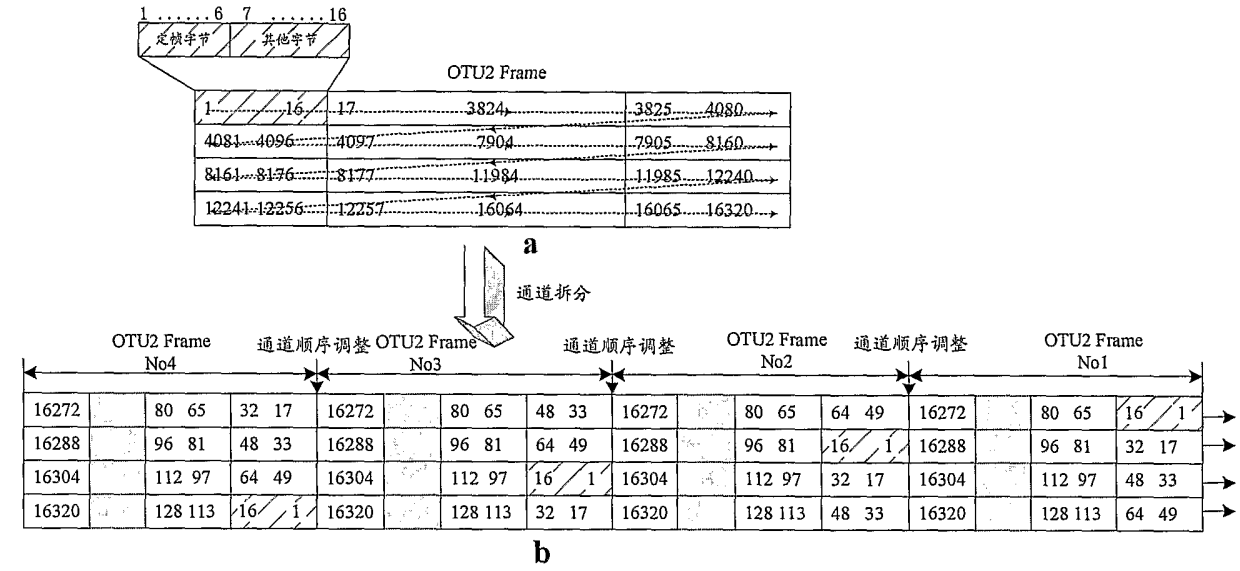

1 ..... 6 7 16
定帧字节
其他字节
OTU2 Frame
1 16 17 3824 3825 4080
4081 4096 4097 7904 7905 8160
8161 8176 8177 11984 11985 12240
12241 12256 12257 16064 16065 16320
a
通道拆分
OTU2 Frame No4
通道顺序调整
OTU2 Frame No3
通道顺序调整
OTU2 Frame No2
通道顺序调整
OTU2 Frame No1
16272 80 65 32 17 16272 80 65 48 33 16272 80 65 64 49 16272 80 65 16 1
16288 96 81 48 33 16288 96 81 64 49 16288 96 81 16 1 16288 96 81 32 17
16304 112 97 64 49 16304 112 97 16 1 16304 112 97 32 17 16304 112 97 48 33
16320 128 113 16 1 16320 128 113 32 17 16320 128 113 48 33 16320 128 113 64 49
b

图 3

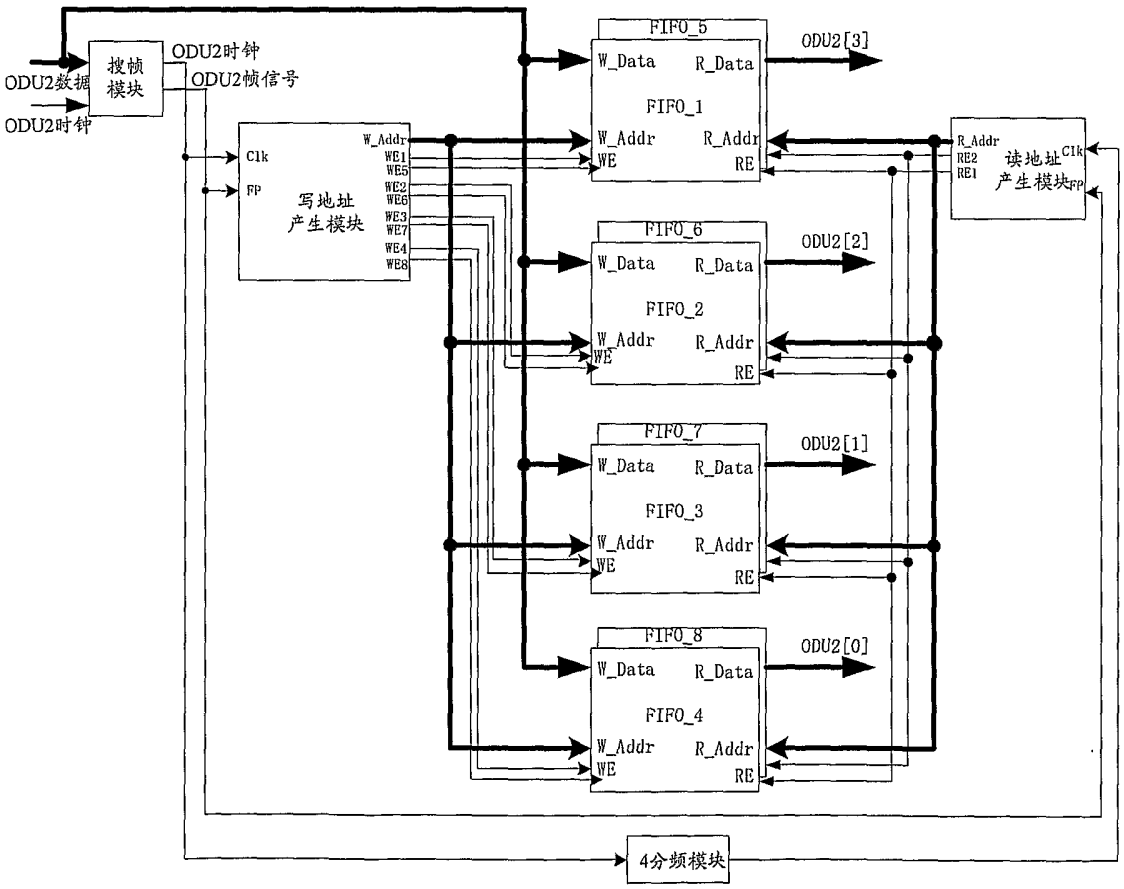

ODU2数据
ODU2时钟
搜帧模块
ODU2时钟
ODU2帧信号
Clk
FP
写地址产生模块
W_Addr
WE1
WE5
WE2
WE6
WE3
WE7
WE4
WE8
FIFO_5
W_Data
R_Data
FIFO_1
W_Addr
R_Addr
WE
RE
ODU2[3]
FIFO_6
FIFO_2
ODU2[2]
FIFO_7
FIFO_3
ODU2[1]
FIFO_8
FIFO_4
ODU2[0]
R_Addr
RE2
RE1
读地址产生模块
Clk
FP
4分频模块

图 4

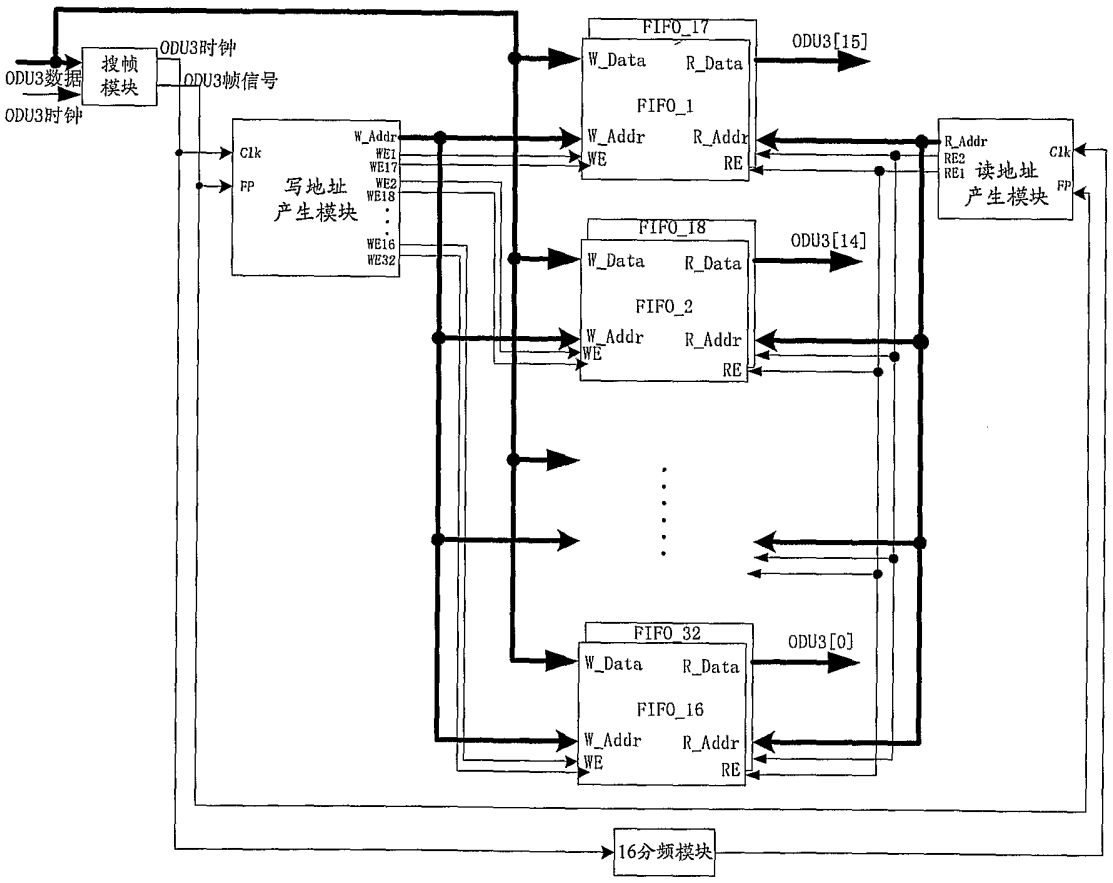

ODU3数据
ODU3时钟
搜帧
模块
ODU3时钟
ODU3帧信号
Clk
FP
写地址
产生模块
W_Addr
WE1
WE17
WE2
WE18
WE16
WE32
FIFO_17
W_Data
R_Data
FIFO_1
W_Addr
R_Addr
WE
RE
ODU3[15]
FIFO_18
FIFO_2
ODU3[14]
FIFO_32
FIFO_16
ODU3[0]
R_Addr
RE2
RE1
读地址
产生模块
Clk
FP
16分频模块

图 5

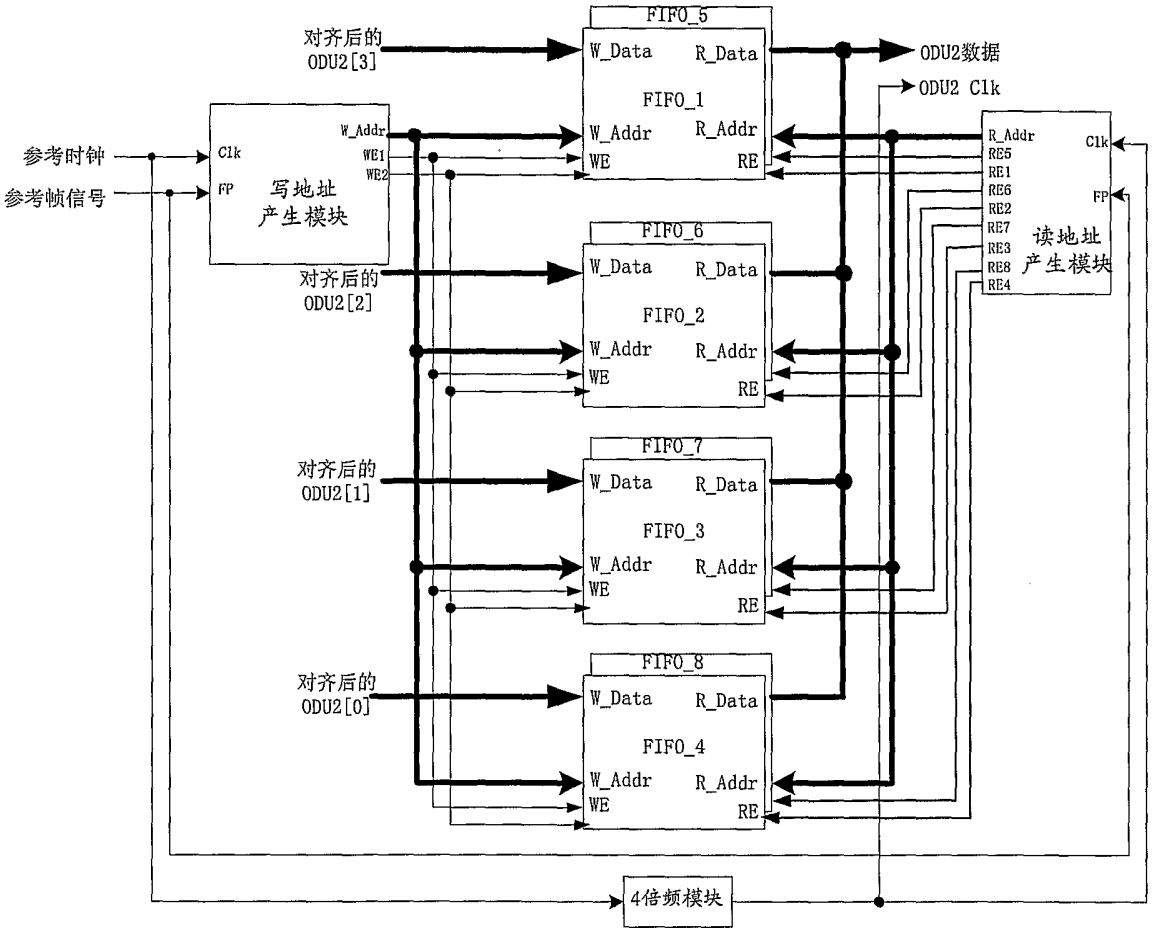

对齐后的
ODU2[3]
FIFO_5
W_Data
R_Data
ODU2数据
ODU2 Clk
FIFO_1
W_Addr
R_Addr
WE
RE
参考时钟
参考帧信号
Clk
FP
W_Addr
WE1
WE2
写地址
产生模块
R_Addr
RE5
RE1
RE6
RE2
RE7
RE3
RE8
RE4
Clk
FP
读地址
产生模块
对齐后的
ODU2[2]
FIFO_6
FIFO_2
对齐后的
ODU2[1]
FIFO_7
FIFO_3
对齐后的
ODU2[0]
FIFO_8
FIFO_4
4倍频模块

图 6

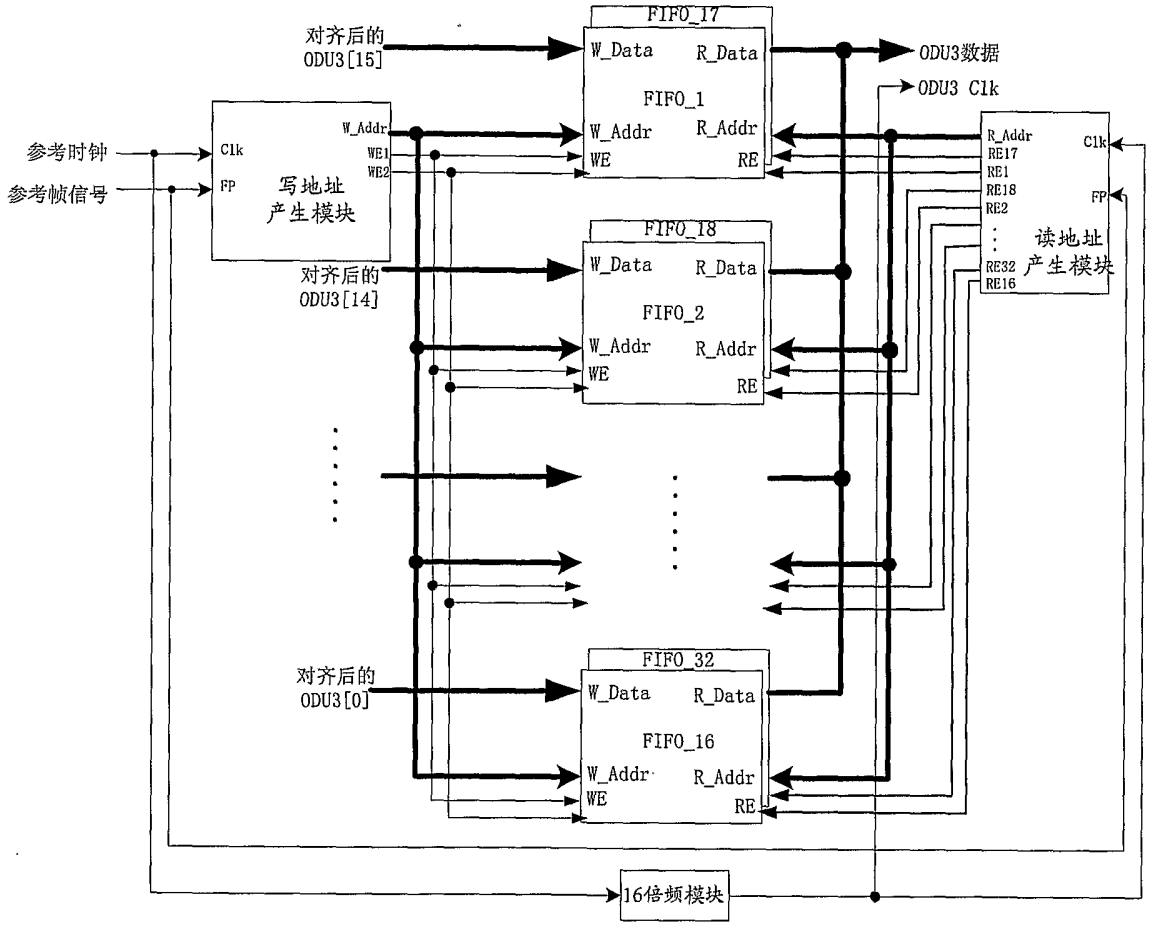

对齐后的
ODU3[15]
FIFO_17
W_Data
R_Data
FIFO_1
W_Addr
R_Addr
WE
RE
ODU3数据
ODU3 Clk
参考时钟
参考帧信号
Clk
FP
写地址
产生模块
W_Addr
WE1
WE2
R_Addr
RE17
RE1
RE18
RE2
RE32
RE16
Clk
FP
读地址
产生模块
对齐后的
ODU3[14]
FIFO_18
FIFO_2
对齐后的
ODU3[0]
FIFO_32
FIFO_16
16倍频模块

图 7

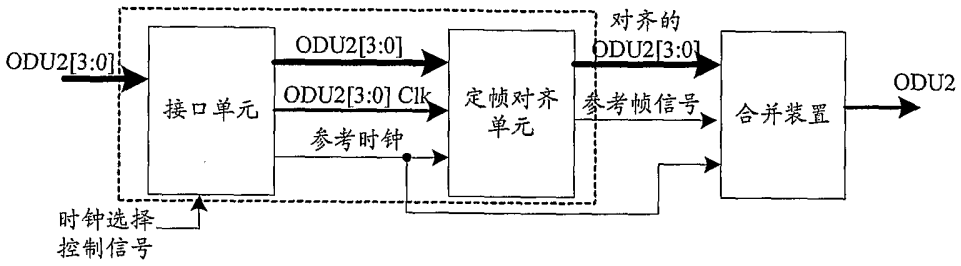

ODU2[3:0]
接口单元
ODU2[3:0]
ODU2[3:0] Clk
参考时钟
定帧对齐单元
对齐的ODU2[3:0]
参考帧信号
合并装置
ODU2
时钟选择控制信号

图 8

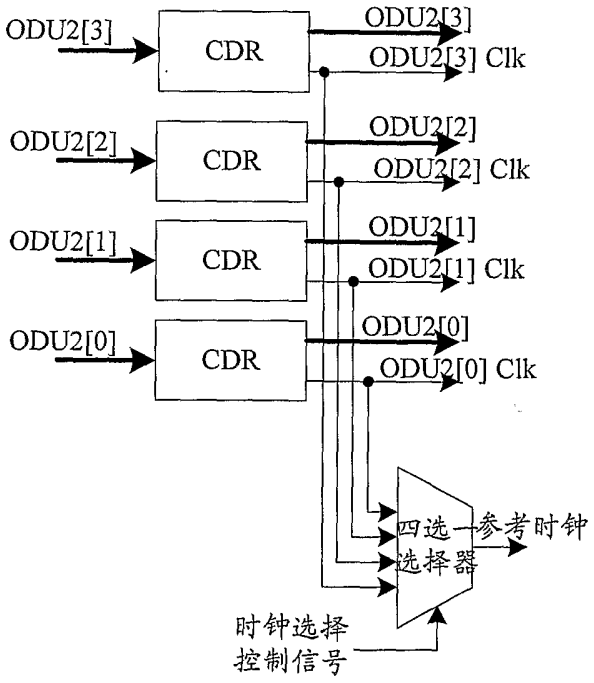

ODU2[3]
CDR
ODU2[3]
ODU2[3] Clk
ODU2[2]
CDR
ODU2[2]
ODU2[2] Clk
ODU2[1]
CDR
ODU2[1]
ODU2[1] Clk
ODU2[0]
CDR
ODU2[0]
ODU2[0] Clk
四选一选择器
参考时钟
时钟选择控制信号

图 9

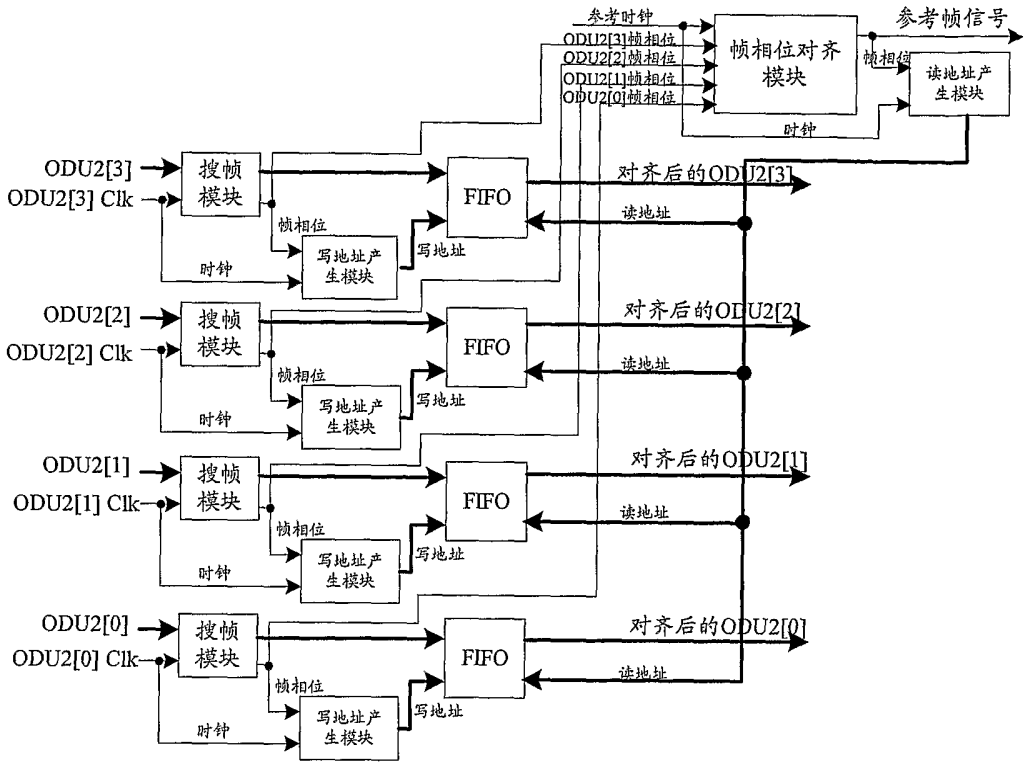

参考时钟
ODU2[3]帧相位
ODU2[2]帧相位
ODU2[1]帧相位
ODU2[0]帧相位
帧相位对齐模块
参考帧信号
帧相位
读地址产生模块
时钟
ODU2[3]
ODU2[3] Clk
搜帧模块
帧相位
写地址产生模块
写地址
时钟
FIFO
对齐后的ODU2[3]
读地址
ODU2[2]
ODU2[2] Clk
对齐后的ODU2[2]
ODU2[1]
ODU2[1] Clk
对齐后的ODU2[1]
ODU2[0]
ODU2[0] Clk
对齐后的ODU2[0]

图 10

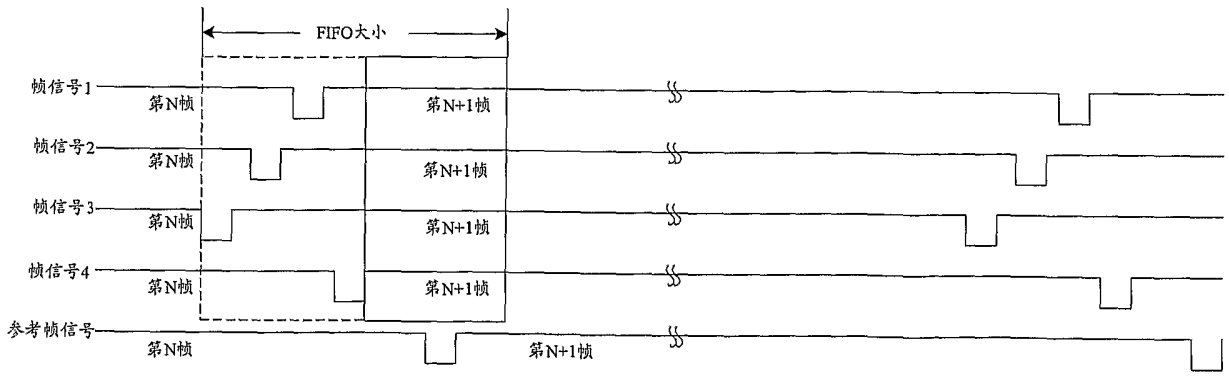

FIFO大小
帧信号1
帧信号2
帧信号3
帧信号4
参考帧信号
第N帧
第N+1帧

图 11

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2006/000505

A. CLASSIFICATION OF SUBJECT MATTER

H04B 10/12 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04B (2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, PAJ, CNPAT; signal, split, divide, synthesize, frame, asynchronous, parallel

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US2005013296A1(ANRITSU CORP)20.Jan.2005(20.01.2005), see the whole document	1-11
A	JP2004266480A(NEC CORP)24.Sep.2004(24.09.2004), see the whole document	1-11
A	US2003048813 A1(OPTIX NETWORKS INC)13.Mar.2003(13.03.2003) , see the whole document	1-11
A	US2004234263 A1(MACIOCCO C)25.Nov.2004(25.11.2004) , see the whole document	1-11

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24.Apr.2006(24.04.2006)	25 · MAY 2006 (25 · 05 · 2006)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. (86-10)62019451	Authorized officer FAN Xiaohan Telephone No. (86-10)62084540

Form PCT/ISA /210 (second sheet) (April 2005)

TERNATIONAL SEARCH REPORT

Information patent family members

Search request No.
PCT/CN2006/000505

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US2005013296A1	20.01.2005	EP1499048 A2	19.01.2005
		JP2005033509 A	20.01.2005
JP2004266480A	24.09.2004	NONE	
US2003048813A1	13.03.2003	NONE	
US2004234263 A1	25.11.2004	WO2004105279A2	02.12.2004

国际检索报告

国际申请号
PCT/CN2006/000505

A. 主题的分类

H04B 10/12（2006.01）i

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H04B（2006.01）

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

WPI, EPODOC, PAJ, CNPAT；信号，拆分，分割，合并，合成，帧， 异步，并行，signal, split, divide, synthesize, frame, asynchronous, parallel

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US2005013296A1(ANRITSU CORP)20.1 月 2005(20.01.2005)，全文	1-11
A	JP2004266480A(NEC CORP)24.9 月 2004(24.09.2004)，全文	1-11
A	US2003048813 A1(OPTIX NETWORKS INC)13.3 月 2003(13.03.2003)，全文	1-11
A	US2004234263 A1(MACIOCCO C)25.11 月 2004(25.11.2004)，全文	1-11

☐ 其余文件在 C 栏的续页中列出。　　☒ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
24.4 月 2006（24.04.2006）	25 · 5月 2006 (25 · 05 · 2006)
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号： (86-10)62019451	受权官员 范晓寒 电话号码：(86-10)62084540

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2006/000505

检索报告中引用的专利文件	公布日期	同族专利	公布日期
US2005013296A1	20.01.2005	EP1499048 A2	19.01.2005
		JP2005033509 A	20.01.2005
JP2004266480A	24.09.2004	无	
US2003048813A1	13.03.2003	无	
US2004234263 A1	25.11.2004	WO2004105279A2	02.12.2004