(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H03K 3/00

(11) 공개번호 특1999-0057780
(43) 공개일자 1999년07월15일

(21) 출원번호 10-1997-0077859
(22) 출원일자 1997년12월30일

(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 심호춘
서울특별시 강동구 성내3동 404-11
(74) 대리인 박해천, 원석희

심사청구 : 있음

(54) 클럭 발생 제어기를 가지는 클럭 발생기

요약

본 발명은 클럭 발생기에 관한 것으로, 특히 클럭 발생기의 시작(START-UP)을 제어하는 클럭 발생기에 관한 것이다.

본 발명에서는 크리스탈 발진의 진폭을 2개의 레벨에서 감지(검출)한다. 즉, 하나는 크리스탈이 안정된 상태에 이르렀다고 판단되는 진폭이며 또 다른 하나는 크리스탈이 일반적인 CMOS 버퍼를 구동하기에 충분한 진폭이다. 이러한 클럭 발생기를 구현하기 위하여 본 발명은, 발진기; 상기 발진기의 출력을 입력받아 클럭 신호를 발생하는 클럭 발생 수단; 및 전력 절약 모드 상태에서 상기 발진기의 출력이 상기 클럭 발생 수단으로 입력되는 것을 차단하고, 동작 모드인 경우 상기 발진기의 출력 값이 충분히 안정화된 이후에 버퍼링 수단의 출력이 상기 클럭 발생 수단으로 입력되도록 하는 클럭 발생 제어수단을 포함하여 이루어지는 것을 특징으로 한다.

대표도

도2

명세서

도면의 간단한 설명

도1a 및 도1b는 전압 인가 초기의 크리스탈 발진기의 불안정한 출력 모습과 크리스탈의 출력이 일반적인 CMOS 버퍼를 통과 후 버퍼의 출력 파형도.

도2는 본 발명에 따른 클럭 발생 제어기를 채용한 클럭 생성 회로도.

도3은 본 발명의 일실시예에 따른 클럭 발생 제어기의 구성도.

도4는 본 발명의 다른 실시예에 따른 클럭 발생 제어기의 구성도.

*도면의 주요부분에 대한 부호의 설명

11: 제1 레벨 검출 12: 제2 레벨 검출

13, 42: 카운터 14, 43: AND게이트

41: S-R 플립플롭 50: 히스테리시스 버퍼

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 클럭 발생기에 관한 것으로, 특히 클럭 발생기의 시작(START-UP)을 제어하는 클럭 발생기에 관한 것이다.

회로 집적화의 기술이 진보함에 따라 많은 기기들이 휴대용(Portable)으로 개발되고 있다. 휴대용 기기의 설계에는 제한된 전지(BATTERY)를 오래 사용할 수 있게 하기 위하여 저전력 회로가 요구되어지고 있다. 또한, 기존의 기기들도 에너지 절약을 위하여 저전력을 요구하고 있는 실정이다.

현재 저전력 회로의 개발을 위하여 많은 노력이 이루어지고 있으며 그 방법 중 하나는 사용자가 사용하지 않거나 회로가 동작하지 않을 때 전력 절약 모드로 바꾸어 전력을 절약하는 방법이다.

전력 절약 모드에서는 클럭의 인가를 중지시켜 회로의 동작을 동결(HOLD) 시켜 대기상태로 유지한다. 이러한 전력 절약 모드에서 빠져 나오기 위하여는 일련의 방법이 있다. 즉, 외부에서 어떤 신호가 인가되면 그 신호에 따라서 '전력 절약 모드'에서 '정상 동작 모드'로 돌아온다. 이때, 정지된 클럭은 다시 동작을 하게 된다.

이러한 과정에서 문제점 중의 하나가 클럭의 불규칙한 동작이다. 클럭은 주로 크리스탈에 전압을 가하여 그 미세한 발진(oscillation)을 CMOS 레벨의 출력으로 증폭하여 사용하고 있다.

크리스탈은 전압 인가 초기에 매우 불안정한 발진특성은 보인다. 도1은 전압 인가 초기의 크리스탈의 동작을 나타내고 있다. 도면에 도시된 바와 같이, 전압 인가 초기에는 매우 불안정한 특성을 보이며 점차 시간이 증가함에 따라 안정되는 모습을 보인다. 전압 인가 초기에는 진폭이 불안하여, 이에 따라 일반적인 버퍼만을 사용하는 종래의 방법은 그림의 잘록한 부분(A)에서 클럭의 '누락'을 가져온다.

시스템의 전력 절약 모드에 들어가기 전에 회로는 일정한 상태를 가지고 있게 된다. 전력 절약 모드에서 그 상태를 유지하고 있으며, 전력 절약 모드를 빠져나와 정상 동작 모드로 돌아와서 다시 시작할 때, 시스템은 그전 상태에서부터 동작을 시작하여야 한다. 종래의 클럭 발생기를 가지는 시스템은 상기 '누락'되는 부분(A)에서 전 상태를 유지하지 못하기 때문에 클럭이 다시 공급되더라도 전력 절약 모드에 들어갈 때의 상태로부터 동작하여야 하는 동작은 오동작을 일으킨다.

이러한 '클럭의 누락'에 의하여 상태를 상실하는 현상을 방지하기 위하여 다음의 방법이 사용된다.

첫째, 시스템의 회로에서 다이나믹(dynamic)회로를 스태틱(static)회로로 바꾸는 방법이다. 다이나믹회로는 클럭에 의하여 변하기 때문에, 클럭의 영향을 받지 않는 스태틱 회로로 바꾼다. 그러나 이러한 변경은, 다이나믹회로보다 스태틱 회로의 면적이 크기 때문에 전체적인 칩의 사이즈(size)를 증가시켜 제작 단가를 증가시키는 원인이 된다. 그리고 전체의 다이나믹회로를 모두 스태틱으로 바꾸었는지 테스트하기도 용이하지 않다는 문제점이 있다.

둘째, 시스템의 오동작을 크리스탈이 충분히 안정될 때까지 시스템의 동작을 지연시키는 방법이다. 이 방법은, 전력 절약 모드에서 정상 동작모드로 돌아오더라도 크리스탈의 동작이 충분히 안정된 후에 시스템 동작을 인가하기 위한 제어 회로를 필요로 한다. 이 경우 크리스탈의 안정 시간까지 시스템의 동작을 지연시키기 위하여 시스템에 별도의 지연 장치가 부가되어야 한다는 문제점이 있다.

발명이 이루고자하는 기술적 과제

상기 문제점을 해결하기 위하여 안출된 본 발명은 크리스탈 발진기의 전원 인가 초기의 불안정한 발진 특성을 제어하여 클럭의 누락 또는 클럭의 끊김이 없는 안정된 클럭을 공급할 수 있는 클럭 발생기를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명에 따른 클럭 발생기는, 발진기; 상기 발진기의 출력을 입력받아 클럭 신호를 발생하는 클럭 발생 수단; 및 전력 절약 모드 상태에서 상기 발진기의 출력이 상기 클럭 발생 수단으로 입력되는 것을 차단하고, 동작 모드인 경우 상기 발진기의 출력 값이 충분히 안정화 된 이후에 버퍼링 수단의 출력이 상기 클럭 발생 수단으로 입력되도록 하는 클럭 발생 제어수단을 포함하여 이루어지는 것을 특징으로 한다.

본 발명의 일면에 따른 클럭 발생 제어수단은, 전력 절약 모드에서 정상 동작 모드로 변환하는 경우, 상기 발진기로부터의 입력이 첫 번째 레벨보다 높은 레벨에 도달하였는지 검출하는 제1 레벨 검출기; 상기 제1 레벨 검출기가 첫 번째 레벨보다 높은 레벨이 입력됨을 감지하면 입력을 소정시간 동안 카운트하고, 카운트가 진행되는 동안 상기 제1 레벨 검출기가 첫 번째 감지된 레벨보다 낮은 입력이 들어오는 것을 감지하게 되면 리셋되는 카운팅 수단; 상기 발진의 진폭이 CMOS 버퍼를 구동하기에 충분한 진폭인가를 검출하여 낮은 입력에 대하여 출력을 홀드시키는 제2 레벨 검출기; 및 상기 카운팅 수단 및 제2 레벨 검출기의 출력을 받아 상기 클럭 발생기로 CMOS 레벨로 버퍼링된 출력을 제공하는 논리수단을 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명의 다른면에 따른 클럭 발생 제어수단은, 상기 발진기로부터의 입력이 안정되는 레벨을 감지하여 그 레벨을 일정 기간 동안 지속하면 클럭 발생기로의 클럭 공급을 인에이블 하는 회로를 포함하여 이루어지는 것을 특징으로 한다.

또한, 본 발명의 또 다른면에 따른 클럭 발생 제어수단은, 동작 모드에서 소정의 이상의 전압레벨에 대하여 CMOS 레벨의 버퍼링된 클럭 신호를 출력하는 히스테리시스 버퍼; 상기 히스테리시스 버퍼의 클럭 신호에 의해 카운트를 시작하고, 소정의 숫자만큼 카운팅이 이루어지면 출력이 하이로 액티브되는 카운팅 수단; 및 상태 모드 신호를 수신하고, 상기 카운팅 수단의 액티브 신호에 의해 리셋되며, 상기 히스테리시스 버퍼를 CMOS 인버터로 동작하도록 하는 제어신호를 제공하는 플립플롭을 포함하여 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하면 다음과 같다.

먼저, 발진기로 사용되는 크리스탈의 특징을 살펴보면, 크리스탈은 전압 인가 후 충분한 시간이 지나야 안정한 발진을 한다. 이것은 크리스탈 내부의 에너지 레벨이 일정한 상태에 도달한 후에야 안정된 발진을 한다는 것을 의미한다. 에너지 레벨이 일정한 레벨에 동작하기 전에는 진폭이 일정하지 않으며, 심지어는 클럭이 끊기는 현상이 발생하기도 한다. 일단 크리스탈이 발진의 진폭이 일정한 상태에서 일정 시

간 지속되면 이는 크리스탈이 안정된 상태에 들었다고 볼 수 있다.

따라서, 본 발명은 크리스탈이 안정된 상태에 접어들면 크리스탈의 발진을 클럭 발생기로 인가하여, 클럭 발생기로 하여금 시스템에 '클럭의 누락'또는 클럭의 끊김'이 없는 안정된 클럭을 공급할 수 있도록 발진회로를 구현한다.

즉, 크리스탈에 전압이 인가된 후, 일정한 시간이 되면 크리스탈 발진의 진폭이 CMOS 버퍼를 구동하기에 충분한 레벨이 된다. 그러나 이때의 크리스탈 발진기는 아직 안정된 레벨의 상태에 이르지 못한 상태이므로 미세한 영향에 의하여 불안정한 발진 특성을 보일 수 있다. 그렇기 때문에 이때 클럭 발생기를 구동시키는 것은 적절하지 못하다.

본 발명에서는 크리스탈 발진의 진폭을 2개의 레벨에서 감지(검출)한다. 즉, 하나는 크리스탈이 안정된 상태에 이르렀다고 판단되는 진폭이며 또 다른 하나는 크리스탈이 일반적인 CMOS 버퍼를 구동하기에 충분한 진폭이다(전자는 후자보다 높다.)

크리스탈의 진폭이 첫 번째 감지 레벨에 이르면 카운터가 카운팅을 시작한다. 카운팅이 진행되는 동안 첫 번째 감지 레벨보다 낮은 전압이 감지되면 카운터 는 리셋(reset)되며 다시 첫 번째 감지 레벨보다 높은 전압이 들어오기를 기다린다.

카운터가 미리 정해진 회수만큼 카운팅을 하는 동안 크리스탈의 발진이 첫 번째 레벨보다 높으면 이는 크리스탈이 안정된 상태에 진입하였다고 볼 수 있다.

도2는 본 발명에 따른 클럭 발생기의 구성을 도시하고 있다.

도면에 도시된 바와 같이, 본 발명에 따른 클럭 발생기는 크리스탈 발진기(1), 버퍼(2) 및 클럭 발생기(4)로 이루어진 종래의 구성에 부가하여 상기 버퍼(2) 및 클럭 발생기(4) 사이에 클럭 발생 제어기(3)를 추가하였다.

크리스탈 발진기(1)의 발진을 크리스탈 발진기 버퍼(2)에서 버퍼링하며 클럭 발생 제어기(3)는 안정된 크리스탈 발진이 입력으로 들어올 때 클럭 발생기(4)로 CMOS 레벨의 클럭을 제공하도록 구성되어 있다.

클럭 발생기(4)는 안정된 클럭을 입력받아 시스템에서 필요로 하는 시스템 클럭을 생성한다. 버퍼(2)를 통해 나오는 신호는 미세한 신호이며 클럭 발생 제어기(3)에서 나오는 신호는 CMOS 레벨이며 클럭 발생기(4)에서의 출력은 시스템을 구동하는데 충분한 구동 능력을 가진다.

도3은 본 발명의 일실시예에 따른 클럭 발생 제어기의 세부구성을 도시한 것으로, 상기 클럭 발생 제어기(3)는 제1 레벨 검출기(11), 제2 레벨 검출기 및 버퍼(12), 카운터(13) 및 AND게이트(14)로 구성된다.

제1 레벨 검출기(11)는 전력 절약 모드 신호로부터 현재 시스템의 상태를 체크하여 현재 시스템이 전력 절약 모드에서 정상 동작 모드로 변환하는 경우, 크리스탈의 입력이 첫 번째 레벨보다 높은 레벨에 도달하였는지 검출(감지)한다. 높은 레벨이 감지되면 카운터(13)에 의해 카운트를 허용하고, 카운팅이 진행되는 동안 감지 레벨보다 낮은 입력이 들어오면, 즉시 카운터를 리셋시켜 다시 감지 레벨보다 높은 입력을 기다린다.

제 2 레벨 검출기 및 버퍼(12)는 크리스탈 발진의 미세한 진폭을 CMOS 레벨진폭으로 변환하며 두 번째 감지 레벨보다 낮은 전압에 대하여 감지한다. 감지 레벨보다 높은 입력은 버퍼링하며 낮은 입력에 대하여 출력을 홀드(hold)시킨다.

이때, 카운터(13)는 제1 레벨 검출기(11)의 입력을 받아 카운팅을 시작하며 제1 레벨 검출기(11)의 요구시 리셋된다. 미리 정해진 카운팅이 이루어지면, 제2 레벨 검출기 및 버퍼(12)의 출력 값의 클럭 발생기로의 공급을 가능하도록 하는 제어신호를 출력한다. 즉, AND게이트(14)는 카운터(13)의 출력을 입력으로 CMOS 레벨로 버퍼링된 크리스탈의 발발을 클럭 발생기에 제공한다.

즉, 시스템이 전력 절약 모드로부터 빠져나와 정상 동작모드로 변환하면 제1 레벨 검출기(11)에서 크리스탈 발진의 입력이 일정한 수준에 도달하였는지 감지하여 일정한 수준에 도달하면 카운팅을 한다. 크리스탈의 출력이 일정한 수준으로 정해진 시간(count)동안 유지되면, 크리스탈 발진기(1)와 연결되어 있는 버퍼(2)는 안정된 상태로 버퍼링된 크리스탈의 출력은 클럭 제어기에 인가한다. 이후부터 감지는 다음의 두 번째 레벨 이하의 신호에 대하여만 감지한다.

도4는 본 발명의 다른 실시예에 따른 클럭 발생 제어기의 세부구성을 도시한 것으로, 상기 클럭 발생 제어기는 CMOS 인버터(P2, P3, N0 및 N4)를 포함하는 히스테리시스(hysteresis) 버퍼(50), 상기 히스테리시스 버퍼(50)를 인에이블 또는 디스에이블 시키는 제어수단(40), S-R 플립플롭(41), 카운터(42) 및 버퍼링된 클럭을 선택적으로 출력하기 위한 AND게이트(43)로 구성된다. 도면에서, P1 내지 P3, P7 P10은 PMOS 트랜지스터, N0, N4, N5, N8 및 N11은NMOS 트랜지스터를 각각 나타낸다.

전력 절약 모드 신호(PWDN)신호가 로직 '1'인 경우, 버퍼링된 클럭 신호(BUFFERED_CLOCK)는 NMOS트랜지스터(N5)에 의하여 로직 '0'가 되고, 클럭 인에이블 신호(CLOCK_ENABLE)도 S-R 플립플롭(41)의 qn출력단에 의하여 로직 '0'이 된다.

PWDN 신호가 로직 '0'이 되면, PMOS 트랜지스터(P1)는 턴-온되어 NMOS트랜지스터(N5)는 턴-오프되고, 히스테리시스 버퍼(50)의 동작을 가능케 한다. 히스테리시스 버퍼(50)의 입력 전위 이상 되는 입력에 대하여, 상기 히스테리시스 버퍼(50)는 CMOS 레벨의 출력을 내보낸다. 이는 상기 도3에서 전술한 바와 같은 제1 레벨에 해당한다.

이 출력에 의하여 카운터(42)는 카운팅을 시작한다. 미리 정해진 숫자만큼 카운팅이 이루어지면 카운터의 출력이 하이로 액티브된다. 액티브된 카운터의 출력은 S-R 플립플롭(41)을 리셋시키며, 상기 S-R 플립플롭(41)의 qn출력단에 의하여 클럭 인에이블 신호는 하이로 되어, AND 게이트(43)를 통해 버퍼링된

클럭신호를 클럭 발생기로 출력하게 된다.

그리고 S-R 플립플롭(41)의 q출력단에 의하여 NMOS트랜지스터(N11), PMOS트랜지스터(P10)는 턴-오프되어 히스테리시스 버퍼(50)의 피드백요소(P7 및 P8)를 디스에이블 시킨다. 피드백 요소가 디스에이블 되었기 때문에, 히스테리시스 버퍼(50)는 일반적인 CMOS 인버터로 동작한다. CMOS 인버터로 동작하기 때문에 인버터의 출력은 CMOS입력 레벨 이하의 크리스탈 입력에 대하여 감지하는 효과를 나타낸다. 이는 상기 도3에서 전술한 바와 같은 제2 레벨에 해당한다.

상기 본 발명의 다른 실시예에 있어서도, 카운터의 출력이 액티브된 후, 크리스탈 입력 감지 레벨이 첫 번째 레벨에서 두 번째 레벨로 변경됨을 알 수 있다.

발명의 효과

상기와 같이 이루어지는 본 발명은 전력 절약 모드에 들어간 후 정상 동작 모드로 돌아올 때, 이전 상태에서부터 동작을 다시 시작하여야 하는 시스템의 원활한 동작을 보장할 수 있다.

전원 공급 초기의 크리스탈의 불안정한 발진으로부터 회로를 보호할 수 있다.

(57) 청구의 범위

청구항 1

발진기;

상기 발진기의 출력을 입력받아 클럭 신호를 발생하는 클럭 발생 수단; 및

전력 절약 모드 상태에서 상기 발진기의 출력이 상기 클럭 발생 수단으로 입력되는 것을 차단하고, 동작 모드인 경우 상기 발진기의 출력 값이 충분히 안정화 된 이후에 버퍼링 수단의 출력이 상기 클럭 발생 수단으로 입력되도록 하는 클럭 발생 제어수단을 포함하여 이루어지는 것을 특징으로 하는 클럭 발생기.

청구항 2

제 1 항에 있어서,

상기 클럭 발생 제어수단은,

전력 절약 모드에서 정상 동작 모드로 변환하는 경우, 상기 발진기로부터의 입력이 첫 번째 레벨보다 높은 레벨에 도달하였는지 검출하는 제1 레벨 검출기;

상기 제1 레벨 검출기가 첫 번째 레벨보다 높은 레벨이 입력됨을 감지하면 입력을 소정시간 동안 카운트하고, 카운트가 진행되는 동안 상기 제1 레벨 검출기가 첫 번째 감지된 레벨보다 낮은 입력이 들어오는 것을 감지하게 되면 리셋되는 카운팅 수단;

상기 발진의 진폭이 CMOS 버퍼를 구동하기에 충분한 진폭인가를 검출하여 낮은 입력에 대하여 출력을 홀드시키는 제2 레벨 검출기; 및

상기 카운팅 수단 및 제2 레벨 검출기의 출력을 받아 상기 클럭 발생기로 CMOS 레벨로 버퍼링된 출력을 제공하는 논리수단을 포함하여 이루어지는 것을 특징으로 하는 클럭 발생기.

청구항 3

제 1 항에 있어서,

상기 클럭 발생 제어수단은,

상기 발진기로부터의 입력이 안정되는 레벨을 감지하여 그 레벨을 일정 기간 동안 지속하면 클럭 발생기로의 클럭 공급을 인에이블 하는 회로를 포함하여 이루어지는 것을 특징으로 하는 클럭 발생기.

청구항 4

제 1 항에 있어서,

상기 클럭 발생 제어수단은,

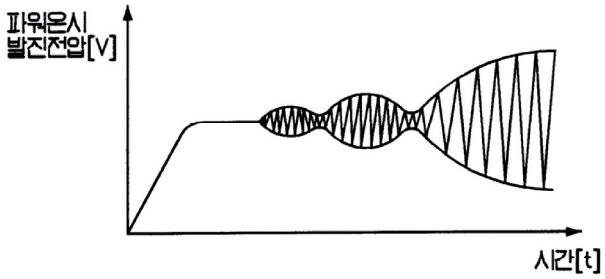
동작 모드에서 소정의 이상의 전압레벨에 대하여 CMOS 레벨의 버퍼링된 클럭 신호를 출력하는 히스테리시스 버퍼;

상기 히스테리시스 버퍼의 클럭 신호에 의해 카운트를 시작하고, 소정의 숫자만큼 카운팅이 이루어지면 출력이 하이로 액티브되는 카운팅 수단; 및

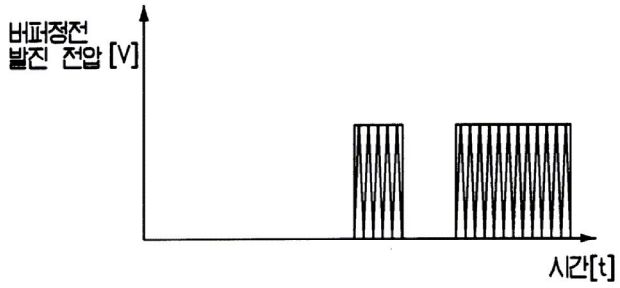
상태 모드 신호를 수신하고, 상기 카운팅 수단의 액티브 신호에 의해 리셋되며, 상기 히스테리시스 버퍼를 CMOS 인버터로 동작하도록 하는 제어신호를 제공하는 플립플롭을 포함하여 이루어지는 것을 특징으로 하는 클럭 발생기.

도면

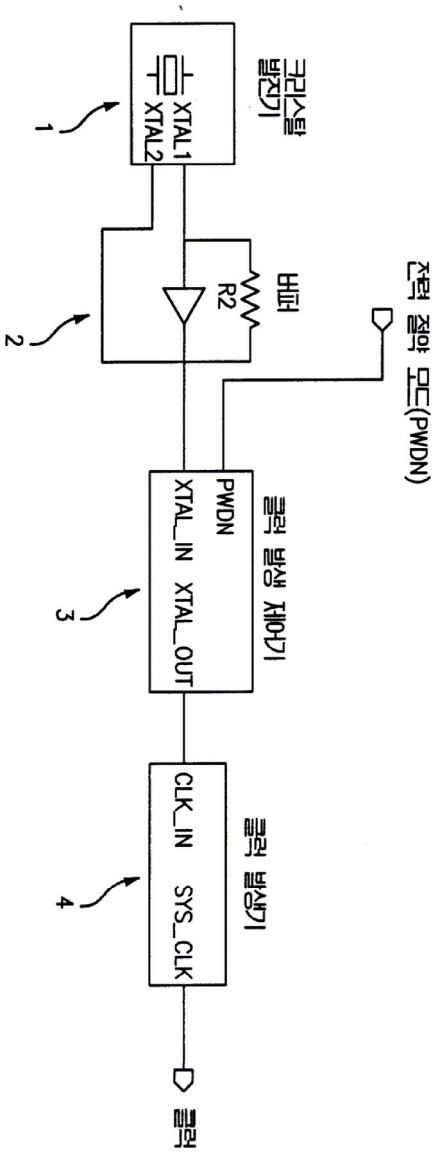
도면1a



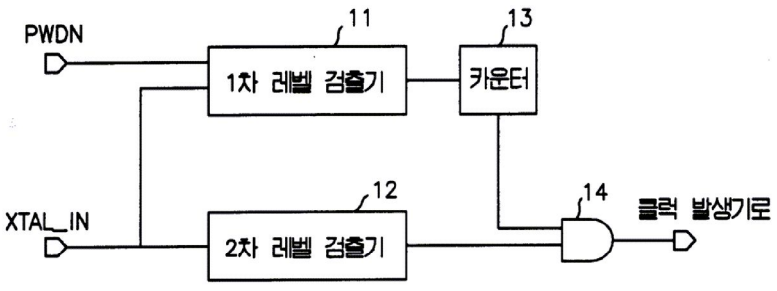
도면1b



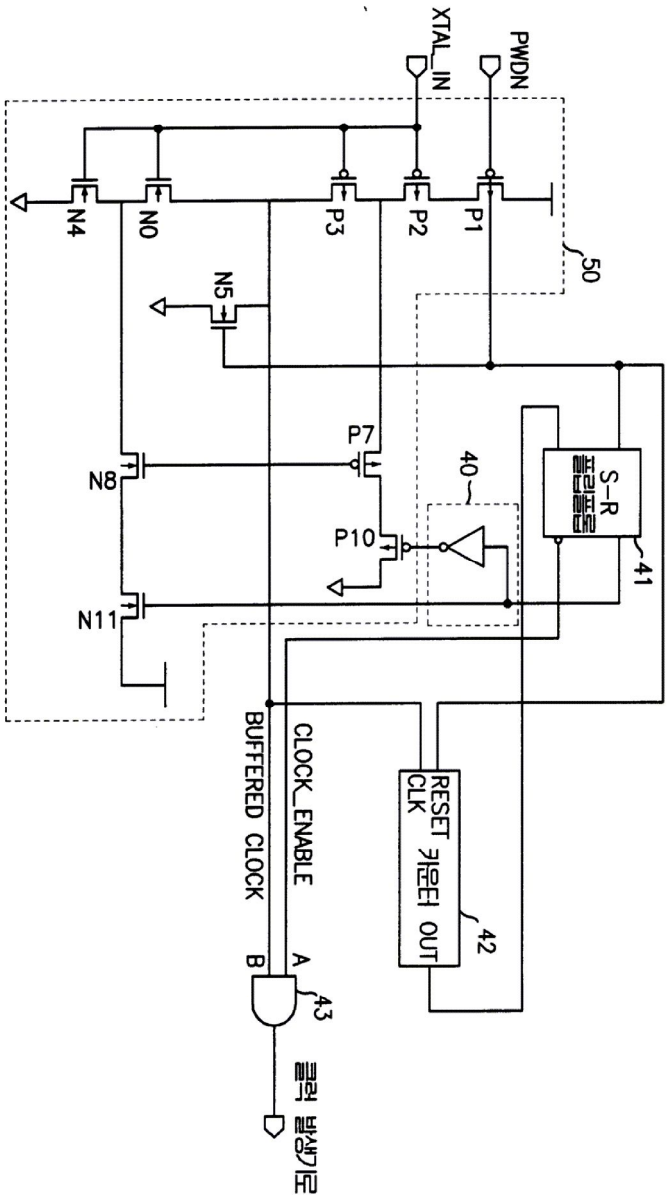
도면2


크리스탈 발진기
XTAL1
XTAL2
1
버퍼
R2
2
전력 절약 모드(PWDN)
PWDN
XTAL_IN
XTAL_OUT
클럭 발생 제어기
3
CLK_IN
SYS_CLK
클럭 발생기
4
클럭

도면3


PWDN
11
1차 레벨 검출기
13
카운터
12
2차 레벨 검출기
14
XTAL_IN
클럭 발생기로

도면4


XTAL_IN
PWDN
N4
N0
P3
P2
P1
50
N5
P7
N8
40
S-R
플립플롭
P10
41
N11
BUFFERED CLOCK
CLOCK_ENABLE
RESET
CLK
카운터 OUT
42
B
A
43
클럭 발생기로