

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁸ H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년02월08일 10-0549578 2006년01월27일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0037552 2004년05월25일	(65) 공개번호 (43) 공개일자	10-2005-0112453 2005년11월30일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	서문식 경기도용인시풍덕천1동692-1수지2차삼성아파트201동1406호
(74) 대리인	특허법인아주

심사관 : 정회환

(54) MOS 트랜지스터 제조 방법

요약

본 발명은 스토리지 노드부에서의 도펀트 증가를 방지함으로써 전계 증가에 따른 누설 전류를 감소시켜 리프레쉬 특성을 향상시키기 위한 MOS 트랜지스터 제조 방법에 관한 것으로, 상기 MOS 트랜지스터 제조 방법은 실리콘 기판에 필드산화막으로 액티브 및 필드 영역을 분리하는 단계와; 상기 액티브 영역에 스텝 게이트 마스크를 형성하는 단계와; 상기 스텝 게이트 마스크를 식각 마스크로 상기 스토리지 노드부의 필드 산화막 일부와 실리콘 기판을 소정 깊이 식각하여 계단식 프로파일을 형성하는 단계와; 상기 계단식 프로파일을 형성한 후 제 1 문턱 전압 조절 이온 주입을 실시한 후 게이트 전극을 형성하는 단계와; 비트라인과 콘택될 부분의 접합 영역만 오픈 되도록 감광막 마스크를 형성한 후 제 2 문턱 전압 조절 이온 주입을 실시하는 단계를 포함하여 구성된다.

대표도

도 3d

색인어

문턱 전압, 비대칭 접합, 계단식 프로파일, 확산 방지

명세서

도면의 간단한 설명

도1a 내지 도1b는 본 발명에 의한 MOS 트랜지스터 제조 방법을 나타낸 간략한 공정 단면도이다.

도2는 종래 기술에 의한 MOS 트랜지스터의 전계 분포를 나타낸 시뮬레이션 결과 도면이다.

도3a 내지 도3e는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 1 실시예를 나타낸 순차적인 공정 단면도이다.

도4는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 1 실시예에 따른 MOS 트랜지스터의 전계 분포를 나타낸 시뮬레이션 결과 도면이다.

도5는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 2 실시예에 따른 결과물을 나타낸 도면이다.

도6은 본 발명과 종래 기술에 의해 형성된 MOS 트랜지스터의 문턱 전압 조절용 불순물 분포를 비교한 시뮬레이션도이다.

- 도면의 주요부분에 대한 부호의 설명 -

300 : 실리콘 기판 302 : 소자분리막

304 : 스텝 게이트 마스크 306 : 1차 문턱 전압 조절 이온

316 : 1차 문턱 전압 조절 이온

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 MOS 트랜지스터 제조 방법에 관한 것으로, 보다 상세하게는 스토리지 노드부에서의 도펀트 증가를 방지함으로써 전계 증가에 따른 누설 전류를 감소시켜 리프레쉬 특성을 향상시키기 위한 MOS 트랜지스터 제조 방법에 관한 것이다.

디램 소자는 데이터를 저장해두고 필요시 꺼내 판독할 수 있는 메모리 소자로서, 전하 즉 데이터를 저장해 두는 캐패시터와 필요시에 캐패시터에 저장된 전하를 꺼내기 위한 스위칭 역할을 하는 모스 트랜지스터로 구성되는 셀들의 집합으로 구성된다.

상기 디램 소자의 데이터 저장은 캐패시터에 전하가 축적되어 있는 것을 의미하는 것으로, 이상적으로는 캐패시터에 저장된 전하는 소멸되지 않지만 소자의 디자인 룰이 감소됨에 따라 소오스와 드레인간의 채널 길이 감소에 따라 문턱 전압이 증가하거나 접합 영역의 누설 전류가 증가한다. 이로 인하여 캐패시터에 저장된 데이터가 손실되는 문제가 발생하게 되고, 결국 전하를 재충전하는 리프레시 특성이 저하되는 문제점이 유발된다.

이러한 리프레쉬 특성 저하를 방지하기 위하여 채널 이온 주입 공정시에 스토리지 노드 즉, 캐패시터와 콘택 연결될 접합 부분을 부분적으로 블로킹한 상태에서 채널 문턱 전압 조절용 이온 주입을 추가적으로 실시하기도 하였으나, 이러한 경우 문턱 전압 이온 주입시에 채널 영역의 보론 농도가 급격히 증가하여 리프레시 특성을 저하시키는 또 다른 문제점이 발생하게 된다.

이하, 첨부된 도면을 참조하여 종래 기술에 의한 디램 셀 제조 방법의 문제점을 하기 도면을 참조하여 상세하게 설명하도록 한다.

도1a 내지 도1b는 본 발명에 의한 MOS 트랜지스터 제조 방법을 나타낸 간략한 공정 단면도이다.

우선, 도시되지는 않지만 웰, 필드 스탱, 펀치 스탱, 및 채널 문턱 전압 조절 이온 주입을 진행한다. 그리고 나서, 도1a에 도시된 바와 같이 실리콘 기판(100) 상에 게이트 산화막(102) 및 게이트 폴리실리콘(104)을 증착한 후 선택적인 사진 및 식각 공정을 진행하여 게이트 전극을 형성한다. 그리고 나서, 셀 접합 영역을 형성하기 위하여 실리콘 기판에 불순물 이온 주입을 실시하여 접합 영역(106)을 형성한다.

이어서, 도1b에 도시된 바와 같이 반도체 기판에 후속 비트라인과 콘택될 접합 예정 영역만 노출되도록 포토레지스트 패턴(108)을 형성한 후 채널 문턱 이온 주입을 추가로 실시함으로써, 비대칭적인 접합 구조를 형성한다.

도2는 종래 기술에 의한 MOS 트랜지스터의 전계 분포를 나타낸 시뮬레이션 결과 도면으로, 여기에 도시된 바와 같이 예상 문턱 전압(Vt)이 $\sim 1.7E13V$, 최대 전계가 $\sim 0.58MV/cm$ 정도로, 접합 영역에서의 전계가 높은 것을 볼 수 있다.

상기와 같은 종래 기술에 의한 MOS 트랜지스터 제조에 의하면, 디자인 룰이 감소할수록 비트라인과 콘택될 접합 부위에만 추가 이온 주입을 실시하는 방법을 이용하게 되면, 채널 영역의 보론의 농도가 비정상적으로 증가하게 되고, 채널과 접합간의 가파른 도핑 프로파일이 형성되어 전계를 증가시키게된다. 이로 인하여 결국 리프레시 특성이 저하되는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 실리콘 기판 및 필드 산화막의 일부를 식각하여 계단식 프로파일을 형성하고 비트라인 또는 스토리지 노드부에만 문턱 전압 조절 이온 주입 공정을 추가로 형성하여 비대칭적인 접합 영역을 형성함 스토리지 노드와 비트라인부 경계부에서의 도펀트 확산 방지층이 형성되도록 하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

상기와 같은 목적을 실현하기 위한 본 발명의 첫 번째 MOS 트랜지스터 제조 방법은 실리콘 기판에 필드산화막으로 액티브 및 필드 영역을 분리하는 단계와; 상기 액티브 영역에 스텝 게이트 마스크를 형성하는 단계와; 상기 스텝 게이트 마스크를 식각 마스크로 상기 스토리지 노드부의 필드 산화막 일부와 실리콘 기판을 소정 깊이 식각하여 계단식 프로파일을 형성하는 단계와; 상기 계단식 프로파일을 형성한 후 제 1 문턱 전압 조절 이온 주입을 실시한 후 게이트 전극을 형성하는 단계와; 비트라인과 콘택될 부분의 접합 영역만 오픈 되도록 감광막 마스크를 형성한 후 제 2 문턱 전압 조절 이온 주입을 실시하는 단계를 포함하는 것을 특징으로 한다.

상기와 같은 목적을 해결하기 위한 본 발명은 두 번째 MOS 트랜지스터 제조 방법은 실리콘 기판에 필드산화막으로 액티브 및 필드 영역을 분리하는 단계와; 상기 액티브 영역에 스텝 게이트 마스크를 형성하는 단계와; 상기 스텝 게이트 마스크를 식각 마스크로 상기 비트라인부의 필드 산화막 일부와 실리콘 기판을 소정 깊이 식각하여 계단식 프로파일을 형성하는 단계와; 상기 계단식 프로파일을 형성한 후 제 1 문턱 전압 조절 이온 주입을 실시한 후 게이트 전극을 형성하는 단계와; 스토리지 노드부의 접합 영역만 오픈 되도록 감광막 마스크를 형성한 후 제 2 문턱 전압 조절 이온 주입을 실시하는 단계를 포함하는 것을 특징으로 한다.

상기 본 발명에 의한 MOS 트랜지스터의 제조 방법에 의하면, 실리콘 기판 및 필드 산화막의 일부를 식각하여 계단식 프로파일을 형성한 후 비트라인 또는 스토리지 노드부에만 문턱 전압 조절 이온 주입 공정을 추가로 형성하여 비대칭적인 접합 영역과 스토리지노드부와 비트라인부 경계에서의 도펀트 확산 방지층이 형성되도록 함으로써, 스토리지 노드부의 도펀트 농도를 감소시켜 전계 증가를 방지할 수 있다.

이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 설명한다. 또한 본 실시예는 본 발명의 권리범위를 한정하는 것은 아니고, 단지 예시로 제시된 것이며 종래 구성과 동일한 부분은 동일한 부호 및 명칭을 사용한다.

도3a 내지 도3e는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 1 실시예를 나타낸 순차적인 공정 단면도이다.

우선, 도3a에 도시된 바와 같이 실리콘 기판(300) 상에 트렌치 소자 분리막(302)을 형성하여 액티브 및 필드 영역을 정의한 후에 스텝 게이트 마스크(304)를 식각 블로킹막으로 스토리지 노드 형성부쪽의 소자 분리막(302)과 액티브 실리콘 기판(300) 일부를 50~2500Å 깊이로 식각하여 단차를 형성한다. 상기 스텝 게이트 마스크는 감광막, 산화막, 질화막 중 어느 하나로 형성하거나, 폴리실리콘등을 포함하여 형성하되, 그 폭은 실제 게이트의 1~3.5배로 형성한다. 이때, 상기 실리콘 기판 식각은 10~90°의 각도로 실시한다. 상기 단차를 형성하여 후속 문턱 전압 조절 이온 주입시에 버티컬 채널 영역을 확산 방지 영역으로 이용함으로써 비트라인부 쪽의 문턱 전압 조절시의 임플란트가 스토리지 노드부로 확산되는 것을 방지할 수 있도록 한다. 본 발명에서는 살기 실리콘 기판 식각 공정시에 소자 분리막을 일부 같이 식각하여 필드산화막과 실리콘 기판의 단차를 없애므로써 게이트 전극간의 브리지 발생을 방지할 수 있다.

그런 다음, 상기 스텝 게이트 마스크(304)를 제거하고 도시되지는 않지만 웰 이온 주입을 진행한 후에 도3b에 도시된 바와 같이 저농도 불순물을 이용하여 1차 문턱전압 조절 이온 주입(306)을 기판 전면에서 실시한다.

그리고 나서, 게이트 산화막(308) 및 게이트 폴리실리콘(310), 하드마스크 물질(312)을 증착하고 선택적 사진 및 식각 공정을 진행하여 게이트 전극을 형성한 후에 게이트 측벽에 보호막 역할을 하는 라이트 산화막(314)을 형성한다. 그리고, 도 3c에 도시된 바와 같이 비트라인과 콘택될 부분의 접합 영역에 2차 문턱 전압 조절 이온 주입(316)을 실시한다. 이때, 상기 2차 문턱 전압 조절용 이온 주입은 스토리지 노드부의 전계 증가를 방지하기 위하여 스토리지 노드부의 1차 문턱 전압 조절에 의한 도펀트(p형 도펀트)보다 $1E17/cm^3$ 이상 낮게하거나, 상기 비트라인 접합부의 저항 증가를 방지하기 위하여 n형 도펀트를 추가로 주입하여 비트라인부의 도펀트를 스토리지 노드 도펀트보다 농도보다 $1E17/cm^3$ 이상 높게 하는 것이 바람직하다.

이어서, 도3d에 도시된 바와 같이 n형 불순물 이온 주입을 실시함으로써, 비대칭 구조의 소오스/드레인 접합 영역(318)을 형성한다.

그런 후에, 질화막을 증착한 후 건식 식각 공정을 진행함으로써 상기 게이트 측벽에 스페이서(320)를 형성하고, n 타입으로 도핑된 폴리실리콘을 매립함으로써 도3e에 도시된 바와 같이 콘택 플러그(322)를 형성한다.

도4는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 1 실시예에 따른 MOS 트랜지스터의 전계 분포를 나타낸 시뮬레이션 결과 도면으로, 여기에 도시된 바와 같이 예상 문턱 전압(V_t)이 $\sim 1.0E13V$, 최대 전계가 $\sim 0.44MV/cm$ 정도로, 접합 영역에서의 전계가 종래에 비하여 낮게 나타남으로써 누설 전류가 종래에 비해 상대적으로 낮게 나타나는 것을 예측할 수 있다.

도5는 본 발명에 의한 MOS 트랜지스터 제조 방법의 제 2 실시예에 따른 결과물을 나타낸 것으로, 제 1 실시예와 비교하여 제 1 실시예에서는 스토리지 노드부의 실리콘 기관을 일부 식각하여 계단식의 프로파일을 갖도록 하였으나, 제 2 실시예에서는 비트라인부의 실리콘 기관을 일부 식각함으로써 계단식 프로파일을 갖도록 하였다. 그 이외의 공정은 제 1 실시예와 동일하다.

도6은 본 발명과 종래 기술에 의해 형성된 MOS 트랜지스터의 문턱 전압 조절용 불순물 분포를 비교한 시뮬레이션도로, 종래(A)의 경우 비대칭 구조의 접합 영역을 형성하기 위해 추가로 진행되는 2차 문턱 전압 조절 이온 주입시 비트라인부의 불순물이 스토리지 노드부로 확산되어 전계를 증가시킴으로써 결국 리프레시 특성을 저하시키는 반면, 본 발명(B)의 경우 스토리지 노드부의 실리콘을 일부 리세스하여 계단식 프로파일을 형성함으로써 채널 길이를 확보할 뿐만 아니라 비트라인부의 불순물이 스토리지 노드쪽으로 확산되지 않는 확산 장벽 영역이 형성되도록 함으로써 스토리지 노드부의 불순물 농도를 감소시켜 전계를 감소시킬 수 있다.

발명의 효과

상기한 바와 같이 본 발명은 계단식 프로파일에 의해 스토리지 노드부와 비트라인부 경계에 확산 방지층이 형성되어 후속 문턱 전압 조절용 추가 이온 주입시의 도펀트 확산을 방지하여 전계 집중에 따른 누설 전류를 방지하여 소자의 리프레시 특성을 향상시킬 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

실리콘 기관에 필드산화막으로 액티브 및 필드 영역을 분리하는 단계와;

상기 액티브 영역에 스텝 게이트 마스크를 형성하는 단계와;

상기 스텝 게이트 마스크를 식각 마스크로 상기 스토리지 노드부의 필드 산화막 일부와 실리콘 기관을 소정 깊이 식각하여 계단식 프로파일을 형성하는 단계와;

상기 계단식 프로파일을 형성한 후 p형 불순물을 이용하여 제 1 문턱 전압 조절 이온 주입을 실시한 후 게이트 전극을 형성하는 단계와;

비트라인과 콘택될 부분의 접합 영역만 오픈 되도록 감광막 마스크를 형성한 후 제 2 문턱 전압 조절 이온 주입을 실시하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 2.

제 1항에 있어서,

상기 필드 산화막과 실리콘 기판 식각은 50~2500Å 깊이로 식각하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 3.

제 1항에 있어서,

상기 필드 산화막과 실리콘 기판 식각은 10~90°의 각도로 실시하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 4.

제 1항에 있어서,

상기 스텝 게이트 마스크를 게이트 전극의 1~3.5배로 형성하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 5.

제 1항에 있어서,

상기 제 2 문턱 전압 조절용 이온 주입으로 스토리지 노드부의 전계 증가를 방지하기 위하여 제 1 문턱 전압 조절에 의한 스토리지 노드부의 p형 도펀트 농도를 비트라인부의 p형 도펀트 농도보다 1E17/cm³ 이상 낮게 하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 6.

제 1항에 있어서,

상기 제 2 문턱 전압 조절용 이온 주입에 의한 비트라인 접합부의 저항 증가를 방지하기 위하여 비트라인부의 n형 도펀트 농도를 스토리지 노드부의 도펀트 농도보다 1E17/cm³ 이상 높게 하기 위해 비트라인부에만 n형 도펀트를 추가하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 7.

실리콘 기판에 필드산화막으로 액티브 및 필드 영역을 분리하는 단계와;

상기 액티브 영역에 스텝 게이트 마스크를 형성하는 단계와;

상기 스텝 게이트 마스크를 식각 마스크로 상기 비트라인부의 필드 산화막 일부와 실리콘 기판을 소정 깊이 식각하여 계단식 프로파일을 형성하는 단계와;

상기 계단식 프로파일을 형성한 후 p형 도펀트로 제 1 문턱 전압 조절 이온 주입을 실시한 후 게이트 전극을 형성하는 단계와;

스토리지 노드부의 접합 영역만 오픈 되도록 감광막 마스크를 형성한 후 제 2 문턱 전압 조절 이온 주입을 실시하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 8.

제 7항에 있어서,

상기 필드 산화막과 실리콘 기판 식각은 50~2500Å 깊이로 식각하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 9.

제 7항에 있어서,

상기 필드 산화막과 실리콘 기판 식각은 10~90°의 각도로 실시하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 10.

제 7항에 있어서,

상기 스텝 게이트 마스크를 게이트 전극의 1~3.5배로 형성하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

청구항 11.

제 7항에 있어서,

상기 제 2 문턱 전압 조절용 이온 주입으로 스토리지 노드부의 전계 증가를 방지하기 위하여 제 1 문턱 전압 조절에 의한 스토리지 노드부의 p형 도펀트 농도를 비트라인부의 p형 도펀트 농도보다 $1E17/cm^2$ 이상 낮게 하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

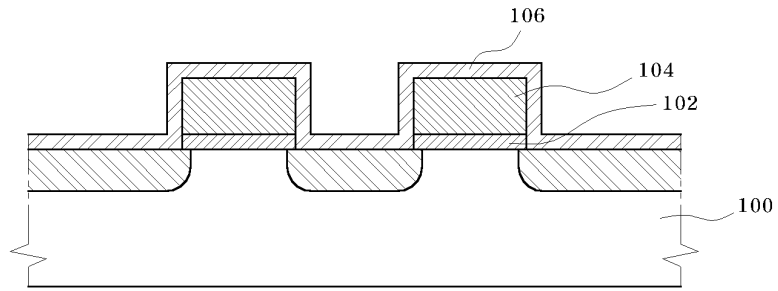
청구항 12.

제 7항에 있어서,

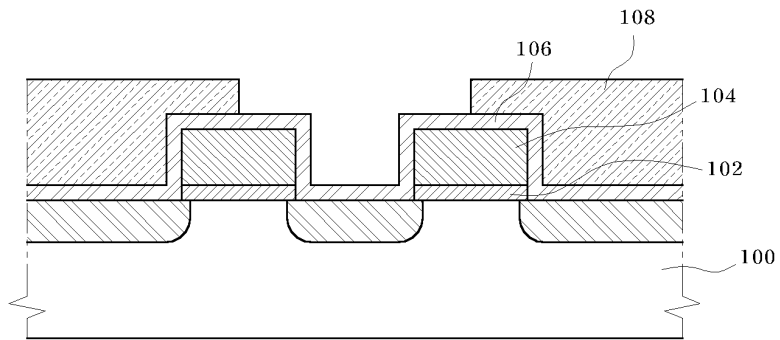
상기 제 2 문턱 전압 조절용 이온 주입에 의한 비트라인 접합부의 저항 증가를 방지하기 위하여 비트라인부의 n형 도펀트 농도를 스토리지 노드부의 도펀트 농도보다 $1E17/cm^2$ 이상 높게 하기 위해 비트라인부에만 n형 도펀트를 추가하는 것을 특징으로 하는 MOS 트랜지스터 제조 방법.

도면

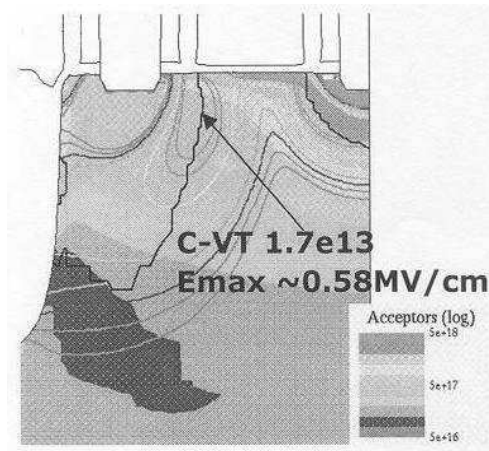
도면1a



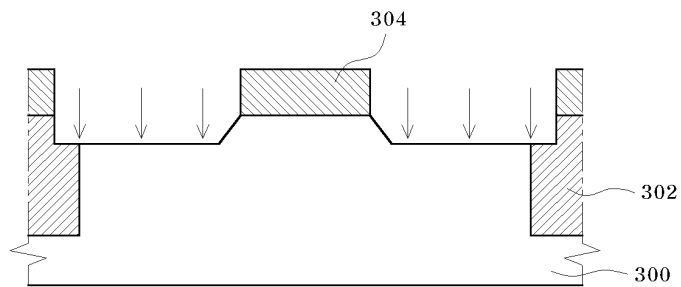
도면1b



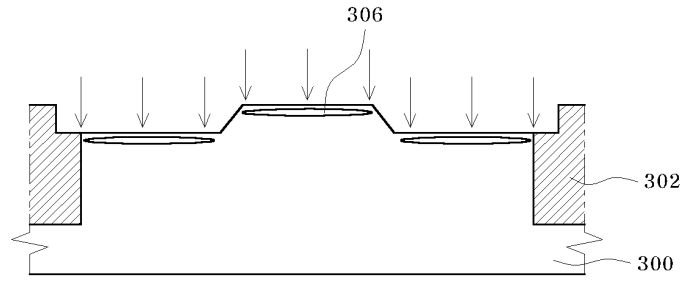
도면2



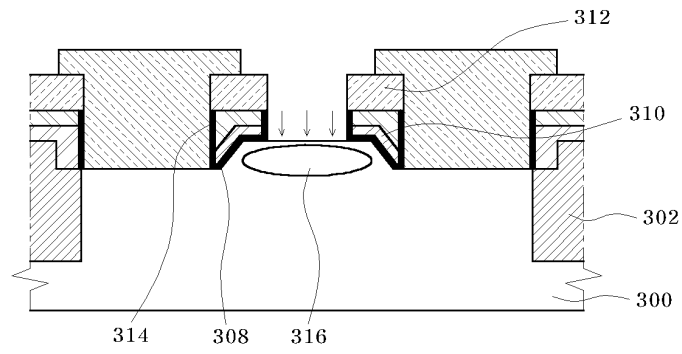
도면3a



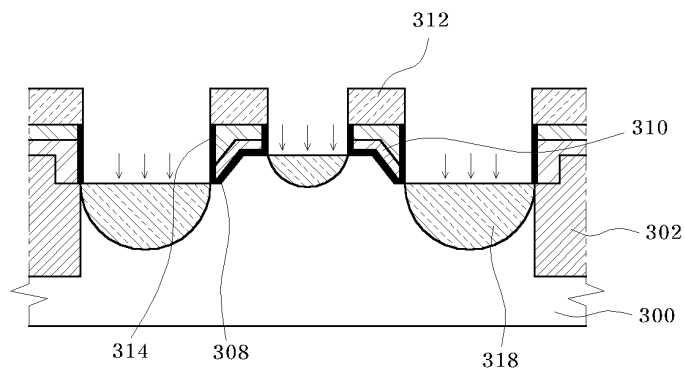
도면3b



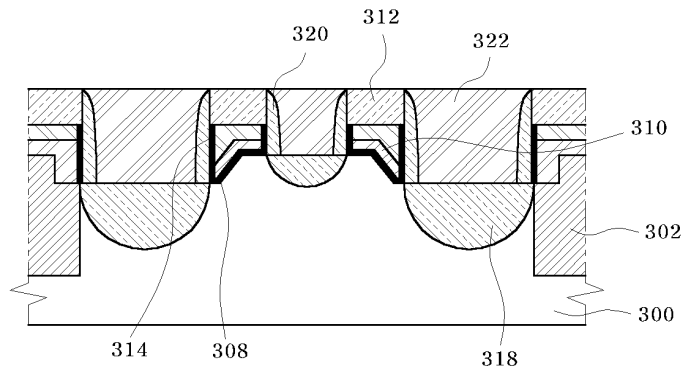
도면3c



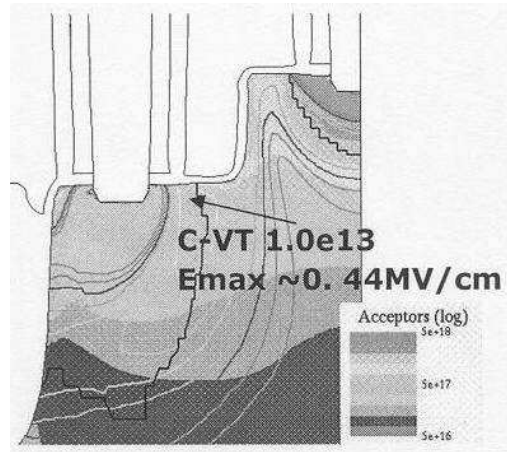
도면3d



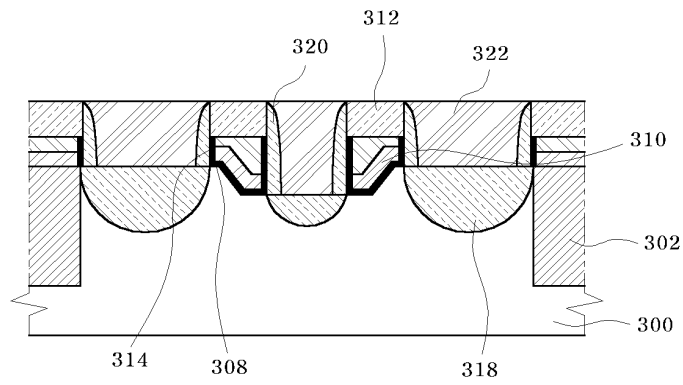
도면3e



도면4



도면5



도면6

