

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

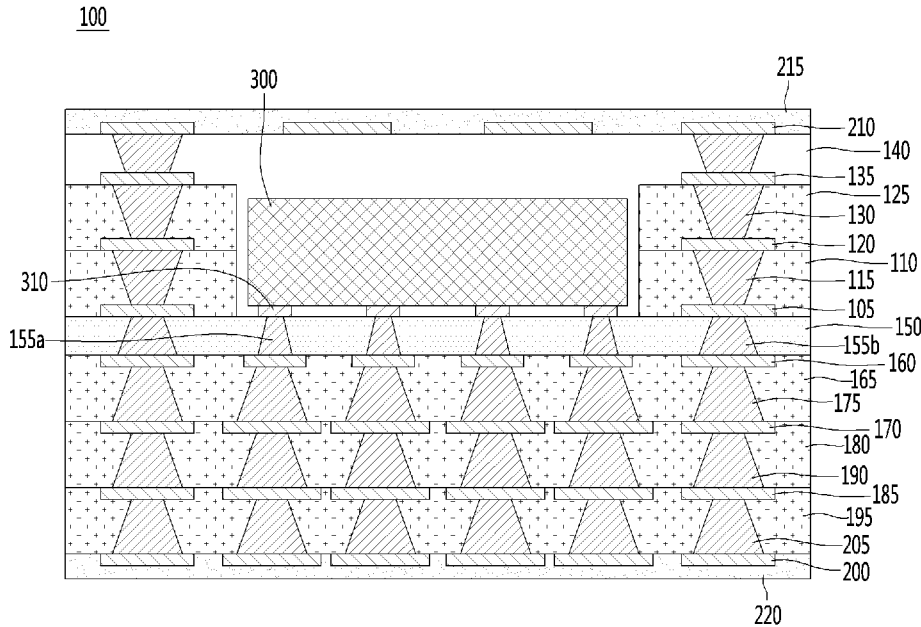
(43) 국제공개일
2020년 6월 18일 (18.06.2020) WIPO | PCT

WO 2020/122535 A1

- (51) 국제특허분류: *H05K 1/18* (2006.01) *H05K 1/03* (2006.01)
H05K 1/11 (2006.01) *H05K 3/46* (2006.01)
- (21) 국제출원번호: PCT/KR2019/017333
- (22) 국제출원일: 2019년 12월 10일 (10.12.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0158282 2018년 12월 10일 (10.12.2018)KR
- (71) 출원인: 엘지이노텍 주식회사 (LG INNOTEK CO., LTD.) [KR/KR]; 07796 서울시 강서구 마곡중앙10로 30, Seoul (KR).
- (72) 발명자: 정원석 (JUNG, Won Suk); 04637 서울시 중구 후암로 98, Seoul (KR).
- (74) 대리인: 허용록 (HAW, Yong Noke); 06252 서울시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

(54) Title: PRINTED CIRCUIT BOARD

(54) 발명의 명칭: 인쇄회로기판



(57) Abstract: A printed circuit board according to an embodiment comprises: a first insulating part comprising a cavity; a second insulating part arranged on the first insulating part; a third insulating part arranged below the first insulating part; and an electronic element arranged in the cavity, wherein the number of layers of the second insulating part differs from the number of layers of the third insulating part, and the printed circuit board has an asymmetrical structure having the first insulating part, in which the electronic element is arranged, as the center thereof.

(57) 요약서: 실시 예에 따른 인쇄회로기판은 캐비티를 포함하는 제1 절연부; 상기 제1 절연부 위에 배치된 제2 절연부; 상기 제1 절연부 아래에 배치된 제3 절연부; 및 상기 캐비티 내에 배치된 전자 소자를 포함하고, 상기 제2 절연부의 층 수는, 상기 제3 절연부의 층 수와 다르고, 상기 전자소자가 배치된 제1 절연부를 중심으로 비대칭 구조를 가진다.

[다음 쪽 계속]



WO 2020/122535 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 인쇄회로기판

기술분야

- [1] 실시 예는 인쇄회로기판에 관한 것으로, 특히 전자소자 내장형 인쇄회로기판에 관한 것이다.

배경기술

- [2] 수동소자와 능동소자가 인쇄회로기판의 표면을 공유하고 있는 종래의 인쇄회로기판과는 달리 임베디드(Embedded) 인쇄회로기판(Printed Circuit Board)는 저항이나 커패시터 등과 같은 소자가 기판에 내장되어 있어 인쇄회로기판의 표면에 여유공간을 확보할 수 있어 종래의 인쇄회로기판에 비하여 배선밀도를 높일 수 있어 더욱 컴팩트한 전자기기의 개발이 가능하게 된다.
- [3] 또한, 이러한 임베디드 인쇄회로기판은 소자가 수직방향으로 연결되어 배선 길이가 크게 감소되어 고주파 신호를 사용하는 전자기기에서 기생효과(Parasitic Effect)에 의한 임피던스 발생 및 신호지연 등의 문제를 줄이는 효과가 있다.
- [4] 이러한, 임베디드 인쇄회로기판의 핵심기술은, 기판 내부에 소자를 내장하는 기술과, 상기 내장되는 소자와 배선 회로를 정밀하게 연결하는 기술이다.
- [5] 일반적으로, 임베디드 인쇄회로기판은 절연층을 형성한 후에 소자 실장 영역을 제거하는 캐비티 형성 공정을 진행한다. 그리고, 종래에서는 상기 형성된 캐비티 내에 소자를 실장시키고, 상기 소자가 실장된 절연층의 상부 및 하부에 각각 추가 절연층을 적층하는 공정을 진행하여 임베디드 인쇄회로기판을 제조한다.

발명의 상세한 설명

기술적 과제

- [6] 실시 예에서는 비대칭 구조의 전자소자 내장형 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [7] 또한, 실시 예에서는 기판의 두께를 줄이면서 디자인 자유도를 향상시킬 수 있는 전자소자 내장형 인쇄회로기판 및 이의 제조 방법을 제공하도록 한다.
- [8] 제안되는 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [9] 실시 예에 따른 인쇄회로기판은 캐비티를 포함하는 제1 절연부; 상기 제1 절연부 위에 배치된 제2 절연부; 상기 제1 절연부 아래에 배치된 제3 절연부; 및 상기 캐비티 내에 배치된 전자 소자를 포함하고, 상기 제2 절연부의 층 수는, 상기 제3 절연부의 층 수와 다르고, 상기 전자소자가 배치된 제1 절연부를

중심으로 비대칭 구조를 가진다.

- [10] 또한, 상기 제1 절연부는, 적어도 하나의 제1 절연층; 상기 제1 절연층의 하부에 매립된 제1 회로 패턴; 상기 제1 절연층의 상면 위에 배치된 제2 회로 패턴; 및 상기 제1 절연층 내에 배치되고, 상기 제1 및 제2 회로 패턴을 연결하는 제1 비아를 포함한다.
- [11] 또한, 상기 제1 절연층은, 유리 섬유를 포함하는 프리프레그로 형성된다.
- [12] 또한, 상기 제2 절연부는, 상기 캐비티의 내부 및 상기 제1 절연층 위에 배치되는 제 2 절연층; 상기 제2 절연층의 상면 위에 배치된 제3 회로 패턴; 및 상기 제2 절연층 내에 배치되고, 상기 제2 및 제3 회로 패턴을 연결하는 제2 비아를 포함하며, 상기 제2 절연층은, 상기 제1 절연층 및 상기 제3 절연부를 구성하는 절연층과 다른 절연물질로 구성된다.
- [13] 또한, 상기 제2 절연층은, RCC(Resin Coated Cu)로 구성된다.
- [14] 또한, 상기 제3 절연부는, 상기 제1 절연층 아래에 배치된 제3 절연층; 상기 제3 절연층 아래에 배치된 적어도 하나의 제4 절연층; 상기 제3 절연층 내에 배치된 제3 비아; 상기 제4 절연층 내에 배치된 제4 비아; 상기 제3 절연층의 하면 아래에 배치된 제4 회로 패턴; 및 상기 제4 절연층의 하면 아래에 배치된 제5 회로 패턴을 포함하고, 상기 제3 절연층은, 상기 제1, 제2, 및 제4 절연층과 다른 절연물질로 구성된다.
- [15] 또한, 상기 제3 절연층은, ABF(Aginomoto Build-up Film) 또는 PID(Photo Imagable Dielectric)로 형성된다.
- [16] 또한, 상기 제3 절연층은, 상기 제1 절연층, 상기 제2 절연층 및 상기 제4 절연층의 각각의 두께보다 작은 두께를 가진다.
- [17] 또한, 상기 제3 비아는, 상기 전자소자와 수직 방향으로 오버랩되고, 상기 전자소자의 단자와 직접 연결되는 제 1 서브 제3 비아와, 기 전자 소자와 수직 방향으로 오버랩되지 않는 위치에 배치되는 제2 서브 제3 비아를 포함하고, 상기 제1 서브 제3 비아는, 상기 제2 서브 제3 비아의 폭보다 작은 폭을 가진다.
- [18] 또한, 상기 제2 서브 제3 비아는, 상기 제1 비아, 상기 제2 비아 및 상기 제4 비아의 폭과 동일한 폭을 가진다.
- [19] 한편, 실시 예에 따른 인쇄회로기판의 제조 방법은 적어도 하나의 제1 절연층과, 상기 제1 절연층의 하부에 매립된 제1 회로 패턴과, 상기 제1 절연층의 상면 위에 배치된 제2 회로 패턴과, 상기 제1 절연층 내에 배치되어 상기 제1 및 제2 회로 패턴을 연결하는 제1 비아를 포함하는 제1 절연부를 형성하는 단계; 상기 제1 절연부 상에 상기 제1 절연층을 관통하는 캐비티를 형성하는 단계; 상기 제1 절연부 아래에 필름층을 형성하는 단계; 상기 캐비티를 통해 노출된 상기 필름층 상에 전자 소자를 부착하는 단계; 상기 제1 절연부 상에 상기 캐비티의 내부 및 상기 제1 절연층 위에 배치되는 제 2 절연층과, 상기 제2 절연층의 상면 위에 배치된 제3 회로 패턴과, 상기 제2 절연층 내에 배치되고, 상기 제2 및 제3 회로 패턴을 연결하는 제2 비아를 포함하는 제2 절연부를

형성하는 단계; 상기 필름층을 제거하는 단계; 및 상기 제1 절연부 아래에 배치된 제3 절연층과, 상기 제3 절연층 아래에 배치된 적어도 하나의 제4 절연층과, 상기 제3 절연층 내에 배치된 제3 비아와, 상기 제4 절연층 내에 배치된 제4 비아와, 상기 제3 절연층의 하면 아래에 배치된 제4 회로 패턴과, 상기 제4 절연층의 하면 아래에 배치된 제5 회로 패턴을 포함하는 제3 절연부를 제조하는 단계를 포함하고, 상기 제3 절연부를 제조하는 단계는, 상기 적어도 하나의 제4 절연층, 상기 제4 비아 및 상기 제5 회로 패턴에 각각 대응되게, 상기 제2 절연부 상에 더미 절연부를 형성하는 단계; 및 상기 제3 절연부가 형성되면, 상기 더미 절연부를 제거하는 단계를 포함하고, 상기 제2 절연부를 구성하는 절연층의 층 수는, 상기 제3 절연부를 구성하는 절연층의 층 수와 다르고, 상기 전자소자가 배치된 제1 절연부를 중심으로 비대칭 구조를 가진다.

[20] 또한, 상기 제1 및 상기 제4 절연층은, 유리 섬유를 포함하는 프리프레그로 형성되고, 상기 제2 절연층은, RCC(Resin Coated Cu)로 형성되며, 상기 제3 절연층은, ABF(Aginomoto Build-up Film) 또는 PID(Photo Imagable Dielectric)로 형성된다.

[21] 또한, 상기 제3 비아는, 상기 전자소자와 수직 방향으로 오버랩되고, 상기 전자소자의 단자와 직접 연결되는 제1 서브 제3 비아와, 상기 전자소자와 수직 방향으로 오버랩되지 않는 위치에 배치되는 제2 서브 제3 비아를 포함하고, 상기 제1 서브 제3 비아는, 상기 제2 서브 제3 비아의 폭보다 작은 폭을 가지며, 상기 제2 서브 제3 비아는, 상기 제1 비아, 상기 제2 비아 및 상기 제4 비아의 폭과 동일한 폭을 가진다.

발명의 효과

[22] 실시 예에 따르면, 인쇄회로기판은 전자소자가 배치되는 캐비티가 형성된 제1 절연부를 포함한다. 그리고, 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치되도록 한다. 이에 따르면, 상기 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치됨에 따라 종래 대비 회로 패턴의 두께만큼 인쇄회로기판의 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다. 또한, 상기 제1 절연부는 유리 섬유(Glass Fiber)를 포함하는 프리프레그를 사용하기 때문에 얇은 기판 제작시에 발생하는 패널 깨짐이나 휨 발생을 최소화할 수 있다.

[23] 또한, 실시 예에 따르면, 인쇄회로기판은 제1 절연부 아래에 제2 절연부가 배치된다. 이때, 상기 제2 절연부는 상기 제1 절연부와 직접 접촉하는 영역에는 필름 타입의 레진(예를 들어, ABF(Aginomoto Build-up Film)나 감광성 절연재료인 PID(Photo Imagable Dielectric))을 이용하여 절연층을 구성하도록 한다. 이에 따르면, 실시 예에서는 기존 대비 상기 제2 절연부의 절연층 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다.

[24] 또한, 실시 예에 따르면 상기 제1 절연부와 직접 접촉하는 영역 상의 제2

절연부를 필름 타입의 레진으로 형성함에 따라 스몰 비아(small via) 형성이 가능하며, 이에 따른 파인 패턴(fine pattern) 구현이 가능하다.

- [25] 또한, 실시 예에 따르면, 칩이 센터에 배치됨에 따라 상하 대칭 구조를 가지는 종래 구조 대비 비대칭 구조로 팬 아웃 패널 레벨 패키지(Fan pit Panel Level Package)구조를 구현할 수 있다.

도면의 간단한 설명

- [26] 도 1은 실시 예에 따른 인쇄회로기판의 구조를 설명하기 위한 도면이다.
 [27] 도 2 내지 도 15는 도 1의 인쇄회로기판의 제조 방법을 공정 순으로 설명하기 위한 도면이다.
 [28] 도 16은 다른 실시 예에 따른 인쇄회로기판의 구조를 설명하기 위한 도면이다.
 [29] 도 17은 일 실시 예에 따른 패키지 기판을 나타낸 도면이다.
 [30] 도 18은 다른 실시 예에 따른 패키지 기판을 나타낸 도면이다.

발명의 실시를 위한 최선의 형태

- [31] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
 [32] 다만, 본 발명의 기술 사상은 설명되는 일부 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시 예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.
 [33] 또한, 본 발명의 실시 예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다. 또한, 본 발명의 실시 예에서 사용된 용어는 실시 예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.
 [34] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, "A 및(와) B, C중 적어도 하나(또는 한 개 이상)"로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함 할 수 있다. 또한, 본 발명의 실시 예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다.
 [35] 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다. 그리고, 어떤 구성 요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결, 결합 또는 접속되는 경우 뿐만아니라, 그 구성 요소와 그 다른 구성요소 사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속' 되는 경우도 포함할 수 있다.

- [36] 또한, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라 하나 이상의 또 다른 구성 요소가 두개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다. 또한, "상(위) 또는 하(아래)"으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [37]
- [38] 도 1은 실시 예에 따른 인쇄회로기판의 구조를 설명하기 위한 도면이다.
- [39] 도 1을 참조하면, 인쇄회로기판은 제1 절연부, 제2 절연부 및 제3 절연부를 포함할 수 있다. 제1 절연부는 중앙 절연층을 포함할 수 있고, 제2 절연부는 제1 절연부 위에 배치되는 상부 절연층을 포함할 수 있으며, 제3 절연부는 제1 절연부 아래에 배치되는 하부 절연층을 포함할 수 있다.
- [40] 제1 절연부는 전자소자(300)가 내부에 매립되는 절연층을 포함한다. 이를 위해, 제1 절연부는 제1 절연층(110) 및 제2 절연층(125)을 포함할 수 있다. 그리고, 제1 절연층(110) 및 제2 절연층(125)에는 전자소자(300)가 배치되는 캐비티(C)가 형성될 수 있다. 이때, 제1 절연부는 코어 절연부라고도 할 수 있으며, 이에 따라 제1 절연층(110) 및 제2 절연층(125)은 코어 절연층이라 할 수 있다.
- [41] 제1 절연층(110) 및 제2 절연층(125)은 배선을 변경할 수 있는 전기 회로가 편성되어 있는 기판으로, 표면에 적어도 하나의 회로 패턴을 형성할 수 있는 절연 재료로 만들어진 프린트, 배선판, 절연 기판을 모두 포함할 수 있다.
- [42] 제1 절연층(110) 및 제2 절연층(125)은 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 제1 절연층(110) 및 제2 절연층(125)은 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리 등의 화학 강화/반강화유리를 포함하거나, 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 등의 강화 혹은 연성 플라스틱을 포함하거나 사파이어를 포함할 수 있다.
- [43] 이때, 제1 절연층(110) 및 제2 절연층(125)의 표면에는 복수의 회로 패턴이 배치될 수 있다.
- [44] 제1 절연층(110)의 하부에는 제1 회로 패턴(105)이 매립될 수 있다. 제1 절연층(110)의 상면 위에는 제2 회로 패턴(120)이 배치될 수 있다. 또한, 제2 절연층(125)의 상면 위에는 제3 회로 패턴(135)이 배치될 수 있다. 이때, 제1 절연층(110) 및 제2 절연층(125)을 하나의 절연층으로 보았을 때, 하부에 배치되는 회로 패턴은 절연층 내에 매립되어 배치되고, 상부에 배치되는 회로 패턴은 절연층 상에 돌출되어 배치된다. 즉, 종래에는 상기 상부 및 하부에 배치되는 회로 패턴이 모두 절연층의 상면 및 하면으로부터 돌출되어 형성되었다. 이에 반하여, 실시 예에서는 제1 회로 패턴(105)이 상기 제1 절연층(110)의 하부에 매립될 수 있도록 한다. 이에 따라, 실시 예에서는 상기 제1 절연층(110) 아래에 배치되는 절연층(추후 설명, 150)의 두께를 상기 제1 회로

패턴(105)의 두께만큼 줄일 수 있도록 한다. 즉, 절연층은 기본적으로 회로 패턴을 덮으면서 배치되기 때문에 상기 회로 패턴의 두께가 기본 옵션 두께로 결정된다. 반면, 실시 예에서는 상기 제1 회로 패턴(105)이 상기 제1 절연층(110) 하부에 매립 배치됨에 따라, 추후 상기 제1 절연층(110) 아래에 적층될 절연층의 두께를 종래 대비 12~18 μ m 정도 감소시킬 수 있다.

- [45] 또한, 제1 회로 패턴(105), 제2 회로 패턴(120) 및 제3 회로 패턴(135)은 전기적 신호를 전달하는 배선으로, 전기 전도성이 높은 금속물질로 형성될 수 있다. 이를 위해, 상기 제1 회로 패턴(105), 제2 회로 패턴(120) 및 제3 회로 패턴(135)은 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu) 및 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질로 형성될 수 있다. 또한 제1 회로 패턴(105), 제2 회로 패턴(120) 및 제3 회로 패턴(135)은 본딩력이 우수한 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu), 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질을 포함하는 페이스트 또는 솔더 페이스트로 형성될 수 있다. 바람직하게, 제1 회로 패턴(105), 제2 회로 패턴(120) 및 제3 회로 패턴(135)은 전기전도성이 높으면서 가격이 비교적 저렴한 구리(Cu)로 형성될 수 있다.
- [46] 제1 회로 패턴(105), 제2 회로 패턴(120) 및 제3 회로 패턴(135)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.
- [47] 제1 절연층(110) 내에는 제1 비아(115)가 형성된다. 그리고, 제2 절연층(125) 내에는 제2 비아(130)가 형성된다. 제1 비아(115) 및 제2 비아(130)는 서로 다른 층에 배치된 회로 패턴을 상호 전기적으로 연결한다. 제1 비아(115)는 제1 회로 패턴(105)과 제2 회로 패턴(120)을 전기적으로 연결할 수 있다. 또한, 제2 비아(130)는 제2 회로 패턴(120)과 제3 회로 패턴(135)을 전기적으로 연결할 수 있다.
- [48] 제1 비아(115) 및 제2 비아(130)는 제1 절연층(110) 및 제2 절연층(125) 중 어느 하나의 절연층만을 관통할 수 있으며, 이와 다르게 상기 복수의 절연층 중 적어도 2개의 절연층을 공통으로 관통하며 형성될 수도 있다. 이에 따라, 제1 비아(115) 및 제2 비아(130)는 서로 다른 절연층의 표면에 배치되어 있는 회로 패턴을 상호 전기적으로 연결한다.
- [49] 제1 비아(115) 및 제2 비아(130)는 제1 절연층(110) 및 제2 절연층(125) 중 적어도 하나의 절연층을 관통하는 관통 홀(도시하지 않음) 내부로 전도성 물질로 충전하여 형성할 수 있다.
- [50] 상기 관통 홀은 기계, 레이저 및 화학 가공 중 어느 하나의 가공 방식에 의해 형성될 수 있다. 상기 관통 홀이 기계 가공에 의해 형성되는 경우에는 밀링(Milling), 드릴(Drill) 및 라우팅(Routing) 등의 방식을 사용할 수 있고, 레이저 가공에 의해 형성되는 경우에는 UV나 CO₂ 레이저 방식을 사용할 수 있으며, 화학 가공에 의해 형성되는 경우에는 아미노실란, 케톤류 등을 포함하는 약품을

- 이용하여 상기 복수의 절연층 중 적어도 하나의 절연층을 개방할 수 있다.
- [51] 한편, 상기 레이저에 의한 가공은 광학 에너지를 표면에 집중시켜 재료의 일부를 녹이고 증발시켜, 원하는 형태를 취하는 절단 방법으로, 컴퓨터 프로그램에 의한 복잡한 형성도 쉽게 가공할 수 있고, 다른 방법으로는 절단하기 어려운 복합 재료도 가공할 수 있다.
- [52] 또한, 상기 레이저에 의한 가공은 절단 직경이 최소 0.005mm까지 가능하며, 가공 가능한 두께 범위로 넓은 장점이 있다.
- [53] 상기 레이저 가공 드릴로, YAG(Yttrium Aluminum Garnet) 레이저나 CO₂ 레이저나 자외선(UV) 레이저를 이용하는 것이 바람직하다. YAG 레이저는 동박층 및 절연층 모두를 가공할 수 있는 레이저이고, CO₂ 레이저는 절연층만 가공할 수 있는 레이저이다.
- [54] 상기 관통 홀이 형성되면, 상기 관통 홀 내부를 전도성 물질로 충전하여 제1 비아(115) 및 제2 비아(130)를 형성할 수 있다. 제1 비아(115) 및 제2 비아(130)를 형성하는 금속 물질은 구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni) 및 팔라듐(Pd) 중에서 선택되는 어느 하나의 물질일 수 있으며, 상기 전도성 물질 충전은 무전해 도금, 전해 도금, 스크린 인쇄(Screen Printing), 스퍼터링(Sputtering), 증발법(Evaporation), 잉크젯팅 및 디스펜싱 중 어느 하나 또는 이들의 조합된 방식을 이용할 수 있다.
- [55] 제1 절연층(110) 및 제2 절연층(125)에 공통으로 형성된 캐비티(C)에는 전자소자(300)가 내장될 수 있다.
- [56] 상기 전자소자(300)는 칩과 같은 전자 부품일 수 있으며, 이는 능동 소자와 수동 소자로 구분될 수 있다. 그리고, 상기 능동 소자는 비선형 부분을 적극적으로 이용한 소자이고, 수동 소자는 선형 및 비선형 특성이 모두 존재하여도 비선형 특성은 이용하지 않는 소자를 의미한다. 그리고, 상기 수동 소자에는 트랜지스터, IC 반도체 칩 등이 포함될 수 있으며, 상기 수동 소자에는 콘덴서, 저항 및 인덕터 등을 포함할 수 있다. 상기 수동 소자는 능동 소자인 반도체 칩의 신호 처리 속도를 높이거나, 필터링 기능 등을 수행하기 위해, 통상의 인쇄회로기판에 실장된다.
- [57] 상기 전자소자(300)는 인쇄회로기판이 적용되는 어플리케이션에 따라 달라질 수 있으며, 예를 들어, 스마트폰에 적용되는 낸드 플래쉬(nand flash) 메모리 제품에 적용될 경우, 전자소자(300)는 제어소자 부품일 수 있다.
- [58] 전자소자(300)의 하면에는 단자(310)가 형성될 수 있다. 이때, 단자(310)는 하면이 제1 절연층(110)의 하면과 동일 평면 상에 배치될 수 있다. 상기 단자(310)는 하면이 제1 회로 패턴(105)의 하면과 동일 평면 상에 배치될 수 있다. 한편, 전자소자(300)의 상면은 제2 절연층(125)의 상면과 동일 평면 상에 배치될 수 있다. 바람직하게, 전자소자(300)의 상면은 제2 절연층(125)의 상면보다 낮게 배치될 수 있다. 즉, 상기 캐비티(C)는 전자소자(300)의 두께와 동일할 수 있으며, 신뢰성 향상을 위해 상기 전자소자(300)의 두께보다 큰 두께를 가질 수 있다.

바람직하게, 캐비티(C)는 전자소자(300)의 두께보다 10 μ m 정도 큰 두께를 가질 수 있다. 따라서, 전자소자(300)의 상면은 제2 절연층(125)의 상면보다 낮게 위치할 수 있다. 또한, 캐비티(C)의 폭은 전자소자(300)의 안정적인 배치를 위해, 전자소자(300)가 가지는 폭보다 큰 폭을 가질 수 있다.

- [59] 여기에서, 상기 제1 절연부는 기존 구조와 비교하여, 제1 회로 패턴(105)이 제1 절연층(110)의 하면으로 돌출된 구조가 아닌, 상기 제1 절연층(110)의 하부에 매립된 구조를 가지도록 한다. 이는, 일반적인 인쇄회로기판의 제조 공정이 아닌 실시 예에서의 차별화된 제조 공정에 의해 달성될 수 있다. 이에 대해서는 하기에서 더욱 상세히 설명하기로 한다.
- [60] 실시 예에 따르면, 인쇄회로기판은 전자소자가 배치되는 캐비티가 형성된 제1 절연부를 포함한다. 그리고, 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치되도록 한다. 이에 따르면, 상기 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치됨에 따라 종래 대비 회로 패턴의 두께만큼 인쇄회로기판의 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다. 또한, 상기 제1 절연부는 유리 섬유(Glass Fiber)를 포함하는 프리프레그를 사용하기 때문에 얇은 기판 제작시에 발생하는 패널 깨짐이나 휨 발생을 최소화할 수 있다.
- [61] 제1 절연부 상에는 제2 절연부가 배치되고, 제1 절연부 아래에는 제3 절연부가 배치될 수 있다. 이때, 일 실시 예에서의 제2 절연부는 단일 절연층으로 구성될 수 있고, 제3 절연부는 복수 개의 절연층으로 구성될 수 있다.
- [62] 이때, 제2 절연부를 구성하는 절연층과, 제3 절연부를 구성하는 일부 절연층, 그리고 제1 절연부를 구성하는 절연층은 모두 다른 절연물질로 구성될 수 있다. 즉, 상기와 같이 제1 절연부의 제1 절연층(110) 및 제2 절연층(125)은 유리 섬유를 포함하는 프리프레그로 형성되었다.
- [63] 이와 다르게, 제2 절연부를 구성하는 제3 절연층(140)은 RCC(Resin Coated Cu)로 구성될 수 있다. 이때, 제3 절연층(140)은 제2 절연층(125) 상에 배치되면서, 상기 제2 절연층(125) 및 제1 절연층(110)에 형성된 캐비티(C) 내에도 배치된다. 즉, 제3 절연층(140)은 상기 캐비티(C)를 채우면서, 상기 제2 절연층(125) 상에 일정 두께를 가지고 배치될 수 있다.
- [64] 즉, 상기와 같이 제3 절연층(140)은 상기 캐비티(C)를 안정적으로 채우면서, 균일한 두께를 가지고 상기 제2 절연층(125) 상에 배치되어야 한다. 이때, 상기 캐비티(C)의 면적에 따라 상기 제3 절연층(140)의 상면에 일정 굴곡이 형성될 수 있다. 이는, 캐비티(C)가 존재하는 영역과 그 이외의 영역에서의 제3 절연층(140)의 두께가 서로 다르기 때문이다. 이에 따라 실시 예에서는 상기 제3 절연층(140)을 상기와 같은 RCC 타입으로 형성하여, 상기와 같은 문제를 해결하면서, 신뢰성 있는 기판을 제조할 수 있도록 한다.
- [65] 제3 절연층(140)의 상면에는 제4 회로 패턴(210)이 배치될 수 있다. 또한, 제3 절연층(140)에는 상기 제3 절연층(140)을 관통하면서 제3 비아(225)가 배치될 수

- 있다. 제3 비아(225)는 제2 절연층(125) 상에 배치된 제3 회로 패턴(135)과 상기 제3 절연층(140) 상에 배치된 제4 회로 패턴(210)을 전기적으로 연결할 수 있다.
- [66] 한편, 제1 절연부 아래에는 제3 절연부가 배치된다. 제3 절연부는 제2 절연부와는 다르게 복수의 절연층 구조를 가진다. 이에 따라, 실시 예에서는 전자소자(300)가 배치되는 제1 절연부를 중심으로 비대칭 구조를 가질 수 있다. 즉, 종래 구조에서는 전자소자(300)가 배치되는 절연부를 중심으로 상부 절연부와 하부 절연부가 서로 대칭 구조(동일한 층 구조)를 가졌다. 이에 반하여, 실시 예에서는 종래의 제조 공정과는 차별화되는 제조 공정을 적용함으로써, 상기와 같이 제1 절연부를 중심으로 제2 절연부 및 제3 절연부가 상호 비대칭 구조를 가지도록 한다.
- [67] 제3 절연부는 복수의 절연층을 포함한다.
- [68] 바람직하게, 제3 절연부는 제1 절연층(110) 아래에 배치된 제4 절연층(150)과, 제4 절연층(150) 아래에 배치된 제5 절연층(165)와, 제5 절연층(165) 아래에 배치된 제6 절연층(180)과, 제6 절연층(180) 아래에 배치된 제7 절연층(195)를 포함할 수 있다.
- [69] 이때, 상기 제4 절연층(150), 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 서로 다른 절연 물질로 형성될 수 있다. 바람직하게, 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 서로 동일한 절연 물질로 형성될 수 있다. 그리고, 제4 절연층(150)은 상기 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)과는 다른 절연물질로 형성될 수 있다.
- [70] 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 상기 제1 절연층(110) 및 제2 절연층(125)가 동일한 절연 물질로 형성될 수 있다.
- [71] 상기 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 유리 섬유 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리 등의 화학 강화/반강화유리를 포함하거나, 폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 등의 강화 혹은 연성 플라스틱을 포함하거나 사파이어를 포함할 수 있다.
- [72] 그리고, 제4 절연층(150)은 필름 타입의 레진으로 형성될 수 있다. 바람직하게, 제4 절연층(150)은 필름 타입의 프리프레그로 형성될 수 있다. 바람직하게, 제4 절연층(150)은 ABF(Aginomoto Build-up Film) 또는 감광성 절연재료인 PID(Photo Imagable Dielectric)로 형성될 수 있다.
- [73] 제4 절연층(150)은 일정 두께를 가지고 상기 제1 절연층(110) 아래에 배치된다. 이때, 제1 절연층(110)에는 하면을 통해 돌출된 회로 패턴이 존재하지 않는다. 즉, 제1 회로 패턴(105)은 상기 제1 절연층(110)의 하부에 매립되어 형성된다. 따라서, 상기 제4 절연층(150)은 회로 패턴의 두께를 고려하지 않고 형성할 수 있다. 즉, 일반적인 절연층은 회로 패턴을 덮으면서 안정적인 층간 절연을 위해

배치되며, 이를 위해 회로 패턴의 두께를 기준으로 최종 두께가 결정될 수 있다. 예를 들어, 제3 절연층(140)의 경우, 상기 제2 절연층(125) 상에 배치된 제3 회로 패턴(135)의 두께를 고려하여 두께가 결정되어야 한다. 즉, 제3 회로 패턴(135)의 두께가 $12\mu\text{m}$ 일 경우, 상기 제3 절연층(140)의 두께는 $20\mu\text{m}$ 일 수 있다. 또한, 제3 절연층(140)의 두께가 $10\mu\text{m}$ 일 경우, 상기 제3 절연층(140)의 두께는 $15\mu\text{m}$ 일 수 있다. 반면, 제4 절연층(150)은 회로 패턴의 두께를 고려하지 않고 형성될 수 있으며, 이에 따라 $10\mu\text{m}$ 정도의 얇은 두께로도 형성이 가능하다.

[74] 즉, 제4 절연층(150)의 두께는 제1 절연층(110), 제2 절연층(125), 제3 절연층(140), 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)이 가지는 각각 두께보다 작다.

[75] 제4 절연층(150)의 하면에는 제5 회로 패턴(160)이 배치될 수 있다. 또한, 제4 절연층(150) 내에는 제4 비아(155a) 및 제5 비아(155b)를 포함할 수 있다.

[76] 이때, 제4 절연층(150)의 하면에 형성된 제5 회로 패턴(160)은 다른 회로 패턴과는 다른 선폭을 가질 수 있다. 바람직하게, 제5 회로 패턴(160)은 다른 층에 배치된 회로 패턴들보다 작은 선폭을 가질 수 있다. 또한, 제5 회로 패턴(160)은 다른 층에 배치된 회로 패턴들보다 피치가 작을 수 있다. 이는, 상기 제5 절연층(165)이 가지는 물성에 의해 달성될 수 있다.

[77] 한편, 제4 절연층(150)에는 제4 비아(155a) 및 제5 비아(155b)가 형성된다. 제4 비아(155a)는 전자소자(300)의 단자(310)와 직접 연결되는 비아이고, 제5 절연층(165)은 제1 회로 패턴(105)과 연결되는 비아이다. 바람직하게, 제4 비아(155a)는 수직 방향으로 전자소자(300)와 오버랩될 수 있고, 제5 비아(155b)는 수직 방향으로 전자소자(300)와 오버랩되지 않을 수 있다. 그리고, 제4비아(155a) 및 제5 비아(155b)는 서로 다른 폭을 가질 수 있다. 즉, 제4 절연층(150)에 형성되는 비아의 폭은 다른 층에 형성되는 비아보다 작게 형성될 수 있다. 이때, 상기 제4 절연층(150)에 배치되는 모든 비아를 스몰 비아로 형성하는 경우, 다른 층에 배치된 비아와의 정렬에 문제가 발생할 수 있다. 이와 다르게 상기 제4 절연층(150)에 배치되는 모든 비아를 다른 층에 배치되는 비아와 동일 폭으로 형성하는 경우, 상기 전자소자(300)의 단자(310)와 연결되는 비아에서의 신뢰성이 떨어질 수 있다. 이에 따라, 실시 예에서는 동일 층 내에 배치되는 제4 비아(155a) 및 제5 비아(155b)를 각각의 기능에 따라 서로 다른 폭으로 형성하도록 한다. 즉, 제5 비아(155b)는 다른 층의 비아들과 연결됨에 따라, 상기 다른 층의 비아들과 동일한 폭을 가지도록 할 수 있다. 상기 다른 층에 배치된 비아들은 제1 절연층(110), 제2 절연층(125), 제3 절연층(140), 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195) 내에 각각 배치되는 비아를 의미할 수 있다. 이에 따라, 제5 비아(155b)는 최소 폭이 $40\mu\text{m}$ 을 가질 수 있다. 바람직하게, 제5 비아(155b)는 $40\mu\text{m}$ 내지 $100\mu\text{m}$ 사이의 폭을 가질 수 있다.

[78] 한편, 제4 비아(155a)는 전자소자(300)의 단자(310)와 직접 연결됨에 따라 스몰 비아로 형성되도록 한다. 바람직하게, 제4 비아(155a)는 제5 비아(155b)보다 작은

- 폭을 가지도록 한다. 예를 들어, 제4 비아(155a)는 $10\mu\text{m}$ 내지 $35\mu\text{m}$ 의 폭을 가질 수 있다. 예를 들어, 제4 비아(155a)는 $20\mu\text{m}$ 내지 $25\mu\text{m}$ 의 폭을 가질 수 있다.
- [79] 제5 절연층(165)의 하면에는 제6 회로 패턴(170)이 배치된다. 그리고, 제5 절연층(165) 내에는 제6 비아(175)가 형성될 수 있다
- [80] 또한, 제6 절연층(180)에는 제7 회로 패턴(185)이 배치된다. 그리고, 제6 절연층(180) 내에는 제7 비아(190)가 형성될 수 있다.
- [81]
- [82] *또한, 제7 절연층(195)에는 제8 회로 패턴(200)이 배치된다. 그리고, 제7 절연층(195) 내에는 제8 비아(205)가 형성될 수 있다.
- [83] 한편, 제3 절연층(140) 상에는 제1 보호층(215)이 배치될 수 있다. 그리고, 제7 절연층(195) 아래에는 제2 보호층(220)이 배치될 수 있다.
- [84] 제1 보호층(215) 및 제2 보호층(220)은 SR(Solder Resist), 산화물 및 Au 중 어느 하나 이상을 이용하여, 적어도 하나 이상의 층으로 형성될 수 있다.
- [85] 실시 예에 따르면, 인쇄회로기판은 전자소자가 배치되는 캐비티가 형성된 제1 절연부를 포함한다. 그리고, 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치되도록 한다. 이에 따르면, 상기 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치됨에 따라 종래 대비 회로 패턴의 두께만큼 인쇄회로기판의 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다. 또한, 상기 제1 절연부는 유리 섬유(Glass Fiber)를 포함하는 프리프레그를 사용하기 때문에 얇은 기판 제작시에 발생하는 패널 깨짐이나 휨 발생을 최소화할 수 있다.
- [86] 또한, 실시 예에 따르면, 인쇄회로기판은 제1 절연부 아래에 제2 절연부가 배치된다. 이때, 상기 제2 절연부는 상기 제1 절연부와 직접 접촉하는 영역에는 필름 타입의 레진(예를 들어, ABF(Aginomoto Build-up Film)나 감광성 절연재료인 PID(Photo Imagable Dielectric))을 이용하여 절연층을 구성하도록 한다. 이에 따르면, 실시 예에서는 기존 대비 상기 제2 절연부의 절연층 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다.
- [87] 또한, 실시 예에 따르면 상기 제1 절연부와 직접 접촉하는 영역 상의 제2 절연부를 필름 타입의 레진으로 형성함에 따라 스몰 비아(small via) 형성이 가능하며, 이에 따른 파인 패턴(fine pattern) 구현이 가능하다.
- [88] 또한, 실시 예에 따르면, 칩이 센터에 배치됨에 따라 상하 대칭 구조를 가지는 종래 구조 대비 비대칭 구조로 팬 아웃 패널 레벨 패키지(Fan pit Panel Level Package)구조를 구현할 수 있다.
- [89]
- [90] 이하에서는 도1에 도시된 인쇄회로기판의 제조 공정에 대해 설명하기로 한다. 실시 예에서의 인쇄회로기판의 제조 방법은 제1 회로 패턴이 제1 절연층(110) 내에 매립 배치되도록 하는 구조를 가지기 위한 제1 공정과, 전자소자(300)를 제1 절연부 내에 배치하는 제2 공정과, 제1 절연부를 중심으로 상하 비대칭 구조를

가지는 제2 및 3 절연부를 적층하는 제3 공정을 포함할 수 있다.

[91]

[92] 도 2 내지 도 15는 도 1의 인쇄회로기판의 제조 방법을 공정 순으로 설명하기 위한 도면이다.

[93] 도 2를 참조하면, 우선적으로 제1 절연부를 제조하기 위한 캐리어 보드(CB)를 준비한다. 캐리어 보드(CB)은 인쇄회로기판의 제조에 기초가 되는 기판일 수 있다. 캐리어 보드(CB)는 지지 기판(10)을 중심으로 양면에 금속층(20)이 형성된 구조를 가질 수 있다.

[94] 캐리어 보드(CB)는 일반적인 지지 기판으로서, CCL(Copper Claded Laminate)를 이용할 수 있다.

[95] 한편, 캐리어 보드(CB)의 금속층(20)의 표면에는 추후 제1 절연부와의 분리를 용이하게 하기 위한 표면 처리가 진행될 수 있다.

[96] 다음으로, 도 3을 참조하면, 캐리어 보드(CB) 상에 제1 회로 패턴(105)을 형성한다. 제1 회로 패턴(105)은 상기 캐리어 보드(CB)의 양면에 각각 형성될 수 있다.

[97] 제1 회로 패턴(105)은 상기 금속층(20)을 시드층으로 상기 금속층(20) 상에 금속 물질을 도금하여 형성할 수 있다. 이와 다르게, 제1 회로 패턴(105)은 상기 금속층(20) 상에 도금층(도시하지 않음)을 형성하고, 상기 형성된 도금층을 식각하여 형성할 수도 있을 것이다.

[98] 상기 제1 회로 패턴(105)은 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu) 및 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질로 형성될 수 있다. 또한 제1 회로 패턴(105)은 본딩력이 우수한 금(Au), 은(Ag), 백금(Pt), 티타늄(Ti), 주석(Sn), 구리(Cu), 아연(Zn) 중에서 선택되는 적어도 하나의 금속 물질을 포함하는 페이스트 또는 솔더 페이스트로 형성될 수 있다. 바람직하게, 제1 회로 패턴(105)은 전기전도성이 높으면서 가격이 비교적 저렴한 구리(Cu)로 형성될 수 있다.

[99] 제1 회로 패턴(105)은 통상적인 인쇄회로기판의 제조 공정인 어디티브 공법(Additive process), 서브트랙티브 공법(Subtractive Process), MSAP(Modified Semi Additive Process) 및 SAP(Semi Additive Process) 공법 등으로 가능하며 여기에서는 상세한 설명은 생략한다.

[100] 다음으로, 도 4를 참조하면, 상기 제1 회로 패턴(105)이 형성된 금속층(20) 상에 제1 절연층(110)을 형성한다. 이때, 제1 절연층(110) 상에는 동박층이 존재할 수 있다.

[101] 상기 제1 절연층(110)은 유리 섬유(Glass Fiber)를 포함하는 프리프레그로 형성될 수 있다.

[102] 바람직하게, 제1 절연층(110)은 유리 또는 플라스틱을 포함할 수 있다. 자세하게, 상기 제1 절연층(110)은 소다라임유리(soda lime glass) 또는 알루미늄실리케이트유리 등의 화학 강화/반강화유리를 포함하거나,

폴리이미드(Polyimide, PI), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 프로필렌 글리콜(propylene glycol, PPG) 폴리 카보네이트(PC) 등의 강화 혹은 연성 플라스틱을 포함하거나 사파이어를 포함할 수 있다.

[103] 그리고, 제1 절연층(110) 내에 제1 비아(115)를 형성할 수 있다.

[104] 상기 제1 비아(115)는 제1 절연층(110)을 관통하는 관통 홀(도시하지 않음) 내부를 전도성 물질로 충전하여 형성할 수 있다. 상기 관통 홀은 기계, 레이저 및 화학 가공 중 어느 하나의 가공 방식에 의해 형성될 수 있다. 상기 관통 홀이 기계 가공에 의해 형성되는 경우에는 밀링(Milling), 드릴(Drill) 및 라우팅(Routing) 등의 방식을 사용할 수 있고, 레이저 가공에 의해 형성되는 경우에는 UV나 CO₂ 레이저 방식을 사용할 수 있으며, 화학 가공에 의해 형성되는 경우에는 아미노실란, 케톤류 등을 포함하는 약품을 이용하여 상기 복수의 절연층 중 적어도 하나의 절연층을 개방할 수 있다.

[105] 한편, 상기 레이저에 의한 가공은 광학 에너지를 표면에 집중시켜 재료의 일부를 녹이고 증발시켜, 원하는 형태를 취하는 절단 방법으로, 컴퓨터 프로그램에 의한 복잡한 형성도 쉽게 가공할 수 있고, 다른 방법으로는 절단하기 어려운 복합 재료도 가공할 수 있다.

[106] 또한, 상기 레이저에 의한 가공은 절단 직경이 최소 0.005mm까지 가능하며, 가공 가능한 두께 범위로 넓은 장점이 있다.

[107] 상기 레이저 가공 드릴로, YAG(Yttrium Aluminum Garnet) 레이저나 CO₂ 레이저나 자외선(UV) 레이저를 이용하는 것이 바람직하다. YAG 레이저는 동박층 및 절연층 모두를 가공할 수 있는 레이저이고, CO₂ 레이저는 절연층만 가공할 수 있는 레이저이다.

[108] 상기 관통 홀이 형성되면, 상기 관통 홀 내부를 전도성 물질로 충전하여 제1 비아(115)를 형성할 수 있다. 제1 비아(115)를 형성하는 금속 물질은 구리(Cu), 은(Ag), 주석(Sn), 금(Au), 니켈(Ni) 및 팔라듐(Pd) 중에서 선택되는 어느 하나의 물질일 수 있으며, 상기 전도성 물질 충전은 무전해 도금, 전해 도금, 스크린 인쇄(Screen Printing), 스퍼터링(Sputtering), 증발법(Evaporation), 잉크젯팅 및 디스펜싱 중 어느 하나 또는 이들의 조합된 방식을 이용할 수 있다.

[109] 다음으로, 상기 제1 비아(115)가 형성되면, 상기 제1 절연층(110)의 상면에 제2 회로 패턴(120)을 형성할 수 있다.

[110] 이때, 상기 제1 절연층(110), 제1 비아(115) 및 제2 회로 패턴(120)의 형성 공정은 상기 캐리어 보드(CB)의 양면에서 동시에 진행될 수 있다.

[111] 다음으로, 도 5를 참조하면, 상기 제1 절연층(110) 상에 제2 절연층(125)을 적층한다. 그리고, 제2 절연층(125) 내에 제2 비아(120)를 형성한다. 또한, 제2 절연층(125)의 상면에 제3 회로 패턴(135)을 형성한다. 이때, 상기 제2 절연층(125)은 상기 제1 절연층(110)과 동일한 유리 섬유를 포함한 프리프레그로 형성될 수 있다.

[112] 이때, 상기 제2 절연층(125), 제2 비아(120) 및 제3 회로 패턴(135)의 형성 공정은

상기 캐리어 보드(CB)의 양면에서 동시에 진행될 수 있다.

- [113] 다음으로, 도 6을 참조하면, 상기 캐리어 보드(CB)로부터 상부 및 하부에 각각 형성된 제1 절연부를 분리하는 공정을 진행할 수 있다. 이에 따라, 실시 예에서는 한번의 공정으로 복수의 제1 절연부를 동시에 제조할 수 있다. 또한, 실시 예에 따르면, 제1 절연층(110)의 하부에는 제1 회로 패턴(105)이 매립될 수 있다. 제1 절연층(110)의 상면 위에는 제2 회로 패턴(120)이 배치될 수 있다. 또한, 제2 절연층(125)의 상면 위에는 제3 회로 패턴(135)이 배치될 수 있다. 이때, 제1 절연층(110) 및 제2 절연층(125)을 하나의 절연층으로 보았을 때, 하부에 배치되는 회로 패턴은 절연층 내에 매립되어 배치되고, 상부에 배치되는 회로 패턴은 절연층 상에 돌출되어 배치된다. 즉, 종래에는 상기 상부 및 하부에 배치되는 회로 패턴이 모두 절연층의 상면 및 하면으로부터 돌출되어 형성되었다. 이에 반하여, 실시 예에서는 제1 회로 패턴(105)이 상기 제1 절연층(110)의 하부에 매립될 수 있도록 한다. 이에 따라, 실시 예에서는 상기 제1 절연층(110) 아래에 배치되는 제4 절연층(150)의 두께를 상기 제1 회로 패턴(105)의 두께만큼 줄일 수 있도록 한다. 즉, 절연층은 기본적으로 회로 패턴을 덮으면서 배치되기 때문에 상기 회로 패턴의 두께가 기본 윗 두께로 결정된다. 반면, 실시 예에서는 상기 제1 회로 패턴(105)이 상기 제1 절연층(110) 하부에 매립 배치됨에 따라, 추후 상기 제1 절연층(110) 아래에 적층될 절연층의 두께를 종래 대비 12~18 μm 정도 감소시킬 수 있다.
- [114] 상기 제1 절연부가 제조되면, 상기 제1 절연부에 캐비티(C)를 형성할 수 있다. 상기 캐비티(C)는 상기 제1 절연층(110) 및 제2 절연층(125)을 공통으로 관통하여 형성될 수 있다. 즉, 상기 캐비티(C)는 전자소자(300)의 두께와 동일할 수 있으며, 신뢰성 향상을 위해 상기 전자소자(300)의 두께보다 큰 두께를 가질 수 있다. 바람직하게, 캐비티(C)는 전자소자(300)의 두께보다 10 μm 정도 큰 두께를 가질 수 있다. 따라서, 전자소자(300)의 상면은 제2 절연층(125)의 상면보다 낮게 위치할 수 있다. 또한, 캐비티(C)의 폭은 전자소자(300)의 안정적인 배치를 위해, 전자소자(300)가 가지는 폭보다 큰 폭을 가질 수 있다. 상기 캐비티(C)는 기계, 레이저 및 화학 가공 중 어느 하나의 가공 방식에 의해 형성될 수 있다. 상기 관통 홀이 기계 가공에 의해 형성되는 경우에는 밀링(Milling), 드릴(Drill) 및 라우팅(Routing) 등의 방식을 사용할 수 있고, 레이저 가공에 의해 형성되는 경우에는 UV나 CO₂ 레이저 방식을 사용할 수 있으며, 화학 가공에 의해 형성되는 경우에는 아미노실란, 케톤류 등을 포함하는 약품을 이용하여 상기 제1 절연층(110) 및 제2 절연층(125)을 개방할 수 있다.
- [115] 다음으로, 도 7을 참조하면, 상기 제1 절연층(110)의 하면에 필름층(A)을 형성한다. 상기 필름층(A)은 상기 제1 절연층(110)의 하면에 부착되며, 그에 따라 상기 캐비티(C)의 하부를 덮으며 배치될 수 있다. 상기 필름층(A)은 상기 캐비티(C) 내에 전자소자(300)를 배치 및 고정시키기 위해, 상기 캐비티(C)의 일면을 덮으며 배치될 수 있다. 상기 필름층(A)은 폴리이미드 필름을 사용할 수

있으나, 이에 한정되지는 않는다.

- [116] 다음으로 도 8을 참조하면, 상기 캐비티(C)의 일면을 통해 노출된 상기 필름층(A) 상에 전자소자(300)를 부착한다. 상기 전자소자(300)는 칩과 같은 전자 부품일 수 있으며, 이는 능동 소자와 수동 소자로 구분될 수 있다. 그리고, 상기 능동 소자는 비선형 부분을 적극적으로 이용한 소자이고, 수동 소자는 선형 및 비선형 특성이 모두 존재하여도 비선형 특성은 이용하지 않는 소자를 의미한다. 그리고, 상기 수동 소자에는 트랜지스터, IC 반도체 칩 등이 포함될 수 있으며, 상기 수동 소자에는 콘덴서, 저항 및 인덕터 등을 포함할 수 있다. 상기 수동 소자는 능동 소자인 반도체 칩의 신호 처리 속도를 높이거나, 필터링 기능 등을 수행하기 위해, 통상의 인쇄회로기판에 실장된다.
- [117] 상기 전자소자(300)는 인쇄회로기판이 적용되는 어플리케이션에 따라 달라질 수 있으며, 예를 들어, 스마트폰에 적용되는 낸드 플래시(nand flash) 메모리 제품에 적용될 경우, 전자소자(300)는 제어소자 부품일 수 있다.
- [118] 전자소자(300)의 하면에는 단자(310)가 형성될 수 있다. 이때, 단자(310)는 하면이 제1 절연층(110)의 하면과 동일 평면 상에 배치될 수 있다. 상기 단자(310)는 하면이 제1 회로 패턴(105)의 하면과 동일 평면 상에 배치될 수 있다. 한편, 전자소자(300)의 상면은 제2 절연층(125)의 상면과 동일 평면 상에 배치될 수 있다. 바람직하게, 전자소자(300)의 상면은 제2 절연층(125)의 상면보다 낮게 배치될 수 있다. 즉, 상기 캐비티(C)는 전자소자(300)의 두께와 동일할 수 있으며, 신뢰성 향상을 위해 상기 전자소자(300)의 두께보다 큰 두께를 가질 수 있다. 바람직하게, 캐비티(C)는 전자소자(300)의 두께보다 10 μ m 정도 큰 두께를 가질 수 있다. 따라서, 전자소자(300)의 상면은 제2 절연층(125)의 상면보다 낮게 위치할 수 있다. 또한, 캐비티(C)의 폭은 전자소자(300)의 안정적인 배치를 위해, 전자소자(300)가 가지는 폭보다 큰 폭을 가질 수 있다.
- [119] 다음으로, 도 9를 참조하면, 상기 제1 절연부 상에 제2 절연부를 형성한다. 즉, 상기 전자소자(300)의 배치 공정이 완료되면, 상기 제2 절연층(125) 위에 제3 절연층(140)을 형성한다. 상기 제3 절연층(140)은 RCC(Resin Coated Cu)로 구성될 수 있다. 이때, 제3 절연층(140)은 제2 절연층(125) 상에 배치되면서, 상기 제2 절연층(125) 및 제1 절연층(110)에 형성된 캐비티(C) 내에도 배치된다. 즉, 제3 절연층(140)은 상기 캐비티(C)를 채우면서, 상기 제2 절연층(125) 상에 일정 두께를 가지고 배치될 수 있다.
- [120] 즉, 상기와 같이 제3 절연층(140)은 상기 캐비티(C)를 안정적으로 채우면서, 균일한 두께를 가지고 상기 제2 절연층(125) 상에 배치되어야 한다. 이때, 상기 캐비티(C)의 면적에 따라 상기 제3 절연층(140)의 상면에 일정 굴곡이 형성될 수 있다. 이는, 캐비티(C)가 존재하는 영역과 그 이외의 영역에서의 제3 절연층(140)의 두께가 서로 다르기 때문이다. 이에 따라 실시 예에서는 상기 제3 절연층(140)을 상기와 같은 RCC 타입으로 형성하여, 상기와 같은 문제를 해결하면서, 신뢰성 있는 기판을 제조할 수 있도록 한다.

- [121] 그리고, 상기 제3 절연층(140) 상에는 구리로 코팅된 코팅층(145)이 형성될 수 있다. 상기 코팅층(145)은 추후 제4 회로 패턴(210)을 형성하기 위한 금속층일 수 있다.
- [122] 또한, 상기 제3 절연층(140)의 형성이 완료되면, 상기 제2 절연층(125) 아래에 부착된 필름층(A)을 제거한다.
- [123] 다음으로, 도 10을 참조하면, 상기 제1 절연층(110) 아래에 제4 절연층(150)을 형성한다. 이때, 상기 제4 절연층(150)은 제1 절연층(110), 제2 절연층(125) 및 제3 절연층(140)과는 다른 절연물질로 형성될 수 있다. 바람직하게, 제4 절연층(150)은 필름 타입의 레진으로 형성될 수 있다. 바람직하게, 제4 절연층(150)은 필름 타입의 프리프레그로 형성될 수 있다. 바람직하게, 제4 절연층(150)은 ABF(Aginomoto Build-up Film) 또는 감광성 절연재료인 PID(Photo Imagable Dielectric)로 형성될 수 있다.
- [124] 제4 절연층(150)은 일정 두께를 가지고 상기 제1 절연층(110) 아래에 배치된다. 이때, 제1 절연층(110)에는 하면을 통해 돌출된 회로 패턴이 존재하지 않는다. 즉, 제1 회로 패턴(105)은 상기 제1 절연층(110)의 하부에 매립되어 형성된다. 따라서, 상기 제4 절연층(150)은 회로 패턴의 두께를 고려하지 않고 형성할 수 있다. 즉, 일반적인 절연층은 회로 패턴을 덮으면서 안정적인 층간 절연을 위해 배치되며, 이를 위해 회로 패턴의 두께를 기준으로 최종 두께가 결정될 수 있다. 예를 들어, 제3 절연층(140)의 경우, 상기 제2 절연층(125) 상에 배치된 제3 회로 패턴(135)의 두께를 고려하여 두께가 결정되어야 한다. 즉, 제3 회로 패턴(135)의 두께가 $12\mu\text{m}$ 일 경우, 상기 제3 절연층(140)의 두께는 $20\mu\text{m}$ 일 수 있다. 또한, 제3 절연층(140)의 두께가 $10\mu\text{m}$ 일 경우, 상기 제3 절연층(140)의 두께는 $15\mu\text{m}$ 일 수 있다. 반면, 제4 절연층(150)은 회로 패턴의 두께를 고려하지 않고 형성될 수 있으며, 이에 따라 $10\mu\text{m}$ 정도의 얇은 두께로도 형성이 가능하다.
- [125] 즉, 제4 절연층(150)의 두께는 제1 절연층(110), 제2 절연층(125), 제3 절연층(140)의 각각의 두께보다 작을 수 있다.
- [126] 다음으로, 제4 절연층(150)의 하면에 제5 회로 패턴(160)을 형성할 수 있다. 또한, 상기 제4 절연층(150) 내에 제4 비아(155a) 및 제5 비아(155b)를 각각 형성할 수 있다.
- [127] 이때, 제4 절연층(150)의 하면에 형성된 제5 회로 패턴(160)은 다른 회로 패턴과는 다른 선폭을 가질 수 있다. 바람직하게, 제5 회로 패턴(160)은 다른 층에 배치된 회로 패턴들보다 작은 선폭을 가질 수 있다. 또한, 제5 회로 패턴(160)은 다른 층에 배치된 회로 패턴들보다 피치가 작을 수 있다. 이는, 상기 제5 절연층(165)이 가지는 물성에 의해 달성될 수 있다.
- [128] 한편, 제4 절연층(150)에는 제4 비아(155a) 및 제5 비아(155b)가 형성된다. 제4 비아(155a)는 전자소자(300)의 단자(310)와 직접 연결되는 비아이고, 제5 절연층(165)은 제1 회로 패턴(105)과 연결되는 비아이다. 바람직하게, 제4 비아(155a)는 수직 방향으로 전자소자(300)와 오버랩될 수 있고, 제5

비아(155b)는 수직 방향으로 전자소자(300)와 오버랩되지 않을 수 있다. 그리고, 제4비아(155a) 및 제5 비아(155b)는 서로 다른 쪽을 가질 수 있다. 즉, 제4 절연층(150)에 형성되는 비아의 폭은 다른 층에 형성되는 비아보다 작게 형성될 수 있다. 이때, 상기 제4 절연층(150)에 배치되는 모든 비아를 스폴 비아로 형성하는 경우, 다른 층에 배치된 비아와의 정렬에 문제가 발생할 수 있다. 이와 다르게 상기 제4 절연층(150)에 배치되는 모든 비아를 다른 층에 배치되는 비아와 동일 쪽으로 형성하는 경우, 상기 전자소자(300)의 단자(310)와 연결되는 비아에서의 신뢰성이 떨어질 수 있다. 이에 따라, 실시 예에서는 동일 층 내에 배치되는 제4 비아(155a) 및 제5 비아(155b)를 각각의 기능에 따라 서로 다른 쪽으로 형성하도록 한다. 즉, 제5 비아(155b)는 다른 층의 비아들과 연결됨에 따라, 상기 다른 층의 비아들과 동일한 쪽을 가지도록 할 수 있다. 상기 다른 층에 배치된 비아들은 제1 절연층(110), 제2 절연층(125), 제3 절연층(140), 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195) 내에 각각 배치되는 비아를 의미할 수 있다. 이에 따라, 제5 비아(155b)는 최소 폭이 $40\mu\text{m}$ 을 가질 수 있다. 바람직하게, 제5 비아(155b)는 $40\mu\text{m}$ 내지 $100\mu\text{m}$ 사이의 폭을 가질 수 있다.

- [129] 한편, 제4 비아(155a)는 전자소자(300)의 단자(310)와 직접 연결됨에 따라 스폴 비아로 형성되도록 한다. 바람직하게, 제4 비아(155a)는 제5 비아(155b)보다 작은 폭을 가지도록 한다. 예를 들어, 제4 비아(155a)는 $10\mu\text{m}$ 내지 $35\mu\text{m}$ 의 폭을 가질 수 있다. 예를 들어, 제4 비아(155a)는 $20\mu\text{m}$ 내지 $25\mu\text{m}$ 의 폭을 가질 수 있다.
- [130] 이후에는 상기 제3 절연층(140)의 상부 및 제4 절연층(150)의 하부에 각각 추가 절연층을 적층하는 빌드-업 공정을 진행할 수 있다. 이때, 실시 예에서는 제1 절연부를 중심으로 제2 절연부와 제3 절연부가 비대칭 구조를 가지고 배치된다. 이에 따라, 상기 제2 절연부의 층 수와 상기 제3 절연부의 층 수는 다를 수 있다. 이는 이후에 설명되는 공정에 의해 달성될 수 있다.
- [131] 도 11을 참조하면, 제3 절연층(140)의 위 및 제4 절연층(150) 아래에 각각 제5 절연층(165)을 적층한다. 이때, 상기 제5 절연층(165)의 표면에는 금속층(166)이 형성될 수 있다.
- [132] 다음으로, 도 12를 참조하면, 상기 제5 절연층(165) 내에 제6 비아(175)를 형성하는 공정을 진행할 수 있다. 또한, 상기 금속층(166)을 이용하여 상기 제5 절연층(165)의 표면에 제6 회로 패턴(170)을 형성하는 공정을 진행할 수 있다.
- [133] 이후, 상기 제6 비아(175) 및 제6 회로 패턴(170)의 형성이 완료되면, 상기 제5 절연층(165) 상에 제6 절연층(180)을 적층하는 공정을 진행할 수 있다. 이때, 상기 제6 절연층(180)의 표면에도 금속층(181)이 배치될 수 있다.
- [134] 다음으로, 도 13을 참조하면, 제6 절연층(180) 내에 제7 비아(190)를 형성하는 공정을 진행할 수 있다. 또한, 상기 금속층(181)을 제거하여 제7 회로 패턴(185)을 형성하는 공정을 진행할 수 있다.
- [135] 이후, 상기 제7 비아(190) 및 제7 회로 패턴(185)의 형성이 완료되면, 상기 제6 절연층(180) 상에 제7 절연층(195)을 적층하는 공정을 진행할 수 있다. 이때, 상기

- 제7 절연층(195)의 표면에도 금속층(196)이 배치될 수 있다.
- [136] 이때, 상기 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)의 적층 공정은 제3 절연층(140)의 상부 및 제4 절연층(150)의 하부에서 각각 진행되었다. 그리고, 상기 제3 절연층(140)의 상부에 형성된 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 제거될 더미 절연부이다. 상기 제3 절연층(140)의 상부에 형성된 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 실시 예에 따른 비대칭 구조를 형성하기 위한 더미 절연부이다.
- [137] 그리고, 도 14를 참조하면, 상기 제4 절연층(150)의 하부에 형성된 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)은 그대로 유지한 상태에서, 상기 제3 절연층(140)의 상부에 형성된 제5 절연층(165), 제6 절연층(180) 및 제7 절연층(195)를 제거하는 공정을 진행할 수 있다.
- [138] 이후, 상기 제7 절연층(195)에 제8 비아(205) 및 제8 회로 패턴(200)을 형성하는 공정을 진행할 수 있다.
- [139] 또한, 제3 절연층(140)에 비아 및 제 4 회로 패턴(210)을 형성하는 공정을 진행할 수 있다.
- [140] 즉, 실시 예에서는 상기와 같이 더미 절연부를 이용하여 상기 제1 절연부를 중심으로 상부의 제2 절연부의 층 수와 하부의 제3 절연부의 층 수를 서로 다르게 하여, 상호 비대칭 구조를 가질 수 있도록 한다.
- [141] 다음으로, 도 15를 참조하면, 제3 절연층(140) 상에 제1 보호층(215)을 형성하고, 제7 절연층(195) 아래에 제2 보호층(220)을 배치하는 공정을 진행할 수 있다.
- [142] 제1 보호층(215) 및 제2 보호층(220)은 SR(Solder Resist), 산화물 및 Au 중 어느 하나 이상을 이용하여, 적어도 하나 이상의 층으로 형성될 수 있다.
- [143] 실시 예에 따르면, 인쇄회로기판은 전자소자가 배치되는 캐비티가 형성된 제1 절연부를 포함한다. 그리고, 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치되도록 한다. 이에 따르면, 상기 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치됨에 따라 종래 대비 회로 패턴의 두께만큼 인쇄회로기판의 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다. 또한, 상기 제1 절연부는 유리 섬유(Glass Fiber)를 포함하는 프리프레그를 사용하기 때문에 얇은 기판 제작시에 발생하는 패널 깨짐이나 휨 발생을 최소화할 수 있다.
- [144] 또한, 실시 예에 따르면, 인쇄회로기판은 제1 절연부 아래에 제2 절연부가 배치된다. 이때, 상기 제2 절연부는 상기 제1 절연부와 직접 접촉하는 영역에는 필름 타입의 레진(예를 들어, ABF(Aginomoto Build-up Film)나 감광성 절연재료인 PID(Photo Imagable Dielectric))을 이용하여 절연층을 구성하도록 한다. 이에 따르면, 실시 예에서는 기존 대비 상기 제2 절연부의 절연층 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다.
- [145] 또한, 실시 예에 따르면 상기 제1 절연부와 직접 접촉하는 영역 상의 제2

절연부를 필름 타입의 레진으로 형성함에 따라 스몰 비아(small via) 형성이 가능하며, 이에 따른 파인 패턴(fine pattern) 구현이 가능하다.

- [146] 또한, 실시 예에 따르면, 칩이 센터에 배치됨에 따라 상하 대칭 구조를 가지는 종래 구조 대비 비대칭 구조로 팬 아웃 패널 레벨 패키지(Fan pit Panel Level Package)구조를 구현할 수 있다.
- [147]
- [148] 도 16은 다른 실시 예에 따른 인쇄회로기판의 구조를 설명하기 위한 도면이다.
- [149] 도 16을 참조하면, 인쇄회로기판(100A)은 도1의 인쇄회로기판(100) 대비 제2 절연부의 층 수와 제3 절연부의 층 수만이 다를 뿐, 이 이외의 구성은 동일할 수 있다.
- [150] 인쇄회로기판(100A)은 제1 절연부, 제1 절연부 상에 제2 절연부, 그리고 제1 절연부 아래에 제3 절연부를 포함할 수 있다. 이때, 제1 절연부, 제2 절연부 및 제3 절연부의 기본적인 구조는 도1에서 이미 설명하였으므로, 이에 대한 상세한 설명은 생략하기로 한다.
- [151] 이때, 제2 절연부는 도 1에서의 제2 절연부와는 다르게, 2층 구조를 가질 수 있다. 즉, 제2 절연부는 제3 절연층(140) 및 상기 제3 절연층(140) 상에 배치되는 제3-1 절연층(225)을 더 포함할 수 있다. 그리고, 제3-1 절연층(225) 내에는 비아(235)가 배치될 수 있다. 또한, 제3-1 절연층(225) 상에는 제4-1 회로 패턴(230)이 추가로 배치될 수 있다.
- [152] 또한, 제3 절연부는 도1에서의 제3 절연부와는 다르게 3층 구조를 가질 수 있다.
- [153] 즉, 제3 절연부는 제4 절연층(150), 제5 절연층(165) 및 제6 절연층(180)을 포함하는 구조를 가질 수 있다.
- [154] 즉, 도 16에 따르면, 제1 절연부를 중심으로, 상부에 배치된 제2 절연부는 2층 구조를 가질 수 있고, 하부에 배치된 제3 절연부는 3층 구조를 가질 수 있다.
- [155]
- [156] 도 17은 일 실시 예에 따른 패키지 기판을 나타낸 도면이다.
- [157] 도 17을 참조하면, 패키지 기판은 도1에서 설명한 인쇄회로기판(100)을 포함할 수 있다. 이때, 인쇄회로기판(100) 내에는 제1 전자 소자(300)가 배치될 수 있다.
- [158] 그리고, 인쇄회로기판(100)의 최상부에 배치된 회로 패턴(210) 상에는 제2 전자 소자(400)가 부착될 수 있다.
- [159] 또한, 인쇄회로기판(100)의 최상부에는 회로 패턴(210)과 연결 배선(예를 들어, 금속 와이어)에 의해 전기적으로 연결되는 제3 전자 소자(410)가 더 형성될 수 있다.
- [160] 이를 위해, 제1 보호층(215)은 상기 최상부에 배치된 회로 패턴(210)의 상면을 노출하는 적어도 하나의 개구부(도시하지 않음)를 포함할 수 있다. 그리고, 상기 개구부를 통해 노출된 회로 패턴(210) 상에는 제2 전자 소자(400)가 플립 칩 본딩 방식에 의해 부착될 수 있다.
- [161] 또한, 상기 제1 보호층(215) 상에는 접착층(420)이 배치될 수 있다.

- [162] 상기 접착층(420)은 전도성 접착제로 형성될 수 있으며, 이와 다르게 비전도성 접착제일 수 있다. 전도성 접착제는, 크게 이방성 도전 접착제(anisotropic conductive adhesive)와 등방성 도전 접착제(isotropic conductive adhesive)로 구분되며, 기본적으로 Ni, Au/고분자, 또는 Ag 등의 도전성 입자들과, 열경화성, 열가소성, 또는 이 둘의 특성을 혼합한 혼합형 절연수지(blend type insulating resin)로 구성된다.
- [163] 또한, 비전도성 접착제는 폴리머 접착제일 수 있으며, 바람직하게, 열경화성수지, 열가소성수지, 충전제, 경화제, 및 경화촉진제를 포함하는 비전도 폴리머 접착제일 수 있다.
- [164] 또한, 접착층(420) 상에는 제3 전자 소자(410)가 부착될 수 있다. 이때, 제3 전자 소자(410)에는 단자(도시하지 않음)가 배치될 수 있다. 이때, 상기 제3 전자 소자(410)의 단자가 상부 방향으로 향하도록 배치된 상태에서 상기 접착층(420) 상에 상기 제3 전자 소자(410)가 부착될 수 있다. 그리고, 제3 전자 소자(410)의 단자와 상기 회로 패턴(210)은 금속 와이어와 같은 추가적인 연결 배선을 통해 전기적으로 연결될 수 있다.
- [165] 이때, 상기 제1 전자 소자(300), 제2 전자 소자(400) 및 제3 전자 소자(410)는 각각 제어 IC 칩, 메모리 칩, 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘텐서 중 적어도 하나를 포함할 수 있다.
- [166] 예를 들어, 상기 패키지 기판이 스마트폰에 적용되는 낸드 플래쉬(nand flash) 메모리 제품인 경우, 상기 제1 전자 소자(300)는 제어 IC 칩일 수 있고, 상기 제2 전자 소자(400)는 낸드 플래시 메모리 칩일 수 있으며, 상기 제3 전자 소자(410)는 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘텐서 중 적어도 하나일 수 있다.
- [167]
- [168] 도 18은 다른 실시 예에 따른 패키지 기판을 나타낸 도면이다.
- [169] 도 18을 참조하면, 패키지 기판은 도1에서 설명한 인쇄회로기판(100)을 포함할 수 있다. 이때, 인쇄회로기판(100) 내에는 제1 전자 소자(300)가 배치될 수 있다.
- [170] 그리고, 인쇄회로기판(100)의 최상부에 배치된 회로 패턴(210) 상에는 제2 전자 소자(400)가 부착될 수 있다.
- [171] 또한, 인쇄회로기판(100)의 최상부에는 회로 패턴(210)과 제3 전자 소자(410)가 더 부착될 수 있다.
- [172] 이를 위해, 제1 보호층(215)은 상기 최상부에 배치된 회로 패턴(210)의 상면을 노출하는 복수의 개구부(도시하지 않음)를 포함할 수 있다. 그리고, 상기 개구부를 통해 노출된 회로 패턴(210) 상에는 제2 전자 소자(400)가 플립 칩 본딩 방식에 의해 부착될 수 있다.
- [173] 또한, 상기 노출된 회로 패턴(210) 상에는 제3 전자 소자(410)가 플립칩 본딩 방식에 의해 부착될 수 있다.
- [174] 이를 위해, 상기 제3 전자 소자(410)와 상기 회로 패턴(210) 사이에는 솔더

볼(420)이 형성될 수 있다. 상기 솔더 볼(420)은 솔더에 이종 성분의 물질이 함유될 수 있다. 상기 솔더는 SnCu, SnPb, SnAgCu 중 적어도 어느 하나로 구성될 수 있다. 그리고, 상기 이종 성분의 물질은 Al, Sb, Bi, Cu, Ni, In, Pb, Ag, Sn, Zn, Ga, Cd 및 Fe 중 어느 하나를 포함할 수 있다.

[175] 또한, 도 17 및 도 18에서 도시하지는 않았지만, 상기 제2 전자 소자(400)와 상기 회로 패턴(210) 사이에도 상기 솔더 볼과 같은 전도성 접착부(도시하지 않음)가 배치되며, 이에 따라 상기 제2 전자 소자(400)를 상기 회로 패턴(210) 위에 부착시킬 수 있도록 한다.

[176] 실시 예에 따르면, 인쇄회로기판은 전자소자가 배치되는 캐비티가 형성된 제1 절연부를 포함한다. 그리고, 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치되도록 한다. 이에 따르면, 상기 회로 패턴이나 패드가 상기 제1 절연부 내에 매립되어 배치됨에 따라 종래 대비 회로 패턴의 두께만큼 인쇄회로기판의 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다. 또한, 상기 제1 절연부는 유리 섬유(Glass Fiber)를 포함하는 프리프레그를 사용하기 때문에 얇은 기판 제작시에 발생하는 패널 깨짐이나 휨 발생을 최소화할 수 있다.

[177] 또한, 실시 예에 따르면, 인쇄회로기판은 제1 절연부 아래에 제2 절연부가 배치된다. 이때, 상기 제2 절연부는 상기 제1 절연부와 직접 접촉하는 영역에는 필름 타입의 레진(예를 들어, ABF(Aginomoto Build-up Film)나 감광성 절연재료인 PID(Photo Imagable Dielectric))을 이용하여 절연층을 구성하도록 한다. 이에 따르면, 실시 예에서는 기존 대비 상기 제2 절연부의 절연층 두께를 감소시킬 수 있으며, 디자인 자유도를 향상시킬 수 있다.

[178] 또한, 실시 예에 따르면 상기 제1 절연부와 직접 접촉하는 영역 상의 제2 절연부를 필름 타입의 레진으로 형성함에 따라 스몰 비아(small via) 형성이 가능하며, 이에 따른 파인 패턴(fine pattern) 구현이 가능하다.

[179] 또한, 실시 예에 따르면, 칩이 센터에 배치됨에 따라 상하 대칭 구조를 가지는 종래 구조 대비 비대칭 구조로 팬 아웃 패널 레벨 패키지(Fan pit Panel Level Package)구조를 구현할 수 있다.

[180] 이상에서 실시예들에 설명된 특징, 구조, 효과 등은 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의해 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

[181] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 실시예를 한정하는 것이 아니며, 실시예가 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에

구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 설정하는 실시예의 범위에 포함되는 것으로 해석되어야 할 것이다.

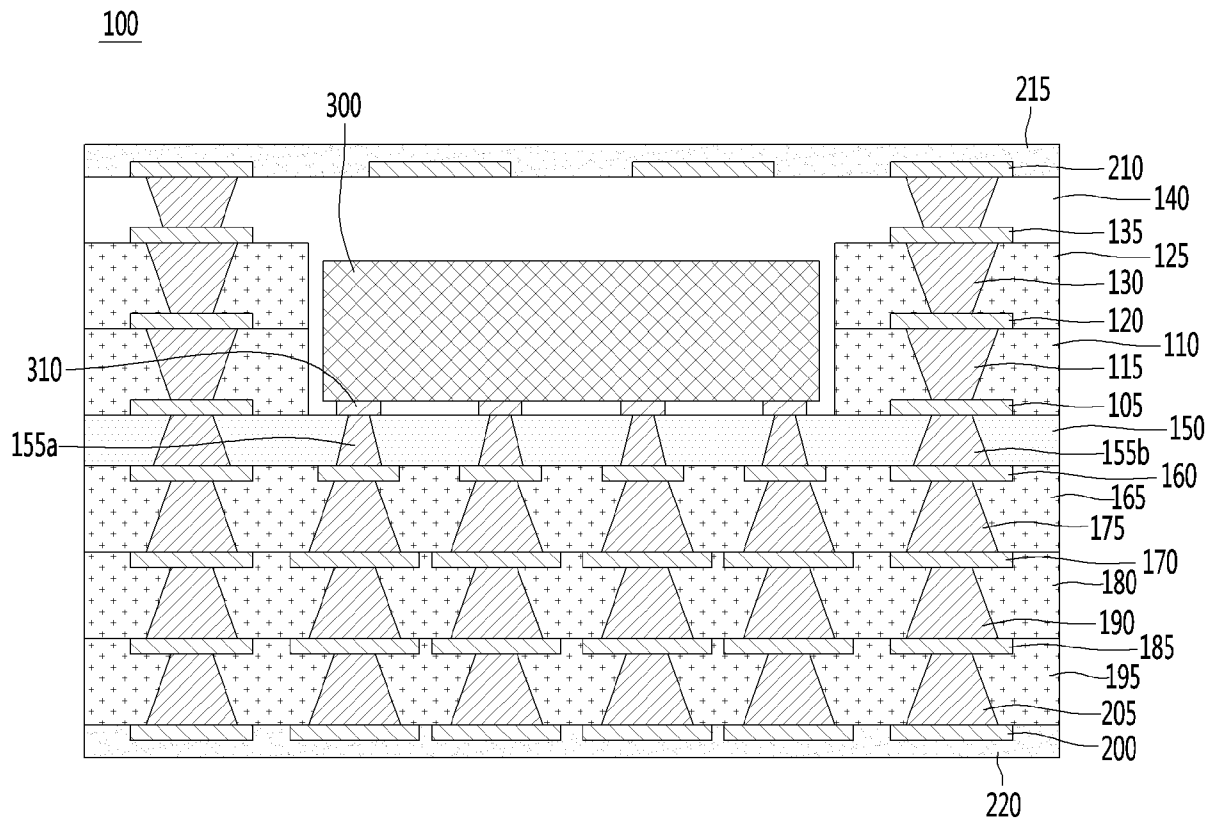
청구범위

- [청구항 1] 캐비티를 포함하는 제1 절연부;
 상기 제1 절연부 위에 배치된 제2 절연부;
 상기 제1 절연부 아래에 배치된 제3 절연부; 및
 상기 캐비티 내에 배치된 전자 소자를 포함하고,
 상기 제2 절연부의 층 수는,
 상기 제3 절연부의 층 수와 다르고,
 상기 전자소자가 배치된 제1 절연부를 중심으로 비대칭 구조를 가지는
 인쇄회로기판.
- [청구항 2] 제1항에 있어서,
 상기 제1 절연부는,
 적어도 하나의 제1 절연층;
 상기 제1 절연층의 하부에 매립된 제1 회로 패턴;
 상기 제1 절연층의 상면 위에 배치된 제2 회로 패턴; 및
 상기 제1 절연층 내에 배치되고, 상기 제1 및 제2 회로 패턴을 연결하는
 제1 비아를 포함하는
 인쇄회로기판.
- [청구항 3] 제2항에 있어서,
 상기 제1 절연층은,
 유리 섬유를 포함하는 프리프레그로 형성되는
 인쇄회로기판.
- [청구항 4] 제 3항에 있어서,
 상기 제2 절연부는,
 상기 캐비티의 내부 및 상기 제1 절연층 위에 배치되는 제 2 절연층;
 상기 제2 절연층의 상면 위에 배치된 제3 회로 패턴; 및
 상기 제2 절연층 내에 배치되고, 상기 제2 및 제3 회로 패턴을 연결하는
 제2 비아를 포함하며,
 상기 제2 절연층은,
 상기 제1 절연층 및 상기 제3 절연부를 구성하는 절연층과 다른
 절연물질로 구성된
 인쇄회로기판.
- [청구항 5] 제4항에 있어서,
 상기 제2 절연층은,
 RCC(Resin Coated Cu)로 구성되는
 인쇄회로기판.
- [청구항 6] 제 4항에 있어서,
 상기 제3 절연부는,

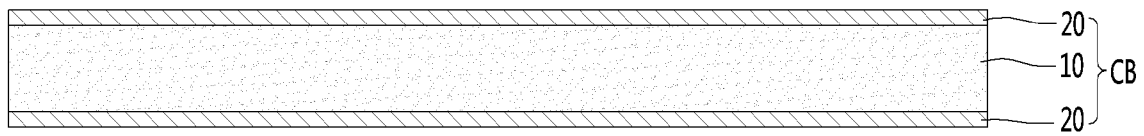
상기 제1 절연층 아래에 배치된 제3 절연층;
 상기 제3 절연층 아래에 배치된 적어도 하나의 제4 절연층
 상기 제3 절연층 내에 배치된 제3 비아;
 상기 제4 절연층 내에 배치된 제4 비아
 상기 제3 절연층의 하면 아래에 배치된 제4 회로 패턴; 및
 상기 제4 절연층의 하면 아래에 배치된 제5 회로 패턴을 포함하고,
 상기 제3 절연층은,
 상기 제1, 제2, 및 제4 절연층과 다른 절연물질로 구성된
 인쇄회로기판.

- [청구항 7] 제 6항에 있어서,
 상기 제3 절연층은,
 ABF(Aginomoto Build-up Film) 또는 PID(Photo Imagable Dielectric)로
 형성되는
 인쇄회로기판.
- [청구항 8] 제 7항에 있어서,
 상기 제3 절연층은,
 상기 제1 절연층, 상기 제2 절연층 및 상기 제4 절연층의 각각의 두께보다
 작은 두께를 가지는
 인쇄회로기판.
- [청구항 9] 제 6항에 있어서,
 상기 제3 비아는,
 상기 전자소자와 수직 방향으로 오버랩되고, 상기 전자 소자의 단자와
 직접 연결되는 제 1 서브 제3 비아와,
 상기 전자 소자와 수직 방향으로 오버랩되지 않는 위치에 배치되는 제2
 서브 제3 비아를 포함하고,
 상기 제1 서브 제3 비아는,
 상기 제2 서브 제3 비아의 폭보다 작은 폭을 가지는
 인쇄회로기판.
- [청구항 10] 제 9항에 있어서,
 상기 제2 서브 제3 비아는,
 상기 제1 비아, 상기 제2 비아 및 상기 제4 비아의 폭과 동일한 폭을
 가지는
 인쇄회로기판.

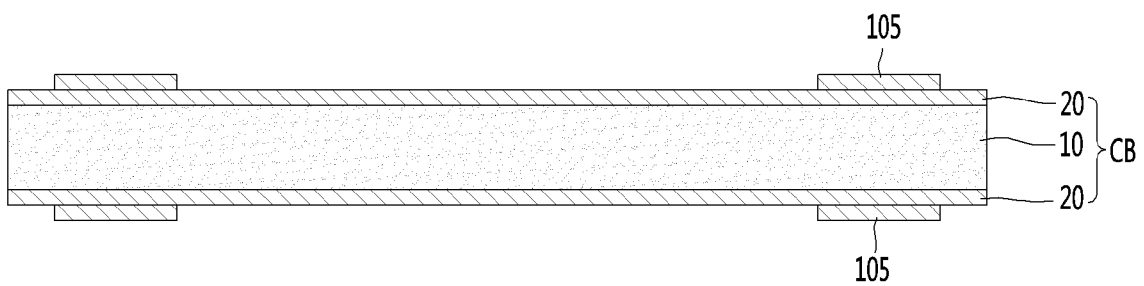
[도1]



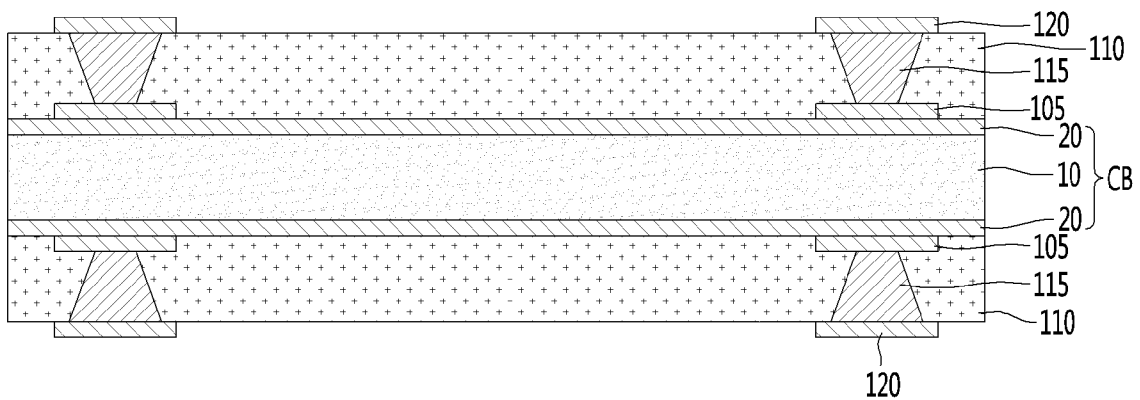
[도2]



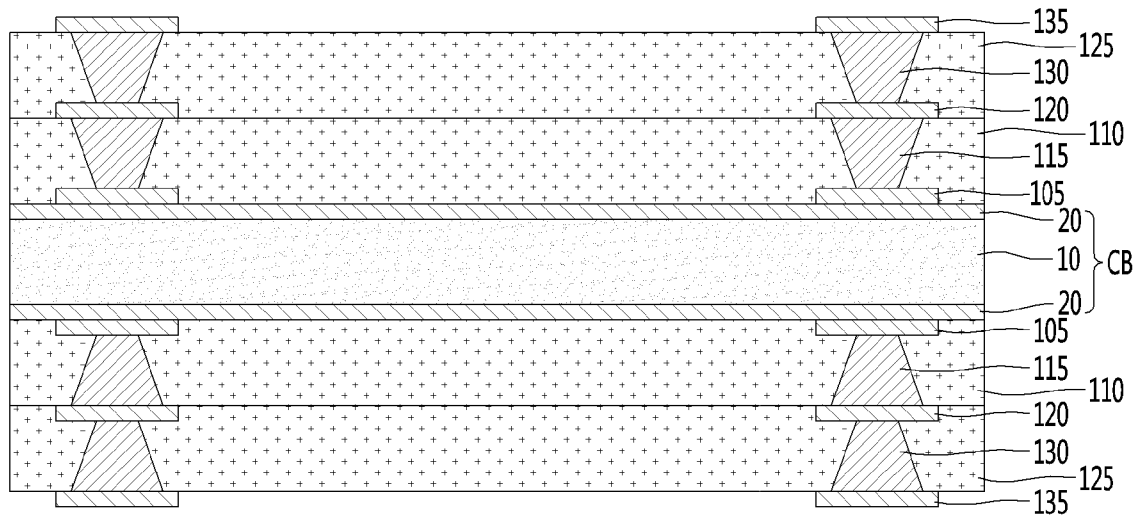
[도3]



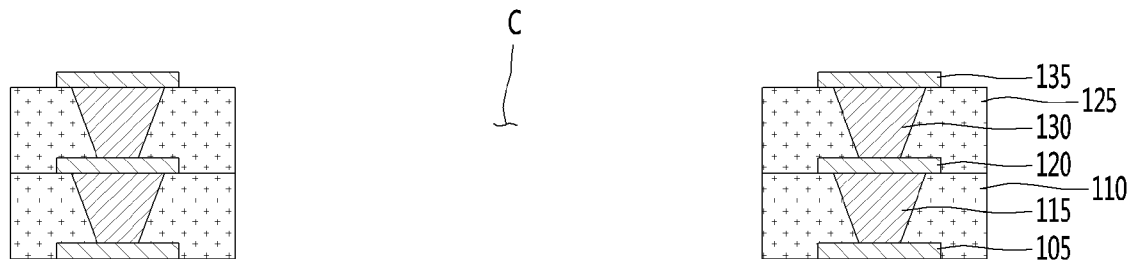
[도4]



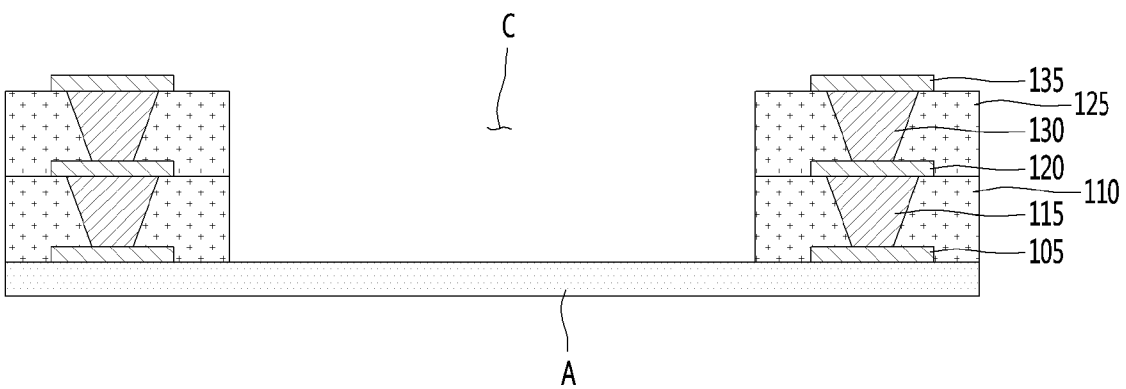
[도5]



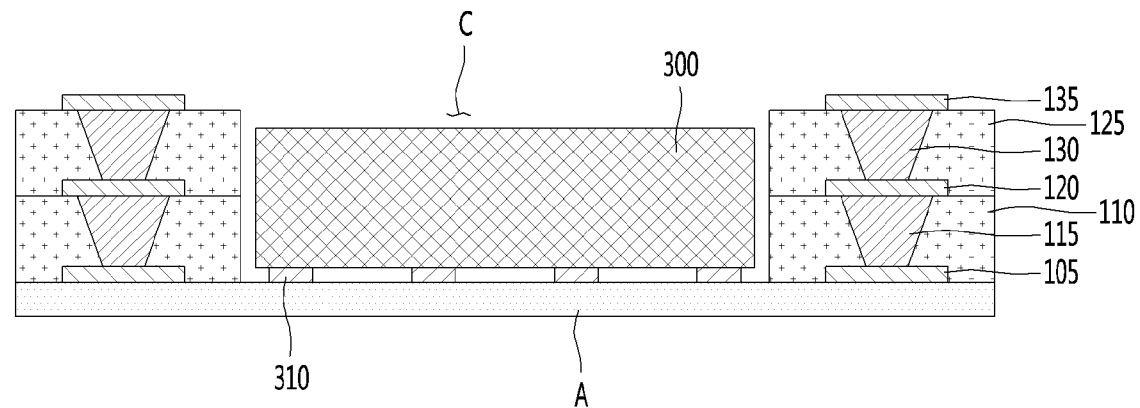
[도6]



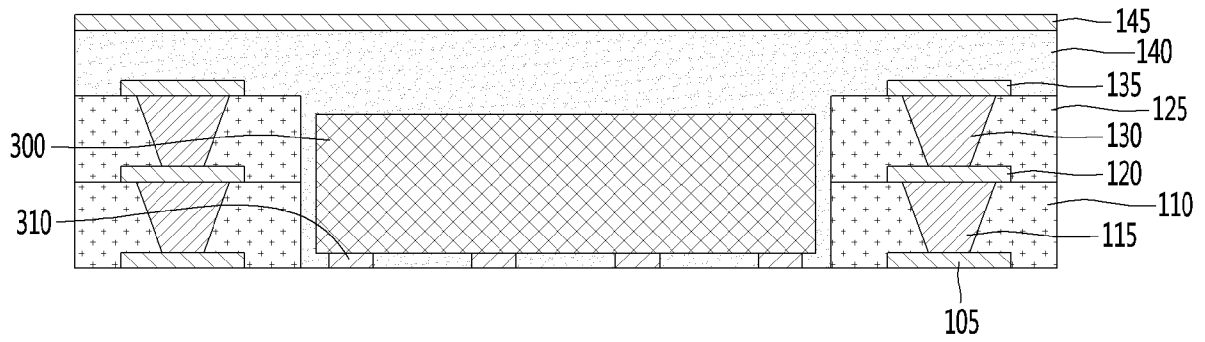
[도7]



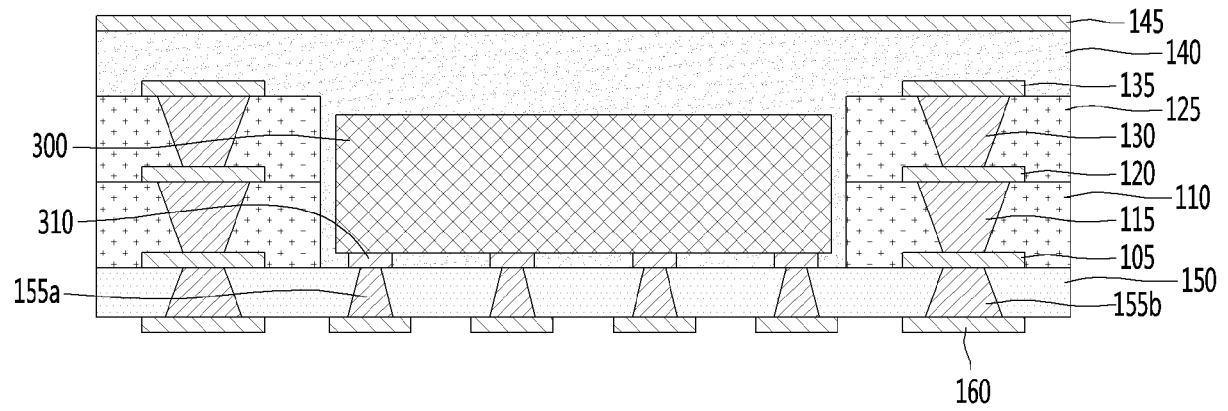
[도8]



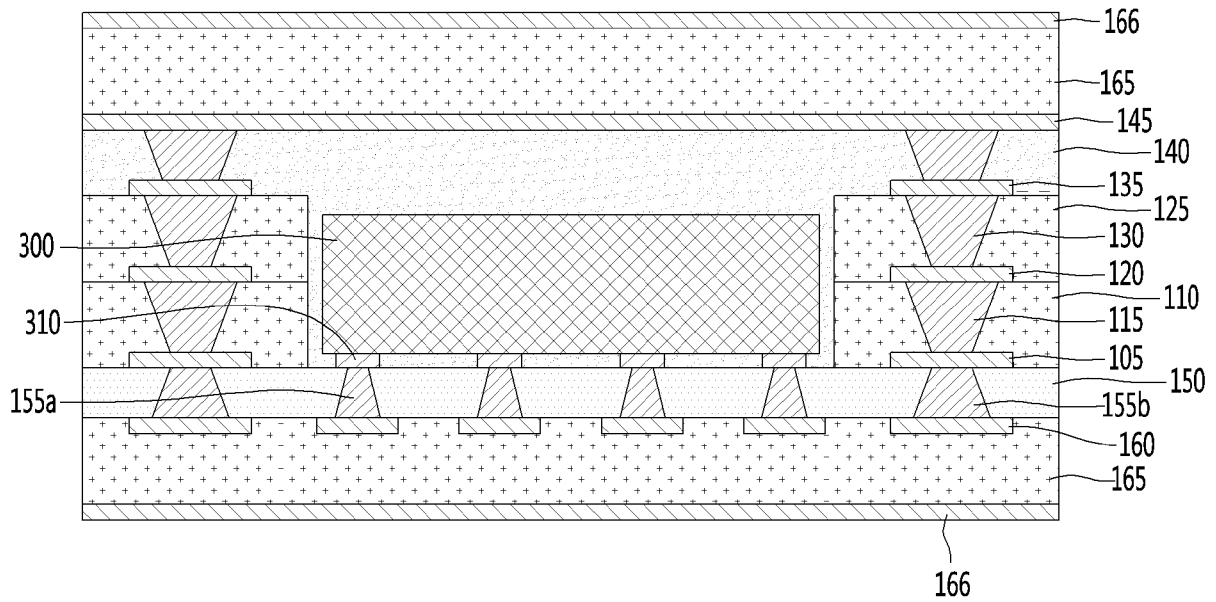
[도9]



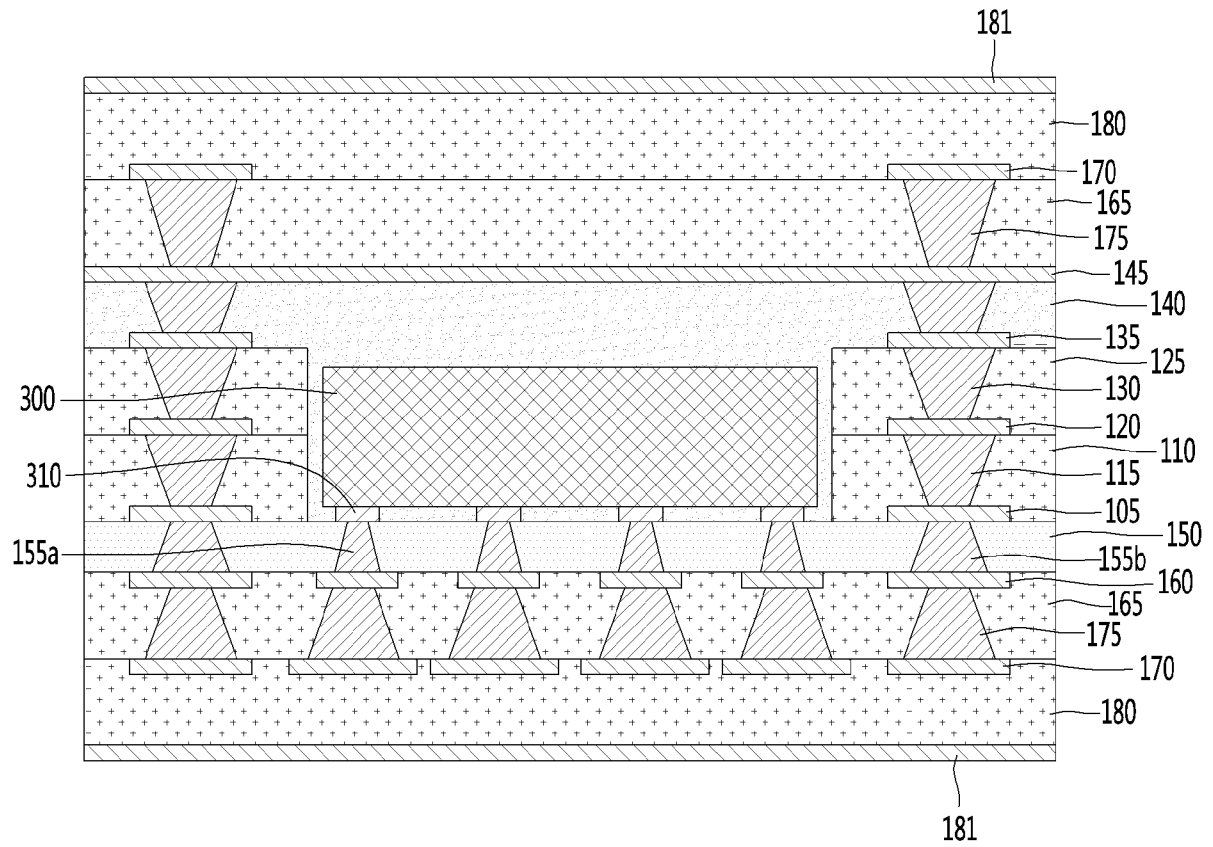
[도10]



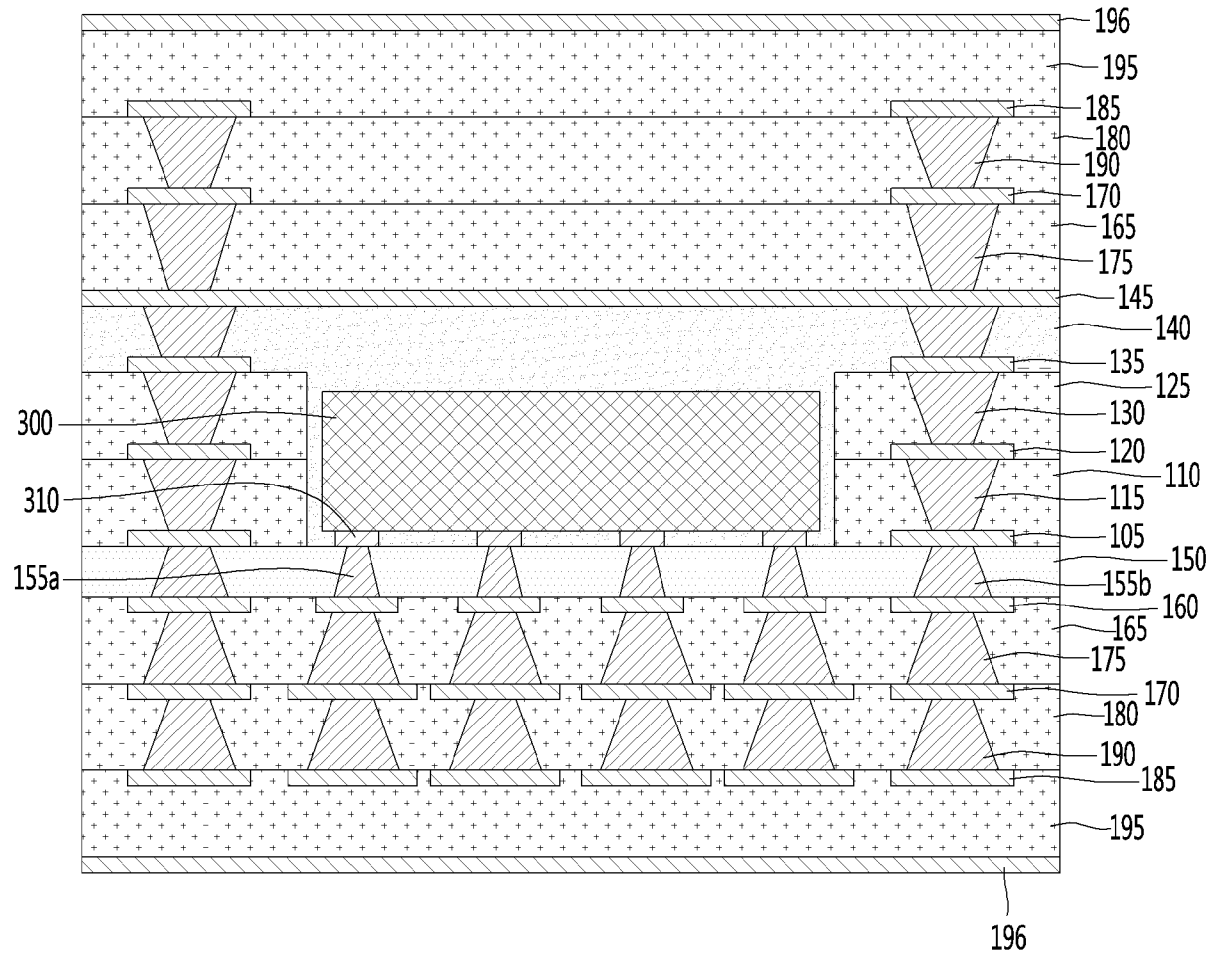
[도11]



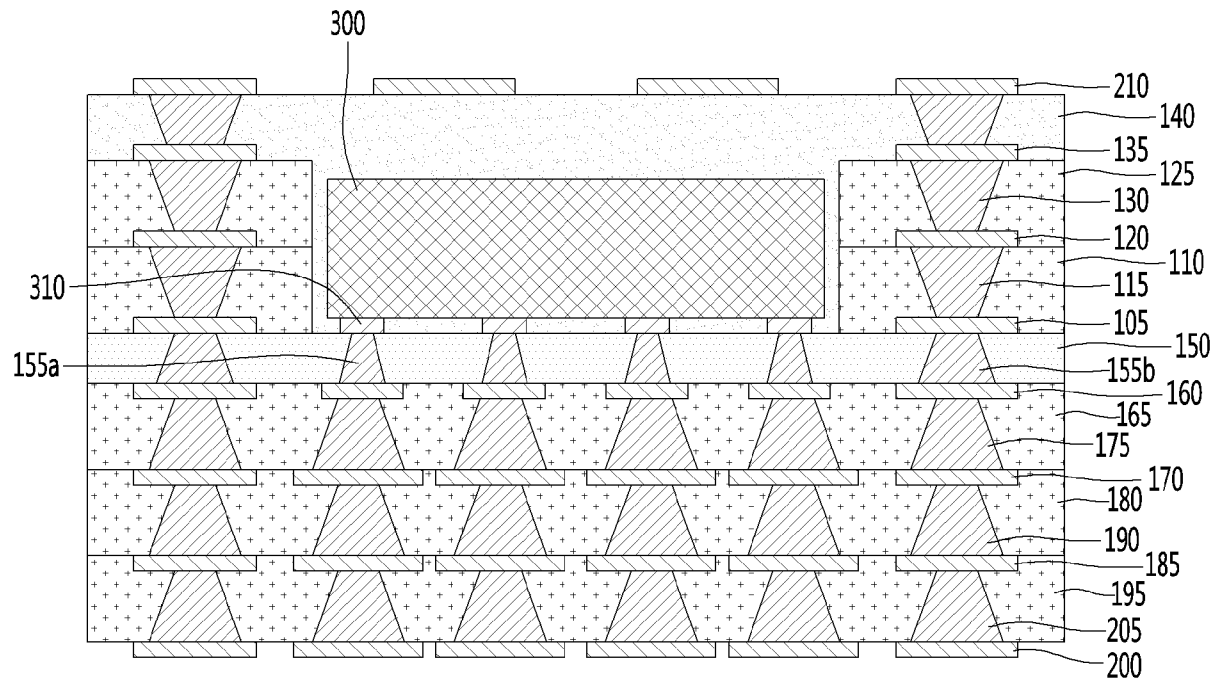
[도 12]



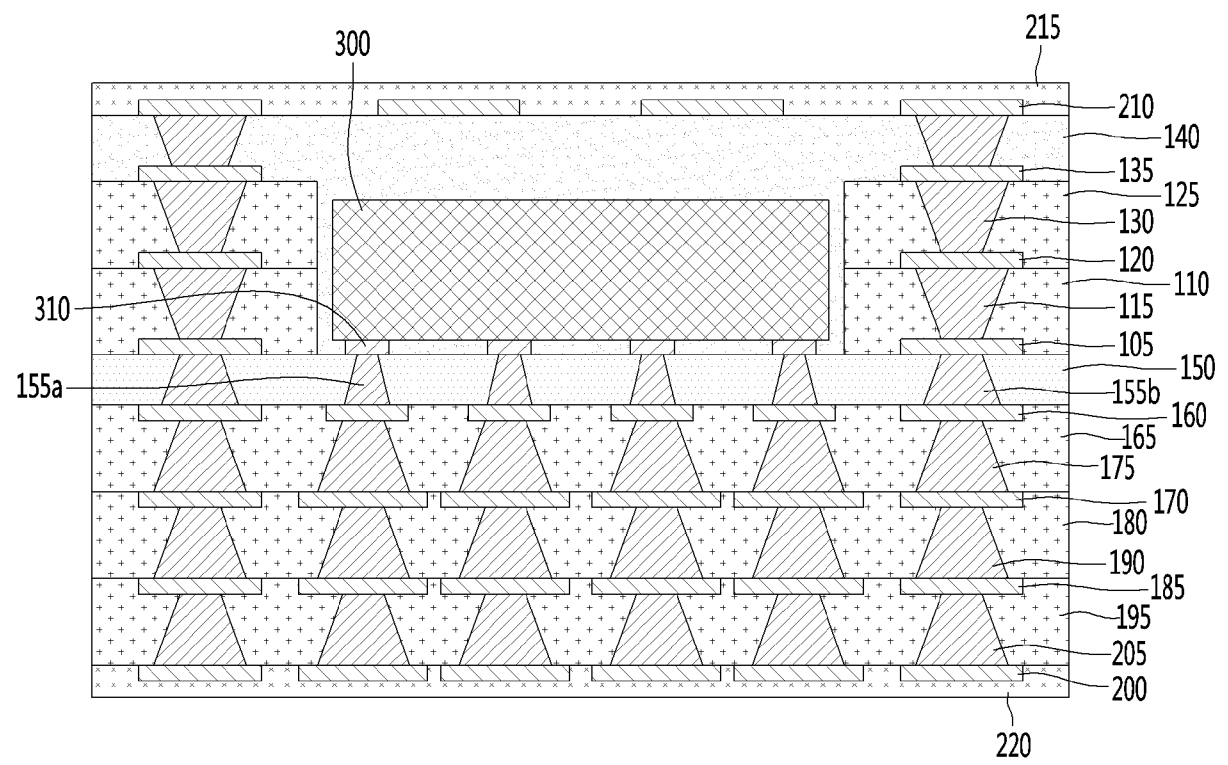
[도 13]



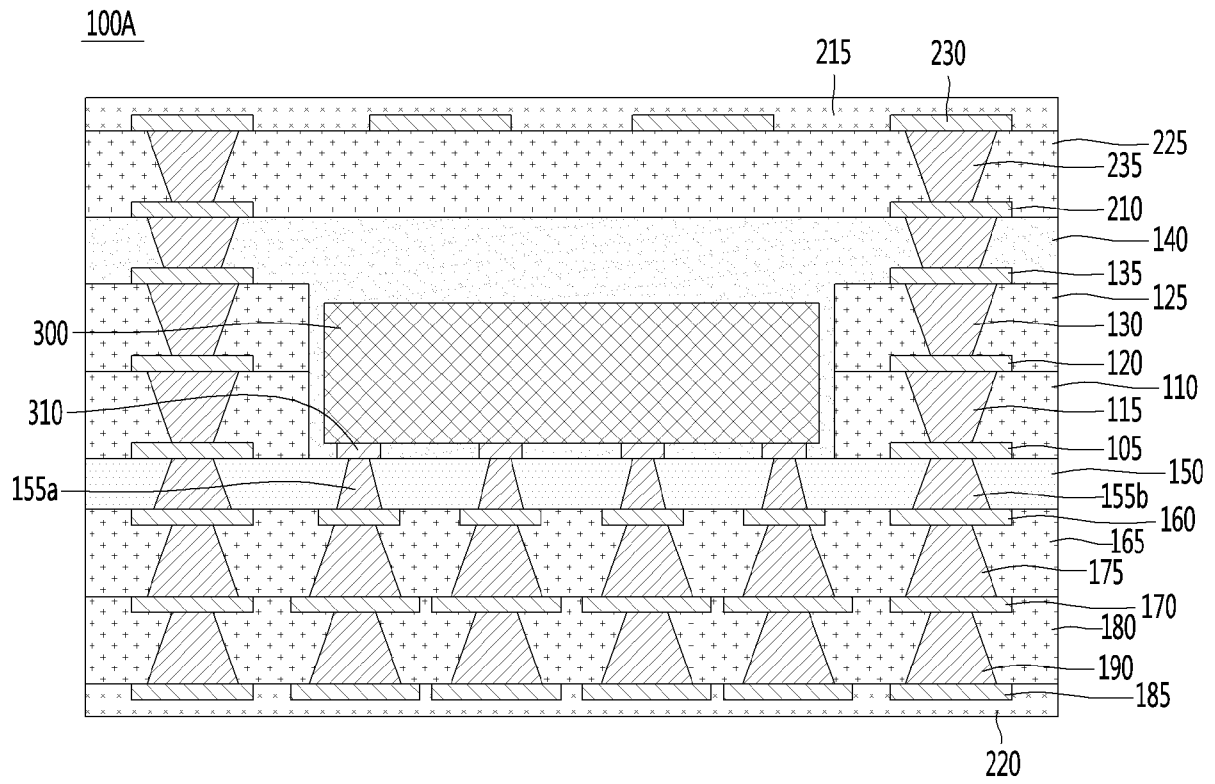
[도 14]



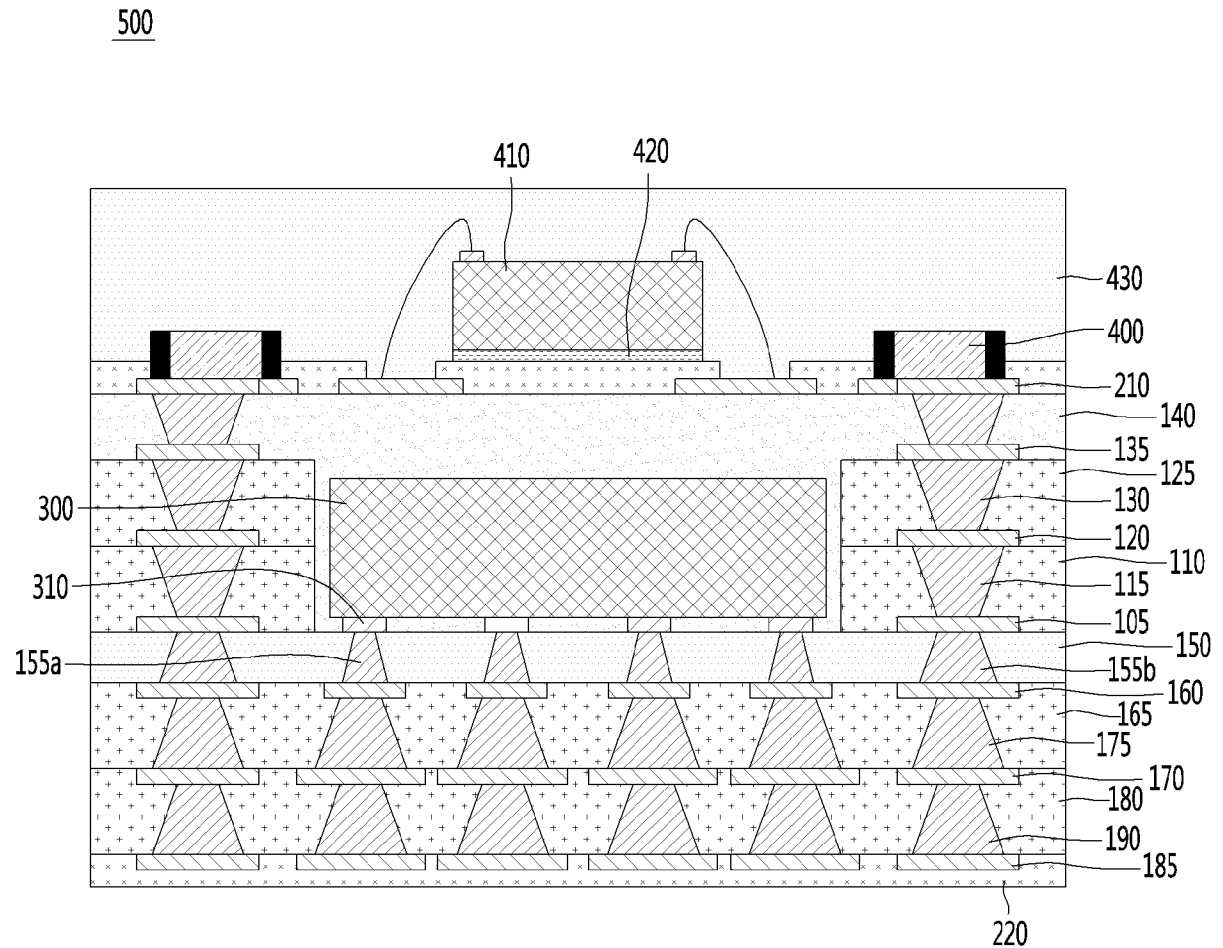
[도 15]



[도 16]

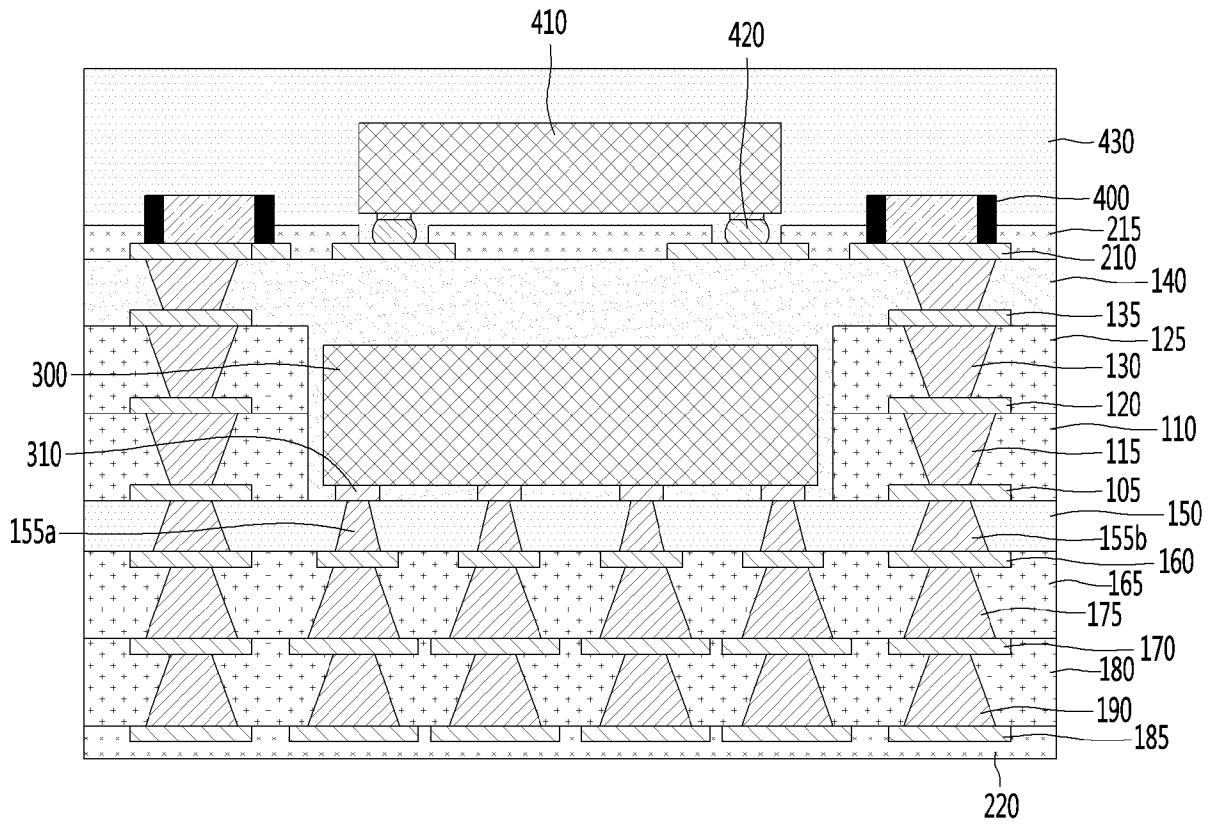


[도 17]



[도 18]

500A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/017333

A. CLASSIFICATION OF SUBJECT MATTER

H05K 1/18(2006.01)i, H05K 1/11(2006.01)i, H05K 1/03(2006.01)i, H05K 3/46(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K 1/18; H05K 1/16; H05K 3/46; H05K 1/11; H05K 1/03

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above

Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: insulation, cavity, prepreg, via

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2016-0122437 A (LG INNOTEK CO., LTD.) 24 October 2016	1
Y	See paragraphs [0035]-[0038] and figure 7.	2-10
Y	KR 10-2014-0056916 A (LG INNOTEK CO., LTD.) 12 May 2014 See paragraphs [0025], [0063].	2-10
Y	KR 10-0653247 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 01 December 2006 See paragraph [0061].	4-10
Y	KR 10-2009-0062709 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 17 June 2009 See paragraphs [0028], [0033].	6-10
Y	KR 10-2015-0092881 A (LG INNOTEK CO., LTD.) 17 August 2015 See paragraph [0168] and figure 15.	9,10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 MARCH 2020 (23.03.2020)

Date of mailing of the international search report

24 MARCH 2020 (24.03.2020)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsa-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/017333

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2016-0122437 A	24/10/2016	None	
KR 10-2014-0056916 A	12/05/2014	CN 104756615 A CN 104756615 B EP 2915415 A1 EP 2915415 A4 KR 10-1438915 B1 TW 201419961 A TW 1549579 B US 2015-0296625 A1 US 9781835 B2 WO 2014-069734 A1	01/07/2015 04/09/2018 09/09/2015 05/10/2016 11/09/2014 16/05/2014 11/09/2016 15/10/2015 03/10/2017 08/05/2014
KR 10-0653247 B1	01/12/2006	None	
KR 10-2009-0062709 A	17/06/2009	KR 10-0905642 B1	30/06/2009
KR 10-2015-0092881 A	17/08/2015	CN 106165554 A US 2016-0351543 A1 WO 2015-119396 A1	23/11/2016 01/12/2016 13/08/2015

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H05K 1/18(2006.01)i, H05K 1/11(2006.01)i, H05K 1/03(2006.01)i, H05K 3/46(2006.01)i

B. 조사된 분야
조사된 최소문헌(국제특허분류를 기재)
H05K 1/18; H05K 1/16; H05K 3/46; H05K 1/11; H05K 1/03

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 절연(insulation), 캐비티(cavity), 프리프레그(prepreg), 비아(via)

C. 관련 문헌

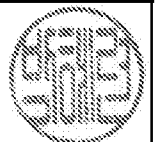
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2016-0122437 A (엘지이노텍 주식회사) 2016.10.24	1
Y	단락 [0035]-[0038] 및 도면 7 참조	2-10
Y	KR 10-2014-0056916 A (엘지이노텍 주식회사) 2014.05.12	2-10
	단락 [0025], [0063] 참조	
Y	KR 10-0653247 B1 (삼성전기주식회사) 2006.12.01	4-10
	단락 [0061] 참조	
Y	KR 10-2009-0062709 A (삼성전기주식회사) 2009.06.17	6-10
	단락 [0028], [0033] 참조	
Y	KR 10-2015-0092881 A (엘지이노텍 주식회사) 2015.08.17	9,10
	단락 [0168] 및 도면 15 참조	

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “D” 본 국제출원에서 출원인이 인용한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2020년 03월 23일 (23.03.2020)	국제조사보고서 발송일 2020년 03월 24일 (24.03.2020)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 박혜련 전화번호 +82-42-481-3463
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0122437 A	2016/10/24	없음	
KR 10-2014-0056916 A	2014/05/12	CN 104756615 A CN 104756615 B EP 2915415 A1 EP 2915415 A4 KR 10-1438915 B1 TW 201419961 A TW I549579 B US 2015-0296625 A1 US 9781835 B2 WO 2014-069734 A1	2015/07/01 2018/09/04 2015/09/09 2016/10/05 2014/09/11 2014/05/16 2016/09/11 2015/10/15 2017/10/03 2014/05/08
KR 10-0653247 B1	2006/12/01	없음	
KR 10-2009-0062709 A	2009/06/17	KR 10-0905642 B1	2009/06/30
KR 10-2015-0092881 A	2015/08/17	CN 106165554 A US 2016-0351543 A1 WO 2015-119396 A1	2016/11/23 2016/12/01 2015/08/13