(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2014-29438
(P2014-29438A)
(43)公開日　平成26年2月13日(2014.2.13)

(51)Int.Cl.		F I			テーマコード（参考）
G09G 3/30	(2006.01)	G09G	3/30	J	3K107
G09G 3/20	(2006.01)	G09G	3/20	622F	5C080
H01L 51/50	(2006.01)	G09G	3/20	622C	5C380
		G09G	3/20	622D	
		G09G	3/20	624B	

審査請求 未請求　請求項の数 19　ＯＬ　（全 33 頁）　最終頁に続く

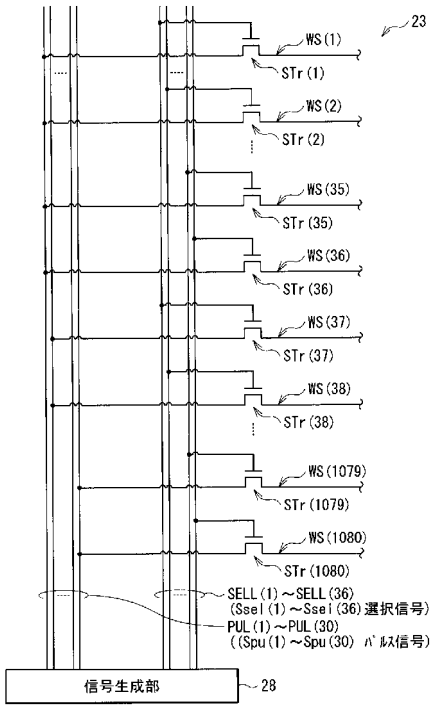
(21)出願番号　特願2012-170489 (P2012-170489)
(22)出願日　平成24年7月31日 (2012.7.31)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　110001357
特許業務法人つばさ国際特許事務所
(72)発明者　畠田　誠一郎
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　湯本　昭
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　関　毅裕
東京都港区港南１丁目７番１号　ソニー株式会社内

Ｆターム(参考)　3K107 AA01　BB01　CC41　EE03　HH05
最終頁に続く

(54)【発明の名称】表示装置、駆動回路、および電子機器

(57)【要約】
【課題】額縁領域を狭めることができる表示装置を得る。
【解決手段】複数の画素と、複数の画素に走査パルスを伝える複数の走査信号線を有する表示部と、複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから走査パルスを選択的に抽出する第１のスイッチを有する走査部とを備える。
【選択図】図４



【特許請求の範囲】
【請求項１】
複数の画素と、前記複数の画素に走査パルスを伝える複数の走査信号線を有する表示部と、
前記複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを有する走査部と
を備えた表示装置。
【請求項２】
複数の前記第１のスイッチは、Ｎ個の第１のスイッチを単位として、Ｍ個のスイッチグループにグループ分けされ、
前記Ｍ個のスイッチグループには、前記Ｍ個の前記走査パルス信号がそれぞれ供給される
請求項１に記載の表示装置。
【請求項３】
各スイッチグループにおける前記Ｎ個の前記第１のスイッチは、前記Ｎ個の第１の選択信号によりそれぞれオンオフ制御される
請求項２に記載の表示装置。
【請求項４】
前記第１のスイッチと、その第１のスイッチに対応づけられた走査信号線との間に挿設された第２のスイッチをさらに備え、
各スイッチグループにおける前記Ｎ個の前記第１のスイッチは、Ｋ個の第１のスイッチを単位として、Ｌ個のサブスイッチグループにグループ分けされ、
前記Ｌ個のサブスイッチグループに属する前記第１のスイッチは、前記Ｌ個の第１の選択信号によりそれぞれオンオフ制御され、
各サブスイッチグループに属する前記Ｋ個の前記第１のスイッチに接続された前記Ｋ個の前記第２のスイッチは、前記Ｋ個の第２の選択信号によりそれぞれオンオフ制御される
請求項２に記載の表示装置。
【請求項５】
前記表示部は、前記複数の画素に電源を供給する複数の電源線をさらに有し、
前記複数の電源線は複数の電源グループにグループ分けされ、同じ電源グループに属する電源線は互いに接続されている
請求項１に記載の表示装置。
【請求項６】
前記複数の電源線は２つの電源グループにグループ分けされ、
各電源グループに属する電源線が、前記電源線の配列方向において、１本ずつ交互に配置されている
請求項５に記載の表示装置。
【請求項７】
各電源グループに属する電源線が、前記電源線の配列方向において、所定本数ずつ、電源グループ間で巡回するように配置されている
請求項５に記載の表示装置。
【請求項８】
各電源グループに属する電源線に対して、画素を消灯させる第１の電圧と画素を点灯させる第２の電圧との間で遷移する、電源グループ間で互いに異なる電源信号を印加する電源供給部をさらに備えた
請求項５に記載の表示装置。
【請求項９】
前記電源供給部は、各電源信号における、前記第１の電圧である時間と前記第２の電圧である時間との時間比を、電源グループごとに調整可能に構成されている

請求項８に記載の表示装置。
【請求項１０】
前記表示部は、線順次走査により書込駆動されるものであり、
前記電源供給部は、書込対象画素に接続された電源線と同じグループに属する電源線に対して、前記第１の電圧を供給する
請求項８に記載の表示装置。
【請求項１１】
前記電源信号は、前記第２の電圧から前記第１の電圧へ、複数段階で遷移する信号である
請求項８に記載の表示装置。
【請求項１２】
前記電源信号は、前記第１の電圧から前記第２の電圧へ、複数段階で遷移する信号である
請求項８に記載の表示装置。
【請求項１３】
前記電源信号は、第３の電圧を介して２段階で遷移する信号である
請求項１１に記載の表示装置。
【請求項１４】
前記第３の電圧は接地レベルである
請求項１３に記載の表示装置。
【請求項１５】
前記電源供給部は、
前記第１の電圧と前記第３の電圧との間で遷移する第１の駆動信号を生成する第１の駆動回路と、
前記第２の電圧と前記第３の電圧との間で遷移する第２の駆動信号を生成する第２の駆動回路と、
前記第１の駆動信号および前記第２の駆動信号のうちの少なくとも一方を選択することにより前記電源信号を生成する選択回路と
を有する
請求項１３に記載の表示装置。
【請求項１６】
前記画素は、
表示素子と、
ゲートと、電源電圧が供給されるドレインと、前記表示素子に接続されたソースを有する第１のトランジスタと、
前記第１のトランジスタのゲートとソースとの間に挿設された容量素子と、
オン状態になることにより、前記第１のトランジスタのゲートに画素電圧を供給する第２のトランジスタと
を含む
請求項１に記載の表示装置。
【請求項１７】
前記画素は、オン状態になることにより、電源電圧を前記第１のトランジスタのドレインに供給する第３のトランジスタをさらに含む
請求項１６に記載の表示装置。
【請求項１８】
複数の画素に走査パルスを伝える複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを備えた
駆動回路。
【請求項１９】

表示装置と
前記表示装置に対して動作制御を行う制御部と
を備え、
前記表示装置は、
複数の画素と、前記複数の画素に走査パルスを伝える複数の走査信号線を有する表示部と、
前記複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを有する走査部と
を有する
電子機器。

【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、電流駆動型の表示素子を有する表示装置、そのような表示装置に用いられる駆動回路、およびそのような表示装置を備えた電子機器に関する。
【背景技術】
【０００２】
近年、画像表示を行う表示装置の分野では、発光素子として、流れる電流値に応じて発光輝度が変化する電流駆動型の光学素子、例えば有機ＥＬ（Electro Luminescence）素子を用いた表示装置（有機ＥＬ表示装置）が開発され、商品化が進められている。有機ＥＬ素子は、液晶素子などと異なり自発光素子であり、光源（バックライト）が必要ない。そのため、有機ＥＬ表示装置は、光源を必要とする液晶表示装置と比べて画像の視認性が高く、消費電力が低く、かつ素子の応答速度が速いなどの特徴を有する。
【０００３】
これらの表示装置では、画素がマトリックス状に配置された表示部の周辺に、表示部を駆動する様々な回路が形成される。具体的には、表示部の周辺には、例えば、画素に画素信号を供給するソースドライバ回路、画素信号を供給する画素ラインを選択する書込走査回路、画素に電源を供給する電源供給走査回路などが形成される（例えば、特許文献１～４など）。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０１０－２７９６号公報
【特許文献２】特開２０１０－２８１９９３号公報
【特許文献３】特開２００９－２５２２６９号公報
【特許文献４】特開２００５－２２８４５９号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
ところで、表示装置では、主にデザインの観点から、表示部の周辺のいわゆる額縁領域を狭めることが望まれ、表示部の周辺に形成される回路をシンプルな構成にすることが期待されている。
【０００６】
本開示はかかる問題点に鑑みてなされたもので、その目的は、額縁領域を狭めることができる表示装置、駆動回路、および電子機器を提供することにある。
【課題を解決するための手段】
【０００７】

本開示の表示装置は、表示部と、走査部とを備えている。表示部は、複数の画素と、複数の画素に走査パルスを伝える複数の走査信号線を有するものである。走査部は、複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから走査パルスを選択的に抽出する第１のスイッチを有するものである。

【０００８】

本開示の駆動回路は、複数の画素に走査パルスを伝える複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから走査パルスを選択的に抽出する第１のスイッチを備えたものである。

【０００９】

本開示の電子機器は、上記表示装置を備えたものであり、例えば、テレビジョン装置、デジタルカメラ、パーソナルコンピュータ、ビデオカメラあるいは携帯電話等の携帯端末装置などが該当する。

【００１０】

本開示の表示装置、駆動回路、および電子機器では、走査信号線を介して複数の画素に走査パルスが供給され、表示走査が行われる。この走査パルスは、第１のスイッチをオン状態にすることにより、複数の走査パルス信号のうちのいずれか１つから選択的に抽出され、走査信号線に供給される。

【発明の効果】

【００１１】

本開示の表示装置、駆動回路、および電子機器によれば、複数の走査パルス信号のうちのいずれか１つから走査パルスを選択的に抽出する第１のスイッチを備えるようにしたので、額縁領域を狭めることができる。

【図面の簡単な説明】

【００１２】

【図１】本開示の第１の実施の形態に係る表示装置の一構成例を表すブロック図である。
【図２】図１に示したサブ画素の一構成例を表す回路図である。
【図３】図１に示した各ブロックの配置を表す説明図である。
【図４】図１に示した走査線駆動部の一構成例を表す回路図である。
【図５】図１に示した電源線駆動部の一構成例を表す回路図である。
【図６】図１に示した表示装置の一動作例を表すタイミング波形図である。
【図７】図１に示したサブ画素の一動作例を表すタイミング波形図である。
【図８】図１に示した走査線駆動部の一構成例を表す回路図である。
【図９】図８に示した走査線駆動部の一動作例を表すタイミング波形図である。
【図１０】図１に示した電源線駆動部の一動作例を表すタイミング波形図である。
【図１１】合計配線数を説明するための表である。
【図１２】配線構成を説明するための表である。
【図１３】第１の実施の形態の変形例に係る走査線駆動部の一構成例を表す回路図である。
【図１４】第１の実施の形態の他の変形例に係る電源線駆動部の一構成例を表す回路図である。
【図１５】図１４に示した電源線駆動部の一動作例を表すタイミング波形図である。
【図１６】第１の実施の形態の他の変形例に係る電源線駆動部の一構成例を表す回路図である。
【図１７】第１の実施の形態の他の変形例に係る電源信号を表すタイミング波形図である。
【図１８】図１７に示した電源信号を生成する回路の一構成例を表す回路図である。
【図１９】図１８に示した回路の一動作例を表すタイミング波形図である。
【図２０】図１８に示した回路の他の動作例を表すタイミング波形図である。
【図２１】第１の実施の形態の他の変形例に係る表示装置の一構成例を表すブロック図で

ある。
【図２２】図２１に示したサブ画素の一構成例を表す回路図である。
【図２３】図２１に示したサブ画素の一動作例を表すタイミング波形図である。
【図２４】図２１に示した走査線駆動部の一動作例を表すタイミング波形図である。
【図２５】第２の実施の形態に係る表示装置の一構成例を表すブロック図である。
【図２６】図２５に示した表示部の一構成例を表す回路図である。
【図２７】図２５に示した表示装置の一動作例を表すタイミング波形図である。
【図２８Ａ】図２５に示した表示部の一動作例を表す説明図である。
【図２８Ｂ】図２５に示した表示部の他の動作例を表す説明図である。
【図２９】第２の実施の形態の変形例に係る表示装置の一動作例を表すタイミング波形図である。
【図３０Ａ】図２９に示した表示部の一動作例を表す説明図である。
【図３０Ｂ】図２９に示した表示部の他の動作例を表す説明図である。
【図３１】実施の形態に係る表示装置が適用されたテレビジョン装置の外観構成を表す斜視図である。
【発明を実施するための形態】
【００１３】
以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。
１．第１の実施の形態
２．第２の実施の形態
３．適用例
【００１４】
＜１．第１の実施の形態＞
［構成例］
図１は、第１の実施の形態に係る表示装置の一構成例を表すものである。表示装置１は、有機ＥＬ素子を用いた、アクティブマトリックス方式の表示装置である。なお、本開示の実施の形態に係る駆動回路は、本実施の形態により具現化されるので、併せて説明する。この表示装置１は、表示部１０および駆動部２０を備えている。
【００１５】
表示部１０は、複数の画素Ｐixがマトリックス状に配置されたものである。この例では、表示部１０は、１９２０ピクセル×１０８０ピクセルの精細度（いわゆるＦＨＤ）のパネルである。各画素Ｐixは、赤色、緑色、青色のサブ画素１１を有している。また、表示部１０は、行方向（水平方向）に延伸する複数の走査線ＷＳＬおよび複数の電源線ＰＬと、列方向（垂直方向）に延伸する複数のデータ線ＤＴＬとを有している。これらの走査線ＷＳＬ、電源線ＰＬ、およびデータ線ＤＴＬの一端は、駆動部２０に接続されている。上記した各サブ画素１１は、走査線ＷＳＬとデータ線ＤＴＬとの交差部に配置されている。
【００１６】
図２は、サブ画素１１の回路構成の一例を表すものである。サブ画素１１は、書込トランジスタＷＳＴｒと、駆動トランジスタＤＲＴｒと、有機ＥＬ素子ＯＬＥＤと、容量素子Ｃｓとを備えている。すなわち、この例では、サブ画素１１は、２つのトランジスタ（書込トランジスタＷＳＴｒ、駆動トランジスタＤＲＴｒ）および１つの容量素子Ｃｓを用いて構成される、いわゆる「２Ｔｒ１Ｃ」の構成を有するものである。
【００１７】
書込トランジスタＷＳＴｒおよび駆動トランジスタＤＲＴｒは、例えば、ＮチャネルＭＯＳ（Metal Oxide Semiconductor）型のＴＦＴ（Thin Film Transistor；薄膜トランジスタ）により構成されるものである。書込トランジスタＷＳＴｒは、ゲートが走査線ＷＳＬに接続され、ソースがデータ線ＤＴＬに接続され、ドレインが駆動トランジスタＤＲＴｒのゲートおよび容量素子Ｃｓの一端に接続されている。駆動トランジスタＤＲＴｒは、ゲートが書込トランジスタＷＳＴｒのドレインおよび容量素子Ｃｓの一端に接続され、ド

レインが電源線ＰＬに接続され、ソースが容量素子Ｃｓの他端および有機ＥＬ素子ＯＬＥＤのアノードに接続されている。なお、ＴＦＴの種類は特に限定されるものではなく、例えば、逆スタガー構造（いわゆるボトムゲート型）であってもよいし、スタガー構造（いわゆるトップゲート型）であってもよい。

【００１８】

容量素子Ｃｓは、一端が駆動トランジスタＤＲＴｒのゲート等に接続され、他端は駆動トランジスタＤＲＴｒのソース等に接続されている。有機ＥＬ素子ＯＬＥＤは、各サブ画素１１に対応する色（赤色、緑色、青色）の光を射出する発光素子であり、アノードが駆動トランジスタＤＲＴｒのソースおよび容量素子Ｃｓの他端に接続され、カソードには、駆動部２０によりカソード電圧Ｖcathが供給されている。

【００１９】

駆動部２０は、外部から供給される映像信号Ｓdispおよび同期信号Ｓsyncに基づいて、表示部１０を駆動するものである。この駆動部２０は、図１に示したように、映像信号処理部２１と、タイミング生成部２２と、走査線駆動部２３と、電源線駆動部２４と、データ線駆動部２５とを備えている。

【００２０】

図３は、表示装置１における各ブロックの配置例を表すものである。この例では、映像信号処理部２１と、タイミング生成部２２と、データ線駆動部２５は、ＩＣ（Integrated Circuit）９に形成されている。走査線駆動部２３は、表示部１０の左側の領域７およびＩＣ９に形成されている。この領域７には、後述するパルス信号線ＰＵＬ、選択信号線ＳＥＬＬ、および複数のトランジスタＳＴｒが配置されている。電源線駆動部２４は、表示部１０の右側の領域８およびＩＣ９に形成されている。この領域８には、後述する電源信号線ＡＬ，ＢＬが配置されている。表示装置１は、後述するように、走査線駆動部２３および電源線駆動部２４の構成をシンプルにすることにより、これらの領域７，８を狭くし、いわゆる額縁領域を狭めることができるようになっている。

【００２１】

映像信号処理部２１は、外部から供給される映像信号Ｓdispに対して所定の信号処理を行い、映像信号Ｓdisp2を生成するものである。この所定の信号処理としては、例えば、ガンマ補正や、オーバードライブ補正などが挙げられる。

【００２２】

タイミング生成部２２は、外部から供給される同期信号Ｓsyncに基づいて、走査線駆動部２３、電源線駆動部２４およびデータ線駆動部２５に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する回路である。

【００２３】

走査線駆動部２３は、タイミング生成部２２から供給された制御信号に従って、複数の走査線ＷＳＬに対して走査信号ＷＳを順次印加することにより、行ごとにサブ画素１１を順次選択するものである。

【００２４】

図４は、走査線駆動部２３の一構成例を表すものである。走査線駆動部２３は、信号生成部２８と、複数のトランジスタＳＴｒとを有している。

【００２５】

信号生成部２８は、タイミング生成部２２から供給された図示しない制御信号に基づいて、３０個のパルス信号Ｓpu（パルス信号Ｓpu（１）～Ｓpu（３０））を生成して、パルス信号線ＰＵＬ（パルス信号線ＰＵＬ（１）～ＰＵＬ（３０））にそれぞれ印加するとともに、３６個の選択信号Ｓsel（選択信号Ｓsel（１）～Ｓsel（３６））を生成して、選択信号線ＳＥＬＬ（選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６））にそれぞれ印加するものである。パルス信号Ｓpu（１）～Ｓpu（３０）は、後述するように、走査信号ＷＳ（走査信号ＷＳ（１）～ＷＳ（１０８０））に現れるパルスＳＰ１を含むものである。選択信号Ｓsel（１）～Ｓsel（３６）は、複数のトランジスタＳＴｒをオンオフ制御するものである。この例では、信号生成部２８は、ＩＣ９に形成されている。

【００２６】
トランジスタＳＴｒ（トランジスタＳＴｒ（１）～ＳＴｒ（１０８０））は、表示部１０の走査線ＷＳＬにそれぞれ対応して設けられたものである。トランジスタＳＴｒ（１）～ＳＴｒ（１０８０）は、この例では、ＮチャネルＭＯＳ型のＴＦＴにより構成されるものであり、領域７（図３）に形成されている。トランジスタＳＴｒ（１）～ＳＴｒ（１０８０）のそれぞれは、ソースがパルス信号線ＰＵＬ（１）～ＰＵＬ（３０）のいずれかに接続され、ゲートが選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６）のいずれかに接続され、ドレインが表示部１０における対応する走査線ＷＳＬに接続されている。具体的には、例えば、トランジスタＳＴｒ（１）～ＳＴｒ（３６）は、ソースがパルス信号線ＰＵＬ（１）に接続され、ゲートが選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６）にそれぞれ接続されている。同様に、例えば、トランジスタＳＴｒ（３７）～ＳＴｒ（７２）は、ソースがパルス信号線ＰＵＬ（２）に接続され、ゲートが選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６）にそれぞれ接続されている。

【００２７】
このような構成により、トランジスタＳＴｒ（１）～ＳＴｒ（１０８０）は、選択信号Ｓsel（１）～Ｓsel（３６）に基づいて、パルス信号Ｓpu（１）～Ｓpu（３６）に含まれるパルスＳＰ１を選択し、そのパルスＳＰ１を走査信号ＷＳ（１）～ＷＳ（１０８０）として出力するようになっている。

【００２８】
電源線駆動部２４は、タイミング生成部２２から供給された制御信号に従って、複数の電源線ＰＬに対して電源信号ＤＳＡ，ＤＳＢを印加することにより、サブ画素１１の発光動作および消光動作の制御を行うものである。

【００２９】
図５は、電源線駆動部２４の一構成例を表すものである。電源線駆動部２４は、電源信号生成部２９を有している。電源信号生成部２９は、タイミング生成部２２から供給された図示しない制御信号に基づいて、電源信号ＤＳＡ，ＤＳＢを生成するものであり、ＩＣ９に形成されている。電源信号ＤＳＡ，ＤＳＢは、電圧Ｖccpと電圧Ｖiniとの間で遷移するものである。後述するように、電圧Ｖiniは、サブ画素１１を初期化するための電圧であり、電圧Ｖccpは、駆動トランジスタＤＲＴｒに電流Ｉdsを流して有機ＥＬ素子ＯＬＥＤを発光させるための電圧である。そして、電源信号生成部２９は、この例では、電源信号線ＡＬを介して、電源信号ＤＳＡを表示部１０における奇数行（１，３，５，７…）の電源線ＰＬに供給し、電源信号線ＢＬを介して、電源信号ＤＳＢを偶数行（２，４，６，８…）の電源線ＰＬに供給するようになっている。また、電源信号生成部２９は、後述するように、電源信号ＤＳＡ，ＤＳＢのそれぞれにおいて、電圧が高レベル（電圧Ｖccp）である期間と低レベル（電圧Ｖini）である期間の割合（デューティ比）を独立して設定することができるように構成されている。なお、以下、電源信号ＤＳＡ，ＤＳＢのいずれか一方を示すものとして電源信号ＤＳを適宜用いることとする。

【００３０】
データ線駆動部２５は、映像信号処理部２１から供給された映像信号Ｓdisp2およびタイミング生成部２２から供給された制御信号に従って、各サブ画素１１の発光輝度を指示する画素電圧Ｖsigを含む信号Ｓigを生成し、各データ線ＤＴＬに印加するものである。

【００３１】
この構成により、駆動部２０は、後述するように、１水平期間内において、駆動トランジスタＤＲＴｒの素子ばらつきが画質に与える影響を抑えるための補正（Ｖth補正およびμ（移動度）補正）を行うとともに、サブ画素１１に対して画素電圧Ｖsigの書込みを行う。そして、その後に、サブ画素１１の有機ＥＬ素子ＯＬＥＤが、書き込まれた画素電圧Ｖsigに応じた輝度で発光するようになっている。

【００３２】
ここで、走査線ＷＳＬは、本開示における「走査信号線」の一具体例に対応する。走査駆動部２３は、本開示における「走査部」の一具体例に対応する。トランジスタＳＴｒは

、本開示における「第１のスイッチ」の一具体例に対応する。パルス信号Ｓpu（１）～Ｓpu（３０）は、本開示における「走査パルス信号」の一具体例に対応する。

【００３３】

［動作および作用］

続いて、本実施の形態の表示装置１の動作および作用について説明する。

【００３４】

（全体動作概要）

まず、図１を参照して、表示装置１の全体動作概要を説明する。映像信号処理部２１は、外部から供給される映像信号Ｓdispに対して所定の信号処理を行い、映像信号Ｓdisp2を生成する。タイミング生成部２２は、外部から供給される同期信号Ｓsyncに基づいて、走査線駆動部２３、電源線駆動部２４、およびデータ線駆動部２５に対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する。走査線駆動部２３は、タイミング生成部２２から供給された制御信号に従って、複数の走査線ＷＳＬに対して走査信号ＷＳを順次印加することにより、行ごとにサブ画素１１を順次選択する。電源線駆動部２４は、タイミング生成部２２から供給された制御信号に従って、複数の電源線ＰＬに対して電源信号ＤＳＡ，ＤＳＢを印加することにより、サブ画素１１の発光動作および消光動作の制御を行う。データ線駆動部２５は、映像信号処理部２１から供給された映像信号Ｓdisp2およびタイミング生成部２２から供給された制御信号に従って、各サブ画素１１の発光輝度に対応する画素電圧Ｖsigを含む信号Ｓigを生成し、各データ線ＤＴＬに印加する。表示部１０は、駆動部２０から供給された走査信号ＷＳ、電源信号ＤＳ、および信号Ｓigに基づいて、表示を行う。

【００３５】

（詳細動作）

図６は、表示装置１の１フレーム期間（１Ｆ）における一動作例を表すものであり、（Ａ）は走査信号ＷＳの波形を示し、（Ｂ）は電源信号ＤＳＡ，ＤＳＢの波形を示し、（Ｃ）は信号Ｓigの波形を示す。走査線駆動部２３は、１フレーム期間（１Ｆ）の最初に設けられた垂直ブランキング期間ＰＢの後に、１水平期間（１Ｈ）ごとに、パルスＳＰ１を各走査線ＷＳＬに対して順次供給する（図６（Ａ））。電源線駆動部２４は、電源信号ＤＳＡを奇数行の電源線ＰＬに供給するとともに、電源信号ＤＳＢを偶数行の電源線ＰＬに供給する（図６（Ｂ））。その際、電源線駆動部２４は、奇数行の走査信号ＷＳにパルスＳＰ１が現れる１水平期間（１Ｈ)の最初において、電源信号ＤＳＡを電圧Ｖiniにし、偶数行の走査信号ＷＳにパルスＳＰ１が現れる１水平期間（１Ｈ)の最初において、電源信号ＤＳＢを電圧Ｖiniにする。そして、データ線駆動部２５は、各１水平期間（１Ｈ)の前半において、信号Ｓigを電圧Ｖofsに設定するとともに、後半において、信号Ｓigを画素電圧Ｖsigに設定する（図６（Ｃ））。

【００３６】

図７は、表示装置１における表示動作のタイミング図を表すものである。この図は、着目した１つのサブ画素１１に対する表示駆動の動作例を表すものである。図７において、（Ａ）は走査信号ＷＳの波形を示し、（Ｂ）は電源信号ＤＳの波形を示し、（Ｃ）は信号Ｓigの波形を示し、（Ｄ）は駆動トランジスタＤＲＴｒのゲート電圧Ｖｇの波形を示し、（Ｅ）は駆動トランジスタＤＲＴｒのソース電圧Ｖｓの波形を示す。図７（Ｂ）～（Ｅ）では、同じ電圧軸を用いて各波形を示している。なお、電源信号ＤＳ（図７（Ｂ））は、そのサブ画素１１が奇数行に属する場合には電源信号ＤＳＡに対応し、そのサブ画素１１が偶数行に属する場合には電源信号ＤＳＢに対応するものである。

【００３７】

駆動部２０は、１水平期間（１Ｈ）内において、サブ画素１１の初期化を行い（初期化期間Ｐ１）、駆動トランジスタＤＲＴｒの素子ばらつきが画質に与える影響を抑えるためのＶth補正を行い（Ｖth補正期間Ｐ２）、サブ画素１１に対して画素電圧Ｖsigの書込みを行うとともに、上述したＶth補正とは異なるμ（移動度）補正を行う（書込・μ補正期間Ｐ３）。そして、その後に、サブ画素１１の有機ＥＬ素子ＯＬＥＤが、書き込まれた画

素電圧Ｖsigに応じた輝度で発光する（発光期間Ｐ４）。以下に、その詳細を説明する。

【００３８】

まず、電源線駆動部２４は、初期化期間Ｐ１に先立つタイミングｔ１において、電源信号ＤＳを電圧Ｖccpから電圧Ｖiniに変化させる（図７（Ｂ））。これにより、駆動トランジスタＤＲＴｒがオン状態になり、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが、電圧Ｖiniに設定される（図７（Ｅ））。

【００３９】

次に、駆動部２０は、タイミングｔ２～ｔ３の期間（初期化期間Ｐ１）において、サブ画素１１を初期化する。具体的には、タイミングｔ２において、データ線駆動部２５が、信号Ｓigを電圧Ｖofsに設定し（図７（Ｃ））、走査線駆動部２３が、走査信号ＷＳの電圧を低レベルから高レベルに変化させる（図７（Ａ））。これにより、書込トランジスタＷＳＴｒがオン状態になり、駆動トランジスタＤＲＴｒのゲート電圧Ｖgが電圧Ｖofsに設定される（図７（Ｄ））。このようにして、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Ｖgsは、駆動トランジスタＤＲＴｒの閾値電圧Ｖthよりも大きい電圧（Ｖofs－Ｖini）に設定され、サブ画素１１が初期化される。

【００４０】

次に、駆動部２０は、タイミングｔ３～ｔ４の期間（Ｖth補正期間Ｐ２）において、Ｖth補正を行う。具体的には、電源線駆動部２４が、タイミングｔ３において、電源信号ＤＳを電圧Ｖiniから電圧Ｖccpに変化させる（図７（Ｂ））。これにより、駆動トランジスタＤＲＴｒは飽和領域で動作するようになり、ドレインからソースに電流Ｉdsが流れ、ソース電圧Ｖｓが上昇する（図７（Ｅ））。その際、ソース電圧Ｖｓは有機ＥＬ素子ＯＬＥＤのカソードの電圧Ｖcathよりも低いため、有機ＥＬ素子ＯＬＥＤは逆バイアス状態を維持し、有機ＥＬ素子ＯＬＥＤには電流は流れない。このようにソース電圧Ｖｓが上昇することにより、ゲート・ソース間電圧Ｖgsが低下するため、電流Ｉdsは低下する。この負帰還動作により、電流Ｉdsは“０”（ゼロ）に向かって収束していく。言い換えれば、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Ｖgsは、駆動トランジスタＤＲＴｒの閾値電圧Ｖthと等しくなる（Ｖgs＝Ｖth）ように収束していく。

【００４１】

次に、走査線駆動部２３は、タイミングｔ４において、走査信号ＷＳの電圧を高レベルから低レベルに変化させる（図７（Ａ））。これにより、書込トランジスタＷＳＴｒはオフ状態になる。そして、データ線駆動部２５は、タイミングｔ５において、信号Ｓigを画素電圧Ｖsigに設定する（図７（Ｃ））。

【００４２】

次に、駆動部２０は、タイミングｔ６～ｔ７の期間（書込・μ補正期間Ｐ３）において、サブ画素１１に対して画素電圧Ｖsigの書込みを行うとともにμ補正を行う。具体的には、走査線駆動部２３が、タイミングｔ６において、走査信号ＷＳの電圧を低レベルから高レベルに変化させる（図７（Ａ））。これにより、書込トランジスタＷＳＴｒはオン状態になり、駆動トランジスタＤＲＴｒのゲート電圧Ｖgが、電圧Ｖofsから画素電圧Ｖsigに上昇する（図７（Ｄ））。このとき、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Ｖgsが閾値電圧Ｖthより大きくなり（Ｖgs＞Ｖth）、ドレインからソースへ電流Ｉdsが流れるため、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが上昇する（図７（Ｅ））。このような負帰還動作により、駆動トランジスタＤＲＴｒの素子ばらつきの影響が抑えられ（μ補正）、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Ｖgsは、画素電圧Ｖsigに応じた電圧Ｖemiに設定される。

【００４３】

次に、駆動部２０は、タイミングｔ７以降の期間（発光期間Ｐ４）において、サブ画素１１を発光させる。具体的には、タイミングｔ７において、走査線駆動部２３は、走査信号ＷＳの電圧を高レベルから低レベルに変化させる（図７（Ａ））。これにより、書込トランジスタＷＳＴｒがオフ状態になり、駆動トランジスタＤＲＴｒのゲートがフローティングとなるため、これ以後、容量素子Ｃｓの端子間電圧、すなわち、駆動トランジスタＤ

ＲＴｒのゲート・ソース間電圧Ｖgs（＝Ｖemi）は維持される。そして、駆動トランジスタＤＲＴｒに電流Ｉdsが流れるにつれ、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが上昇し（図７（Ｅ））、これに伴って駆動トランジスタＤＲＴｒのゲート電圧Ｖｇも上昇する（図７（Ｄ））。そして、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが、有機ＥＬ素子ＯＬＥＤの閾値電圧Ｖelと電圧Ｖcathの和（Ｖel＋Ｖcath）よりも大きくなると、有機ＥＬ素子ＯＬＥＤのアノード・カソード間に電流が流れ、有機ＥＬ素子ＯＬＥＤが発光する。すなわち、有機ＥＬ素子ＯＬＥＤの素子ばらつきに応じた分だけソース電圧Ｖｓが上昇し、有機ＥＬ素子ＯＬＥＤが発光する。

【００４４】

（走査線駆動部２３について）

次に、走査線駆動部２３の詳細動作について説明する。以下の例では、説明の便宜上、走査線ＷＳＬの本数を８本とし、８つの走査信号ＷＳ（１）～ＷＳ（８）を生成する走査線駆動部３３を例に説明する。

【００４５】

図８は、走査線駆動部３３の一構成例を表すものである。走査線駆動部３３の信号生成部３８は、２つのパルス信号Ｓpu（１），（２）と、４つの選択信号Ｓsel（１）～Ｓsel（４）を生成する。トランジスタＳＴｒ（１）～ＳＴｒ（４）は、ソースにパルス信号Ｓpu（１）が供給され、ゲートに選択信号Ｓsel（１）～Ｓsel（４）がそれぞれ供給される。また、トランジスタＳＴｒ（５）～ＳＴｒ（８）は、ソースにパルス信号Ｓpu（２）が供給され、ゲートに選択信号Ｓsel（１）～Ｓsel（４）がそれぞれ供給される。そして、トランジスタＳＴｒ（１）～ＳＴｒ（８）は、それぞれ、走査信号ＷＳ（１）～ＷＳ（８）を出力する。

【００４６】

図９は、走査線駆動部３３の一動作例を表すものであり、（Ａ）はパルス信号Ｓpu（１），Ｓpu（２）の波形を示し、（Ｂ）は選択信号Ｓsel（１）～Ｓsel（４）の波形を示し、（Ｃ）は走査信号ＷＳ（１）～ＷＳ（８）の波形を示す。

【００４７】

図９（Ａ）に示したように、パルス信号Ｓpu（１）は、タイミングｔ１１～ｔ１５の期間において４つのパルスＳＰ１を含む信号であり、パルス信号Ｓpu（２）は、タイミングｔ１５～ｔ１９の期間において４つのパルスＳＰ１を含む信号である。

【００４８】

また、図９（Ｂ）に示したように、選択信号Ｓsel（１）は、タイミングｔ１１～ｔ１２の期間と、タイミングｔ１５～ｔ１６の期間において高レベルになり、それ以外の期間では低レベルになる信号であり、選択信号Ｓsel（２）は、タイミングｔ１２～ｔ１３の期間と、タイミングｔ１６～ｔ１７の期間において高レベルになり、それ以外の期間では低レベルになる信号であり、選択信号Ｓsel（３）は、タイミングｔ１３～ｔ１４の期間と、タイミングｔ１７～ｔ１８の期間において高レベルになり、それ以外の期間では低レベルになる信号であり、選択信号Ｓsel（４）は、タイミングｔ１４～ｔ１５の期間と、タイミングｔ１８～ｔ１９の期間において高レベルになり、それ以外の期間では低レベルになる信号である。

【００４９】

トランジスタＳＴｒ（１）～ＳＴｒ（４）は、パルス信号Ｓpu（１）に含まれる４つのパルスＳＰ１を順次分離して走査信号ＷＳ（１）～ＷＳ（４）として出力し、トランジスタＳＴｒ（５）～ＳＴｒ（８）は、パルス信号Ｓpu（２）に含まれる４つのパルスＳＰ１を順次分離して走査信号ＷＳ（５）～ＷＳ（８）として出力する（図９（Ｃ））。例えば、トランジスタＳＴｒ（１）は、信号Ｓsel（１）が高レベルになる期間において、パルス信号Ｓpu（１）を走査信号ＷＳ（１）として出力する。その際、信号Ｓsel（１）は、タイミングｔ１１～ｔ１２の期間および、タイミングｔ１５～ｔ１６の期間に高レベルになるが、パルス信号Ｓpu（１）は、タイミングｔ１１～ｔ１５の期間にのみパルスＳＰ１を含むため、走査信号ＷＳ（１）には、タイミングｔ１１～ｔ１２の期間においてのみ、

パルスＳＰ１が現れる。他のトランジスタＳＴｒ（２）～（８）についても同様である。

【００５０】

このようにして、走査線駆動部３３では、２つのパルス信号Ｓpu（１），Ｓpu（２）と、４つの選択信号Ｓsel（１）～Ｓsel（４）に基づいて、８つ（＝２×４）の走査信号ＷＳ（１）～ＷＳ（８）を生成している。

【００５１】

以上では、８つの走査信号ＷＳ（１）～ＷＳ（８）を生成する走査線駆動部３３を例に、詳細動作を説明したが、図４に示した走査線駆動部２３についても全く同様である。すなわち、走査線駆動部２３では、３０のパルス信号Ｓpu（１）～Ｓpu（３０）と、３６の選択信号Ｓsel（１）～Ｓsel（３６）に基づいて、１０８０（＝３０×３６）の走査信号ＷＳ（１）～ＷＳ（１０８０）を生成している。

【００５２】

表示装置１では、図４に示した構成の走査線駆動部２３を用いることにより、領域７（図３）における素子および配線の数を抑え、額縁領域を狭くしている。

【００５３】

すなわち、例えば、シフトレジスタを用いて走査駆動部を構成し、そのシフトレジスタを領域７に形成する場合には、領域７の幅が広くなってしまう。特に、有機ＴＦＴ（Ｏ－ＴＦＴ）や酸化物ＴＦＴ（ＴＯＳ）を用いてシフトレジスタを構成する場合には、移動度が低いため、トランジスタのサイズを大きくする必要があり、領域７の幅がさらに広くなってしまう。一方、走査線駆動部２３では、ＩＣ９に信号生成部２８を設けるとともに、領域７には各走査線ＷＳＬに１つのトランジスタＳＴｒを設けるようにしたので、このように、領域７にシフトレジスタを形成する場合に比べて、素子数を削減することができる。よって、有機ＴＦＴ（Ｏ－ＴＦＴ）や酸化物ＴＦＴ（ＴＯＳ）でトランジスタを構成する場合でも、領域７の幅を狭めることができる。

【００５４】

また、走査線駆動部２３では、３０のパルス信号Ｓpu（１）～Ｓpu（３０）と、３６の選択信号Ｓsel（１）～Ｓsel（３６）の組み合わせにより、１０８０（＝３０×３６）の走査信号ＷＳ（１）～ＷＳ（１０８０）を生成するようにしたので、例えば、シフトレジスタなどをＩＣ９（図３）に形成するとともに、ＩＣ９から表示部１０に対して走査信号ＷＳ（１）～ＷＳ（１０８０）を伝える１０８０本の配線を領域７（図３）に形成する場合に比べて、配線数を削減することができ、領域７の幅を狭めることができる。。

【００５５】

次に、配線（パルス信号線ＰＵＬおよび選択信号線ＳＥＬＬ）の数の低減について、詳細に説明する。

【００５６】

x_1をパルス信号線ＰＵＬの本数とし、x_2を選択信号線ＳＥＬＬの本数とすると、（$x_1 \times x_2$）は、この例では１０８０（走査線ＷＳＬの本数）である。このように、積が１０８０になるx_1とx_2の組み合わせとしては、１×１０８０、２×５４０、３×３６０、４×２７０、５×２１６、６×１８０、８×１３５、９×１２０、１０×１０８、１２×９０、１５×７２、１８×６０、２０×５４、２４×４５、２７×４０、３０×３６がある。このうち、和が最小なものは、３０×３６の組み合わせであり、和は６６（＝３０＋３６）である。すなわち、３０本のパルス信号線ＰＵＬ（１）～ＰＵＬ（３０）と、３６本の選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６）を設ける構成が、配線の本数を最小にする構成である。

【００５７】

このように、最小の和を求める方法としては、以下に示すように、相加平均αと相乗平均α_Gとの関係を用いることができる。

【００５８】

一般に、x_1，x_2，…，x_nが正の数である場合において、相加平均αおよび相乗平均α_Gは、次のように表すことができる。

【数１】

$$\alpha = \frac{1}{n}\sum_{i=1}^{n} x_i = \frac{x_1 + x_2 + \cdots\cdots + x_n}{n} \quad \cdots (1)$$

$$\alpha_G = \sqrt[n]{\prod_{i=1}^{n} x_i} = \sqrt[n]{x_1 \times x_2 \times \cdots\cdots \times x_n} \quad \cdots (2)$$

【００５９】

この相加平均αと相乗平均α_Gとの間には、次式のような関係がある。

【数２】

$$\alpha \geqq \alpha_G \quad \cdots (3)$$

この式（３）に式（１），（２）を代入して整理すると、次式を得る。

【数３】

$$x_1 + x_2 + \cdots\cdots + x_n \geqq n \times \sqrt[n]{x_1 \times x_2 \times \cdots\cdots \times x_n} \quad \cdots (4)$$

ここで、ｎが２である場合には、式（４）は次式のようになる。

【数４】

$$x_1 + x_2 \geqq 2 \times \sqrt{x_1 \times x_2} \quad \cdots (5)$$

【００６０】

この式（５）を用いると、配線（パルス信号線ＰＵＬおよび選択信号線ＳＥＬＬ）の数の最小値を容易に得ることができる。すなわち、パルス信号線ＰＵＬの本数x_1と選択信号線ＳＥＬＬの本数x_2の積（$x_1 \times x_2$）は、この例では１０８０であるため、式（５）より、合計配線数（$x_1 + x_2$）は６５．７（＝２×√１０８０）以上である。上述した６６本は、この理論上の最小値に近いことがわかる。このようにして、配線の数の最小値を容易に得ることができる。

【００６１】

なお、この例では、３０本のパルス信号線ＰＵＬ（１）～（３０）および３６本の選択信号線ＳＥＬＬ（１）～ＳＥＬＬ（３６）を設けたが、これに限定されるものではなく、これに代えて、例えば、３６本のパルス信号線ＰＵＬおよび３０本の選択信号線ＳＥＬＬを設けてもよい。また、この例では、合計配線数は６６本にしたが、これに限定されるものではなく、例えば、６７本（２７×４０）、６９本（２４×４５）などにしてもよい。

【００６２】

（電源線駆動部２４について）

図５等に示したように、電源線駆動部２４では、電源信号生成部２９は、２つの電源信号ＤＳＡ，ＤＳＢを生成し、領域８（図３）に配置された２本の電源信号線ＡＬ，ＢＬを介して、これらの電源信号ＤＳＡ，ＤＳＢを表示部１０に供給する。これにより、領域８（図３）における配線の数を抑えることができ、額縁領域を狭くすることができる。すなわち、例えば、シフトレジスタを用いて電源駆動部を構成し、そのシフトレジスタを領域８に形成する場合には、領域８の幅が広くなってしまう。特に、上述したように、有機ＴＦＴ（Ｏ－ＴＦＴ）や酸化物ＴＦＴ（ＴＯＳ）を用いてシフトレジスタを構成する場合に

は、領域８の幅がさらに広くなってしまう。一方、電源線駆動部２４では、奇数行に属するサブ画素１１に対して共通の電源信号ＤＳＡを供給するとともに、偶数行に属するサブ画素１１に対して共通の電源信号ＤＳＢを供給するようにしたので、領域８にシフトレジスタなどの回路を形成する必要がなくなるとともに、配線の本数を２本（電源信号線ＡＬ，ＢＬ）にすることができ、これにより、領域８を狭くすることができる。

【００６３】

また、電源線駆動部２４は、２つの電源信号ＤＳＡ，ＤＳＢを用いて表示部１０を駆動するようにしたので、負荷を軽減することができる。すなわち、例えば、１つの電源信号により表示部１０を駆動する場合には、表示部１０の全てのサブ画素１１を駆動する必要があるため、負荷が重くなり、例えば画質が低下するおそれがある。表示装置１では、電源信号ＤＳＡを用いて奇数行に属するサブ画素１１を駆動するとともに、電源信号ＤＳＢを用いて偶数行に属するサブ画素１１を駆動するようにしたので、負荷を低減することができ、これにより、画質が低下するおそれを低減することができる。

【００６４】

また、電源線駆動部２４は、奇数行に属するサブ画素１１に対して電源信号ＤＳＡを供給するとともに、偶数行に属するサブ画素１１に対して電源信号ＤＳＢを供給するようにしたので、画質が低下するおそれを低減することができる。すなわち、サブ画素１１は、供給される電源信号ＤＳＡ，ＤＳＢに応じて、若干異なる輝度で発光するおそれがある。表示装置１では、電源信号ＤＳＡが供給される行と、電源信号ＤＳＢが供給される行が交互に配置されるため、仮に輝度差が生じた場合でも、輝度の空間周波数を高くすることができ、観察者がその輝度差を感じるおそれを低減することができる。

【００６５】

また、電源線駆動部２４では、以下に示すように、２つの電源信号ＤＳＡ，ＤＳＢのそれぞれにおいて、電圧が高レベル（電圧Ｖccp）である期間と低レベル（電圧Ｖini）である期間の割合（デューティ比）を独立して設定することができる。これにより、奇数行と偶数行の輝度差を低減することができる。

【００６６】

図１０は、電源線駆動部２４によるデューティ比の調整動作を表すものであり、（Ａ）はその一例を示し、（Ｂ）は他の例を示す。例えば、図１０（Ａ）に示したように、電源線駆動部２４は、主に垂直ブランキング期間ＰＢにおいて電源信号ＤＳＡ，ＤＳＢの立ち下がりエッジを調整することにより、デューティ比を調整することができる。また、図１０（Ｂ）に示したように、主に垂直ブランキング期間ＰＢに加え、各水平期間における電源信号ＤＳＡ，ＤＳＢの立ち下がりエッジのタイミングを調整することにより、デューティ比を調整してもよい。図１０（Ａ）の方法は、図１０（Ｂ）の方法に比べてデューティ比の微調整を行うことができ、一方、図１０（Ｂ）の方法は、図１０（Ａ）の方法に比べ、より広い範囲でデューティ比を調整することができる。デューティ比を大きくした場合には、発光期間Ｐ４（図７）が長くなるため、表示画面の輝度を高くすることができ、一方、デューティ比を小さくした場合には、発光期間Ｐ４が短くなるため、表示画面の輝度を低くすることができる。

【００６７】

また、電源信号ＤＳＡ，ＤＳＢにおけるデューティ比をそれぞれ独立して設定することにより、偶数行に属するサブ画素１１の輝度と、奇数行に属するサブ画素１１の輝度とのバランスを調整することができ、画質が低下するおそれを低減することができる。この場合には、デューティ比の微調整を行う必要があるため、例えば図１０（Ａ）に示した方法が望ましい。

【００６８】

［効果］

以上のように本実施の形態では、走査線駆動部において、信号生成部をＩＣに設けるとともに、各走査線にトランジスタを１つずつ設けるようにしたので、額縁領域における素子数を削減することができ、額縁領域を狭めることができる。

【００６９】
　また、本実施の形態では、走査線駆動部は、複数のパルス信号と複数の選択信号の組み合わせにより、走査信号を生成するようにしたので、配線数を削減することができ、額縁領域を狭めることができる。
【００７０】
　また、本実施の形態では、電源線駆動部において、電源信号生成部をＩＣに設け、奇数行に属するサブ画素に対して共通の電源信号ＤＳＡを供給するとともに、偶数行に属するサブ画素に対して共通の電源信号ＤＳＢを供給するようにしたので、額縁領域に回路を形成する必要がなくなるとともに、配線数を削減することができるため、額縁領域を狭めることができる。
【００７１】
　また、本実施の形態では、電源線駆動部は、２つの電源信号を用いて表示部を駆動するようにしたので、負荷を軽減することができるため、画質が低下するおそれを低減することができる。
【００７２】
　また、本実施の形態では、電源線駆動部は、奇数行に属するサブ画素に対して電源信号ＤＳＡを供給するとともに、偶数行に属するサブ画素に対して電源信号ＤＳＢを供給するようにしたので、空間周波数を高くすることができるため、画質が低下するおそれを低減することができる。
【００７３】
　また、本実施の形態では、電源線駆動部は、２つの電源信号のそれぞれにおいて、デューティ比を独立して設定することができるようにしたので、画質が低下するおそれを低減することができる。
【００７４】
［変形例１－１］
　上記実施の形態では、走査線駆動部２３は、パルス信号線ＰＵＬと選択信号線ＳＥＬＬを設けたが、これに限定されるものではなく、これに代えて、他の信号線を追加してもよい。以下に、本変形例について詳細に説明する。
【００７５】
　図１１は、式（４）においてｎを１～１２としたときの右辺の値を表すものである。この計算では、x_1～x_nの積（$x_1 \times x_2 \times \cdots \times x_n$）を１０８０にしている。ｎ＝２の場合に、合計配線数が６５．７以上になることは既に説明したが、例えば、ｎ＝３の場合には、合計配線数は３０．８以上になり、ｎ＝４の場合には、合計配線数は２２．９以上になる。このことは、パルス信号線ＰＵＬと選択信号線ＳＥＬＬに加え、第３の信号線を設けた場合（ｎ＝３）や、第３の信号線および第４の信号線を設けた場合（ｎ＝４）には、合計配線数をさらに減らすことができることを示している。
【００７６】
　図１２は、ｎ＝１～４でのx_1～x_4の設定例を表すものである。例えば、ｎ＝３の場合、図１２に示したようにx_1～x_3を設定することにより、合計配線数を３１本にすることができ、図１１に示した理論上の最小値（３０．８）に近い値を実現することができる。
【００７７】
　図１３は、ｎ＝３の場合における走査線駆動部２３Ａの一構成例を表すものである。走査線駆動部２３Ａは、信号生成部２８Ａと、複数のトランジスタＳＡＴｒ，ＳＢＴｒとを有している。
【００７８】
　信号生成部２８Ａは、タイミング生成部２２から供給された図示しない制御信号に基づいて、９個のパルス信号Ｓpu（パルス信号Ｓpu（１）～Ｓpu（９））を生成して、パルス信号線ＰＵＬ（パルス信号線ＰＵＬ（１）～ＰＵＬ（９））にそれぞれ印加し、１０個の選択信号ＳselＡ（選択信号ＳselＡ（１）～ＳselＡ（１０））を生成して、選択信号線ＳＥＬＡＬ（選択信号線ＳＥＬＡＬ（１）～ＳＥＬＡＬ（１０））に印加し、１２個の選

択信号ＳselＢ（選択信号ＳselＢ（１）～ＳselＢ（１２））を生成して、選択信号線ＳＥＬＢＬ（選択信号線ＳＥＬＢＬ（１）～ＳＥＬＢＬ（１２））に印加するものである。選択信号ＳselＡ（１）～ＳselＡ（１０）は、複数のトランジスタＳＡＴｒをオンオフ制御するものであり、選択信号ＳselＢ（１）～ＳselＢ（１２）は、複数のトランジスタＳＢＴｒをオンオフ制御するものである。

【００７９】

トランジスタＳＡＴｒ（トランジスタＳＡＴｒ（１）～ＳＡＴｒ（１０８０））およびトランジスタＳＢＴｒ（トランジスタＳＢＴｒ（１）～ＳＢＴｒ（１０８０））は、表示部１０の走査線ＷＳＬにそれぞれ対応して設けられたものである。トランジスタＳＡＴｒ（１）～ＳＡＴｒ（１０８０）のそれぞれは、ソースがパルス信号線ＰＵＬ（１）～ＰＵＬ（９）のいずれかに接続され、ゲートが選択信号線ＳＥＬＡＬ（１）～ＳＥＬＡＬ（１０）のいずれかに接続され、ドレインが対応するトランジスタＳＢＴｒ（１）～ＳＢＴｒ（１０８０）のソースに接続されている。トランジスタＳＢＴｒ（１）～ＳＢＴｒ（１０８０）のそれぞれは、ソースが対応するトランジスタＳＡＴｒ（１）～ＳＡＴｒ（１０８０）のドレインに接続され、ゲートが選択信号線ＳＥＬＢＬ（１）～ＳＥＬＢＬ（１２）のいずれかに接続され、ドレインが表示部１０における対応する走査線ＷＳＬに接続されている。具体的には、例えば、トランジスタＳＡＴｒ（１）～ＳＡＴｒ（１２）は、ソースがパルス信号線ＰＵＬ（１）に接続され、ゲートが選択信号線ＳＥＬＡＬ（１）に接続され、トランジスタＳＢＴｒ（１）～ＳＢＴｒ（１２）は、ゲートが選択信号線ＳＥＬＢＬ（１）～ＳＥＬＢＬ（１２）にそれぞれ接続されている。また、例えば、トランジスタＳＡＴｒ（１３）～ＳＡＴｒ（２４）は、ソースがパルス信号線ＰＵＬ（１）に接続され、ゲートが選択信号線ＳＥＬＡＬ（２）に接続され、トランジスタＳＢＴｒ（１３）～ＳＢＴｒ（２４）は、ゲートが選択信号線ＳＥＬＢＬ（１）～ＳＥＬＢＬ（１２）にそれぞれ接続されている。

【００８０】

このように構成することにより、合計配線数をさらに減らすことができる。

【００８１】

［変形例１－２］

上記実施の形態では、電源線駆動部２４は、電源線ＰＬに対して、１本単位で、電源信号ＤＳＡ，ＤＳＢを交互に供給したが、これに限定されるものではなく、これに代えて、例えば、複数本単位で、電源信号ＤＳＡ，ＤＳＢを交互に供給してもよい。以下に、２本単位で電源信号ＤＳＡ，ＤＳＢを交互に供給する場合を例に説明する。

【００８２】

図１４は、本変形例に係る表示装置１Ｂにおける電源線駆動部２４Ｂの一構成例を表すものである。電源線駆動部２４Ｂは、電源信号生成部２９Ｂを有している。電源信号生成部２９Ｂは、この例では、電源信号線ＡＬを介して、電源信号ＤＳＡを表示部１０における１，２，５，６，…行の電源線ＰＬに供給し、電源信号線ＢＬを介して、電源信号ＤＳＢを３，４，７，８，…行の電源線ＰＬに供給するようになっている。

【００８３】

図１５は、表示装置１Ｂの１フレーム期間（１Ｆ）における一動作例を表すものであり、（Ａ）は走査信号ＷＳの波形を示し、（Ｂ）は電源信号ＤＳＡ，ＤＳＢの波形を示し、（Ｃ）は信号Ｓigの波形を示す。電源線駆動部２４は、１，２，５，６，…行の走査信号ＷＳにパルスＳＰ１が現れる各１水平期間（１H)の最初において、電源信号ＤＳＡを電圧Ｖiniにし、３，４，７，８，…行の走査信号ＷＳにパルスＳＰ１が現れる各１水平期間（１H)の最初において、電源信号ＤＳＢを電圧Ｖiniにする。

【００８４】

このように構成することにより、上記実施の形態と同様の効果を得ることができる。

【００８５】

［変形例１－３］

上記実施の形態では、電源線駆動部２４は、２つの電源信号線ＡＬ，ＢＬを介して電源

信号ＤＳＡ，ＤＳＢをそれぞれ表示部１０に供給したが、これに限定されるものではなく、これに代えて、例えば、図１６に示したように、３つの電源信号線ＡＬ，ＢＬ，ＣＬを介して電源信号ＤＳＡ，ＤＳＢ，ＤＳＣをそれぞれ表示部１０に供給してもよい。これにより、電源信号生成部２９Ｃの負荷を軽減することができる。

【００８６】

［変形例１－４］

上記実施の形態では、電源信号ＤＳ（電源信号ＤＳＡ，ＤＳＢ）は、電圧Ｖccpと電圧Ｖiniとの間で遷移するものとしたが、これに限定されるものではない。以下に、本変形例について詳細に説明する。

【００８７】

図１７（Ａ）は走査信号ＷＳの波形を示し、図１７（Ｂ）は上記実施の形態に係る電源信号ＤＳ（ケースＣ１）の波形を示し、図１７（Ｃ），（Ｄ）は本変形例に係る電源信号ＤＳ（ケースＣ２，Ｃ３）の波形を示す。この例では、電圧Ｖccpは１２Ｖであり、電圧Ｖiniは（－３Ｖ）である。図１７（Ｃ）に示したように、電圧Ｖccpから電圧Ｖiniに変化する際に、０Ｖ（ＧＮＤ）を介して、２段階で変化するようにしてもよいし、さらに、図１７（Ｄ）に示したように、電圧Ｖiniから電圧Ｖccpに変化する際に、０Ｖ（ＧＮＤ）を介して２段階で変化するようにしてもよい。このように２段階で駆動することにより、電圧Ｖccpおよび電圧Ｖiniを生成する電源回路に対する負荷を軽減することができる。

【００８８】

図１８は、ケースＣ３における電源信号ＤＳを生成する回路の一例を表すものである。この回路は、バッファＢ１，Ｂ２と、スイッチＳＷ１，ＳＷ２を有している。バッファＢ１は、入力信号Ｓin1に基づいて、電圧Ｖccpと０Ｖ（ＧＮＤ）との間で遷移する信号ＤＳ１を生成するものである。バッファＢ２は、入力信号Ｓin2に基づいて、０Ｖ（ＧＮＤ）と電圧Ｖiniとの間で遷移する信号ＤＳ２を生成するものである。スイッチＳＷ１は、制御信号Ｓsw1に基づいて、信号ＤＳ１を電源信号ＤＳとして出力するものである。スイッチＳＷ２は、制御信号Ｓsw2に基づいて、信号ＤＳ２を電源信号ＤＳとして出力するものである。

【００８９】

図１９は、電源信号ＤＳの生成動作例を表すものであり、（Ａ）は信号ＤＳ１の波形を示し、（Ｂ）は信号ＤＳ２の波形を示し、（Ｃ）は制御信号Ｓsw1の波形を示し、（Ｄ）は制御信号Ｓsw2の波形を示し、（Ｅ）は電源信号ＤＳの波形を示す。ここで、スイッチＳＷ１，ＳＷ２は、制御信号Ｓsw1，Ｓsw2が高レベルであるときにオン状態になるものとする。

【００９０】

まず、タイミングｔ２１において、バッファＢ１は信号ＤＳ１を電圧Ｖccpから０Ｖ（ＧＮＤ）に変化させる（図１９（Ａ））。これにより、電源信号ＤＳもまた電圧Ｖccpから０Ｖ（ＧＮＤ）に変化する（図１９（Ｅ））。

【００９１】

次に、タイミングｔ２２において、スイッチＳＷ１がオン状態からオフ状態に変化するとともに（図１９（Ｃ））、スイッチＳＷ２がオフ状態からオン状態に変化する（図１９（Ｄ））。

【００９２】

次に、タイミングｔ２３において、バッファＢ２は信号ＤＳ２を０Ｖ（ＧＮＤ）から電圧Ｖiniに変化させる（図１９（Ｂ））。これにより、電源信号ＤＳもまた０Ｖ（ＧＮＤ）から電圧Ｖiniに変化する（図１９（Ｅ））。

【００９３】

次に、タイミングｔ２４において、バッファＢ２は信号ＤＳ２を電圧Ｖiniから０Ｖ（ＧＮＤ）に変化させる（図１９（Ｂ））。これにより、電源信号ＤＳもまた電圧Ｖiniから０Ｖ（ＧＮＤ）に変化する（図１９（Ｅ））。

【００９４】

次に、タイミングｔ２５において、スイッチＳＷ１がオフ状態からオン状態に変化するとともに（図１９（Ｃ））、スイッチＳＷ２がオン状態からオフ状態に変化する（図１９（Ｄ））。

【００９５】

そして、タイミングｔ２６において、バッファＢ１は信号ＤＳ１を０Ｖ（ＧＮＤ）から電圧Ｖccpに変化させる（図１９（Ａ））。これにより、電源信号ＤＳもまた０Ｖ（ＧＮＤ）から電圧Ｖccpに変化する（図１９（Ｅ））。

【００９６】

このようにして、２段階で遷移する電源信号ＤＳ（ケースＣ３）を生成することができる。このとき、バッファＢ１が生成する信号ＤＳ１は、電圧Ｖccp（＝１２Ｖ）と０Ｖ（ＧＮＤ）との間で遷移する信号であるため、バッファＢ１は出力電圧を１２Ｖ分変化させるように駆動する。また、バッファＢ２が生成する信号ＤＳ２は、０Ｖ（ＧＮＤ）と電圧Ｖini（＝－３Ｖ）との間で遷移する信号であるため、バッファＢ２は出力電圧を３Ｖ分変化させるように駆動する。このようにバッファＢ１，Ｂ２は、出力電圧を、電源信号ＤＳの振幅分（１５Ｖ分）変化させるように駆動する必要がないため、負荷を軽減することができる。

【００９７】

なお、この例では、スイッチＳＷ１，ＳＷ２が同時に切り換わるようにしたが、これに限定されるものではなく、例えば、図２０に示したように、ある期間（タイミングｔ３２～ｔ３３の期間、およびタイミングｔ３６～ｔ３７の期間）において、スイッチＳＷ１，ＳＷ２が同時にオン状態になるようにしてもよい。

【００９８】

［変形例１－５］

上記実施の形態では、サブ画素１１を「２Ｔｒ１Ｃ」構成にしたが、これに限定されるものではない。以下に、「３Ｔｒ１Ｃ」構成に係る表示装置１Ｅについて詳細に説明する。

【００９９】

図２１は、表示装置１Ｅの一構成例を表すものである。表示装置１Ｅは、表示部１０Ｅと、駆動部２０Ｅとを備えている。表示部１０Ｅは、複数のサブ画素１１Ｅ、および行方向に延伸する複数の電源制御線ＤＳＬを有している。電源制御線ＤＳＬの一端は、駆動部２０Ｅに接続されている。

【０１００】

図２２は、サブ画素１１Ｅの回路構成の一例を表すものである。サブ画素１１Ｅは、電源トランジスタＤＳＴｒを備えている。すなわち、この例では、サブ画素１１Ｅは、３つのトランジスタ（書込トランジスタＷＳＴｒ、駆動トランジスタＤＲＴｒ、電源トランジスタＤＳＴｒ）および１つの容量素子Ｃｓを用いて構成される、いわゆる「３Ｔｒ１Ｃ」の構成を有するものである。電源トランジスタＤＳＴｒは、ＰチャネルＭＯＳ型のＴＦＴにより構成されるものである。この電源トランジスタＤＳＴｒは、ゲートが電源制御線ＤＳＬに接続され、ソースが電源線ＰＬに接続され、ドレインが駆動トランジスタＤＲＴｒのドレインに接続されている。

【０１０１】

駆動部２０Ｅは、タイミング生成部２２Ｅと、電源制御線駆動部２６Ｅと、走査線駆動部２３Ｅと、電源線駆動部２４Ｅと、データ線駆動部２５Ｅとを備えている。タイミング生成部２２Ｅは、外部から供給される同期信号Ｓsyncに基づいて、走査線駆動部２３Ｅ、電源線駆動部２４Ｅ、データ線駆動部２５Ｅ、および電源制御線駆動部２６Ｅに対してそれぞれ制御信号を供給し、これらがお互いに同期して動作するように制御する回路である。電源制御線駆動部２６Ｅは、タイミング生成部２２Ｅから供給された制御信号に従って、複数の電源制御線ＤＳＬに対して電源制御信号ＤＳＣＴＬを順次印加することにより、サブ画素１１の発光動作および消光動作の制御を行うものである。走査線駆動部２３Ｅ、電源線駆動部２４Ｅ、およびデータ線駆動部２５Ｅは、それぞれ、上記実施の形態に係る

走査線駆動部２３、電源線駆動部２４、およびデータ線駆動部２５と同様の機能を有するものである。

【０１０２】

図２３は、表示装置１Ｅにおける表示動作のタイミング図を表すものであり、（Ａ）は走査信号ＷＳの波形を示し、（Ｂ）は電源制御信号ＤＳＣＴＬの波形を示し、（Ｃ）は電源信号ＤＳの波形を示し、（Ｄ）は信号Ｓigの波形を示し、（Ｅ）は駆動トランジスタＤＲＴｒのゲート電圧Ｖｇの波形を示し、（Ｆ）は駆動トランジスタＤＲＴｒのソース電圧Ｖｓの波形を示す。

【０１０３】

まず、駆動部２０Ｅは、タイミングｔ４１～ｔ４２の期間（初期化期間Ｐ１１）において、サブ画素１１Ｅを初期化する。具体的には、まず、タイミングｔ４１において、データ線駆動部２５Ｅが、信号Ｓigを電圧Vofsに設定し（図２３（Ｄ））、走査線駆動部２３Ｅが、走査信号ＷＳの電圧を低レベルから高レベルに変化させる（図２３（Ａ））。また、これと同時に、電源線駆動部２４Ｅが、電源信号ＤＳを電圧Vccpから電圧Viniに変化させる（図２３（Ｃ））。これにより、駆動トランジスタＤＲＴｒのゲート電圧Ｖｇが電圧Vofsに設定されるとともに（図２３（Ｅ））、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが電圧Viniに設定され（図２３（Ｆ））、サブ画素１１Ｅは初期化される。

【０１０４】

次に、駆動部２０Ｅは、タイミングｔ４２～ｔ４３の期間（Vth補正期間Ｐ２）において、上記実施の形態の場合と同様にVth補正を行う。

【０１０５】

次に、電源制御線駆動部２６Ｅは、タイミングｔ４３において、電源制御信号ＤＳＣＴＬの電圧を低レベルから高レベルに変化させる（図２３（Ｂ））。これにより、電源トランジスタＤＳＴｒはオフ状態になる。

【０１０６】

次に、駆動部２０Ｅは、タイミングｔ４４～ｔ４５の期間（書込期間Ｐ５）において、サブ画素１１Ｅに対して画素電圧Vsigの書込みを行う。具体的には、タイミングｔ４４において、データ線駆動部２５Ｅは、信号Ｓigを画素電圧Vsigに設定する（図２３（Ｄ））。これにより、駆動トランジスタＤＲＴｒのゲート電圧Ｖｇが、電圧Vofsから画素電圧Vsigに上昇する（図２３（Ｅ））。そして、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Vgsが閾値電圧Vthより大きくなる（Vgs＞Vth）。

【０１０７】

次に、駆動部２０Ｅは、タイミングｔ４５～ｔ４６の期間（μ補正期間Ｐ６）において、μ補正を行う。具体的には、タイミングｔ４５において、電源制御線駆動部２６Ｅは、電源制御信号ＤＳＣＴＬの電圧を高レベルから低レベルに変化させる（図２３（Ｂ））。これにより、電源トランジスタＤＳＴｒはオン状態になり、ドレインからソースへ電流Idsが流れるため、駆動トランジスタＤＲＴｒのソース電圧Ｖｓが上昇する（図２３（Ｆ））。以上の動作によりμ補正が行われる。

【０１０８】

図２４は、走査線駆動部２６Ｅの詳細動作を表すものである。この例では、上記実施の形態の説明と同様に、説明の便宜上、走査線ＷＳＬの本数を８本とし、８つの走査信号ＷＳ（１）～ＷＳ（８）を生成する場合について説明している。図２４において、（Ａ）はパルス信号Ｓpu（１），Ｓpu（２）の波形を示し、（Ｂ）は選択信号Ｓsel（１）～Ｓsel（４）の波形を示し、（Ｃ）は走査信号ＷＳ（１）～ＷＳ（８）の波形を示す。パルス信号Ｓpu（１），（２）は、図２３に示したパルスＳＰ１を含む波形である。その他の動作は、上記実施の形態の場合と同様である。

【０１０９】

＜２．第２の実施の形態＞

次に、第２の実施の形態に係る表示装置２について説明する。本実施の形態は、データ線ＤＴＬの本数を削減することにより、データ線駆動部の回路規模を小さくして、額縁領

域を狭めるものである。なお、上記第１の実施の形態に係る表示装置１と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【０１１０】

図２５は、表示装置２の一構成例を表すものである。表示装置２は、表示部３０および駆動部４０を備えている。

【０１１１】

表示部３０は、行方向に延伸する複数の走査線ＷＳＬ１，ＷＳＬ２および複数の電源線ＰＬと、列方向に延伸する複数のデータ線ＤＴＬとを有している。これらの走査線ＷＳＬ１，ＷＳＬ２、電源線ＰＬ、およびデータ線ＤＴＬの一端は、駆動部４０に接続されている。以下、走査線ＷＳＬ１，ＷＳＬ２のいずれか一方を表すものとして、走査線ＷＳＬを適宜用いることとする。

【０１１２】

図２６は、表示部３０におけるサブ画素１１の接続を表すものである。表示部３０では、行方向（水平方向）に隣り合うサブ画素１１が、１本のデータ線ＤＴＬに接続されている。これにより、表示装置２では、データ線ＤＴＬの本数を削減することができるため、駆動部４０のデータ線駆動部４５（後述）の回路規模を小さくすることができ、額縁領域を狭めることができる。また、表示部１０では、行方向に隣り合うサブ画素１１のうちの一方が走査線ＷＳＬ１に接続されるとともに、他方が走査線ＷＳＬ２に接続されている。また、表示部３０では、列方向（垂直方向）に隣り合うサブ画素１１のうちの一方が走査線ＷＳＬ１に接続されるとともに、他方が走査線ＷＳＬ２に接続されている。

【０１１３】

この駆動部４０は、走査線駆動部４３と、データ線駆動部４５とを備えている。走査線駆動部４３は、タイミング生成部２２から供給された制御信号に従って、複数の走査線ＷＳＬ１に対して走査信号ＷＳ１を順次印加するとともに、複数の走査線ＷＳＬ２に対して走査信号ＷＳ２を順次印加することにより、行ごとにサブ画素１１を順次選択するものである。この走査線駆動部４３は、上記第１の実施の形態に係る走査駆動部２３（図４）と同様に構成されている。データ線駆動部４５は、表示部３０のデータ線ＤＴＬを駆動するものである。

【０１１４】

図２７は、表示装置２の一動作例を表すものであり、（Ａ）は走査信号ＷＳ１の波形を示し、（Ｂ）は走査信号ＷＳ２の波形を示し、（Ｃ）は信号Ｓigの波形を示す。なお、この図では、説明の便宜上、垂直ブランキング期間を省略している。

【０１１５】

表示装置２は、タイミングｔ４１～ｔ４２の期間（１フレーム期間（１Ｆ））において、奇数番目のフレーム画像Ｆ（２ｎ－１）に基づく表示動作を行い、続くタイミングｔ４２～ｔ４３の期間（１フレーム期間（１Ｆ））において、フレーム画像Ｆ（２ｎ－１）に続く偶数番目のフレーム画像Ｆ（２ｎ）に基づく表示動作を行う。

【０１１６】

具体的には、タイミングｔ４１～ｔ１２の期間において、走査駆動部４３は、１水平期間（１Ｈ）ごとに、パルスＳＰ１を各走査線ＷＳＬ１に対して順次供給するとともに（図２７（Ａ））、パルスＳＰ２を各走査線ＷＳＬ２に対して順次供給する（図２７（Ｂ））。そして、データ線駆動部４５は、走査信号ＷＳ１におけるパルスＳＰ１に同期して、フレーム画像Ｆ（２ｎ－１）に基づく画素電圧Ｖsigをデータ線ＤＴＬに供給する（図２７（Ｄ））。

【０１１７】

次に、タイミングｔ４２～ｔ４３の期間において、走査駆動部４３は、１水平期間（１Ｈ）ごとに、パルスＳＰ２を各走査線ＷＳＬ１に対して順次供給するとともに（図２７（Ａ））、パルスＳＰ１を各走査線ＷＳＬ２に対して順次供給する（図２７（Ｂ））。そして、データ線駆動部４５は、走査信号ＷＳ２におけるパルスＳＰ１に同期して、フレーム画像Ｆ（２ｎ）に基づく画素電圧Ｖsigをデータ線ＤＴＬに供給する（図２７（Ｄ））。

【０１１８】
このパルスＳＰ１が供給されたサブ画素１１では、図７に示したように、初期化、Ｖth補正、μ補正および画素電圧Ｖsigの書込みが行われる。一方、パルスＳＰ２が供給されたサブ画素１１では、これらのうちの初期化およびＶth補正が行われ、画素電圧Ｖsigの書込みは行われない。すなわち、パルスＳＰ２が供給されたサブ画素１１では、駆動トランジスタＤＲＴｒのゲート・ソース間電圧Ｖgsは、駆動トランジスタＤＲＴｒの閾値電圧Ｖthと同程度（Ｖgs＝Ｖth）に設定される。これにより、このサブ画素１１は、黒を表示する。
【０１１９】
このようにして、タイミングｔ４１～ｔ４２の期間では、走査線ＷＳＬ１に接続されたサブ画素１１がフレーム画像Ｆ（２ｎ－１）に基づく表示を行い、タイミングｔ４２～ｔ４３の期間では、走査線ＷＳＬ２に接続されたサブ画素１１がフレーム画像Ｆ（２ｎ）に基づく表示を行う。
【０１２０】
そして、これ以降、表示装置２は、タイミングｔ４１～ｔ４３の期間における動作を繰り返し行う。
【０１２１】
図２８Ａは、フレーム画像Ｆ（２ｎ－１）を表示する際の各サブ画素１１の動作を表すものであり、図２８Ｂは、フレーム画像Ｆ（２ｎ）を表示する際の各サブ画素１１の動作を表すものである。図２８Ａ、２８Ｂにおいて、網掛けで表されたサブ画素１１は、画素電圧Ｖsigに応じた表示を行うサブ画素１１を示している。一方、黒色で表されたサブ画素１１は、黒表示を行うサブ画素１１を示している。図２８Ａ、２８Ｂに示したように、表示装置２では、各フレーム期間において市松模様（Checkerboard Pattern）状に画素電圧Ｖsigに応じた表示が行われるとともに、それ以外のサブ画素１１で黒表示が行われる。そして、各サブ画素１１は、フレーム期間ごとに、画素電圧Ｖsigに応じた表示と黒表示とを切り換える。これにより、観察者は、２フレーム期間にわたり表示画像を観察することにより、表示部３０の全サブ画素１１を用いた表示を観察することができる。
【０１２２】
以上のように本実施の形態では、行方向に隣り合う２つの画素を１本のデータ線に接続するようにしたので、額縁領域を狭めることができる。その他の効果は、上記第１の実施の形態の場合と同様である。
【０１２３】
［変形例２－１］
上記実施の形態では、画素電圧Ｖsigの書込みをしないサブ画素１１が黒表示を行うようにしたが、これに限定されるものではなく、これに代えて、例えば、このようなサブ画素１１が、１つ前のフレーム画像Ｆに係る画素電圧Ｖsigに基づいてそのまま表示を続けるようにしてもよい。本変形例について、以下に詳細に説明する。
【０１２４】
図２９は、本変形例に係る表示装置２Ａの一動作例を表すものであり、（Ａ）はＮ本の走査信号ＷＳ１の波形を示し、（Ｂ）はＮ本の走査信号ＷＳ２の波形を示し、（Ｃ）は信号Ｓigの波形を示す。
【０１２５】
まず、タイミングｔ５１～ｔ５２の期間において、表示装置２Ａの走査駆動部４３Ａは、１水平期間（１Ｈ）ごとに、パルスＳＰ１を各走査線ＷＳＬ１に対して順次供給する（図２９（Ａ））。その際、走査駆動部４３Ａは、上記実施の形態の場合（図２７（Ｂ））と異なり、各走査線ＷＳＬ２に対してパルスＳＰ２を供給しない。また、タイミングｔ４２～ｔ４３の期間において、走査駆動部４３Ａは、１水平期間（１Ｈ）ごとに、パルスＳＰ１を各走査線ＷＳＬ２に対して順次供給する（図２９（Ｂ））。その際、走査駆動部２３Ａは、上記実施の形態の場合（図２７（Ａ））と異なり、各走査線ＷＳＬ１に対してパルスＳＰ２を供給しない。

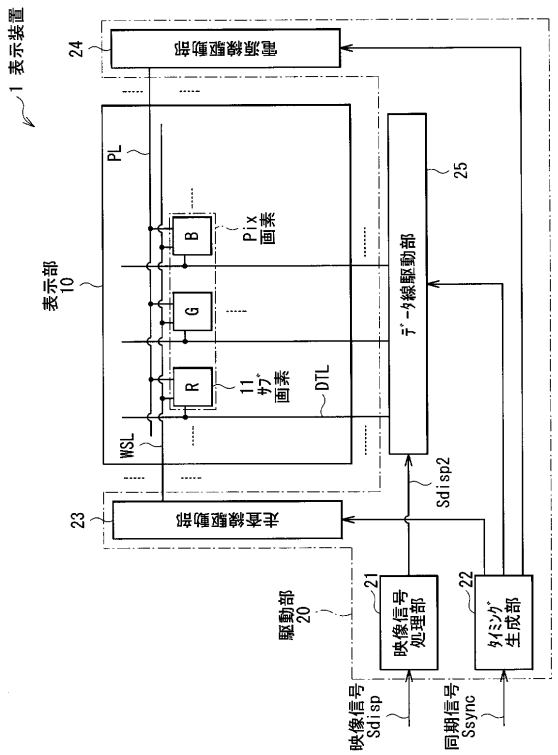
【０１２６】
図３０Ａは、フレーム画像Ｆ（２ｎ－１）を表示する際の各サブ画素１１の動作を表すものであり、図３０Ｂは、フレーム画像Ｆ（２ｎ）を表示する際の各サブ画素１１の動作を表すものである。図３０Ａ、１１Ｂにおいて、網掛けで表されたサブ画素１１は、画素電圧Ｖsigに応じた表示を行うサブ画素１１を示している。一方、網掛けされていないサブ画素１１は、各フレーム期間では駆動されず、一つ前のフレーム画像Ｆを表示するサブ画素を示している。
【０１２７】
このような構成でも、例えば静止画を表示する用途や、画像が速く変化しない動画を表示する用途など、画質への影響がさほど大きくない用途に対して適用することができる。
【０１２８】
［変形例２－２］
上記実施の形態に係る表示装置２に、上記第１の実施の形態の変形例１－１～１－５を適用してもよい。
【０１２９】
＜３．適用例＞
次に、上記実施の形態および変形例で説明した表示装置の適用例について説明する。
【０１３０】
図３１は、上記実施の形態等の表示装置が適用されるテレビジョン装置の外観を表すものである。このテレビジョン装置は、例えば、フロントパネル５１１およびフィルターガラス５１２を含む映像表示画面部５１０を有している。このテレビジョン装置は、上記実施の形態等に係る表示装置により構成されている。
【０１３１】
上記実施の形態等の表示装置は、このようなテレビジョン装置の他、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、携帯型ゲーム機、あるいはビデオカメラなどのあらゆる分野の電子機器に適用することが可能である。言い換えると、上記実施の形態等の表示装置は、映像を表示するあらゆる分野の電子機器に適用することが可能である。
【０１３２】
以上、いくつかの実施の形態および変形例、ならびに電子機器への適用例を挙げて本技術を説明したが、本技術はこれらの実施の形態等には限定されず、種々の変形が可能である。
【０１３３】
例えば、上記の各実施の形態では、表示装置は、有機ＥＬ表示素子を有するものとしたが、これに限定されるものではなく、電流駆動型の表示素子を有するものであれば、どのような表示装置であってもよい。
【０１３４】
なお、本技術は以下のような構成とすることができる。
【０１３５】
（１）複数の画素と、前記複数の画素に走査パルスを伝える複数の走査信号線を有する表示部と、
前記複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを有する走査部と
を備えた表示装置。
【０１３６】
（２）複数の前記第１のスイッチは、Ｎ個の第１のスイッチを単位として、Ｍ個のスイッチグループにグループ分けされ、
前記Ｍ個のスイッチグループには、前記Ｍ個の前記走査パルス信号がそれぞれ供給される

前記（１）に記載の表示装置。
【０１３７】
（３）各スイッチグループにおける前記Ｎ個の前記第１のスイッチは、前記Ｎ個の第１の選択信号によりそれぞれオンオフ制御される
前記（２）に記載の表示装置。
【０１３８】
（４）前記第１のスイッチと、その第１のスイッチに対応づけられた走査信号線との間に挿設された第２のスイッチをさらに備え、
各スイッチグループにおける前記Ｎ個の前記第１のスイッチは、Ｋ個の第１のスイッチを単位として、Ｌ個のサブスイッチグループにグループ分けされ、
前記Ｌ個のサブスイッチグループに属する前記第１のスイッチは、前記Ｌ個の第１の選択信号によりそれぞれオンオフ制御され、
各サブスイッチグループに属する前記Ｋ個の前記第１のスイッチに接続された前記Ｋ個の前記第２のスイッチは、前記Ｋ個の第２の選択信号によりそれぞれオンオフ制御される
前記（２）に記載の表示装置。
【０１３９】
（５）前記表示部は、前記複数の画素に電源を供給する複数の電源線をさらに有し、
前記複数の電源線は複数の電源グループにグループ分けされ、同じ電源グループに属する電源線は互いに接続されている
前記（１）から（４）のいずれかに記載の表示装置。
【０１４０】
（６）前記複数の電源線は２つの電源グループにグループ分けされ、
各電源グループに属する電源線が、前記電源線の配列方向において、１本ずつ交互に配置されている
前記（５）に記載の表示装置。
【０１４１】
（７）各電源グループに属する電源線が、前記電源線の配列方向において、所定本数ずつ、電源グループ間で巡回するように配置されている
前記（５）に記載の表示装置。
【０１４２】
（８）各電源グループに属する電源線に対して、画素を消灯させる第１の電圧と画素を点灯させる第２の電圧との間で遷移する、電源グループ間で互いに異なる電源信号を印加する電源供給部をさらに備えた
前記（５）から（７）のいずれかに記載の表示装置。
【０１４３】
（９）前記電源供給部は、各電源信号における、前記第１の電圧である時間と前記第２の電圧である時間との時間比を、電源グループごとに調整可能に構成されている
前記（８）に記載の表示装置。
【０１４４】
（１０）前記表示部は、線順次走査により書込駆動されるものであり、
前記電源供給部は、書込対象画素に接続された電源線と同じグループに属する電源線に対して、前記第１の電圧を供給する
前記（８）または（９）に記載の表示装置。
【０１４５】
（１１）前記電源信号は、前記第２の電圧から前記第１の電圧へ、複数段階で遷移する信号である
前記（８）から（１０）のいずれかに記載の表示装置。
【０１４６】
（１２）前記電源信号は、前記第１の電圧から前記第２の電圧へ、複数段階で遷移する信号である

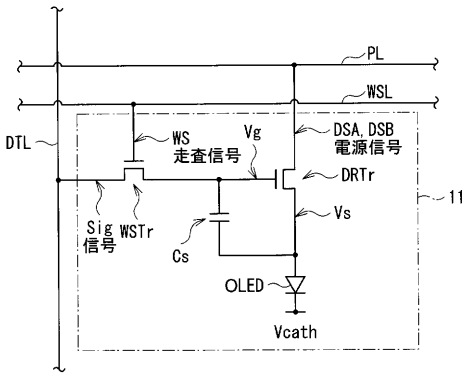
前記（８）から（１１）のいずれかに記載の表示装置。
【０１４７】
（１３）前記電源信号は、第３の電圧を介して２段階で遷移する信号である
前記（１１）または（１２）に記載の表示装置。
【０１４８】
（１４）前記第３の電圧は接地レベルである
前記（１３）に記載の表示装置。
【０１４９】
（１５）前記電源供給部は、
前記第１の電圧と前記第３の電圧との間で遷移する第１の駆動信号を生成する第１の駆動回路と、
前記第２の電圧と前記第３の電圧との間で遷移する第２の駆動信号を生成する第２の駆動回路と、
前記第１の駆動信号および前記第２の駆動信号のうちの少なくとも一方を選択することにより前記電源信号を生成する選択回路と
を有する
前記（１３）または（１４）に記載の表示装置。
【０１５０】
（１６）前記画素は、
表示素子と、
ゲートと、電源電圧が供給されるドレインと、前記表示素子に接続されたソースを有する第１のトランジスタと、
前記第１のトランジスタのゲートとソースとの間に挿設された容量素子と、
オン状態になることにより、前記第１のトランジスタのゲートに画素電圧を供給する第２のトランジスタと
を含む
前記（１）から（１５）のいずれかに記載の表示装置。
【０１５１】
（１７）前記画素は、オン状態になることにより、電源電圧を前記第１のトランジスタのドレインに供給する第３のトランジスタをさらに含む
請求項１６に記載の表示装置。
【０１５２】
（１８）複数の画素に走査パルスを伝える複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを備えた
駆動回路。
【０１５３】
（１９）表示装置と
前記表示装置に対して動作制御を行う制御部と
を備え、
前記表示装置は、
複数の画素と、前記複数の画素に走査パルスを伝える複数の走査信号線を有する表示部と、
前記複数の走査信号線にそれぞれ対応づけられて設けられ、複数の走査パルスを含む複数の走査パルス信号のうちのいずれか１つから前記走査パルスを選択的に抽出する第１のスイッチを有する走査部と
を有する
電子機器。
【符号の説明】
【０１５４】

１，１Ｅ…表示装置、７，８…領域、９…ＩＣ、１０，１０Ｅ…表示部、１１，１１Ｅ…サブ画素、２０，２０Ｅ…駆動部、２１…映像信号処理部、２２，２２Ｅ…タイミング生成部、２３，２３Ａ，２３Ｅ…走査線駆動部、２４，２４Ｂ，２４Ｃ，２４Ｅ…電源線駆動部、２５，２５Ｅ…データ線駆動部、２６Ｅ…電源制御線駆動部、２８，２８Ａ…信号生成部、２９，２９Ｂ，２９Ｃ…電源信号生成部、ＡＬ，ＢＬ，ＣＬ…電源信号線、Ｂ１，Ｂ２…バッファ、Ｃｓ…容量素子、ＤＲＴｒ…駆動トランジスタ、ＤＳ，ＤＳ（１）～ＤＳ（１０８０），ＤＳＡ，ＤＳＢ，ＤＳＣ…電源信号、ＤＳＣＴＬ…電源制御信号、ＤＴＬ…データ線、ＯＬＥＤ…有機ＥＬ素子、ＰＢ…垂直ブランキング期間、Ｐix…画素、ＰＬ…電源線、ＰＵＬ，ＰＵＬ（１）～ＰＵＬ（３０）…パルス信号線、Ｐ１…初期化期間、Ｐ２…Ｖth補正期間、Ｐ３…書込・μ補正期間、Ｐ４…発光期間、Ｐ５…書込期間、Ｐ６…μ補正期間、Ｓdisp，Ｓdisp2…映像信号、ＳＥＬＬ，ＳＥＬＬ（１）～ＳＥＬＬ（３６），ＳＥＬＡＬ，ＳＥＬＡＬ（１）～ＳＥＬＡＬ（１０），ＳＥＬＢＬ，ＳＥＬＢＬ（１）～ＳＥＬＢＬ（１２）…選択信号線、Ｓig…信号、ＳＰ…パルスＳＰ１u，Ｓpu（１）～Ｓpu（３０）…パルス信号、Ｓsel（１）～Ｓsel（３６），ＳselＡ（１）～ＳselＡ（１０），ＳselＢ（１）～ＳselＢ（１２）…選択信号、Ｓsync…同期信号、ＳＴｒ、ＳＴｒ（１）～ＳＴｒ（１０８０），ＳＡＴｒ（１）～ＳＡＴｒ（１０８０），ＳＢＴｒ（１）～ＳＢＴｒ（１０８０）…トランジスタ、ＳＷ１，ＳＷ２…スイッチ、Ｖcath，Ｖccp，Ｖofs…電圧、Ｖsig…画素電圧、ＷＳ，ＷＳ（１）～ＷＳ（１０８０）…走査信号、ＷＳＬ…走査線、ＷＳＴｒ…書込トランジスタ。

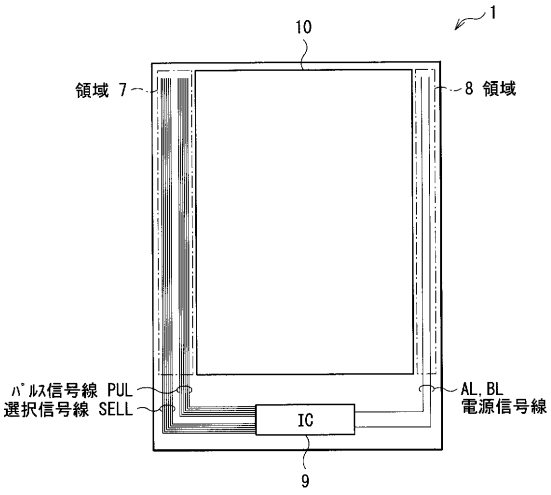
【図１】



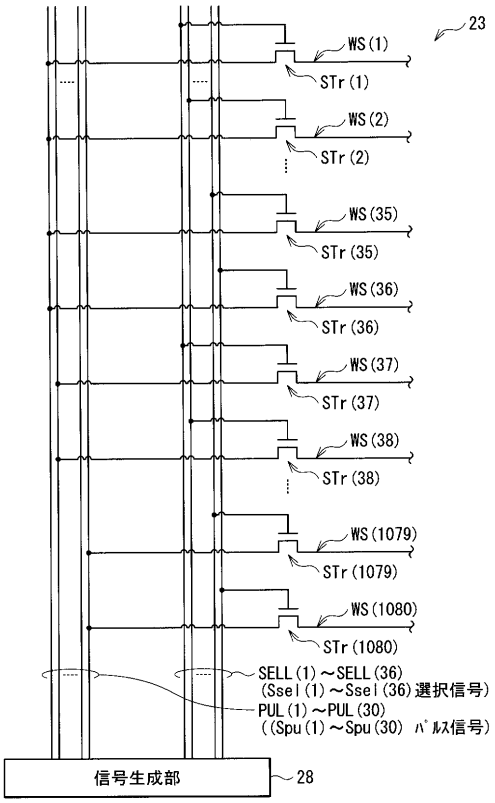
【図２】



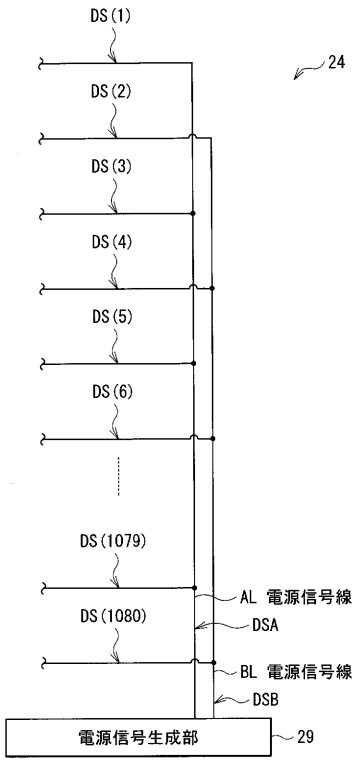
【図３】


1
10
領域 7
8 領域
ﾊﾟﾙｽ信号線 PUL
選択信号線 SELL
IC
AL, BL
電源信号線
9

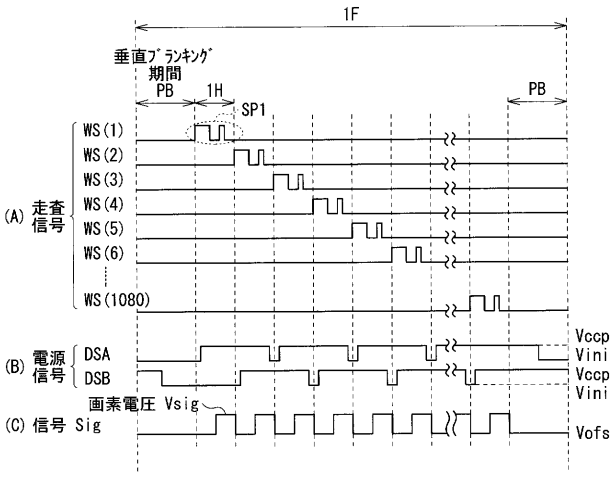
【図４】


23
WS(1)
STr(1)
WS(2)
STr(2)
WS(35)
STr(35)
WS(36)
STr(36)
WS(37)
STr(37)
WS(38)
STr(38)
WS(1079)
STr(1079)
WS(1080)
STr(1080)
SELL(1)～SELL(36)
(Ssel(1)～Ssel(36)選択信号)
PUL(1)～PUL(30)
((Spu(1)～Spu(30) ﾊﾟﾙｽ信号)
信号生成部
28

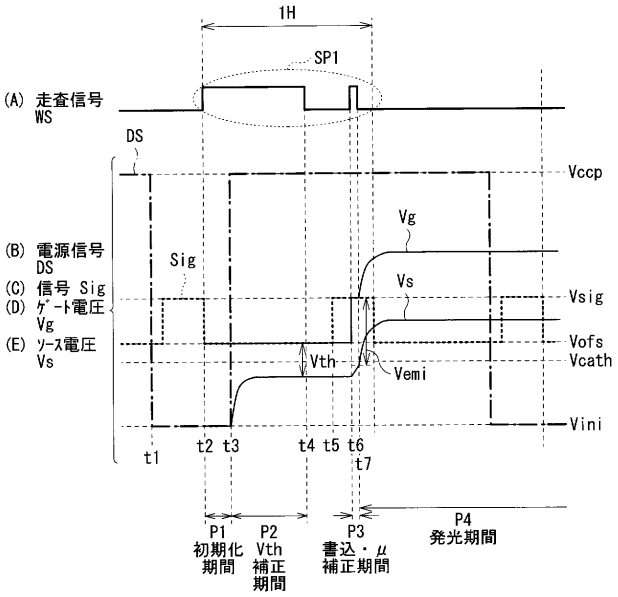
【図５】


DS(1)
DS(2)
DS(3)
DS(4)
DS(5)
DS(6)
DS(1079)
DS(1080)
24
AL 電源信号線
DSA
BL 電源信号線
DSB
電源信号生成部
29

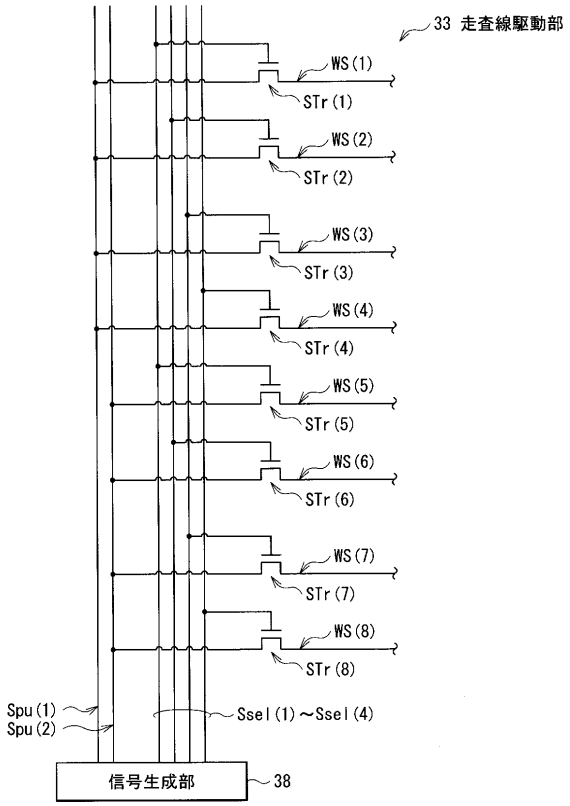
【図６】


1F
垂直ﾌﾞﾗﾝｷﾝｸﾞ期間
PB
1H
SP1
PB
(A) 走査信号
WS(1)
WS(2)
WS(3)
WS(4)
WS(5)
WS(6)
WS(1080)
(B) 電源信号
DSA
DSB
Vccp
Vini
Vccp
Vini
画素電圧 Vsig
(C) 信号 Sig
Vofs

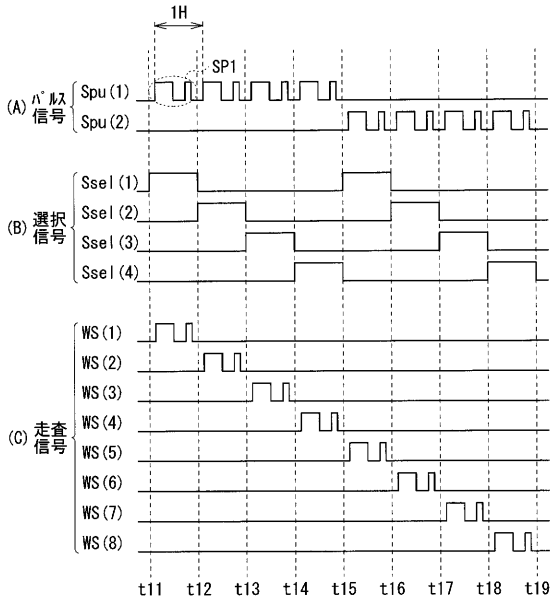
【図７】


1H
SP1
(A) 走査信号 WS
DS
Vccp
Vg
(B) 電源信号 DS
Sig
(C) 信号 Sig
Vs
(D) ｹﾞｰﾄ電圧 Vg
Vsig
(E) ｿｰｽ電圧 Vs
Vofs
Vcath
Vth
Vemi
Vini
t1
t2 t3
t4 t5 t6
t7
P1 初期化期間
P2 Vth補正期間
P3 書込・μ補正期間
P4 発光期間

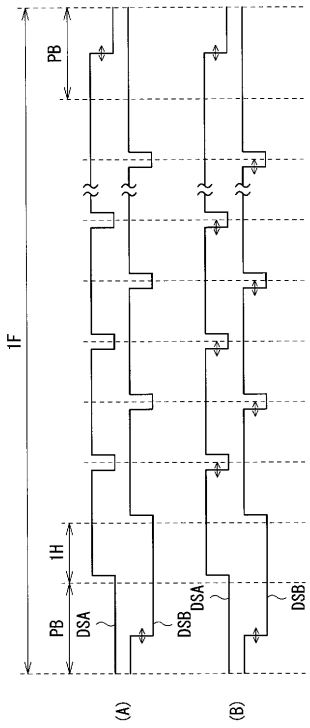
【図８】


33 走査線駆動部
WS(1)
STr(1)
WS(2)
STr(2)
WS(3)
STr(3)
WS(4)
STr(4)
WS(5)
STr(5)
WS(6)
STr(6)
WS(7)
STr(7)
WS(8)
STr(8)
Spu(1)
Spu(2)
Ssel(1)～Ssel(4)
信号生成部
38

【図９】


1H
SP1
(A) パルス信号
Spu(1)
Spu(2)
(B) 選択信号
Ssel(1)
Ssel(2)
Ssel(3)
Ssel(4)
(C) 走査信号
WS(1)
WS(2)
WS(3)
WS(4)
WS(5)
WS(6)
WS(7)
WS(8)
t11 t12 t13 t14 t15 t16 t17 t18 t19

【図１０】


PB
1F
1H
PB
DSA
DSB
DSA
DSB
(A)
(B)

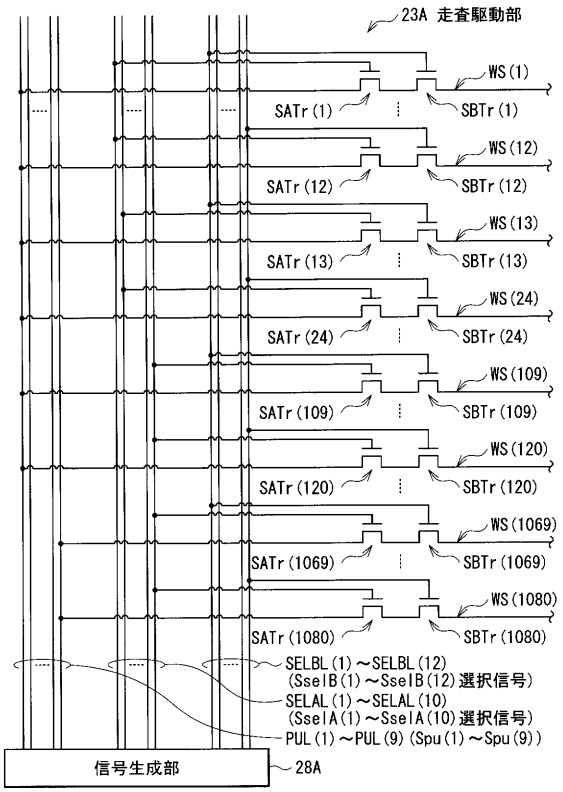
【図１１】

n	$n\times\sqrt[n]{x_1\times x_2\times\cdots\cdots\times x_n}$
1	1,080.0
2	65.7
3	30.8
4	22.9
5	20.2
6	19.2
7	19.0
8	19.2
9	19.6
10	20.1
11	20.8
12	21.5

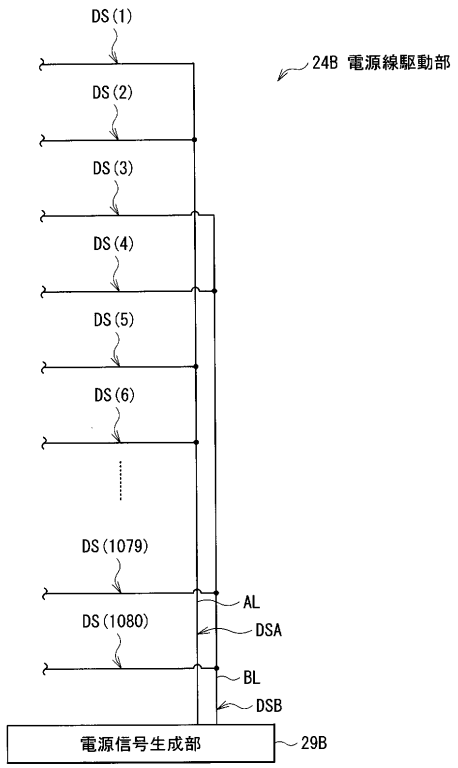
【図１２】

n	x1	x2	x3	x4	Σxi
1	1,080				1,080
2	30	36			66
3	9	10	12		31
4	5	6	6	6	23

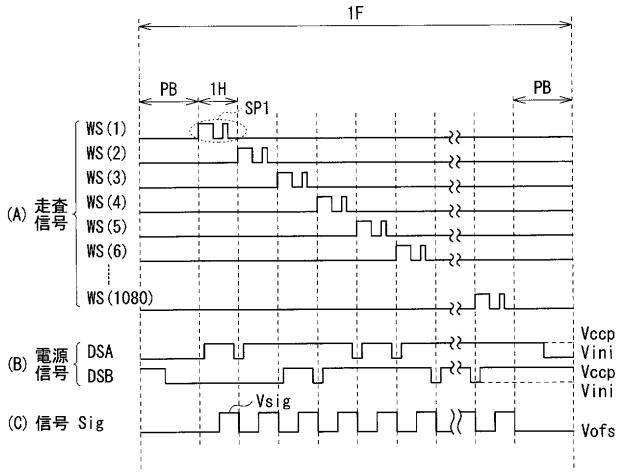
【図１３】



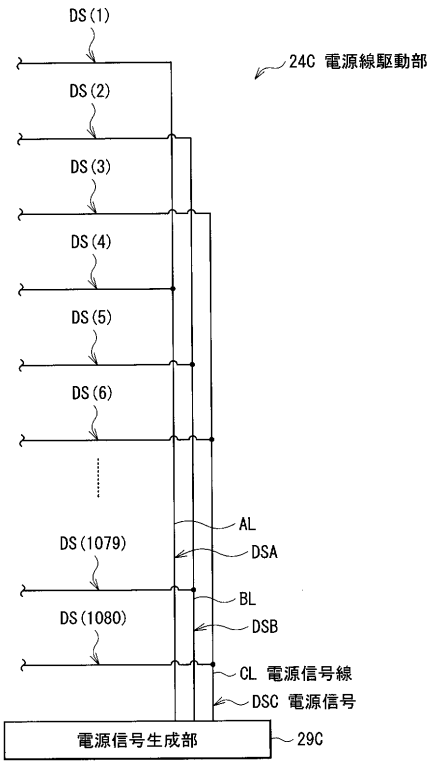
【図１４】



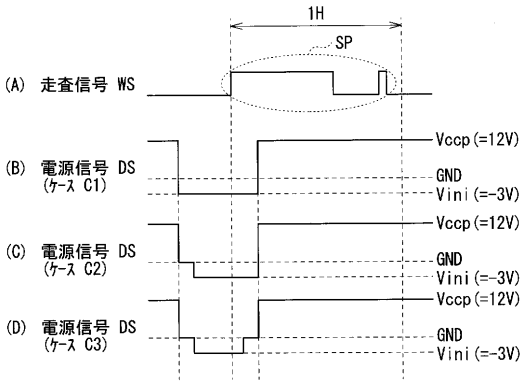
【図１５】



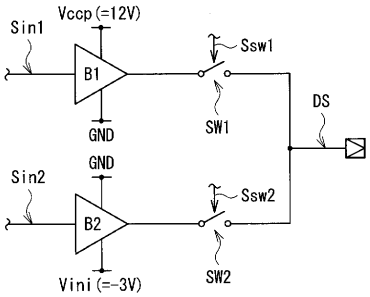
【図１６】



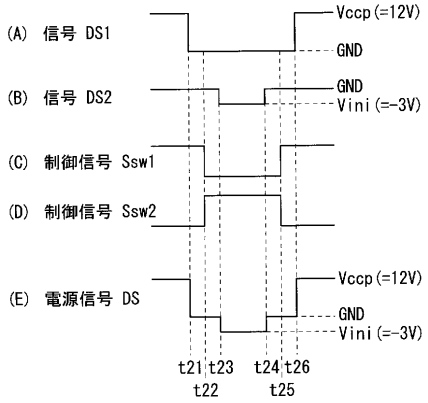
【図１７】



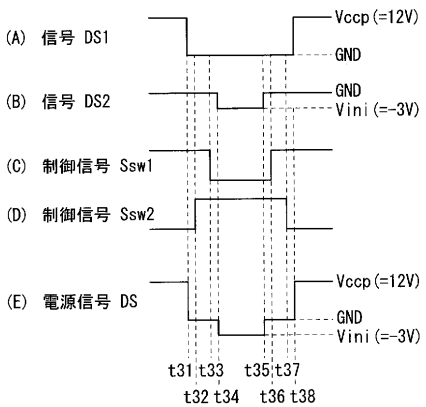
【図１８】



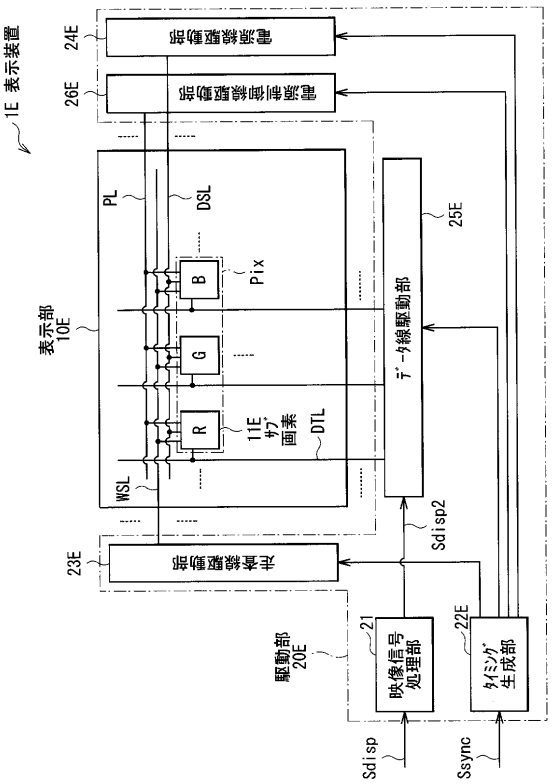
【図１９】



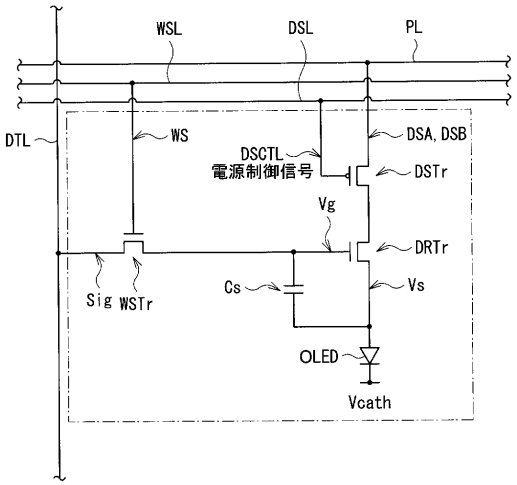
【図２０】



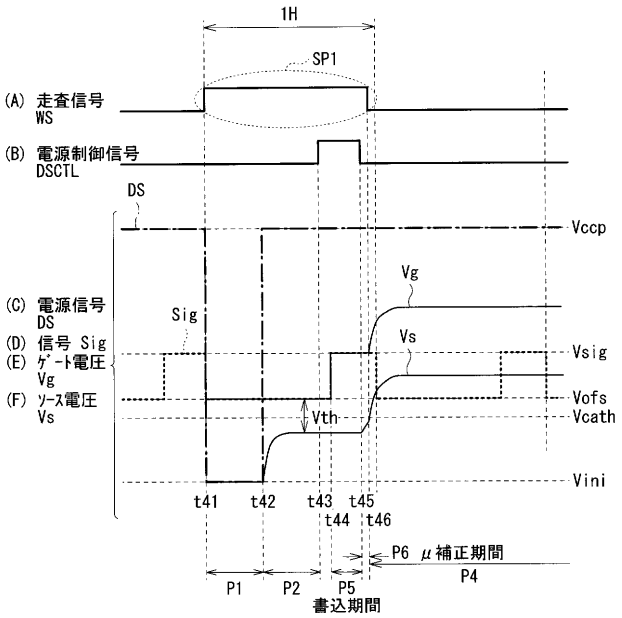
【図２１】



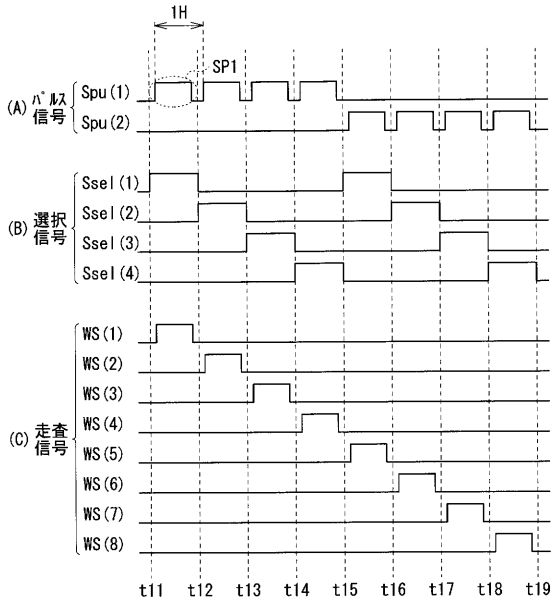
【図２２】



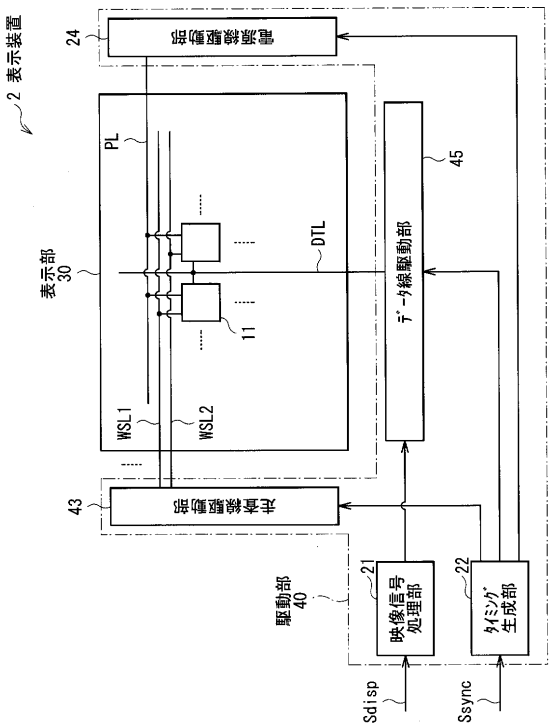
【図２３】



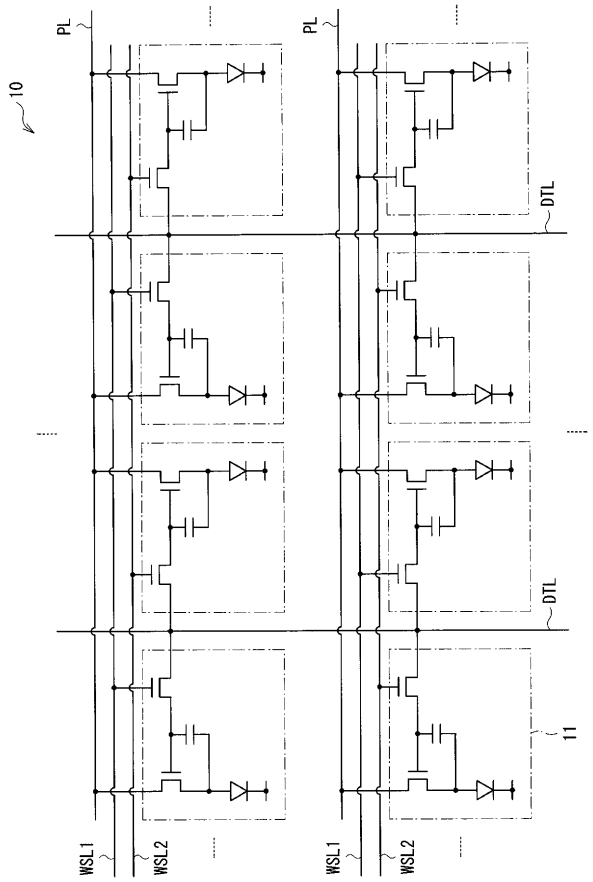
【図２４】



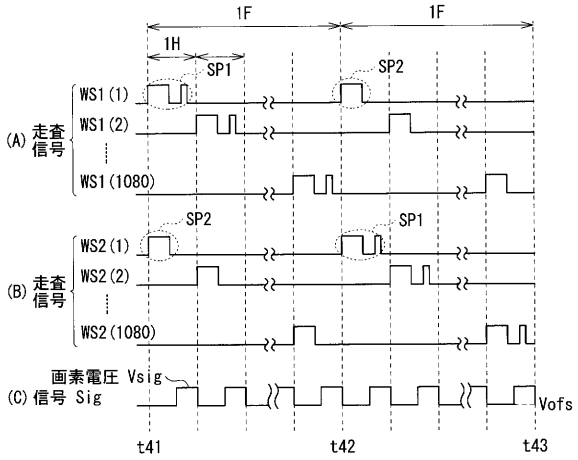
【図２５】



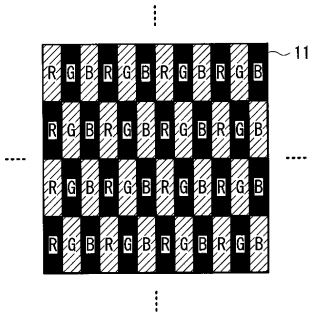
【図２６】



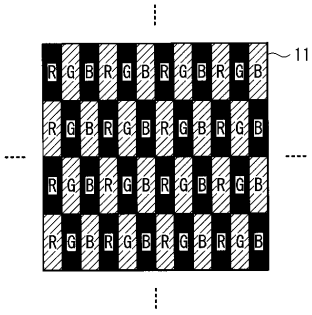
【図２７】



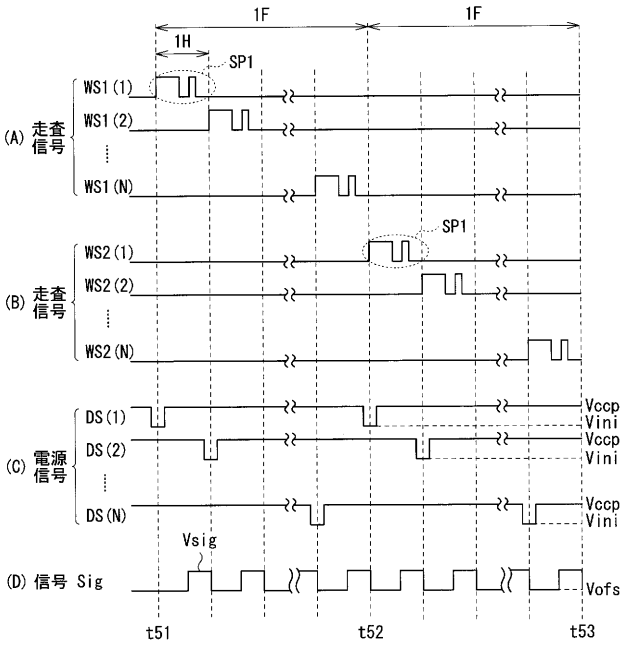
【図２８Ａ】



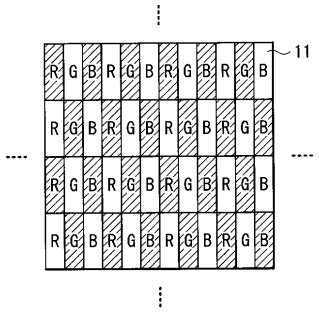
【図２８Ｂ】



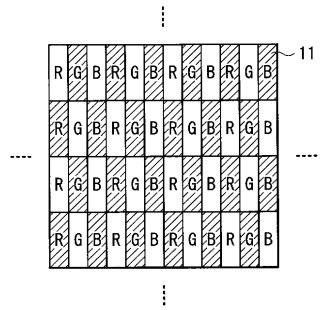
【図２９】



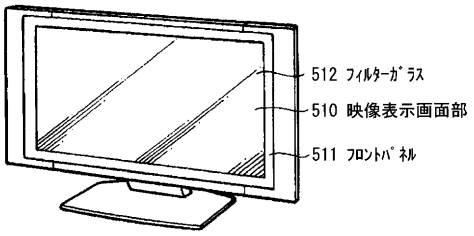
【図３０Ａ】



【図３０Ｂ】



【図３１】



フロントページの続き

(51)Int.Cl.	FI		テーマコード（参考）
	G09G 3/20	612G	
	H05B 33/14	A	

Fターム(参考) 5C080 AA06 BB05 DD22 DD23 FF01 FF11 FF12 HH09 JJ01 JJ02
JJ03 JJ04 JJ06 KK01 KK07 KK43 KK47 KK50
5C380 AA01 AB06 AB34 AB46 AC07 AC08 AC09 AC11 AC12 BA12
BA13 BA17 BA38 BA39 BB02 BE04 CB01 CB17 CB26 CB29
CB31 CC02 CC03 CC04 CC06 CC07 CC27 CC33 CC39 CC41
CC62 CC63 CC77 CD012 CD013 CE09 CF22 CF64 DA02 DA19
DA32 DA35 DA41 DA47 DA49 HA16