



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년07월12일 10-0738289 2007년07월05일
--	-------------------------------------	--

(21) 출원번호	10-2001-0007480	(65) 공개번호	10-2001-0082652
(22) 출원일자	2001년02월15일	(43) 공개일자	2001년08월30일
심사청구일자	2006년01월19일		

(30) 우선권주장 2000-039706 2000년02월17일 일본(JP)

(73) 특허권자 가부시킴가이샤 히타치세이사쿠쇼
일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자 하세가와노리오
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

이마이야끼라
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

하야노가쓰야
일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루빌딩가부시킴가이샤히
타치세이사쿠쇼지적소유권본부내

(74) 대리인 구영창
장수길

(56) 선행기술조사문헌
KR1019980070895 A

심사관 : 설관식

전체 청구항 수 : 총 46 항

(54) 반도체 집적 회로 장치의 제조 방법

(57) 요약

본 발명은 홈 시프터 구조를 갖는 마스크에 있어서 위상 절대치 제어 정밀도를 완하시킨다. 동일 마스크(2)의 동일 면의 다른 평면 위치에 형성된 전사 영역(4C, 4D)을 스캐닝 노광에 의해 다중 노광한다. 전사 영역(4C, 4D)에는 동일 마스크 패턴이 형성되어 있지만, 각각의 홈 시프터(2d)의 배치가 반대로 되어 있다.

대표도

도 15

특허청구의 범위

청구항 1.

- (a) 웨이퍼의 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지(wafer stage) 상에 탑재하는 단계와,
- (c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에 기관 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴- 상기 제1 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -을 노광하는 단계와,
- (d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 상기 제1 위상 시프트 마스크 패턴과 동일한 마스크 기관의 동일한 주면 위에 형성된 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크는 기관 홈 시프터를 포함하며, 위상 에러 또는 랜덤 결함을 가지며, 그 위상은 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전됨 -를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 2.

- 제1항에 있어서,
- 상기 (c) 및 (d) 단계에서의 노광은 스캐닝 노광에 의해서 수행되는 반도체 집적 회로 장치 제조 방법.

청구항 3.

- 제2항에 있어서,
- 상기 제1 및 제2 위상 시프트 마스크 패턴은 레벤슨 타입(Levenson-type) 위상 시프트 마스크 상에 있는 반도체 집적 회로 장치 제조 방법.

청구항 4.

- 제3항에 있어서,
- 상기 제1 및 제2 위상 시프트 마스크 패턴은 라인 앤드 스페이스(line-and-space) 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 5.

- 제3항에 있어서,
- 상기 제1 및 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 6.

- (a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,
- (c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역에 대하여 기관상(on-substrate) 박막 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제1 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -와,
- (d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 상기 제1 위상 시프트 마스크 패턴과 동일한 마스크 기관의 동일한 주면 위에 형성된 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 기관상 박막 홈 시프터를 포함하고, 위상 에러 또는 랜덤 결함을 가지며, 그 위상은 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전됨 -를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 7.

제6항에 있어서,

상기 (c) 및 (d) 단계에서의 노광은 스캐닝 노광에 의해서 수행되는 반도체 집적 회로 장치 제조 방법.

청구항 8.

제7항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 레벤슨 타입 위상 시프트 마스크 상에 있는 반도체 집적 회로 장치 제조 방법.

청구항 9.

제8항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 라인 앤드 스페이스 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 10.

제8항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 11.

- (a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,

(d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 상기 제1 위상 시프트 마스크 패턴과 동일한 주면 위에 형성된 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가지며, 그 위상은 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전됨 -를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 12.

제11항에 있어서,

상기 (c) 및 (d) 단계에서의 노광은 스캐닝 노광에 의해서 수행되는 반도체 집적 회로 장치 제조 방법.

청구항 13.

제12항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 레벤슨 타입 위상 시프트 마스크 상에 있는 반도체 집적 회로 장치 제조 방법.

청구항 14.

제13항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 라인 앤드 스페이스 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 15.

제13항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 16.

(a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,

(b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 주면의 제1 영역 상에 미세 차양 타입 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제1 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -와,

(d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 주면의 상기 제1 영역 상에 미세 차양 타입 홈 시프터를 포함하는 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가지며, 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전된 위상을 가짐 -를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 17.

제16항에 있어서,

상기 제2 위상 시프트 마스크 패턴은 상기 제1 위상 시프트 마스크 패턴과 동일한 마스크 기판 상의 동일한 주면 상에 형성되는 반도체 집적 회로 장치 제조 방법.

청구항 18.

제17항에 있어서,

상기 (c) 및 (d) 단계에서의 노광은 스캐닝 노광에 의해서 수행되는 반도체 집적 회로 장치 제조 방법.

청구항 19.

제18항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 레벤슨 타입 위상 시프트 마스크 상에 있는 반도체 집적 회로 장치 제조 방법.

청구항 20.

제19항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 라인 엔드 스페이스 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 21.

제19항에 있어서,

상기 제1 및 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴을 전사하기 위한 것인 반도체 집적 회로 장치 제조 방법.

청구항 22.

삭제

청구항 23.

삭제

청구항 24.

(a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,

(b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

- (c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,
- (d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 위상 에러 또는 랜덤 결함을 가지며, 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전된 위상을 가지는 제2 위상 시프트 마스크 패턴을 노광하는 단계와,
- (e) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역에 상기 제1 위상 시프트 마스크 패턴을 다시 노광하는 단계와,
- (f) 상기 (d) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역에 상기 제2 위상 시프트 마스크 패턴을 다시 노광하는 단계를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 25.

- (a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,
- (c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에, 보조 패턴을 포함하고, 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,
- (d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 보조 패턴을 포함하고, 위상 에러 및 랜덤 결함을 가지며, 상기 제1 위상 시프트 마스크 패턴의 위상으로부터 반전된 위상을 가지는 제2 위상 시프트 마스크 패턴을 노광하는 단계를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 26.

- (a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,
- (c) 노광 조명으로서 자외광을 이용하는 축소 투영에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에, 홈 시프터를 포함하고, 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴의 스캐닝 노광을 수행하는 단계와,
- (d) 상기 (c) 단계 이후에, 노광 조명으로서 자외광을 이용하는 축소 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 홈 시프터를 포함하고, 위상 에러 또는 랜덤 결함을 가지며, 상기 제1 위상 시프트 마스크 패턴으로부터 반전된 위상을 가지는 제2 위상 시프트 마스크 패턴의 스캐닝 노광을 수행하는 단계를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 27.

- (a) 웨이퍼의 제1 주면 상에 포토레지스트 막을 형성하는 단계와,
- (b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 노광 조명으로서 자외광을 이용하는 축소 투영에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에, 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴의 스캐닝 노광을 수행하는 단계와,

(d) 상기 (c) 단계 이후에, 노광 조명으로서 자외광을 이용하는 축소 투영에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 위상 에러 또는 랜덤 결함을 가지고, 제1 위상 시프트 마스크 패턴의 위상으로부터 반전된 위상을 가지는 제2 위상 시프트 마스크 패턴의 스캐닝 노광을 수행하는 반도체 집적 회로 장치 제조 방법

청구항 28.

(a) 웨이퍼의 주면 상에 포토레지스트 막을 형성하는 단계와,

(b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,

(d) 상기 (c) 단계 이후에, 자외선을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에, 상기 제1 위상 시프트 마스크 패턴과 동일한 웨이퍼의 동일한 주면 위에 형성된 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -를 포함하고,

상기 제1 위상 시프트 마스크 패턴은 다수의 홀 패턴과 보조 패턴들에 의해서 둘러싸이는 홀 패턴을 포함하는 제1 레이아웃 패턴을 가지며,

상기 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴 및 보조 패턴에 의해서 둘러싸이는 홀 패턴을 포함하는 제2 레이아웃 패턴을 가지며,

상기 제1 패턴은 상기 제2 레이아웃 패턴과 동일하며,

상기 제1 레이아웃 패턴의 각각의 홀을 통과하는 광의 위상은 상기 제1 레이아웃 패턴의 홀 패턴에 대응하는 상기 제2 레이아웃 패턴의 각각의 홀 패턴을 통과하는 광의 위상으로부터 반전되는 반도체 집적 회로 장치 제조 방법.

청구항 29.

제28항에 있어서,

상기 (c) 및 (d) 단계는 스캐닝 노광에 의해서 노광되는 반도체 집적 회로 장치 제조 방법.

청구항 30.

제28항에 있어서,

상기 제1 및 제2 위상 시프트 마스크는 기판 홈 시프터를 가지는 반도체 집적 회로 장치 제조 방법.

청구항 31.

제28항에 있어서,

상기 축소 투영 노광의 조명은 변형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 32.

제31항에 있어서,

상기 변형 조명은 경사 조명인 반도체 집적 회로 장치 제조 방법.

청구항 33.

제31항에 있어서,

상기 변형 조명은 링형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 34.

(a) 웨이퍼의 주면 상에 포토레지스트 막을 형성하는 단계와,

(b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 주면의 제1 영역 상에 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,

(d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에 제1 위상 시프트 마스크 패턴으로서 제2 위상 시프트 마스크를 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -를 포함하고,

상기 제1 위상 시프트 마스크 패턴은 다수의 홀 패턴과 보조 패턴에 의해서 둘러싸이는 홀 패턴을 포함하는 제1 레이아웃 패턴을 가지며,

상기 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴 및 보조 패턴에 의해서 둘러싸이는 홀 패턴을 포함하는 제2 레이아웃 패턴을 가지며,

상기 제1 레이아웃 패턴은 상기 제2 레이아웃 패턴과 동일하며,

상기 제1 레이아웃 패턴의 각각의 홀 패턴을 통과하는 광의 위상은 상기 제1 레이아웃 패턴의 상기 홀 패턴에 대응하는 상기 제2 레이아웃 패턴의 각각의 홀 패턴을 통과하는 광의 위상으로부터 반전되는 반도체 집적 회로 장치 제조 방법.

청구항 35.

제34항에 있어서,

상기 (c) 및 (d) 단계는 스캐닝 노광에 의해서 노광되는 반도체 집적 회로 장치 제조 방법.

청구항 36.

제34항에 있어서,

상기 제1 및 제2 위상 시프트 마스크는 기관 홈 시프터를 가지는 반도체 집적 회로 장치 제조 방법.

청구항 37.

제34항에 있어서,

상기 축소 투영 노광의 조명은 변형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 38.

제37항에 있어서,

상기 변형 조명은 경사 조명인 반도체 집적 회로 장치 제조 방법.

청구항 39.

제37항에 있어서,

상기 변형 조명은 링형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 40.

(a) 웨이퍼의 주면 상에 형성된 처리될 막 상에 포토레지스트 막을 형성하는 단계와,

(b) 상기 포토레지스트 막이 제공된 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지 상에 탑재하는 단계와,

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 상기 주면의 제1 영역 상에 위상 에러 또는 랜덤 결함을 가지는 제1 위상 시프트 마스크 패턴을 노광하는 단계와,

(d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상에 탑재된 상기 웨이퍼의 주면의 제1 영역 상에, 상기 제1 위상 시프트 마스크 패턴과 동일한 웨이퍼의 동일한 주면 위에 형성된 제2 위상 시프트 마스크 패턴을 노광하는 단계- 상기 제2 위상 시프트 마스크 패턴은 위상 에러 또는 랜덤 결함을 가짐 -를 포함하고,

상기 제1 위상 시프트 마스크 패턴은 다수의 홀 패턴과 보조 패턴에 의해서 둘러싸이는 홀 패턴을 포함하는 제1 레이아웃 패턴을 가지며,

상기 제2 위상 시프트 마스크 패턴은 다수의 홀 패턴과 보조 패턴에 의해서 둘러싸이는 홀 패턴을 포함하는 제2 레이아웃 패턴을 가지며,

상기 제1 레이아웃 패턴은 상기 제2 레이아웃 패턴과 동일하며,

상기 제1 레이아웃 패턴의 각각의 홀 패턴을 통과하는 광의 위상은 상기 제1 레이아웃 패턴의 홀 패턴에 대응하는 상기 제2 레이아웃 패턴의 각각의 홀 패턴을 통과하는 위상으로부터 반전되는 반도체 집적 회로 장치 제조 방법.

청구항 41.

제40항에 있어서,

상기 (c) 및 (d) 단계는 스캐닝 노광에 의해서 노광되는 반도체 집적 회로 장치 제조 방법.

청구항 42.

제40항에 있어서,

상기 제1 및 제2 위상 시프트 마스크는 기관 홈 시프터를 포함하는 반도체 집적 회로 장치 제조 방법.

청구항 43.

제40항에 있어서,

상기 축소 투영 노광의 조명은 변형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 44.

제40항에 있어서,

상기 변형 조명은 경사 조명인 반도체 집적 회로 장치 제조 방법.

청구항 45.

제43항에 있어서,

상기 변형 조명은 링형 조명인 반도체 집적 회로 장치 제조 방법.

청구항 46.

(a) 웨이퍼의 주면 상에 포토레지스트 막을 형성하는 단계;

(b) 상기 (a) 단계 이후에, 상기 포토레지스트 막이 있는 상기 웨이퍼를 노광 장치의 웨이퍼 스테이지(wafer stage) 상에 탑재하는 단계;

(c) 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상의 상기 웨이퍼의 상기 주면의 제1 영역 상에 제1 위상 시프트 마스크 패턴을 노광하는 단계; 및

(d) 상기 (c) 단계 이후에, 자외광을 이용하는 축소 투영 노광에 의해서 상기 웨이퍼 스테이지 상의 상기 웨이퍼의 상기 주면의 상기 제1 영역 상에 제2 위상 시프트 마스크 패턴을 노광하는 단계

를 포함하며,

상기 제1 위상 시프트 마스크 패턴은 다수의 제1 홀 패턴들과 제1 보조 패턴들에 의해 둘러싸이는 제2 홀 패턴을 가지고,

상기 제2 위상 시프트 마스크 패턴은 다수의 제3 홀 패턴들과 제2 보조 패턴들에 의해 둘러싸이는 제4 홀 패턴을 가지며,

상기 제1 위상 시프트 마스크 패턴은 그들의 위상을 제외하고는 상기 제2 위상 시프트 마스크 패턴과 실질적으로 동일하고,

상기 제1 위상 시프트 마스크 패턴의 위상은 상기 제2 위상 시프트 마스크 패턴의 위상으로부터 반전되는,
반도체 집적 회로 장치 제조 방법.

청구항 47.

제46항에 있어서, 상기 (c) 및 (d) 단계에서의 노광은 스캐닝 노광에 의해서 수행되는 반도체 집적 회로 장치 제조 방법.

청구항 48.

제46항에 있어서, 상기 제1 및 제2 위상 시프트 마스크 패턴은 기관 홈 시프터를 갖는 반도체 집적 회로 장치 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적 회로 장치의 제조 기술에 관한 것으로, 특히, 노광 처리 시에 위상 시프트 마스크를 이용하는 리소그래피 기술에 적용하기에 유효한 기술에 관한 것이다.

예를 들면, 특개평 6-83032호 공보에는, 위상 시프트 마스크의 위상 시프터의 재료로서 전자선 묘화용의 레지스트나 산화실리콘막을 이용한 구조의 마스크에서, 막으로 구성되는 시프터부의 광 투과율에 기인한 노광 광의 감쇠를 문제점으로 파악하여, 이것을 해결하는 수단으로서 물리적으로 떨어진 2장의 마스크 각각의 동일 마스크 패턴을 재차 노광함으로써 시프터부에서의 노광 광의 감쇠를 저감시키는 기술이 개시되어 있다.

또한, 특개평 11-233429호 공보에는, 노광 대상의 패턴의 성질에 따라 노광 조건을 바꿔 다중 노광하는 노광 기술에 관해서 개시되어 있다.

또한, 특개평 11-111601호 공보에는, 다중 노광 처리 시에 2장의 마스크를 이용하면 노광 처리 시에 마스크의 교환 작업이 필요로 되어 노광 공정의 처리량이 저하하고 마스크의 제조 비용이 증대하는 등의 문제를 해결하기 위해 1장의 마스크의 다른 평면 위치에 동일 마스크 패턴을 설치하여, 그 마스크 패턴을 스캔 방식의 노광 처리에 의해 다중 노광하는 초해상 이중 스캔 노광 기술에 대해 개시되어 있다.

또한, 특개평 5-197126호 공보에는, 상호 교차하는 시프터 패턴을 동일 마스크 기관의 다른 평면 위치에 배치하고 그 상호 교차하는 시프터 패턴을 하프 피치 변위 노광함으로써 다중 노광하여, 그 교차 영역에 패턴을 전사하는 노광 기술에 대해 개시되어 있다.

또한, 특개평 10-12543호 공보에는, 상호 교차하는 시프터 패턴을 하프 피치변위 노광함으로써 다중 노광하여, 그 교차 영역에 패턴을 전사하는 이중 노광 기술에 대해 개시되어 있다.

또한, 특개평 11-143085호 공보에는, 2 광속(光束)과 통상 광에 의해 다중 노광하여, 그 교차 영역에 패턴을 전사하는 다중 노광 기술에 대해 개시되어 있다.

발명이 이루고자 하는 기술적 과제

반도체 집적 회로 장치의 제조에 있어서는, 미세 패턴을 반도체 웨이퍼 상에 전사하는 방법으로서 리소그래피 기술이 이용되고 있다. 리소그래피 기술에서는, 주로 투영 노광 장치가 이용되고, 투영 노광 장치에 형성된 포토마스크 패턴을 반도체

웨이퍼 상에 전사함으로써 집적 회로 패턴을 형성한다. 이 투영 노광 장치에는, 포토마스크의 패턴을 스텝·앤드·리피트로 전사하는 스테퍼와, 포토마스크 및 반도체 웨이퍼를 상대적으로 역 방향으로 스캔하여 슬릿형의 노광 영역을 연속적으로 전사하는 스캐너가 있다. 스테퍼와 스캐너의 가장 큰 다른 점은 스테퍼에서는 투영 렌즈의 전면을 사용하여 패턴을 전사하는 데 비해, 스캐너에서는 투영 렌즈의 직경 방향으로 연장되는 슬릿형의 부분만을 사용하여 패턴을 전사한다는 것이다.

그런데, 반도체 집적 회로 장치를 구성하는 패턴의 미세화는 반도체 집적 회로 장치의 제조 공정에서의 리소그래피 공정에서 주로 이용되는 축소 투영노광 장치의 고성능화에 의해 달성되어 있다. 그러나, 더욱 패턴의 미세 가공성을 높이기 위해서는, 축소 투영 노광 장치의 개구수 NA의 대구경화가 필요로 되었다. 특히, 고 밀도로 배치된 미세 홀 패턴에서 고해상도를 얻기 위해서는, 노광 광의 단파장화나 고 NA화가 필요하게 되지만, 이것에는 거액의 설비 투자가 필요로 되어 반도체 집적 회로 장치의 미세 가공 레벨이 매년 가속화되는 가운데, 반도체 제조 장치의 감가 상각을 종결시키지 않고서 신규 설비 투자를 행하는 것은 현실적이지 않다. 그래서, 최근의 리소그래피 기술에 있어서는, 위상 시프트 마스크 등과 같은 포토마스크를 투과한 광의 위상 정보를 포함한 포토마스크의 적용이 진행되고 있다. 위상 시프트 마스크 기술은 포토마스크(레티클을 포함함)를 투과한 광의 위상을 조작함으로써 해상도 및 초점 심도를 향상시키는 기술로서, 예를 들면, 상호 인접하는 광 투과 영역의 한 쪽에 위상 시프터를 배치하고, 양쪽의 광 투과 영역을 투과한 광의 위상을 상호 반전시키는 레벤슨형 위상 시프트 마스크 기술 등이 있다.

홈 시프터는 마스크 상의 차광막보다도 하층의 투명막 또는 투명 마스크 기판 등에 오목부를 형성한 것이다. 예를 들면, 마스크의 상호 인접하는 광 투과 패턴의 한 쪽에서 노출되는 투명막 또는 투명 마스크 기판을, 그 인접하는 광 투과 패턴을 투과한 광의 위상이 180도 반전하도록 홈을 형성함으로써 위상 시프터를 형성하고 있다.

그런데, 상기 홈 시프터 구조의 위상 시프트 마스크 기술에서는, 이하의 과제가 있다는 것을 본 발명자들은 발견했다.

즉, 첫째, 패턴의 미세화에 따른 위상차의 제어에 높은 정밀도성이 요구되고 있는 것이다. 예를 들면, 노광 광에 KrF 엑시머 레이저 광을 이용하는 경우의 홈 시프터의 깊이는 약 245nm이다. 요구되는 위상 오차의 허용량을 2도로 하면, 마스크 기판의 홈 형성에는 약 $\pm 3\text{nm}$ 의 정밀도가 요구된다. 마스크 기판은 석영 등의 유리 기판으로 이루어져, 온도 제어 등에 의해 홈파기 깊이 조정 등도 할 수 없기 때문에, 그 홈을 형성하기 위한 드라이 에칭 처리에 의해, 그 범위(정밀도)로 홈을 형성하는 것은 매우 어렵다. 따라서, 홈 시프터 구조의 위상 시프트 마스크에서는, 그 위상의 절대치 제어가 큰 과제로 되어 있다.

둘째, 위상 시프트 마스크에서는, 위상차를 제공하기 위한 마스크 구조에 기인하여 전사 패턴의 치수 정밀도가 저하한다는 과제가 있다. 예를 들면, 홈 시프터 구조에서는, 마스크의 홈 형성부의 측면의 영향에 의해 투과 광의 광량이 적어지는 결과, 홈 시프터가 배치된 개소와, 그것에 인접하는 홈 시프터가 배치되어 있지 않은 개소를 투과한 광에 의해 전사되는 각 패턴의 치수에 차가 생긴다. 그래서, 홈 시프터 부분에서 투명막이나 투명 마스크 기판을 홈의 폭 방향으로 오버행하고, 홈 시프터 부분에서 차광 패턴의 단부가 차양형으로 돌출되는 구조(미세 차양 홈 시프터 구조)로 하는 것이 행해지고 있지만, 전사 패턴의 미세화에 따른 미세 차양형 홈 시프터로서도 상기 전사 패턴의 치수차를 해소할 수 없다고 하는 과제가 있다.

셋째, 상기 위상의 고정밀도의 절대치 제어나 미세 차양형 홈 시프터의 형성에 의해 마스크의 제조가 어렵다. 또한, 전사 패턴의 미세화에 따른 마스크 결함 검사나 수정에 높은 정밀도가 요구되어진다. 이들에 의해, 마스크의 제조 수율이 저하한다.

본 발명의 목적은 홈 시프터 구조를 갖는 마스크에서 위상의 절대치 제어 정밀도를 완화시킬 수 있는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 홈 시프터 구조를 갖는 마스크를 이용하여 전사된 패턴 치수 정밀도를 향상시킬 수 있는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 홈 시프터 구조를 갖는 마스크의 검사의 검출 치수를 완화시킬 수 있는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 홈 시프터 구조를 갖는 마스크의 제조 상의 용이성을 향상시킬 수 있는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 홈 시프터 구조를 갖는 마스크의 수율을 향상시킬 수 있는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 신규 특징은 본 명세서의 기술 및 첨부도면에서 명확해 질 것이다.

본원에서 개시되는 발명 중, 대표적이지만 개요를 간단히 설명하면 다음과 같다.

즉, 본 발명은 마스크에 형성된 전사 영역을 노광 처리에 의해 웨이퍼에 노광할 때에, 웨이퍼의 동일 전사 영역에 상기 마스크에서의 상호 동일 마스크 패턴을 갖고, 또한, 중첩했을 때에 홈 시프터의 배치가 반대가 되도록 된 복수의 다른 전사 영역을 재차 노광함으로써 웨이퍼 상에 소정의 집적 회로 패턴을 전사하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해, 기관 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 기관 홈 시프터를 포함하는 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 기관 상 박막 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 상기 제1 영역에 대해 기관 상 박막 홈 시프터를 포함하는 제2의 위상 시프트 마스크 패턴으로서 상기 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영하는 공정과, 웨이퍼의 상기 제1 주 면의 상기 제1 영역에 대해 제1 위상 시프트 마스크 패턴과 동일한 마스크 기관 상의 동일 주 면 상에 형성된 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 미세 차양형 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 미세 차양형 홈 시프터를 포함하는 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 상기 제1 영역에 대해 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 제1 위상 시프트 마스크 패턴을 재차 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 제2 위상 시프트 마스크 패턴을 재차 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다. 또한, 본 발명은 제2 위상 시프트 마스크 패턴은 제1 위상 시프트 마스크 패턴과 동일 마스크 기관 상의 동일 주 면 상에 형성되어 있는 것이다.

또한, 본 발명은 상기 (c) 및 (d) 노광 공정은 스캐닝 노광에 의해 행해지는 것이다.

또한, 본 발명은 제1 및 제2 위상 시프트 마스크 패턴이 레벤슨 방식에 의한 것이다.

또한, 본 발명은 레벤슨 방식에 의한 마스크 패턴은 라인 앤드 스페이스 패턴을 전사하기 위한 것이다.

또한, 본 발명은 레벤슨 방식에 의한 마스크 패턴은 복수의 홀 패턴을 전사하기 위한 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 보조 패턴을 포함하는 제1 위상 시프트 마스크 패턴을 자외광에 의해 축소 투영 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 보조 패턴을 포함하는 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광에 의해 축소 투영 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 홈 시프터를 포함하는 제1 위상 시프트 마스크 패턴을 자외광을 노광 광으로서 이용하여 축소 투영함으로써 스캐닝 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 홈 시프터를 포함하는 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을, 자외광을 노광 광으로서 이용하여 축소 투영함으로써 스캐닝 노광하는 공정을 갖는 것이다.

또한, 본 발명은 웨이퍼의 제1 주 면의 제1 영역에 대해 제1 위상 시프트 마스크 패턴을 자외광을 노광 광으로서 이용하여 축소 투영함으로써 스캐닝 노광하는 공정과, 웨이퍼의 제1 주 면의 제1 영역에 대해 제2 위상 시프트 마스크 패턴으로서 제1 위상 시프트 마스크 패턴의 위상을 반전시킨 것을 자외광을 노광 광으로서 이용하여 축소 투영함으로써 스캐닝 노광하는 공정을 갖는 것이다.

또한, 본원에서 개시되는 발명 중, 다른 대표적이지만 개요를 간단히 설명하면, 다음과 같다.

1. 본 발명은 동일 마스크의 동일 면의 다른 평면 위치에 배치된 복수의 전사 영역을 웨이퍼의 동일 영역에 재차 거듭 노광함으로써, 웨이퍼 상에 소정의 집적 회로 패턴을 전사하는 공정을 포함하고, 상기 재차 노광 시에는, 상호 동일 마스크 패턴이 배치되고, 또한, 중첩시켰을 때에 동일 평면 위치를 투과하는 광의 위상이 상호 반전하도록 홈 시프터가 배치된 복수의 전사 영역을 재차 노광하는 것이다.
2. 본 발명은 동일 마스크의 동일 면의 다른 평면 위치에 배치된 복수의 전사 영역을 웨이퍼의 동일 영역에 대해 재차 스캐닝 노광함으로써, 웨이퍼 상에 소정의 집적 회로 패턴을 전사하는 공정을 포함하고, 상기 재차 노광 시에 있어서는, 상호 동일 마스크 패턴이 배치되고, 또한, 중첩시켰을 때에 동일 평면 위치를 투과하는 광의 위상이 상호 반전하도록 홈 시프터가 배치된 복수의 전사 영역을 재차 노광하는 것이다.
3. 본 발명은 동일 마스크의 동일 면의 다른 평면 위치에 배치된 복수의 전사 영역을 웨이퍼의 동일 영역에 대해 재차 스캐닝 노광함으로써 웨이퍼 상에 소정의 집적 회로 패턴을 전사하는 공정을 포함하고, 상기 재차 노광 시에는, 상호 동일 마스크 패턴이 배치되고, 또한, 중첩시켰을 때에 동일 평면 위치를 투과하는 광의 위상이 상호 반전하도록 홈 시프터가 배치된 복수의 전사 영역을 재차 노광하는 공정을 포함하고, 상기 재차 노광 시에 중첩시키는 복수의 전사 영역을 상기 스캐닝 노광의 노광 영역의 주사 방향을 따라 나란히 마스크에 배치하는 것이다.
4. 본 발명은 동일 마스크의 동일 면의 다른 평면 위치에 배치된 복수의 전사 영역을 웨이퍼의 동일 영역에 대해 재차 노광함으로써, 웨이퍼 상에 소정의 집적 회로 패턴을 전사하는 공정을 포함하고, 상기 재차 노광 시에는, 상호 동일 마스크 패턴이 배치되고, 또한, 중첩시켰을 때에 동일 평면 위치를 투과하는 광의 위상이 상호 반전하도록 홈 시프터가 배치된 복수의 전사 영역을 재차 노광하는 공정을 포함하고, 상기 마스크 패턴은 웨이퍼에 전사되는 주된 광 투과 패턴과, 그 근방에 배치된 광 투과 패턴으로서 웨이퍼 상에 전사되지 않는 치수로 형성된 보조 마스크 패턴을 포함하고, 중첩시키는 각각의 전사 영역에서 상기 주된 광 투과 패턴과 보조 마스크 패턴을 투과한 광의 위상이 반전하도록 홈 시프터를 배치하는 것이다.
5. 본 발명은 상기 1~4 중 어느 한 기재의 홈 시프터는 마스크를 구성하는 마스크 기관 자체에 형성된 홈에 의해 형성된 기관 홈 시프터로 이루어지는 것이다.
6. 본 발명은 상기 1~4 중 어느 한 기재의 홈 시프터는 마스크를 구성하는 마스크 기관과 차광 패턴 사이에 개재된 시프터 막에, 마스크 기관의 표면이 노출되도록 파여진 홈에 의해 형성된 박막 홈 시프터로 이루어지는 것이다.
7. 본 발명은 상기 1~4 중 어느 한 기재의 홈 시프터는 그것을 구성하는 홈 이 차광 패턴의 단부 아래까지 파여져, 그 차광 패턴의 단부가 돌출하는 구조의 미세 차양형 홈 시프터로 이루어지는 것이다.
8. 본 발명은 상기 7 기재의 미세 차양형 홈 시프터의 차양 길이를 노광 광의 파장의 70% 이하로 하는 것이다.
9. 본 발명은 상기 7 기재의 미세 차양형 홈 시프터의 차양 길이를 노광 광의 파장의 40% 이하로 하는 것이다.
10. 본 발명은 상기 1~9 중 어느 한 기재의 복수의 전사 영역의 각각에 있어서는, 마스크 패턴이 상호 평행하게 인접하는 복수의 광 투과 패턴을 포함하고, 그 상호 인접하는 광 투과 패턴 중 어느 한 쪽에 홈 시프터가 배치되어 있는 것이다.
11. 본 발명은 상기 1~10 중 어느 한 기재의 마스크의 제조 공정은, (a) 차광 패턴 및 광 투과 패턴이 형성된 마스크 기관 상에 홈 형성용의 레지스트 패턴을 형성하는 공정, (b) 상기 레지스트 패턴을 마스크로 하여 그곳에서 노출되는 마스크에 홈을 파 홈 시프터를 형성하는 공정, (c) 상기 레지스트 패턴을 제거한 후, 위상을 검사하는 공정을 갖는 것이다.
12. 본 발명은 상기 1~11 중 어느 한 기재의 마스크의 홈 시프터의 형성 공정은, (a) 차광 패턴 및 광 투과 패턴이 형성된 마스크 기관 상에 홈 형성용의 레지스트 패턴을 형성하는 공정, (b) 상기 레지스트 패턴을 마스크로 하여 그곳에서 노출되

는 마스크에 홈을 파 홈 시프터를 형성하는 공정, (c) 상기 레지스트 패턴을 제거한 후, 위상을 검사하는 공정하는 공정, (d) 상기 (c) 공정 후에 마스크에 대해 등방성의 습식 에칭 처리를 실시함으로써 마스크의 표면을 에칭 제거하는 공정을 포함하는 것이다.

발명의 구성

본원 발명의 실시 형태를 설명함에 있어서, 본원에 있어서의 용어의 기본적인 의미를 설명하면 다음과 같다.

1. 자외광: 반도체 분야에서는 450nm 전후부터 단파장으로 50nm 이하 정도까지의 전자파를 말하지만, 300nm보다 긴 파장을 근자외 영역, 그 이하의 단파장 영역을 원자외 영역이라고 부르고, 200nm 이하를 특히 진공 자외 영역이라고 한다. 광원으로서의 수은 아크 램프 등의 i 선(파장 365nm) 및 g 선(파장 436nm), KrF 엑시머 레이저(파장 248nm), ArF 및 F₂-₂ 엑시머 레이저 등이 있다.
2. 스캐닝 노광: 가는 슬릿형의 노광 대역을 웨이퍼와 마스크(또는 레티클, 본원에서 마스크라고 할 때는 레티클도 포함하는 넓은 개념을 나타냄)에 대해, 슬릿의 길이 방향과 직교하는 방향으로(비스듬히 이동시키더라도 좋다)상대적으로 연속 이동(주사)시킴으로써, 마스크 상의 회로 패턴을 웨이퍼 상의 원하는 부분에 전사하는 노광 방법.
3. 스텝 앤드 스캔 노광: 스캐닝 노광과 스텝 노광을 조합하여 웨이퍼 상의 노광하여야 할 부분의 전체를 노광하는 방법으로서, 스캐닝 노광의 하위 개념에 해당한다.
4. 기관 홈 시프터: 석영 등의 투명 마스크 기관 자체의 표면에 오목부를 형성한 위상 시프터. 기관 자체의 표면과는 기관의 표면에 기관과 재질이 유사한 막을 형성한 것을 포함하는 것으로 한다.
5. 기관 상 박막 홈 시프터: 기관 상의 차폐막 아래에 시프터로서 작용하는 목적에 적합한 두께의 시프터막을 형성하여 하지 기관과의 에칭 속도차 등을 이용하여 형성한 홈형 시프터.
6. 홈 시프터: 상기 기관 홈 시프터 및 기관 상 박막 홈 시프터 등을 포함하는 상위 개념으로, 광 차폐막보다 하층인 투명막, 투명 기관 등에 오목부를 형성한 시프터 일반을 말한다. 이에 대해, 차폐막 상에 시프터 막을 배치하는 방식을 시프터막 상치 방식 또는 상치 시프터라고 한다.
7. 미세 차양형 홈 시프터: 홈 시프터의 주변(폭이 좁은 단면 방향)에서 광 차폐막이 석영 기관 등의 오목부 측벽 상단으로부터 오목부의 내측으로 오버행 형상(또는 차양형으로)으로 돌출된 부분의 길이 P가 단색 노광 광의 파장 λ 를 기준으로 한 경우, $40\%(P/\lambda = 40\%)$ 를 「차양 길이」라고 함) 이하인 경우를 말한다.
8. 위상 시프트 마스크 패턴: 적어도 하나의 위상 시프터를 갖는 마스크 개구 패턴을 포함하는 마스크 상의 회로 패턴. 예를 들면, 스텝 노광의 단일 쇼트 영역(1 스텝으로 노광하는 범위) 또는 스캐닝 노광에서의 단일의 스캐닝으로 노광하는 영역에 대응하는 마스크 상의 회로 패턴군으로, 예를 들면, 웨이퍼 상의 단위 칩 영역 또는 그 정수배에 상당하는 마스크 기관 상의 마스크 패턴(회로 패턴) 등을 말한다.
9. 보조 마스크 패턴: 일반적으로 웨이퍼 상에 투영되었을 때, 그 개구 패턴에 대응하는 독립된 상을 형성하지 않는 마스크 상의 개구 패턴을 말한다.
10. 레벤슨형 위상 시프트 마스크: 공간 주파수 변조형 위상 시프트 마스크라고도 불리며, 일반적으로 광 차폐막에 차광 영역으로 간격을 두고 서로 근접하여 복수의 개구를 설치하고, 그 위상을 교대로 반전시킨 개구군으로 이루어지는 위상 시프트 마스크. 대략적으로 분류하면, 라인 앤드 스페이스 패턴과 교대 반전 홀 패턴(컨택트홀용 레벤슨 패턴이라고도 말함) 등이 있다.
11. 보조 패턴 방식 위상 시프트 마스크: 대략적으로 분류하면, 고립된 레벤슨 패턴과 홀 패턴용으로 분류되고, 전자의 대표는 실개구 패턴과 그 양측에 설치된 보조 시프터 패턴(이 위상 반전 패턴도 등가임)이고, 후자의 대표는 아우트리거(outrigger) 타입의 홀 패턴(중앙의 실개구와 그 주변에 설치된 복수의 보조 개구로 이루어짐)이다. 그러나, 상기 레벤슨형 위상 시프트 마스크의 마스크 패턴의 단부 또는 주변에는 보조 개구나 보조 시프터가 설치되기 때문에, 실제 패턴에서는 양 방식이 혼합하는 경우가 많다.

12. 시프터 엣지 방식 위상 시프트 마스크: 대략적으로 분류하면, 투명 시프터의 엣지에서 패턴을 형성하는 편측 엣지 방식, 미세 또는 미소 투명 시프터의 양측 엣지에서 패턴을 형성하는 양측 엣지 방식, 개구 중에 시프터 엣지를 배치한 엣지 강조 방식, 및 이들의 시프터를 반투명으로 한 하프톤 방식 등으로 분류된다.

13. 위상 시프트 마스크: 본원에서 단순히 위상 시프트 마스크라고 할 때는, 이들을 총칭하는 것으로 한다.

14. 웨이퍼(반도체 웨이퍼, 반도체 기판)란, 반도체 집적 회로의 제조에 이용하는 실리콘 단결정 기판(일반적으로 거의 평면 원형상), 사파이어 기판, 유리 기판, 그 밖의 절연, 반절연 또는 반도체 기판 등 및 이들의 복합적 기판을 말한다. 또한, 본원에 있어서 반도체 집적 회로 장치라 할 때는, 실리콘 웨이퍼나 사파이어 기판 등의 반도체 또는 절연체 기판 상에 만들어지는 것 이외에, 특별히, 그렇지 않다는 취지가 명시된 경우를 제외하고는 TFT(Tin-Film-Transistor) 및 STN(Super-Twisted-Nematic) 액정 등과 같은 유리 등의 다른 절연 기판 상에 만들어지는 것 등도 포함하는 것으로 한다.

15. 「차광 영역」, 「차광 패턴」, 「차광막」 또는 「차광」이라고 할 때는, 그 영역에 조사되는 노광 광 중, 40% 미만을 투과시키는 광학 특성을 갖는 것을 나타낸다. 일반적으로 수 % 내지 30% 미만의 것이 사용된다. 한편, 「광 투과 영역」, 「광 투과 패턴」, 「투명 영역」, 「투명막」 또는 「투명」이라고 할 때는, 그 영역에 조사되는 노광 광 중, 60% 이상을 투과시키는 광학 특성을 갖는 것을 나타낸다. 일반적으로 90% 이상의 것이 사용된다.

16. 「포토리지스트 패턴」은, 감광성의 유기막을 포토리소그래피의 수법에 의해, 패터닝한 막 패턴을 말한다. 또, 이 패턴에는 해당 부분에 대해 전혀 개구가 없는 단순한 레지스트막이 포함된다.

17. 통상 조명이란, 비 변형 조명의 것으로, 광 강도 분포가 비교적 균일한 조명을 말한다.

18. 변형 조명이란, 중앙부의 조도를 내린 조명로서, 경사(斜方) 조명, 링형 조명, 4 중극 조명, 5 중극 조명 등의 다중극 조명 또는 그것과 등가인 동공 필터에 의한 초해상 기술을 포함한다.

19. 해상도: 패턴 치수는 투영 렌즈의 개구수 NA(Numerical Aperture)와 노광 파장 λ 로 규격화하여 표현할 수 있다. 본 실시 형태에 있어서는, 노광 파장 248nm의 KrF 엑시머 레이저 광을, 투영 렌즈의 NA는 0.65를 주로 이용했다. 따라서, 다른 파장이나 다른 렌즈 NA를 이용하는 경우에는, 해상도 R은 $R=K1 \cdot \lambda / NA$ 로 표현되므로 환산하여 이용하면 된다(예를 들면, 통상, $K1=0.6$). 다만, 초점 심도 D도 $D=K2 \cdot \lambda / (NA)^2$ 로 표현되므로, 초점 심도는 다르다.

20. 시프터의 깊이: 시프터부의 기판 홈파기 깊이는 노광 파장에 의존하고, 위상을 180도 반전시키는 깊이 Z는, $Z=\lambda / (2(n-1))$ 로 나타낸다. 다만, n은 소정의 노광 파장의 노광 광에 대한 기판의 굴절율, λ 는 노광 파장이다.

이하의 실시 형태에 있어서는 편의상, 그럴 필요가 있을 때는, 복수의 섹션 또는 실시 형태로 나누어 설명하지만, 특별히 명시된 경우를 제외하고는, 이들은 상호 무관한 것이 아니라, 한 쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

21. 전사 패턴: 마스크에 의해 웨이퍼 상에 전사된 패턴으로서, 구체적으로는 포토리지스트 패턴 및 포토리지스트 패턴을 마스크로 하여 실제로 형성된 웨이퍼 상의 패턴을 말한다.

또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)을 언급하는 경우, 특별히 명시된 경우 및 원리적으로 명백히 특정 수로 한정되는 경우 등을 제외하고는, 그 특정한 수에만 한정되는 것이 아니라, 특정 수 이상이라도 이하라도 좋다.

또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는, 특별히 명시한 경우 및 원리적으로 명백히 필수인 것으로 고려되는 경우 등을 제외하고는, 반드시 필수적인 것이 아님은 물론이다.

마찬가지로, 이하의 실시 형태에 있어서, 구성 요소 등의 형상, 위치 관계 등을 언급할 때는, 특별히 명시한 경우 및 원리적으로 명백히 그렇지 않다고 고려되는 경우 등을 제외하고는 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은, 상기 수치 및 범위에 관해서도 마찬가지다.

또한, 실시 형태를 설명하기 위한 도면 전체에서, 동일 기능을 갖는 것에는 동일 부호를 붙여, 그 반복 설명은 생략하기로 한다. 또한, 본 실시 형태의 설명에 이용하는 도면에서 마스크의 평면도라도, 도면을 보기 쉽게 하기 위해, 차광 패턴 및 홈 시프터에 사선 해칭을 붙이는 것으로 한다.

(실시 형태 1)

도 1은 본 실시 형태 1의 반도체 집적 회로 장치의 제조 방법의 개략적인 제조 공정을 나타내고 있다.

우선, 마스크 및 웨이퍼를 노광 장치에 설치하여, 쌍방의 상대적인 평면 위치를 맞춘다. 본 실시 형태 1에 있어서는, 마스크로서 홈 시프터를 갖는 위상 시프트 마스크를 이용한다. 웨이퍼에는, 미리 피처리막 및 포토레지스트막이 하층부터 순서대로 피착되어 있다(공정 101). 계속해서, 그 마스크의 마스크 패턴을 웨이퍼 상의 포토레지스트막에 노광한다. 이 때, 본 실시 형태 1에 있어서는, 웨이퍼 상의 1개 영역에 마스크의 전사 영역의 마스크 패턴을 2회 또는 그 이상 재차 노광한다. 여기서는, 동일 마스크 내의 다른 위치에 형성된 전사 영역의 마스크 패턴끼리 또는 물리적으로 분리된 각 마스크의 전사 영역의 마스크 패턴끼리를 적어도 2회 재차 노광한다. 이 경우, 그 각각의 전사 영역의 각각의 마스크 패턴은 동일한 것이며, 또한, 그 각각의 전사 영역에는 그 각각의 전사 영역의 대응 위치(노광 시에 평면적으로 중첩되는 위치)의 각각을 투과한 광의 위상이 상호 180도 반전하도록 홈 시프터가 배치되어 있다(공정 102). 그 후, 포토레지스트막에 대해 현상 처리를 실시함으로써 포토레지스트 패턴을 형성한 후(공정 103), 그 포토레지스트 패턴을 마스크로 하여 피처리막에 대해 에칭 처리를 실시함으로써 피처리막을 패터닝한다(공정 104). 그 후, 포토레지스트 패턴을 제거함으로써 웨이퍼 상에 피처리막으로 이루어지는 소정의 패턴을 형성한다(공정 105). 또, 본 발명의 기술 사상은 포토레지스트 패턴을 마스크로 하여 반도체 기판의 소정의 평면 위치에 불순물 등을 선택적으로 도입하는 경우에도 적용할 수 있다.

다음에, 상술된 다중 노광 처리에 이용한 노광 장치의 일례를 도 2~도 4를 참조하면서 설명하기로 한다.

도 2에 도시하는 노광 장치(1)는, 예를 들면, 축소비 4 : 1의 주사형 축소 투영 노광 장치(이하, 스캐너라고 한다)이다. 노광 장치(1)의 노광 조건은, 예를 들면, 다음과 같다. 즉, 노광 광 EXL로서는, 예를 들면, 노광 파장 248nm 정도의 KrF 엑시머 레이저 광을 이용하고, 광학 렌즈의 개구수 NA=0.65, 조명 형상은 원형이고, 코히어런스(σ : sigma)값=0.3이다. 마스크(2)로서는, 예를 들면, 레벤슨형 위상 시프트 마스크를 이용했다. 다만, 이것에만 한정되는 것이 아니라 여러 가지 변경 가능하고, 예를 들면, 파장이 193nm 정도의 ArF 엑시머 레이저를 이용하여도 좋다.

노광 광원(1a)으로부터 발하는 광은 플라이아이 렌즈(1b), 개구(1c), 컨덴서 렌즈(1d₁, 1d₂) 및 미러(1e)를 통해 마스크(여기서는, 레티클)(2)를 조명한다. 광학 조건 중, 코히어런스는 어퍼튜어(1f)의 개구부의 크기를 변화시키는 것에 의해 조정했다. 마스크(2) 상에는 이물질 부착에 의한 패턴 전사 불량 등을 방지하기 위한 페리클(2p)이 설치되어 있다. 마스크(2) 상에 그려진 마스크 패턴은 투영 렌즈(1g)를 통해 시료 기판인 웨이퍼(3) 상에 투영된다. 또, 마스크(2)는 마스크 위치 제어 수단(1h) 및 미러(1i₁)로 제어되는 마스크 스테이지(1i₂) 상에 장착되고, 그 중심과 투영 렌즈(1g)의 광축과는 정확하게 위치 정렬이 이루어져 있다.

웨이퍼(3)는 시료대(1j) 상에 진공 흡착되어 있다. 시료대(1j)는 투영 렌즈(1g)의 광축 방향, 즉, 시료대(1j)의 웨이퍼 장착면에 수직인 방향(Z 방향)으로 이동 가능한 Z 스테이지(1k) 상에 장착되고, 또한 시료대(1j)의 웨이퍼 장착면에 평행한 방향으로 이동 가능한 XY 스테이지(1m) 상에 탑재되어 있다. Z 스테이지(1k) 및 XY 스테이지(1m)는 주 제어계(1n)에서의 제어 명령에 따라 각각의 구동 수단(1p, 1q)에 의해 구동되기 때문에, 원하는 노광 위치로 이동 가능하다. 그 위치는 Z 스테이지(1k)에 고정된 미러(1r)의 위치로서, 레이저 길이 측정기(1s)로 정확히 모니터링된다. 또한, 웨이퍼(3)의 표면 위치는 통상의 노광 장치가 갖는 초점 위치 검출 수단으로 검출된다. 검출 결과에 따라 Z 스테이지(1k)를 구동시킴으로써, 웨이퍼(3)의 표면을 항상 투영 렌즈(1g)의 결상면과 일치시킬 수 있다.

마스크(2)와 웨이퍼(3)는 축소비에 따라 동기하여 구동되고, 노광 영역이 마스크(2) 상을 주사하면서 마스크 패턴을 웨이퍼(3) 상에 축소 전사한다. 이 때, 웨이퍼(3)의 표면 위치도 상술의 수단에 의해 웨이퍼의 주사에 대해 동적으로 구동 제어된다. 웨이퍼(3) 상에 형성된 회로 패턴에 대해 마스크(2) 상의 회로 패턴을 재차 노광하는 경우, 웨이퍼(3) 상에 형성된 마스크 패턴의 위치를 얼라임먼트 검출 광학계(1t)를 이용하여 검출하여, 그 검출 결과로부터 웨이퍼(3)를 위치 결정하여 재차 전사한다. 주 제어계(1n)는 네트워크 장치(1u)와 전기적으로 접속되어 있어, 노광 장치(1)의 상태의 원격 감시 등이 가능해진다.

도 3은 노광 장치(1)의 스캐닝 노광 동작을 모식적으로 도시한 도이다. 마스크(2)와, 웨이퍼(3)는 경면 대칭 관계가 되므로, 노광 처리 시에 마스크(2)의 주사(스캔) 방향과 웨이퍼(3)의 주사(스캔) 방향은 도 3의 스테이지 스캔의 화살표 방향으로 도시한 바와 같이 역 방향이 된다. 구동 거리는 축소비 4 : 1인 경우, 마스크(2)의 이동량 4에 대해, 웨이퍼(3)의 이동량은 1이 된다. 이 때, 노광 광 EXL을 슬릿(1fs)을 통해 마스크(2)에 조사함으로써 슬릿형의 노광 영역(노광 대역)을 형성하고, 그 슬릿형의 노광 영역을 마스크(2) 상에서, 슬릿(1fs)의 폭 방향, 즉, 슬릿(1fs)의 길이 방향에 직교 또는 비스듬히 교차하는 방향으로 연속 이동(주사)시키고, 또한 결상 광학계(투영 렌즈(1g))를 통해 웨이퍼(3) 상에 조사한다. 이에 따라, 마스크(2)의 전사 영역 내의 마스크 패턴을 웨이퍼(3)의 복수의 칩 형성 영역 CA의 각각에 전사한다. 또, 개개의 칩 형성 영역 CA는 1개의 반도체 칩을 형성하기 위한 영역이다.

어퍼튜어(1f)에는, 평면 장방형의 슬릿(1fs)이 개구되어 있고, 노광 광 EXL은 그 슬릿(1fs)를 통해 마스크(2)에 조사된다. 즉, 노광 장치(1)에 있어서는, 도 3 및 도 4에 도시한 바와 같이, 투영 렌즈(1g)의 유효 노광 영역(1ga) 내에 포함되는 슬릿형의 노광 영역(도면을 보기 쉽게 하기 위해, 도 4에서는 사선 해칭을 붙인다)SA₁을 실효적인 노광 영역으로서 이용한다. 따라서, 노광 장치(스캐너)(1)에서는, 슬릿형의 노광 영역 SA₁을 노광하도록 되어 있다. 특별히 한정되지 않지만, 그 슬릿(1fs)의 폭은 통상, 웨이퍼(3) 상에서, 예를 들면 4~7mm 정도이다. 비교를 위해, 스테퍼에서의 노광의 영역을 도 5에 도시한다. 스테퍼에서는, 투영 렌즈의 유효 노광 영역(1ga) 내에 4개 코너가 내접되는 평면 정방형의 노광 영역(도면을 보기 쉽게 하기 위해, 도 5에서는 사선 해칭을 붙인다)SA₂를 실효 노광 영역으로서 이용한다. 스테퍼에서는, 마스크(2) 내의 패턴을 일괄 노광하도록 되어 있다. 또, 본 발명의 기술 사상은 스테퍼에도 적용 가능하다. 또한, 도 2~도 5에서는, 노광 장치의 기능을 설명하기 위해 필요한 부분만을 도시했지만, 그 밖의 통상의 노광 장치(스캐너나 스테퍼)에 필요한 부분은 통상의 범위에서는 동일하다.

다음에, 본 실시 형태 1에서 이용한 마스크(2)의 일례를 도 6~도 8을 참조하면서 설명하기로 한다. 도 6의 (a)는 마스크(2)의 전체 평면도, 도 6의 (b) 및 (c)는 각각 도 6의 (a)의 A-A선 및 B-B선의 단면도이다. 도 7 및 도 8은 도 6의 마스크의 주요부 확대 단면도의 일례이다. 또, 도 6의 (a)는 평면도이지만, 도면을 보기 쉽게 하기 위해 해칭을 붙였다.

여기서는, 1장의 마스크(2)의 주 면(동일 면)에, 예를 들면, 2개의 전사 영역(4A, 4B)이 배치되어 있는 경우가 예시되어 있다. 각각의 전사 영역(4A, 4B)은, 예를 들면, 평면 장방형으로 형성되어 있고, 각각의 긴 변이 평행하게 되도록 소정의 거리를 사이에 두고 배치되어 있다. 각 전사 영역(4A, 4B)은, 예를 들면, 1개의 반도체 칩(칩 형성 영역)을 전사하는 영역에 상당한다. 또, 1장의 마스크(2)에 배치되는 전사 영역의 수는 이것에만 한정되는 것이 아니라 여러 가지 변경 가능하다.

이 마스크(2)를 구성하는 마스크 기관(2a)은, 예를 들면, 평면 사각 형상이 투명한 합성 석영 유리로 이루어지고, 그 주 면상의 각각의 전사 영역(4A, 4B)에는 마스크 패턴이 형성되어 있다. 이 마스크 패턴은 소정의 집적 회로 패턴을 전사하기 위한 패턴으로서, 예를 들면, 크롬, 산화 크롬, 또는 이들의 적층막으로 이루어지는 차광 패턴(2b)과, 마스크 기관(2a)이 부분적으로 노출되어 이루어지는 광 투과 패턴(2c)으로 구성되어 있다. 또한, 각각의 전사 영역(4A, 4B) 내에서 상호 인접하는 광 투과 패턴(2c) 중 어느 한 쪽에는 홈 시프터(2d)가 배치되어 있다. 본 실시 형태 1에서는, 전사 영역(4A, 4B)의 각각의 마스크 패턴의 형상 및 치수가 동일하게 되어 있다. 다만, 전사 영역(4A, 4B)은 각각의 홈 시프터(2d)의 배치가 상호 반대로 되어 있다. 즉, 전사 영역(4A, 4B)을 웨이퍼의 1개의 영역(칩 형성 영역)에 재차 노광할 때, 전사 영역(4A)의 소정의 광 투과 패턴(2c)을 투과한 광과, 그 전사 영역(4A)의 소정의 광 투과 패턴(2c)과 평면적으로 중첩되는 전사 영역(4B)의 소정의 광 투과 패턴(2c)을 투과한 광에서는, 투과 광의 위상이 180도 반전하도록 홈 시프터(2d)가 배치되어 있다.

홈 시프터(2d)의 깊이 Z는 투과 광의 위상을 180도 반전시키기 위해, $Z = \lambda / (2(n-1))$ 를 만족하도록 형성되어 있다. 다만, n은 소정의 노광 파장의 노광 광에 대한 기관의 굴절율, λ 는 노광 파장이다. 상기한 예에서는, 예를 들면, 노광 파장 248nm의 KrF를 이용하고 있으므로, 깊이 Z는, 예를 들면, 245nm 정도이다. 상기한 바와 같은 다중 노광 처리를 행하지 않는 경우, 홈 시프터(2d)의 깊이 오차의 범위는, 예를 들면, $\pm 3\text{nm}$ (위상 각도로 2도) 정도로 매우 좁다. 따라서, 마스크(2)의 제조가 매우 어렵고, 마스크(2)의 수율 저하의 원인으로 되어 있다. 이것에 대해, 본 실시 형태 1에 있어서는, 홈 시프터(2d)의 깊이 오차의 범위를, 예를 들면, $\pm 4\text{nm} \sim 8\text{nm}$ (위상 각도로 3도~6도) 정도로 완화시킬 수 있다. 따라서, 마스크(2)의 제조상의 용이성을 대폭 향상시키는 것이 가능해진다. 또한, 마스크(2)의 제조 수율을 대폭 향상시키는 것이 가능해진다. 이것에 대해서는 나중에 상세히 설명하기로 한다.

또, 전사 영역(4A, 4B) 내에는, 실질적으로 집적 회로를 구성하는 패턴 이외에, 예를 들면, 중첩에 이용하는 마크 패턴, 중첩 검사에 이용하는 마크 패턴 또는 전기적 특성을 검사할 때에 이용하는 마크 패턴 등과 같은 실질적으로 집적 회로를 구성하지 않는 패턴도 포함되어 있다. 또한, 전사 영역(4A, 4B)의 외주의 차광 영역에는 마스크 기관(2a)의 일부가 노출되어, 마스크 얼라인먼트 마크나 계측용 마크 등과 같은 다른 광 투과 패턴(2e)이 형성되어 있다.

도 7 및 도 8은 도 6의 마스크(2)의 한 쌍의 광 투과 패턴(2c, 2c) (상호 인접하는 광 투과 패턴(2c, 2c))으로서, 그 어느 것 인가의 한 쪽에 홈 시프터(2d)가 배치된 광 투과 패턴쌍) 부분의 확대 단면도의 일례를 도시하고 있다.

도 7의 (a)~(c)는 홈 시프터(2d)가 상기 기관 홈 시프터인 경우를 나타내고 있다. 즉, 홈 시프터(2d)는 마스크 기관(2) 자체의 표면에 단면 오목형의 홈을 파는 것으로 형성되어 있다. 도 7의 (a)는 차양 구조가 없는 경우를 나타내고 있다. 즉, 홈 시프터(2d)의 측벽면과, 차광 패턴(2b)의 개구부(광 투과 패턴(2c))의 측벽면이 거의 일치하고 있고, 그 차광 패턴(2b)의 개구부측 단부에 차양이 형성되어 있지 않은 경우를 나타내고 있다. 이 경우의 홈 시프터(2d)의 깊이 Z는 마스크(2)의 패턴 형성 평탄면의 높이를 기준으로 하여 그곳부터 홈 시프터(2d)의 바닥 평탄면까지의 길이이다. 본 실시 형태 1에서는, 차양 구조가 없는 도 7의 (a)에 도시하는 마스크(2)라도 다중 노광 처리를 행함으로써, 웨이퍼 상에 전사되는 패턴의 치수 정밀도를 향상시키는 것이 가능해진다.

도 7의 (b), 및 (c)는 홈 시프터(2d)가 미세 차양형 홈 시프터인 경우를 나타내고 있다. 즉, 홈 시프터(2d)의 주변(폭이 좁은 단면 방향)에서 마스크 기관(2a)이 홈 시프터(2d)의 폭 방향으로 오버행되고, 그 결과, 홈 시프터(2d)에 면한 차광 패턴(2b)의 단부가 차양형으로 돌출한 구조로 되어 있다. 여기서는, 예를 들면, 그 차광 패턴(2b)이 돌출된 부분의 차양 길이 P는 단색 노광 광의 파장 λ 를 기준으로 한 경우에, $40\%(P/\lambda = 40\%)$ 이하이다. 다만, 본 발명 자체는 차양 길이가 70% 이하인 것(예를 들면, 노광 광의 파장이 248nm이면, 차양 길이는 150nm 정도가 되는 것)에도 적용할 수 있다. 이러한 차양 구조로 함으로써, 광의 도파관 현상을 억제할 수가 있다. 즉, 투과 광의 광 강도가 홈 시프터(2d)의 측벽으로부터의 영향에 의해 감소되는 것을 억제할 수 있다. 따라서, 본 실시 형태 1에서는, 다중 노광 처리 시에 도 7의 (b), 및 (c)의 마스크(2)를 이용함으로써 웨이퍼 상에 전사되는 패턴의 치수 정밀도를 더욱 향상시키는 것이 가능해진다.

도 7의 (b)에 있어서는, 홈 시프터(2d)가 배치되지 않는 광 투과 패턴(2c)에서도, 마스크 기관(2a)에 홈이 파여져 홈(2f)이 형성되어 있지만, 홈 시프터(2d)가 배치된 광 투과 패턴(2c)과, 홈(2f)이 배치된 광 투과 패턴(2c)을 투과한 각각의 광에는 180도의 위상차가 생기게 되어 있다. 홈(2f)에서도 차양 구조로 되어 있다. 이 홈 시프터(2d)를 형성할 때에, 홈을 형성할 필요가 없는 광 투과 패턴(2c)을 포토레지스트막으로 덮으면, 포토레지스트막의 도포나 패터닝 공정이 증가하게 된다. 그래서, 도 7의 (b)의 마스크(2)에 있어서는, 홈 시프터(2d)에 차양 구조를 형성할 때에 포토레지스트막을 형성하지 않고, 차광 패턴(2b)을 에칭 마스크로 하여 마스크 기관(2a)의 표면(패턴 형성면)을 습식 에칭한다. 홈(2f)은 그 때 형성된 것이다. 이 방법에 따르면, 포토레지스트막의 도포나 패터닝 공정을 생략할 수 있기 때문에, 마스크(2)의 제조 공정의 간략화가 가능해진다. 이 마스크(2)의 경우의 홈 시프터(2d)의 깊이 Z는 홈(2f) 바닥의 마스크(2)의 패턴 형성 평탄면의 높이를 기준으로 하여 그곳부터 홈 시프터(2d) 바닥의 평탄면까지의 길이이다. 또한, 도 7의 (c)에서는, 도 7의 (b)의 홈(2f)이 형성되어 있지 않은 경우가 도시되고 있다. 이 경우의 홈 시프터(2d)의 깊이는 도 7의 (a)의 경우와 동일하다. 이들 도 7의 (a)~(c)의 마스크(2)의 제조 방법에 대해서는 나중에 상세히 설명하기로 한다.

또한, 도 8의 (a)~(c)는 홈 시프터(2d)가 기관 상 박막 홈 시프터인 경우를 나타내고 있다. 즉, 마스크 기관(2a)의 표면 상에는 시프터막(2g)이 형성되고, 다시 그 위에 차광 패턴(2b)이 형성된 구조로 되어 있다. 시프터막(2g)은 위상 시프터로서 작용하는 목적에 적합한 두께(= 상기 Z의 식)로 형성되어 있고, 예를 들면, 마스크 기관(2a)과 동등 또는 같은 정도의 광 투과율 및 굴절율의 SOG(Spin On Glass) 등으로 이루어진다. 홈 시프터(2d)는 소정의 광 투과 패턴(2c)의 시프터막(2g)을 마스크 기관(2a)의 표면이 노출될 때까지 제거함으로써 형성된다. 이 경우, 홈 시프터(2d)의 형성에 있어서, 마스크 기관(2a)과 시프터막(2g)과의 에칭 선택비를 높게 하고, 시프터막(2g)의 에칭 속도 쪽이 마스크 기관(2a)의 에칭 속도보다도 빠르게 되도록 한다. 즉, 마스크 기관(2a)을 에칭 스톱퍼로 하여 홈 시프터(2d)를 형성한다. 이에 따라, 홈 시프터(2d)의 깊이(즉, 시프터막(2g)의 두께) 및 홈 시프터(2d)의 저면의 평탄성을 매우 높은 정밀도로 형성할 수 있다. 이 때문에, 투과 광의 위상 오차를 대폭 저감 또는 없앨 수 있으므로, 웨이퍼 상에 전사되는 패턴의 치수 정밀도를 대폭 향상시키는 것이 가능해진다. 또, 도 8의 (a)~(c)는 각각 도 7의 (a)~(c)에 대응하고 있다. 즉, 도 8의 (a)는 차양 구조가 없는 구조, 도 8의 (b)는 차양 및 홈(2f)이 형성된 구조, 도 8의 (c)는 차양만으로 홈(2f)이 없는 구조이다.

다음에, 본 실시 형태 1의 다중 노광 방법의 일례를 도 9를 참조하면서 설명하기로 한다. 도 9에는 웨이퍼(3)의 전체 평면도로서, 마스크(2)(도 6 참조) 및 스캐너(1)(도 1 참조)를 이용하여 웨이퍼(3)의 주 면(포토레지스트막이 도포되어 있음)에 소정의 집적 회로 패턴을 전사하기 위한 스텝 앤드 스캔 노광 처리가 예시되어 있다.

노광 조건은 노광 장치(1)에서 설명한 것과 동일하다. 웨이퍼(3)의 주 면 상에는, 예를 들면, 두께가 200nm 정도의 절연막(산화 실리콘막 등)이 형성되어 있다. 또한, 그 절연막의 상에는, 예를 들면, 두께 500nm 정도의 포지티브형의 포토레지스

트막이 피착되어 있다. 이 포토레지스트막으로의 노광량은, 예를 들면, $25\text{mJ}/\text{cm}^2$ 로 하여, 2중 노광에 의해, 예를 들면, $50\text{mJ}/\text{cm}^2$ 가 되도록 조정했다. 마스크(2) 내의 최소 패턴은 웨이퍼(3) 상에서의 환산으로, 예를 들면, 150nm의 라인·앤드·스페이스이다.

우선, 마스크(2)의 전사 영역(4A, 4B)을 스캐닝 노광 처리에 의해 웨이퍼(3) 상의 영역(5A)에 전사한다. 즉, 마스크(2)와 웨이퍼(3)를 각각의 주 면을 평행하게 유지하면서 상대적으로 역 방향(도 9의 상하 세로 방향)으로 이동시켜 웨이퍼(3)의 주 면 상에 슬릿형의 노광 영역을 이동시키는 것에 의해, 마스크(2)의 전사 영역(4A, 4B) 내의 마스크 패턴(집적 회로 패턴)을 웨이퍼(3)의 주 면 상의 영역(5A)에 전사한다. 웨이퍼(3) 상에서의 영역(5A)의 전사 영역($5A_1$, $5A_2$)은 각각 마스크(2)의 전사 영역(4A, 4B)이 전사된 영역으로서, 여기서는 칩 형성 영역에 상당한다.

계속해서, 웨이퍼(3)를 도 9의 우측 방향으로 수평 이동시켜, 영역(5B, 5C)을 상기와 동일하게 순차 노광한다. 이들 영역(5A, 5B, 5C)에서의 노광량은 필요량의 1/2 정도로 한다. 또, 각 영역(5B, 5C) 내의 전사 영역($5B_1$, $5C_1$)은 전사 영역($5A_1$)과 동일하고, 전사 영역($5B_2$, $5C_2$)은 전사 영역($5A_2$)과 동일하다.

계속해서, 예를 들면, 전사 영역($5A_1$, $5A_2$)의 한 개분 만큼 웨이퍼(3)를 도 9의 상향 방향으로 이동시킨 후, 영역(5D)을 상기와 마찬가지로 노광한다. 이 때, 본 실시 형태 1에서는, 영역(5D) 내의 전사 영역($5D_1$)과, 먼저 전사한 영역(5C) 내의 전사 영역($5C_2$)이 평면적으로 중첩되도록 한다. 즉, 마스크(2)에서의 전사 영역(4B)이 전사된 전사 영역($5C_2$)에 동일 마스크(2)에서의 전사 영역(4A)을 평면적으로 재차 전사한다. 또, 상술된 바와 같이 마스크(2)의 전사 영역(4A, 4B)의 동일 평면 위치를 투과한 각각의 광은 그 위상이 180도 반전하고 있다.

계속해서, 웨이퍼(3)를 도 9의 좌측 방향으로 수평 이동시켜, 영역(5E)을 상기와 마찬가지로 순차 노광한다. 여기서는, 영역(5E) 내의 전사 영역($5E_1$)과, 먼저 전사한 영역(5B) 내의 전사 영역($5B_2$)이 평면적으로 중첩되도록 한다. 즉, 마스크(2)에 있어서의 전사 영역(4B)이 전사된 전사 영역($5C_2$)에 동일 마스크(2)에서의 전사 영역(4A)을 평면적으로 재차 전사한다. 또, 여기서도, 상술된 바와 같이 마스크(2)의 전사 영역(4A, 4B)의 동일 평면 위치를 투과한 각각의 광은 그 위상이 180도 반전하고 있다.

이들 영역(5D, 5E)에서의 노광량은 필요량의 1/2 정도로 한다. 따라서 영역(5A~5E)이 중첩된 곳(전사 영역($5B_2$, $5E_1$ 및 전사 영역($5C_2$, $5D_1$) 등)에서는 노광량이 필요량이 된다. 또, 각 영역(5D, 5E) 내의 전사 영역($5D_1$, $5E_1$)은 전사 영역($5A_1$)과 동일하고, 전사 영역($5D_2$, $5E_2$)은 이 전사 영역($5A_2$)과 동일하다.

이러한 다중 노광 처리 동작을 웨이퍼(3)의 전면 내에서 반복함으로써, 웨이퍼(3) 상에 복수의 칩 형성 영역의 집적 회로 패턴을 전사한다. 여기서는, 마스크(2)의 전사 영역(4A)과 전사 영역(4B)이 중첩되도록 한다. 즉, 마스크 패턴은 동일하지만, 투과 광의 위상이 상호 반전하도록 홈 시프터(2d)를 배치한 전사 영역(4A, 4B)을 재차 노광한다. 이러한 노광 처리에 의해, 웨이퍼(3) 상에 전사되는 패턴의 치수 정밀도를 향상시키는 것이 가능해진다.

또한, 상기한 설명에서는, 최외주의 전사 영역(5A, 5B, 5C)의 전사 영역($5A_1$, $5B_1$, $5C_1$)이 2중 노광되어 있지 않지만, 이 부분에 대해서는, 예를 들면, 마스크(2)의 전사 영역(4A)을 마스크 블레이드에 의해 차광하고, 또한, 마스크(2)의 전사 영역(4B)의 전사 영역이 도 9의 웨이퍼(3)의 전사 영역($5A_1$)에 평면적으로 중첩되도록 전사함으로써 2중 노광을 행하였다. 전사 영역($5B_1$, $5C_1$)에 대해서도 마찬가지다.

다음에, 본 실시 형태 1의 다중 노광 처리의 작용을 본 발명자들이 본 발명을 수행함에 있어서 검토한 기술의 문제점을 살피면서 설명하기로 한다.

우선, 본 발명자들이 검토한 기술의 문제점을 도 10을 참조하면서 설명하기로 한다. 도 10의 (a)는 위상 시프트 마스크(50)의 단면 형상을 나타내고 있다. 위상 시프트 마스크(50)는 마스크 기판(50a)과, 그 주 면 상에 형성된 차광 패턴(50b)과, 광 투과 패턴(50c)을 갖고 있다. 차광 패턴(50b)은, 예를 들면, 크롬 등으로 이루어진다. 상호 인접하는 광 투과 패턴(50c, 50c)의 한쪽에는, 그 각각의 투과한 광에 180도의 위상차를 제공하기 위해 마스터 기판(50a)을 소정의 깊이로 홈이 파여진 홈 시프터(50d)를 형성하고 있다. 여기서는, 기판 홈 시프터로서 미세 차양형 홈 시프터가 아닌 경우를 예시하고 있다. 또한, 상호 인접하는 광 투과 패턴(50c, 50c)의 평면의 형상 및 치수는 동일하다.

이 위상 시프트 마스크(50)를 이용하여 투영 노광하면, 피 투영 기관 상에서 얻어지는 광 강도는 도 10의 (b)에 도시한 바와 같이, 홈 시프터(50d)가 배치된 광 투과 패턴(50c)을 투과한 광의 강도(51a)는 홈 시프터(50d)가 배치되어 있지 않은 광 투과 패턴(50c)을 투과한 광의 강도(51b)에 비해 작아져 버린다. 이것은 마스크 기관(50a)을 홈이 파여진 홈 시프터(50d)의 측벽의 영향에 의해 투과 광의 강도가 감소하기 때문이다. 따라서, 통상의 방법(1회 노광)에 의해 포토레지스트막에 패턴을 전사하면, 도 10의 (c)의 노광 평면에 도시한 바와 같이, 홈 시프터(50d)가 배치된 광 투과 패턴(50c)이 전사된 포토레지스트 패턴(52a)의 폭 방향의 치수(W_{50})쪽이, 홈 시프터(50d)가 배치되어 있지 않은 광 투과 패턴(50c)이 전사된 포토레지스트 패턴(52b)의 폭 방향의 치수(W_{51})보다도 작아져 버린다. 즉, 본래 동일 평면 치수로 전사되어야 되는 포토레지스트 패턴(52a, 52b)의 평면 치수가 홈 시프터(50d)의 유무에 의해 다르게 되어 버린다.

이것을 방지하기 위해서, 도 11의 (a)에 도시한 바와 같이, 홈 시프터(50d)를 상술한 미세 차양형 홈 시프터 구조로 하는 것이 채용되어 있다. 즉, 마스크 기관(50a)의 홈 시프터(50d)의 측벽이 차광 패턴(50b)의 아래에 은폐되도록 조정하고, 차광 패턴(50b)의 단부가 차양 길이 P만큼 차양형으로 돌출되는 구조로 되어 있다. 이러한 구조로 함으로써, 도 11의 (b)에 도시한 바와 같이, 홈 시프터(50d)가 배치된 광 투과 패턴(50c)을 투과한 광의 강도(53a)는 홈 시프터(50d)가 배치되어 있지 않은 광 투과 패턴(50c)을 투과한 광의 강도(53b)와 거의 동일하게 되지만, 완전히 동일하게는 되지 않는 것이 현상이다. 따라서, 도 11의 (c)의 노광 평면에 도시한 바와 같이, 홈 시프터(50d)가 배치된 광 투과 패턴(50c)이 전사된 포토레지스트 패턴(55a)의 폭 방향의 치수(W_{52})와, 홈 시프터(50d)가 배치되어 있지 않은 광 투과 패턴(50c)이 전사된 포토레지스트 패턴(55b)의 폭 방향의 치수(W_{53})는 거의 같이 되지만, 역시 완전히는 같지 않다.

여기서, 본 발명자들은 보다 상세히 조사·연구했다. 도 12는 그 조사·연구 결과를 나타내고 있다. 횡축은 라인 앤드 스페이스(패턴)의 치수를 도시하고, 종축은 각 치수에 있어서의 포토레지스트 패턴(55a, 55b)의 치수차($W_{52}-W_{53}$)를 나타내고 있다. 여기서의 패턴 전사의 조건은, 예를 들면, 다음과 같다. 즉, 차양 길이 P는, 예를 들면, 100nm로 하고, 해상 패턴의 치수는, 예를 들면, 0.12~0.18 μ m까지 변화시켰다. 노광 조건은 노광 장치(1)를 설명할 때 설명한 것과 동일하다. 그 결과, 웨이퍼 상에 형성하려고 하는 패턴의 치수의 값에 따라, 포토레지스트 패턴(55a, 55b)의 치수(W_{52} , W_{53})의 차이가 다른 것이 명백해졌다. 따라서, 단지 단순히 홈 시프터를 차양 구조로 한 것만으로는, 웨이퍼 상에 전사되는 패턴의 치수차를 없애는 것이 곤란한 것으로 판명되었다.

그래서, 본 실시 형태 1에 있어서는, 상기한 바와 같이 마스크(2)의 마스크 패턴을 다중 노광 처리에 의해 웨이퍼(3)에 전사한다. 이 때, 다중 노광하는 마스크 패턴의 홈 시프터(2d)의 배치가 상호 반전되도록 행한다. 이에 따라, 웨이퍼(3) 상에 전사되는 패턴에서, 위상의 절대치 오차에 의한 전사 패턴의 치수차, 홈 시프터(2d)의 유무에 의한 전사 패턴의 치수차, 웨이퍼 상에 형성하려고 하는 패턴 치수의 차에 의한 전사 패턴의 치수차를 저감 또는 없앨 수 있으므로, 전사 패턴의 치수 정밀도를 향상시킬 수 있으며, 또한 전사 패턴의 치수를 균일화하는 것이 가능해진다.

상기한 본 실시 형태 1의 다중 노광의 효과를 시뮬레이션에 의해 조사한 결과를 도 13에 도시한다. 또한, 비교를 위해 1회 노광의 결과를 도 14에 도시한다. 어느 것이나 웨이퍼 상에서 얻어지는 광 강도 분포를 나타내고 있다. 또한, 어느 쪽의 노광 처리에 있어서도 통상의 홈 시프터(미세 차양형 홈 시프터가 아님) 구조의 위상 시프트 마스크를 이용한다.

도 13에 도시한 바와 같이, 본 실시 형태 1에 따르면, 홈 시프터(2d)가 상호 반전되도록 배치된 전사 영역(4A, 4B)을 2중 노광하고 있으므로, 상호 인접한 광 강도 피크(6a, 6b)에서 균일한 광 강도가 얻어지고 있는 것을 알 수 있다. 이것에 대하여 1회 노광의 경우, 도 14에 도시한 바와 같이, 홈 시프터가 배치된 광 투과 패턴을 투과한 광의 강도(56a) 쪽이 홈 시프터가 없는 광 투과 패턴을 투과한 광의 강도(56b)보다도 작은 것을 알 수 있다.

도 15는 본 실시 형태 1의 다중 노광 처리의 작용을 간략화하여 모식적으로 나타내고 있다. 도 15의 (a)는 마스크(2)에서 중첩되는 2개의 전사 영역(4C, 4D)을 도시하고, 도 15의 (b)는 (a)의 A-A선 및 B-B선의 단면도를 나타내고 있다. 전사 영역(4C, 4D)의 각각에는 상호 인접하는 두 형상의 광 투과 패턴(2c, 2c')이 형성되어 있다. 전사 영역(4C, 4D)의 광 투과 패턴(2c, 2c')의 평면 형상 및 치수는 동일하다. 전사 영역(4C, 4D) 중 어디에서도 상호 인접하는 광 투과 패턴(2c, 2c')의 한 쪽에 홈 시프터(2d)가 배치되어 있지만, 그 배치가 전사 영역(4C)과 전사 영역(4D)을 중첩시킨 때와 반대가 되도록, 즉, 투과 광의 위상이 180도 반전하도록 되어 있다. 도 15의 (c)는 각각의 전사 영역(4C, 4D)을 투과한 광의 강도 분포를 나타내고 있다. 전사 영역(4C, 4D)의 각각을 투과한 광의 강도 분포에서는, 어느 것이나 홈 시프터(2d)가 배치된 광 투과 패턴(2c)을 투과한 광의 강도가 감소하고 있다. 이에 대해, 도 15의 (d)는 전사 영역(4C, 4D)을 재차 노광한 경우의 투과 광의

강도 분포를 나타내고 있다. 이 경우에는, 홈 시프터(2d)가 배치된 광 투과 패턴(2c)을 투과한 광과, 홈 시프터(2d)가 없는 광 투과 패턴(2c)을 투과한 광이 동일 개소에서 재차 노광됨으로써 쌍방의 광 강도를 평균화할 수가 있어, 광 강도의 언밸런스를 없앨 수 있으므로 광 강도 분포의 균일화를 도모하는 것이 가능해진다.

따라서, 본 실시 형태 1의 다중 노광 처리에 따르면, 위상의 절대치 정밀도(오차 정밀도)가 다소 나쁘더라도, 180도 위상차일 때와 동일한 해상 특성을 얻는 것이 가능해진다. 즉, 위상 오차의 허용량(위상의 절대치 정밀도)을, 예를 들면, 3도~6도(홈 시프터(2d)의 깊이로 $\pm 4\text{nm} \sim \pm 8\text{nm}$) 정도로 완하시킬 수 있다. 따라서, 마스크(2)의 제조 상의 용이성을 대폭 향상시키는 것이 가능해진다. 또한, 마스크(2)의 제조 수율을 대폭 향상시키는 것이 가능해진다. 특히, 중첩시킨 전사 영역(4A, 4B)을 동일 마스크(2)의 동일 평면 내의 다른 평면 위치에 형성하는 본 실시 형태 1에 있어서는, 그 중첩시키는 전사 영역을 다른 마스크에 형성하는 경우에 비해, 홈 시프터(2d)의 깊이 및 그 오차량을 마스크(2)의 면내에서 거의 균일하게 할 수가 있기 때문에, 그 중첩시키는 전사 영역을 다른 마스크에 형성하는 경우보다도 상대적으로 높은 위상 절대치 정밀도를 확보하면서, 용이하게 마스크(2)를 제조하는 것이 가능해진다.

또한, 본 실시 형태 1의 다중 노광 처리에 따르면, 홈 시프터(2)의 유무에 의해 인접하는 전사 패턴의 치수가 변동하는 것을 억제 또는 방지하는 것이 가능해진다. 이 때문에, 전사되는 패턴의 치수 정밀도를 대폭 향상시키는 것이 가능하다. 또한, 홈 시프터(2)의 유무에 의한 인접 전사 패턴의 치수 변동을 저감 또는 방지할 수 있으므로, 미세 차양형 홈 시프터 구조로 할 필요성이 없어진다. 이 때문에, 마스크(2)의 제조 상의 용이성을 대폭 향상시키는 것이 가능해진다. 차양 구조는 차양 길이가 길수록 효과가 있지만, 웨이퍼 상의 패턴의 미세화 요구에 따라 마스크(2) 상의 차광 패턴(2b)도 미세화되어 있으므로, 차양의 길이 증가에는 한계가 있다. 본 실시 형태 1의 기술은 차양 구조를 채용하지 않더라도 패턴 치수 정밀도의 향상을 도모할 수 있으므로, 패턴의 미세화에 적합한 기술이다.

또한, 본 실시 형태 1의 다중 노광 처리에 따르면, 웨이퍼(3) 상에 전사하려고 하는 패턴의 치수에 따라 인접 패턴의 치수가 변동하는 것을 억제 또는 방지하는 것이 가능해진다. 따라서, 웨이퍼(3)에 전사된 패턴의 치수 정밀도를 전사 영역 내 전체에서 향상시키는 것이 가능해진다.

실제로 패턴을 전사한 결과, 예를 들면, 150nm의 패턴이 칩 전면에서 $150\text{nm} \pm 10\text{nm}$ 의 정밀도로 양호하게 형성할 수 있었다. 또한, 인접하는 패턴의 해상 치수에 특별한 경향은 보이지 않았다. 마스크(2)의 결함에 의한 패턴의 쇼트 등의 발생도 확인되지 않았다. 한편, 동일 조건에서, 2중 노광을 행하지 않는 기술에서는 150nm의 패턴이 칩 전면에서 $150\text{nm} \pm 22\text{nm}$ 의 정밀도로 형성되었다. 또한, 홈 시프터를 배치한 패턴과 배치하지 않은 패턴의 해상 치수차는 8nm로서, 홈 시프터를 배치한 쪽이 미세하게 형성되었다.

다음에, 본 발명자들이 검토한 다른 문제점에 관해서 설명하기로 한다. 즉, 투영 광학계를 이용한 패턴의 전사에서는, 투영 렌즈의 각 중 수차에 의해 투영상에 왜곡이 발생한다. 이러한 현상은 투영면의 위치에 따라 다르다. 대표적인 수차로서, 예를 들면, 전사상의 왜곡이 있다. 이것은, 투영 패턴의 위치 어긋남으로서, 예를 들면, 절대 격자로 배치된 패턴이 실패형이나 통형 등으로 왜곡되어 전사된다. 즉, 통상은 투영 렌즈에 각 중 수차가 있으므로 설계대로의 패턴의 형성이 곤란하다.

여기서, 스테퍼를 이용한 패턴의 전사에서는, 1 쇼트로 복수의 집적 회로 패턴을 전사하고, 변위 노광에 의해 다중 노광을 행하면, 패턴 위치 왜곡의 영향으로 다중 오차가 생겨, 해상 특성이 대폭 열화하여 실용은 곤란하다. 도 16은 그 모습을 모식적으로 나타내고 있다. 여기서는, 스테퍼에서의 패턴의 전사를 예를 들어 설명한다. 참조 부호(60)는 이상(理想) 격자 상의 설계 패턴으로서, 왜곡이 없는 사각 형상의 패턴으로 되어 있다. 또한, 참조 부호(61, 62)는 실제로 전사된 전사 패턴이다. 전사 패턴(61)은 이상 격자에 대해 실패형으로 위치 어긋나 전사되고, 전사 패턴(62)은 이상 격자에 대해 통형으로 위치 어긋나 전사되어 있다. 이와 같이, 투영 렌즈의 수차는 패턴의 위치 어긋남을 야기시키고, 전사 위치에 따라 그 거동이 다르다.

또한, 도 17의 (a), (b)는 마스크 상의 다른 평면 위치 좌표의 전사 영역을 스테퍼를 이용하여 전사한 모습을 모식적으로 나타내고 있다. 도 17의 (a), (b)의 참조 부호(63a, 63b)는 마스크 상의 다른 평면 위치의 동일 패턴으로 구성되는 전사 영역을 실제로 전사했을 때의 전사 영역의 전체적인 위치 어긋남의 상태를 모식적으로 도시한 것이다. 도 17의 (a)에 도시한 바와 같이, 전사 영역(63a, 63b)은 상호 다른 형상으로 형성(전사)되기 때문에, 도 17의 (b)에 도시한 바와 같이, 양자를 중첩한 경우, 패턴의 위치 어긋남이 생기므로, 양호한 패턴의 형성(전사)이 곤란하다.

그래서, 본 실시 형태 1에 있어서는, 상기한 바와 같이, 마스크(2)의 마스크 패턴을 스캐너를 이용하여 웨이퍼(3) 상에 전사할 때에, 마스크(2)의 동일 패턴을 웨이퍼(3)의 동일 영역에 다중 노광한다. 스캐너를 이용한 노광 처리에서는, 마스크(2) 상의 패턴을 슬릿을 통해 웨이퍼(3) 상에 전사한다. 이 경우, 스캔 방향에서는 수차 분포가 균일하게 된다. 즉, 스캔 방향으로 재차 노광을 행하더라도, 수차에 기인한 다중 오차는 생기지 않는다. 따라서, 재차 노광이 가능해진다.

스캐너를 이용한 경우의 패턴의 전사 상태를 도 18에 도시한다. 참조 부호(7)는 이상 격자 상의 설계 패턴으로서, 왜곡이 없는 사각 형상의 패턴으로 되어 있다. 참조 부호(7a)는 설계 패턴(7)에서 스캔 방향(도 18의 상하 세로 방향)에 평행한 변을 나타내고, 참조 부호(7b)는 설계 패턴(7)에서 스캔 방향에 직교하는 변을 나타내고 있다. 또, 여기서, 스캔 방향은 투영 렌즈의 주사 방향으로, 웨이퍼(3) 등의 피 노광 처리 기관은 이것과 반대의 방향으로 이동하도록 되어 있다. 참조 부호(8)는 실제로 전사된 전사 패턴을 나타내고 있다. 참조 부호(8a)는 전사 패턴(8)에서 스캔 방향에 평행한 변을 나타내고, 참조 부호(8b)는 전사 패턴(8)에서 스캔 방향에 직교하는 변을 나타내고 있다. 또한, 참조 부호(9a, 9b)는 마스크(2) 상의 다른 평면 위치의 동일 패턴으로 구성되는 전사 영역(4A, 4B)이 실제로 전사된 전사 영역의 전체적인 상태를 모식적으로 나타내고 있다.

스캐너를 이용한 노광 처리에 있어서는, 스캔 방향에 직교하는 방향(도 18의 좌우 가로방향)에서 렌즈 수차에 기인하는 위치 어긋남이 생기지만, 스캔 방향에서 렌즈 수차가 동일하게 되므로 동일 형상이 유지된다. 예를 들면, 전사 패턴(8)에서 스캔 방향에 평행한 변(8a)은 설계 패턴(7)에서 스캔 방향에 평행한 변(7a)에 대해 위치 어긋남이 나타나지만, 그 편차량은 스캔 방향과 동일하다. 또한, 전사 패턴(8)에서 스캔 방향에 직교하는 변(8b)은 설계 패턴(7)에서 스캔 방향에 직교하는 변(7b)과 거의 중첩되어 있어, 위치 어긋남이 나타나지 않는다. 즉, 스캐너를 이용한 노광 처리에 있어서는, 전사 영역(9a, 9b)의 패턴은 스캔 방향에 직교하는 방향에서 거의 동일 변형을 갖게 되고, 더욱이 스캔 방향에서 거의 동일 형상으로 형성된다. 따라서, 전사 영역(9a, 9b)을 웨이퍼(3) 등의 피 노광 처리 기관 상의 동일한 영역에서 2중 노광하더라도, 높은 중첩 정밀도로 형성할 수가 있다. 본 발명은 이러한 특성을 이용하고 있다.

다음에는, 본 발명자들이 검토한 또 다른 문제점에 관해서 설명하기로 한다. 도 19의 (a)는 홈 시프터(2d)가 형성된 마스크(64)의 주요부 평면도, (b)는 (a)의 A-A선의 단면도를 나타내고 있다.

전사 영역(65)에는, 예를 들면, 150nm의 라인 앤드 스페이스를 배치했다. 상호 인접하는 광 투과 패턴(66)의 한 쪽에 홈 시프터(67)가 배치되어 있다. 이 전사 영역(65)에 결함(68a, 68b)이 존재하고 있다. 결함(68b)의 평면 치수는 결함(68a)의 것보다도 상대적으로 크다.

이러한 전사 영역(65)을 2중 노광 처리를 행하지 않고 (즉, 1회 노광) 스캐닝 노광한 결과를 도 19의 (c)에 도시한다. 이 경우, 정상적인 포토레지스트 패턴(69) 외에, 마스크(64)의 결함(68a, 68b)에 기인하는 포토레지스트 잔류물(70a, 70b)이 전사되어 있었다. 이 중, 포토레지스트 잔류물(70b)은 패턴 간의 쇼트 불량량의 원인으로 되어 있었다. 또, 도 19의 (c)의 파선은 포토레지스트 패턴(69) 및 포토레지스트 잔류물(70b)과, 마스크(64)의 광 투과 패턴(66) 및 결함(68a, 68b)의 상대적인 위치 관계를 알 수 있도록 광 투과 패턴(66) 및 결함(68a, 68b)을 도시한 것이다.

이에 대해, 본 실시 형태 1에 의한 2중 노광 방법에서는, 도 20에 도시하는 결과가 얻어졌다. 도 20의 (a)는 동일 마스크(2)의 동일 평면의 다른 평면 위치에 형성된 전사 영역(4A₁, 4B₂)의 평면도, (b)는 (a)의 A-A선 및 B-B선의 단면도를 나타내고 있다. 전사 영역(4A₁, 4B₁)에는 상호 동일 마스크 패턴이 배치되어 있지만, 홈 시프터(2d)의 배치가 상기한 바와 같이 반대(위상이 180도 반전)로 되어 있다. 전사 영역(4A₁)에는 결함(68a, 68b)이 존재하고 있다. 라인 앤드 스페이스의 치수는 도 19의 마스크와 동일하다. 그런데, 본 실시 형태 1의 노광 처리에 있어서는, 상기한 바와 같은 전사 영역(4A₁, 4B₁)을 각각 1/2의 노광량으로 재차 노광하므로, 결함 부분과 결함이 존재하지 않은 부분이 다중 노광되어 진다. 그 결과, 마스크(2)의 결함 전사를 저감 또는 완전히 없애는 것이 가능해진다. 그 전사 결과를 도 20의 (c)에 도시한다.

마스크(2)의 전사 영역(4A₁) 내의 결함(68a)에 대응하는 위치 S1에서는, 포토레지스트 패턴(10a)의 변형이 확인되지 않았다. 한편, 마스크(2)의 전사 영역(4A₁) 내의 결함(68b)에 대응하는 위치 S2에서는 포토레지스트 패턴(10a)의 변형(포토레지스트 잔류물(11))이 확인되었지만, 패턴 간의 쇼트 불량량으로는 이어지지 않은 것을 알 수 있었다. 이러한 패턴 결함은 검사의 결과, 필요하다면, FIB(Focused Ion Beam) 등과 같은 에너지 빔을 이용한 수정 처리에 의해 수정하는 것도 가능하다. 이 경우, 패턴 변형량을 비교적 작게 할 수 있으므로, 그 수정을 용이하게 하는 것이 가능하다. 또, 도 20의 (c)의 파선은 포토레지스트 패턴(10a) 및 레지스트 잔류물(11)과, 포토마스크(4A₁)의 광 투과 패턴(2c) 및 결함(68a, 68b)의 상대적인 위치 관계를 알 수 있도록 그 광 투과 패턴(2c) 및 결함(68a, 68b)을 나타내고 있다.

이와 같이, 본 실시 형태 1의 다중 노광 처리에 따르면, 마스크(2)의 전사 영역에 랜덤하게 존재하는 결함을 평균화 또는 제거할 수가 있으므로, 마스크(2)의 결함 전사를 억제 또는 방지할 수 있다. 또한, 결함이 전사되었다고 해도, 그 결함의 전사 한계를 확대할 수가 있다. 예를 들면, 스테퍼에서는 포토마스크 상의 0.2μm 이상의 결함이 전사되었지만, 본 실시 형태

1에서는 포토마스크(4) 상의 $0.4\mu\text{m}$ 이상의 보다 큰 결함이 전사된다. 즉, 마스크(2) 상에서 $0.4\mu\text{m}$ 미만의 결함은 무시할 수가 있으므로, 결함 검사의 치수 한계를 완화시킬 수가 있다. 즉, 마스크(2)의 결함 검사 및 결함 수정을 용이하게 하는 것이 가능해진다. 따라서, 마스크(2)의 제조 상의 용이성을 향상시키는 것이 가능해진다.

또한, 본 발명자들은 본 실시 형태 1의 노광 처리에 있어서의 다중 노광의 횟수를 늘린 경우에 대해, 마스크(2) 상의 결함이 전사 패턴의 치수에 제공하는 영향을 조사했다. 이 경우의 노광 조건은 노광 장치(1)를 설명할 때에 설명한 것과 동일하다. 도 21에는, 이 때 이용한 마스크(2)의 전사 영역($4A_2$, $4B_2$)의 주요부 평면도가 도시되어 있다. 도 21의 (a)는 결함이 존재하는 전사 영역($4A_2$)의 주요부 평면도를 도시하고, 도 21의 (b)는 결함이 존재하지 않는 전사 영역($4B_2$)의 주요부 평면도를 도시하고 있다. 도 21의 (a), (b)의 전사 영역($4A_2$, $4B_2$)에는 서로 긴 변이 평행하게 되도록 배열하여 배치된 평면 장방형의 복수의 광 투과 패턴($2c_1$, $2c_2$)이 각각 배치되어 있다. 광 투과 패턴($2c_1$, $2c_2$)의 폭 b 및 인접 간의 스페이스 치수 c는, 예를 들면, $0.25\mu\text{m}$ 정도이다. 다만, 도 21의 (a)에는, 예를 들면, 다음 3 종류의 결함이 도시되고 있다. 즉, 예를 들면, 1변의 치수가 상기 스페이스 치수보다도 작은 치수의 평면 장방형의 투명 결함(68c), 긴 변의 치수가 상기 스페이스 치수와 같은 평면 장방형의 투명 결함(68d) 및 1변의 치수가 상기 폭보다도 작은 치수의 평면 장방형의 차광 결함(68e)이다. 결함의 크기는 변수 a로 나타내었다. 노광 처리에 있어서는, 결함이 존재하는 도 21의 (a)의 패턴과, 결함이 존재하지 않는 도 21의 (b)의 패턴을 복수회 재차 노광했다. 그리고, 광 투과 패턴($2c_1$, $2c_2$)의 치수 $b_1 \sim b_3$ 에 대한 전사 패턴의 치수를 평가했다. 그 평가 결과를 도 22에 도시한다.

도 22의 (a)~(c)는 각각 치수 $b_1 \sim b_3$ 의 측정 결과를 나타내고 있다. 도 22의 (a)~(c)에서, 1중(重)은 도 21의 (a)의 결함이 있는 전사 영역($4A_2$)만 노광한 경우, 2중은 도 21의 (a)의 결함이 있는 전사 영역($4A_2$)과 도 21의 (b)의 결함이 없는 전사 영역($4B_2$)을 재차 노광한 경우, 3중은 2중 노광에 도 21의 (b)의 결함이 없는 전사 영역($4B_2$)을 재차 노광한 경우, 4중은 3중 노광에 도 21의 (b)의 결함이 없는 전사 영역($4B_2$)을 재차 노광한 경우를 각각 나타내고 있다. 어느 쪽의 결함에서도, 무결함 패턴의 중첩 횟수를 늘릴수록 결함의 영향이 적어지는 것을 알 수 있다. 또한, 여기서는 패턴의 치수에 주목하여 평가한 경우에 대해 설명했지만, 패턴의 단선, 쇼트 등의 평가를 한 결과, 3중 노광 이상에서는 결함의 크기에 상관없이 단선, 쇼트의 발생을 방지할 수 있었다. 본 실시 형태 1에서는, 위상 시프트 마스크를 이용하므로, 위상 반전이 생기는 것을 고려하면 중첩 횟수는 짝수 회가 바람직하다.

또한, 본 실시 형태 1의 다중 노광 방법에 따르면, 웨이퍼 상에 전사되는 패턴의 치수 분포 정밀도도 향상시킬 수 있었다. 이것을 도 23 및 도 24를 참조하면서 설명하기로 한다. 도 23은 2중 노광 처리를 행하지 않고 스캐너로 노광(즉, 1회 노광)한 결과를 나타내고 있다. 위치 S1~S4가 1개 칩, 위치 S5~S8이 다른 1개 칩이다. 치수 분포는 마스크의 치수 분포의 영향을 받고 칩의 중앙부가 가늘게 패턴 형성되어 있고, 최대 치수와 최소 치수의 차는, 예를 들면, $0.063\mu\text{m}$ 정도였다. 이에 대해 본 실시 형태 1의 다중 노광 방법에 있어서는, 도 24에 도시한 바와 같이, 도 23의 위치 S1~S4와, 위치 S5~S8을 재차 노광하기 때문에, 치수의 평균화가 이루어져 전사 패턴의 치수 분포 정밀도를 향상시킬 수 있었다. 여기서는, 최대 치수와 최소 치수의 차는, 예를 들면, $0.036\mu\text{m}$ 이었다. 즉, 치수의 변동을 약 절반으로 저감시킬 수 있었다.

상기 노광 조건으로 다중 노광 처리를 행한 본 실시 형태 1에 있어서는, 예를 들면, $0.25\mu\text{m}$ 의 패턴이 칩 전면에서 $0.25 \pm 0.02\mu\text{m}$ 의 정밀도로 양호하게 형성할 수 있었다. 또한, 마스크(2)의 결함에 의한 패턴 사이의 쇼트 불량 등의 발생은 확인되지 않았다.

다음에, 본 실시 형태 1의 마스크(2)의 제조 방법을 설명하기로 한다. 우선, 본 실시 형태 1의 마스크(2)의 제조 방법에 앞서, 본 발명자들이 검토한 마스크 제조 상의 문제점에 대해 설명하기로 한다.

도 25는 본 발명자들이 검토한 마스크의 제조 공정 중의 주요부 단면도를 나타내고 있다. 이 기술에 있어서는, 우선, 도 25의 (a)에 도시한 바와 같이, 마스크 기판(80) 상에 통상의 방법으로 차광 패턴(81) 및 광 투과 패턴(82)을 형성한다. 차광 패턴(82)은 크롬(Cr) 등으로 이루어진다. 계속해서, 도 25의 (b)에 도시한 바와 같이, 시프터 형성용의 레지스트 패턴(83)을 마스크 기판(80) 상에 통상의 방법으로 형성한 후, 레지스트 패턴(83)에서 노출되는 마스크 기판(80)을 드라이 에칭 처리에 의해 홈이 파여진 위상 시프터 형성용 홈(84)을 형성한다. 여기서, 위상차를 180도로 고정밀도로 제어하는 것이 곤란한 경우에는, 레지스트 패턴(83)을 도 25의 (c)에 도시한 바와 같이 제거한 후, 위상차를 측정하고 다음 목표 에칭량을 결정한다. 그 후, 도 25의 (d)에 도시한 바와 같이, 마스크 기판(80) 상에 재차 시프터 형성용의 레지스트 패턴(85)을 통상의 방법으로 형성하고, 목표 에칭량으로 마스크 기판(80)에 대해 습식 에칭 처리를 실시한다. 이 때, 습식 에칭 등과 같은 등방

에칭에 의해, 차광 패턴(81)의 하부도 포함되어 에칭된다. 이에 따라, 미세 차양형의 홈 시프터(86)가 형성된다. 마지막으로, 레지스트 패턴(85)을 제거함으로써, 도 25의 (e)에 도시한 바와 같이, 원하는 마스크 패턴 및 홈 시프터(86)를 갖는 마스크 구조가 완성된다.

상기한 바와 같이 홈 시프터를 갖는 마스크에서는, 위상 제어(즉, 홈의 깊이)에 높은 정밀도가 요구되어 있다. 홈 시프터의 깊이는 노광 파장에 의존하고 있으므로, 패턴의 미세화 요구에 의해 노광 파장도 짧게 되어 있는 것부터 알게 되는 경향이 있다. 따라서, 홈 파기가 용이한 것으로 생각되지만, 실제로는, 그 홈에 허용되는 오차 범위가 홈의 깊이에 대해 결정되어지므로, 홈 시프터의 깊이 정밀도 자체는 엄격하다. 이 때문에, 마스크의 제조가 어렵다. 또한, 이러한 고정밀도 위상 제어나 차양 형상의 형성을 실현하기 위해, 마스크의 제조 공정이 복잡화되어 있다. 이들에 의해, 마스크의 제조 공정수의 증가나 수율의 저하가 큰 문제로 되어 있다.

다음에, 본 실시 형태 1의 마스크(2)의 제조 방법 예를 도 26의 공정에 따라 도 27 및 도 28을 참조하면서 설명하기로 한다.

우선, 마스크 패턴 형성 공정에서는, 도 27의 (a)에 도시한 바와 같이, 마스크 기판(2a)의 주 면 상의 전면에, 예를 들면, 크롬 등으로 이루어지는 차광막을 스퍼터링법 등에 의해 피착한다(공정 201). 계속해서, 그 차광막 상에 포토레지스트막을 도포한 후, 이것을 패터닝함으로써 소정의 포토레지스트 패턴을 형성한다(공정 202). 그 후, 그 포토레지스트 패턴에서 노출되는 차광막 부분을 에칭법 등에 의해 제거함으로써, 차광 패턴(2b) 및 광 투과 패턴(2c)을 형성한다(공정 203). 계속해서, 포토레지스트 패턴을 제거한 후(공정 204), 패턴 결함 등의 유무를 검사한다(공정 205). 그 후, 그 검사 결과에 기초하여 수정할 수 있는 것에 대해 수정한다(공정 206). 지금까지의 공정은 본 발명자들이 검토한 마스크의 제조 기술과 동일하다.

계속해서, 위상 시프터 형성 공정에서는 마스크 기판(2a) 상의 차광 패턴(2b)의 형성면 상에 포토레지스트막을 도포한 후, 그 포토레지스트막을 도 27의 (b)에 도시한 바와 같이 패터닝함으로써 소정의 광 투과 패턴이 노출되고, 그것 이외를 덮는 포토레지스트 패턴(12)을 형성한다(공정 207). 계속해서, 그 포토레지스트 패턴(11)을 에칭 마스크로 하여 그곳에서 노출되는 마스크 기판(2a)을 이방성의 드라이 에칭법에 의해 에칭함으로써 홈 시프터(2d)를 형성한다(공정 208). 그 후, 포토레지스트 패턴(12)을 도 27의 (c)에 도시한 바와 같이 제거한 후(공정 209), 그 마스크(2)의 투과 광의 위상을 검사함으로써(공정 210) 마스크(2)를 제조한다.

이와 같이, 본 실시 형태 1에 있어서는, 상기한 바와 같이 마스크의 위상차 절대치 제어(오차 허용량)의 정밀도를 완화시킬 수 있으므로, 마스크(2)의 제조 프로세스 도중에 위상차의 측정 등을 행하는 필요가 없어 홈 시프터 형성용의 포토레지스트 패턴의 형성 공정을 1회만으로 할 수 있다. 또한, 본 실시 형태 1에 있어서는, 홈 시프터의 유무에서의 광 강도의 차를 다중 노광에 의해 상쇄시킬 수 있기 때문에, 차광 패턴에 차양을 형성할 필요가 없다. 따라서, 본 실시 형태 1에 있어서는, 본 발명자들의 검토한 기술에 비해 마스크(2)의 제조 공정을 간략화할 수 있다. 즉, 마스크(2)의 제조 공정수를 저감시킬 수 있기 때문에, 마스크(2)의 제조 시간을 단축하는 것이 가능해진다. 또한, 마스크(2)의 수율을 향상시키는 것이 가능해진다.

그런데, 극단적인 시프터의 유무에 의해 광 강도의 차가 해상 특성에 악영향을 미치게 하는 경우에는, 도 28에 도시한 바와 같이, 검사 공정(210) 후에, 마스크(2)의 표면 전면에 대해 등방적 습식 에칭을 실시하는 것이 유효하다. 즉, 홈 시프터(2d) 및 홈 시프터(2d)를 배치하지 않은 부분의 양쪽에 습식 에칭을 실시함으로써 차양 구조를 형성한다(공정 211a). 이것은 도 7의 (b)에 도시한 구조의 마스크(2)의 제조 방법이다. 이 경우, 홈 시프터(2d)의 유무에서의 광 강도의 차를 경감시킬 수 있어, 해상 특성의 저하를 방지할 수 있다.

또한, 본 실시 형태 1에 있어서는, 상기한 바와 같이 위상 절대치 제어 정밀도를 완화시킬 수 있기 때문에, 홈 형성 공정(208) 후에, 그 홈 시프터(2d)의 가공 시에 마스크로서 이용한 포토레지스트 패턴(12)(도 27의 (b) 참조)을 마스크로 하여 마스크(2)에 대해 등방적 습식 에칭 처리를 실시함으로써 차양 구조를 형성하더라도 좋다(공정 211b). 이것은, 도 7의 (c)에서 도시한 구조의 마스크(2)의 제조 방법이다. 구조적으로는 본 발명자들이 검토한 도 25의 (e)와 동일 구조가 되지만, 본 실시 형태 1에서는, 포토레지스트막의 도포 및 패터닝 정도를 1회로 할 수 있기 때문에, 상기 검토 기술보다도 마스크(2)의 제조 공정의 간략화가 가능하다.

다음에, 본 발명의 기술 사상을 DRAM(Dynamic Random Access Memory)의 각 패턴을 노광 처리에 의해 전사하는 경우에 적용한 일례를 도 29 및 도 30에 도시한다. 도 30은 도 29의 A-A선의 단면도이다. 본 실시 형태의 노광 방법을 DRAM의 제조 기술에 적용함으로써, 특히, 칩 내의 결함수를 저감시킬 수 있으므로 비트 구제 칩 수를 저감시키는 것이 가능해진다.

반도체 기관(3S)은, 예를 들면, 평면 거의 원형상의 웨이퍼(3)로부터 추출된 DRAM의 평면 사각 형상의 칩을 구성하는 부분으로서, 예를 들면 p형의 단결정 실리콘으로 이루어진다. 이 반도체 기관(3S)의 주 면에는 p형 웰(21)이 형성되고, 그 p형 웰(21)에 DRAM의 메모리셀이 형성되어 있다. 또, 메모리셀이 형성된 영역(메모리 어레이)의 p형 웰(21)은 반도체 기관(3S)의 다른 영역에 형성된 입출력 회로 등으로부터 노이즈가 침입하는 것을 막기 위해, 그 하부에 형성된 n형 반도체 영역(22)에 의해 반도체 기관(3S)으로부터 전기적으로 분리되어 있다.

메모리셀은 메모리셀 선택용 MISFET Qs의 상부에 정보 축적용 용량 소자 C를 배치한 스택형 구조로 구성되어 있다. 메모리셀 선택용 MISFET Qs는 n채널형 MISFET로 구성되고, p형 웰(21)의 활성 영역 L에 형성되어 있다. 활성 영역 L은 도 29의 X 방향을 따라 똑바르게 연장하는 가늘고 긴 섬 형상의 패턴으로 구성되어 있고, 각각의 활성 영역 L에는 소스, 드레인(한 쪽(n형 반도체 영역))을 상호 공유하는 메모리셀 선택용 MISFET Qs가 X 방향으로 인접하여 2개 형성되어 있다.

활성 영역 L을 둘러싸는 소자 분리 영역은 p형 웰(21)에 개공한 얇은 홈에 산화 실리콘막 등으로 이루어지는 절연막을 매립하여 형성한 홈형의 소자 분리부(트렌치 아이솔레이션)(23)에 의해 구성되어 있다. 이 홈형의 소자 분리부(23)에 매립된 절연막은 그 표면이 활성 영역 L의 표면과 거의 동일 높이가 되도록 평탄화 되어 있다. 이러한 홈형의 소자 분리부(23)에 의해 구성된 소자 분리 영역은 활성 영역 L의 단부에 버즈빅(bird's beak)이 생기지 않기 때문에, LOCOS(Local Oxidization of Silicon: 선택 산화)법으로 형성된 동일 치수의 소자 분리 영역(필드 산화막)에 비해 활성 영역 L의 실효 면적이 커진다.

메모리셀 선택용 MISFET Qs는 주로 게이트 절연막(24), 게이트 전극(25) 및 소스, 드레인을 구성하는 한 쌍의 n형 반도체 영역(26, 26)으로 구성되어 있다. 게이트 전극(25)은 워드선 WL과 일체로 구성되어 있고, 동일한 폭, 동일한 스페이스로 Y 방향을 따라 직선으로 연장하고 있다. 게이트 전극(25)(워드선 WL)은, 예를 들면, P(인) 등의 n형 불순물이 도핑된 저 저항 다결정 실리콘막과, 그 상부에 형성된 WN(텅스텐 나이트라이드)막 등으로 이루어지는 배리어 메탈층과, 그 상부에 형성된 W(텅스텐)막 등의 고용점 금속막으로 구성된 폴리 메탈 구조를 갖고 있다. 폴리 메탈 구조의 게이트 전극(25)(워드선 WL)은 다결정 실리콘막이나 폴리사이드막으로 구성된 게이트 전극에 비해 전기 저항이 낮기 때문에, 워드선의 신호 지연을 저감시킬 수가 있다. 다만, 게이트 전극(25)을 다결정 실리콘막의 단체막으로 구성하더라도 좋고, 다결정 실리콘막 상에 텅스텐 실리사이드 등과 같은 실리사이드막을 증착하여 이룬 상기 폴리사이드 구조로 하여도 좋다.

메모리셀 선택용 MISFET Qs의 게이트 전극(25)(워드선 WL)의 상부에는 질화 실리콘막 등으로 이루어지는 캡 절연막(27)이 형성되어 있고, 이 캡 절연막(27)의 상부 및 측벽과 게이트 전극(25)(워드선 WL)의 측벽에는, 예를 들면, 질화 실리콘막으로 이루어지는 절연막(28)이 형성되어 있다. 메모리 어레이의 캡 절연막(27)과 절연막(28)은 메모리셀 선택용 MISFET Qs의 소스, 드레인(n형 반도체 영역(26, 26))의 상부에 자기 정합(자기 정합)으로 콘택트홀을 형성할 때 에칭 스톱퍼로서 사용된다.

메모리셀 선택용 MISFET Qs 상에는, SOG (Spin On Glass)막(29a)이 형성되어 있다. 또한, SOG 막(29a) 상에는 2층의 산화 실리콘 등으로 이루어지는 절연막(29b, 29c)이 형성되어 있고, 상층의 절연막(29c)은 그 표면이 반도체 기관(3S)의 전역에서 거의 동일 높이가 되도록 평탄화 되어 있다.

메모리셀 선택용 MISFET Qs의 소스, 드레인을 구성하는 한 쌍의 n형 반도체 영역(26, 26)의 상부에는 절연막(29c, 29b) 및 SOG 막(29a)을 관통하는 콘택트홀(30a, 30b)이 형성되어 있다. 이들의 콘택트홀(30a, 30b)의 내부에는 n형 불순물(예를 들면, P(인))을 도핑한 저 저항의 다결정 실리콘막으로 구성된 플러그(31)가 매립되어 있다. 콘택트홀(30a, 30b) 바닥부의 X 방향의 직경은 대향하는 2개의 게이트 전극(25)(워드선 WL)의 한 쪽의 측벽의 절연막(28)과 다른 쪽의 측벽의 절연막(28)의 스페이스에 의해 규정되어 있다. 즉, 콘택트홀(30a, 30b)은 게이트 전극(25)(워드선 WL)에 대해 자기 정합으로 형성되어 있다.

도 29에 도시한 바와 같이, 한 쌍의 콘택트홀(30a, 30b) 중, 한 쪽의 콘택트홀(30b)의 Y 방향(도 29의 상하 방향)의 직경은 활성 영역 L의 Y 방향 치수와 거의 동일하다. 이에 대해, 다른 한 쪽의 콘택트홀(30a)(2개의 메모리셀 선택용 MISFET Qs에 의해 공유된 n형 반도체 영역(26) 상의 콘택트홀)의 Y 방향의 직경은 활성 영역 L의 Y 방향 치수보다도 크다. 즉, 콘택트홀(30b)은 Y 방향의 직경이 X 방향(도 29의 좌우 방향)의 직경보다도 큰 거의 장방형의 평면 패턴으로 구성되어 있고, 그 일부는 활성 영역 L에서 떨어져 홈형의 소자 분리부(23) 상에 평면적으로 연장하고 있다. 콘택트홀(30a)을 이러한 패턴으로 구성함으로써 콘택트홀(30a)을 통해 비트선 BL과 n형 반도체 영역(26)을 전기적으로 접속할 때에, 비트선 BL의 폭을 일부에서 굵게 하여 활성 영역 L의 상부까지 연장하기도 하고, 활성 영역 L의 일부를 비트선 BL 방향으로 연장하거나 하지 않더라도 좋으므로, 메모리셀 사이즈를 축소하는 것이 가능해진다.

절연막(29c) 상에는 절연막(32a)이 형성되어 있다. 콘택트홀(30a) 상의 절연막(32a)에는 관통 구멍(33)이 형성되어 있고, 그 내부에는 하층부터 순서대로 Ti(티탄)막, TiN(질화 티탄)막 및 W 막을 적층한 도전막으로 이루어지는 플러그가 매립되어 있다. 관통 구멍(33)은 활성 영역 L에서 떨어진 홈형의 소자 분리부(23)의 상측에 배치되어 있다.

절연막(29c) 상에는 비트선 BL이 형성되어 있다. 비트선 BL은 홈형의 소자 분리부(23)의 상측에 배치되어 있고, 동일한 폭, 동일한 스페이스로 X 방향을 따라 직선으로 연장하고 있다. 비트선 BL은, 예를 들면, 텅스텐막으로 구성되어 있고, 관통 구멍(33) 및 그 하부의 절연막(32a, 29c, 29b), SOG 막(29a) 및 게이트 절연막(24)에 형성된 콘택트홀(30a)을 통해 메모리셀 선택용 MISFET Qs의 소스, 드레인의 한 쪽(2개의 메모리셀 선택용 MISFET Qs에 의해 공유된 n형 반도체 영역(26))과 전기적으로 접속되어 있다. 비트선 BL을 금속 텅스텐으로 구성함으로써, 그 시트 저항을 저감시킬 수 있으므로 정보의 관독, 기입을 고속으로 행할 수 있다. 또한, 비트선 BL과 주변 회로의 배선을 동일한 공정에서 동시에 형성할 수가 있기 때문에, DRAM의 제조 공정을 간략화할 수가 있다. 또한, 비트선 BL을 내열성 및 일렉트로마이그레이션 내성이 높은 금속 텅스텐으로 구성함으로써 비트선 BL의 폭을 미세화한 경우라도, 단선을 확실하게 방지할 수가 있다.

비트선 BL 상에는, 예를 들면, 산화 실리콘으로 이루어지는 절연막(32b, 32c)이 형성되어 있다. 상층의 절연막(32c)은 그 표면이 반도체 기판(3S)의 전역에서 거의 동일 높이가 되도록 평탄화 되어 있다. 메모리셀 어레이의 절연막(32c) 상에는 질화 실리콘 등으로 이루어지는 절연막(34)이 형성되어 있고, 이 절연막(34) 상에는 정보 축적용 용량 소자 C가 형성되어 있다. 정보 축적용 용량 소자 C는 하부 전극(축적 전극)(35a)과 상부 전극(플레이트 전극)(35b)과 이들의 사이에 설치된 Ta₂O₅(산화 탄탈) 등으로 이루어지는 용량 절연막(유전체막)(35c)을 갖고 있다. 하부 전극(35a)은, 예를 들면 P(인)가 도핑된 저 저항 다결정 실리콘막으로 이루어지고, 상부 전극(35b)은, 예를 들면 TiN 막으로 이루어진다. 정보 축적용 용량 소자 C의 하부 전극(35a)은 절연막(34) 및 그 하층의 절연막(32c, 32b, 32a)을 관통하는 관통 구멍(36) 내에 매립된 플러그(37)를 통해 콘택트홀(30b) 내의 플러그(31)와 전기적으로 접속되고, 또한 플러그(31)를 통해 메모리셀 선택용 MISFET Qs의 소스, 드레인의 다른 쪽(n형 반도체 영역(26))과 전기적으로 접속되어 있다.

정보 축적용 용량 소자 C의 상부에는 2층의 산화 실리콘 등으로 이루어지는 절연막(38)이 형성되고, 그 상부에는 제2층제의 배선(39L₂)이 형성되어 있다. 이 제2층제의 배선(39L₂) 상에는 2층의 산화 실리콘 등으로 이루어지는 절연막(40a, 40b)이 형성되어 있다. 이 중, 하층의 절연막(40a)은 배선(39L₂)의 겹 충전성이 우수한 고 밀도 플라즈마(High Density Plasma) CVD법에 의해 형성되어 있다. 또한, 그 위의 절연막(40b)은 그 표면이 반도체 기판(3S)의 전역에서 거의 동일 높이가 되도록 평탄화 되어 있다. 이 절연막(40b) 상에는 제3층제의 배선(39L₃)이 형성되어 있다. 제2, 제3층제의 배선(39L₂, 39L₃)은, 예를 들면, Al(알루미늄) 합금을 주 성분으로 하는 도전막으로 구성되어 있다.

이와 같이 본 실시 형태 1에 의하면, 이하의 효과를 얻는 것이 가능해진다.

- (1). 마스크(2)의 동일 패턴이지만, 투과 광의 위상이 180도 반전하는 패턴을 웨이퍼(3)의 동일 영역에 재차 노광함으로써 홈 시프터(2d)를 갖는 마스크(2)의 위상 오차 허용량(위상차 절대치 제어 정밀도)을 완하시키는 것이 가능해진다.
- (2). 마스크(2)의 동일 패턴을 웨이퍼(3)의 동일 영역에 재차 노광함으로써 홈 시프터(2d)를 갖는 마스크(2)의 결함 검사의 한계 치수를 완하시키는 것이 가능해진다. .
- (3). 마스크(2)의 동일 패턴이지만, 투과 광의 위상이 180도 반전하는 패턴을 웨이퍼(3)의 동일 영역에 재차 노광함으로써 홈 시프터(2d)의 배치의 유무에 의한 인접 전사 패턴의 치수의 변동을 억제 또는 방지하는 것이 가능해진다.
- (4). 상기 (3)에 의해, 마스크(2)의 홈 시프터(2d)를 차양 구조로 할 필요가 없어진다.
- (5). 상기 (1), (2) 또는 (4)에 의해, 마스크(2)의 제조 상의 용이성을 향상시키는 것이 가능해진다.
- (6). 상기 (1), (2), (3), (4) 또는 (5)에 의해, 마스크(2)의 제조 수율을 향상시키는 것이 가능해진다.
- (7). 마스크(2)의 동일 패턴을 웨이퍼(3)의 동일 영역에 재차 노광함으로써 마스크(2) 내의 마스크 패턴 치수 분포를 평균화할 수가 있으므로 마스크 패턴의 치수차에 의한 전사 패턴의 치수 변동을 억제 또는 방지하는 것이 가능해진다.

(8). 스캐닝 노광 시에 스캔 방향을 따라 마스크(2)의 동일 패턴을 재차 노광함으로써, 노광 장치(1)의 광학계의 렌즈 수차를 평균화하는 것이 가능해진다.

(9). 상기 (1), (7), (8) 등에 의해, 전사 패턴의 치수 정밀도를 향상시키는 것이 가능해진다.

(10). 상기 (1), (7), (8), (9) 등에 의해, 반도체 집적 회로 장치의 수율을 향상시키는 것이 가능해진다.

(11). 상기 (1), (7), (8), (9) 등에 의해, 반도체 집적 회로 장치의 신뢰성을 향상시키는 것이 가능해진다.

(12). 상기 (1), (7), (8), (9) 등에 의해 반도체 집적 회로 장치의 성능을 향상시키는 것이 가능해진다.

(13). 상기 (1), (7), (8), (9) 등에 의해, 반도체 집적 회로 장치의 소자나 배선의 집적도를 향상시키는 것이 가능해진다.

(실시 형태 2)

본 발명자들이 조사한 결과에 따르면, 주된 광 투과 패턴의 주위에 보조 마스크 패턴을 배치한 위상 시프트 마스크에 있어서, 홈 시프터의 배치 방법, 구체적으로는 홈 시프터를 주된 광 투과 패턴에 배치한 경우와 보조 패턴에 배치한 경우에 따라 전사되는 패턴의 해상 치수가 다르다는 것을 새롭게 발견했다. 보조 마스크 패턴은 상기한 바와 같이, 주된 광 투과 패턴의 해상 특성을 향상시키기 위한 패턴으로서, 웨이퍼 상에 투영되었을 때, 웨이퍼 상에는 독립된 상을 형성하지 않도록 마스크에 개구된 광 투과 패턴이다.

이러한 위상 시프트 마스크의 주요부를 도 31 및 도 32에 도시한다.

도 31의 (a)는 마스크(2)의 주요부 평면도를 도시하고, (b)는 (a)의 A-A선의 단면도를 나타내고 있다. 평면 띠형상으로 형성된 광 투과 패턴(2c)은 마스크 기판(2a) 상의 차광막이 개구되어 이루어진다. 광 투과 패턴(2c)은 노광 처리에 의해 웨이퍼 상에 전사되는 주된 패턴이다. 그 광 투과 패턴(2c)의 양 긴 변의 근방에는 평면 띠형상의 보조 마스크 패턴(2cs)이 소정 평면 길이의 차광 패턴(2b)을 사이에 두고 광 투과 패턴(2c)에 대해 평행하게 배치되어 있다. 보조 마스크 패턴(2cs)은 광 투과 패턴(2c)의 해상도 특성을 향상시키기 위해 마스크 기판(2a) 상의 차광막을 개구함으로써 형성되어 있다. 보조 마스크 패턴(2cs)의 길이 방향의 길이는 광 투과 패턴(2c)의 길이 방향 길이와 동일하지만, 그 폭은 웨이퍼 상에는 전사되지 않도록 광 투과 패턴(2c)보다도 가늘게 설계되어 있다. 도 31에서는, 광 투과 패턴(2c)을 투과한 광과 보조 마스크 패턴(2cs)을 투과한 광에 의해 위상이 180도 반전하도록 보조 마스크 패턴(2cs)에 홈 시프터(2d)가 배치되어 있다.

한편, 도 32의 (a)는 도 31의 마스크(2)의 동일 평면에서의 다른 평면 위치의 주요부 평면도를 도시하고, (b)는 (a)의 A-A선의 단면도를 나타내고 있다. 광 투과 패턴(2c) 및 보조 마스크 패턴(2cs)의 형상, 치수 및 기능 등은 도 31과 동일하다. 다만, 도 32에서는, 광 투과 패턴(2c)을 투과한 광과 보조 마스크 패턴(2c)을 투과한 광에 의해 위상이 180도 반전하도록 광 투과 패턴(2c)에 홈 시프터(2d)가 배치되어 있다. 즉, 도 31과 도 32에서는 마스크(2)의 동일 평면 위치의 투과 광의 위상을 비교했을 때에, 그 각각의 광의 위상이 180도 반전하도록 되어 있다.

본 발명자들의 조사 결과에 따르면, 이러한 마스크(2)를 이용하여 1회 노광 처리를 한 경우, 도 31과 도 32에서는 전사 패턴의 치수가 다르다 것을 새롭게 발견했다. 그래서, 본 실시 형태 2에 있어서도, 상기 실시 형태 1과 마찬가지로, 도 31의 마스크 패턴과 도 32의 마스크 패턴을 웨이퍼의 동일 영역에 재차 노광(다중 노광)함으로써 상기 실시 형태 1에서 설명한 것과 동일 이유로 웨이퍼에 전사되는 패턴의 치수 정밀도를 대폭 향상시키는 것이 가능해진다.

(실시 형태 3)

본 실시 형태 3에 있어서는, 홀 패턴에 대한 적용 예를 설명한다. 홀 패턴은 컨택트홀이나 관통 구멍 등과 같은 다른 층간을 전기적으로 접속하기 위해 절연막에 천공되는 구멍 패턴이다.

도 33의 (a)는 마스크(2)의 주요부 평면도를 도시하고, (b), 및 (c)는 각각 (a)의 A-A선 및 B-B선의 단면도를 나타내고 있다. 이 마스크(2)에는 노광 처리 시에 중첩시키는 2개의 전사 영역(4E, 4F)이 도시되어 있다. 전사 영역(4E, 4F)은 동일 마스크(2)의 동일 평면의 다른 평면 위치에 배치되어 있다. 전사 영역(4E, 4F)에는, 예를 들면, 평면 정방형의 광 투과 패턴(2c₃)과, 그 4 주변을 둘러싸는 보조 마스크 패턴(2cs) 및 평면 정방형의 복수의 광 투과 패턴(2c₄)가 배치되어 있다.

광 투과 패턴(2c₃)은 고립된 홀 패턴을 전사하기 위한 패턴으로서, 마스크 기관(2a) 상의 차광막이 개구되어 형성되어 있다. 보조 패턴(2cs)은 광 투과 패턴(2c₃)의 해상도 향상을 목적으로 한 패턴으로서, 해상 한계 이하의 패턴 폭으로 형성되어 있다. 광 투과 패턴(2c₃)과 보조 마스크 패턴(2cs)에서는, 각각을 투과한 광의 위상이 180도 반전하도록 어느 한 쪽에 홈 시프터(2d)가 배치되어 있다. 이 경우, 전사 영역(4E)에서는 보조 마스크 패턴(2cs)에 홈 시프터(2d)가 배치되고, 전사 영역(4F)에서는 광 투과 패턴(2c₃)에 홈 시프터(2d)가 배치되어 있다. 즉, 광 투과 패턴(2c₃) 및 보조 마스크 패턴(2cs)의 형성 영역에서 전사 영역(4E)과 전사 영역(4F)에서는, 동일 평면 위치의 투과 광의 위상을 비교했을 때에, 그 각각의 광의 위상이 180도 반전하도록 되어 있다.

또한, 광 투과 패턴(2c₄)은 반복하여 밀하게 배치된 홀 패턴을 전사하기 위한 패턴으로서, 도 33의 (a)의 상하 좌우 방향으로 소정의 간격을 두고 규칙적으로 복수 배치되어 있다. 이 복수의 광 투과 패턴(2c₄)에 있어서는, 상호 인접하는 광 투과 패턴(2c₄)의 각각을 투과한 광의 위상이 180도 반전하도록 홈 시프터(2d)가 배치되어 있다. 이 경우, 복수의 광 투과 패턴(2c₄)의 일군에 있어서 전사 영역(4E)과 전사 영역(4F)에서는, 동일 평면 위치의 투과 광의 위상을 비교했을 때에, 그 각각의 광의 위상이 180도 반전하도록 되어 있다.

이러한 전사 영역(4E, 4F)을 웨이퍼 상의 동일 영역에 재차 노광(다중 노광)함으로써, 상기 실시 형태 1에서 설명한 것과 동일 이유로 미세 홀 패턴을 높은 치수 정밀도로 양호하게 웨이퍼 상에 전사하는 것이 가능해진다.

이상, 본 발명자에 의해 이루어진 발명을 실시 형태에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시의 형태 1~3에만 한정되는 것이 아니고, 그 요지를 일탈하지 않은 범위에서 여러 가지 변경 가능한 것은 물론이다.

예를 들면, 상기 실시 형태 1~3에 있어서는, 동일 마스크의 동일 평면의 다른 평면 위치의 동일 마스크 패턴을 재차 노광하는 경우에 대해 설명했지만, 이것에만 한정되는 것이 아니고, 예를 들면, 물리적으로 떨어진 다른 마스크에 형성된 동일 마스크를 재차 노광하더라도 좋다.

또한, 노광 조건은 상기 실시의 형태 1~3에서 설명한 것에만 한정되는 것이 아니라 여러 가지 변경 가능하다. 예를 들면 노광 광으로서 노광 파장 365nm의 i 선을 이용하여도 좋다. 조명으로서 경사 조명이나 링형 조명 등과 같은 변형 조명을 이용하여도 좋다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경이 된 이용 분야인 DRAM에 적용한 경우에 대해 설명했지만, 그것에만 한정되는 것이 아니고, 예를 들면, SRAM(Static Random Access Memory) 또는 플래시 메모리(EEPROM; Electric Erasable Programmable Read Only Memory) 등과 같은 메모리 회로를 갖는 반도체 집적 회로 장치, 마이크로 프로세서 등과 같은 논리 회로를 갖는 반도체 집적 회로 장치, 또는 상기 메모리 회로와 논리 회로를 동일 반도체 기관에 설치하고 있는 혼재형의 반도체 집적 회로 장치에도 적용할 수 있다. 특히, 최소 가공 치수가 0.15 μ m 이하인 최첨단 제품에서의 위상 시프트 마스크를 이용한 리소그래피 기술에 적용하기에 유효한 기술이다.

발명의 효과

본원에서 개시된 발명 중, 대표적인 것에 의해 얻어지는 효과를 간략히 설명하면, 아래와 같다.

- (1). 본 발명에 의하면, 마스크의 동일 패턴이지만, 투과 광의 위상이 반전하는 패턴을 웨이퍼의 동일 영역에 재차 노광함으로써, 홈 시프터 구조를 갖는 마스크에서 위상 절대치 제어 정밀도를 완화시킬 수 있다.
- (2). 본 발명에 의하면, 마스크의 동일 패턴이지만, 투과 광의 위상이 반전하는 패턴을 웨이퍼의 동일 영역에 재차 노광함으로써 홈 시프터 구조를 갖는 마스크를 이용하여 전사된 패턴의 치수 정밀도를 향상시킬 수 있다.
- (3). 본 발명에 의하면, 마스크의 동일 패턴을 웨이퍼의 동일 영역에 재차 노광함으로써 홈 시프터 구조를 갖는 마스크의 검사 결함 검출 치수를 완화시킬 수 있다.
- (4). 본 발명에 의하면, 상기 (1) 또는 (3)에 의해, 홈 시프터 구조를 갖는 마스크의 제조 용이성을 향상시킬 수 있다.

- (5). 본 발명에 의하면, 상기 (1), (2) 또는 (3)에 의해, 홈 시프터 구조를 갖는 마스크의 제조 상의 수율을 향상시킬 수 있다.
- (6). 본 발명에 의하면, 상기 (1), (2) 또는 (3)에 의해, 반도체 집적 회로 장치의 수율을 향상시킬 수 있다.
- (7). 본 발명에 의하면, 상기 (1), (2) 또는 (3)에 의해, 반도체 집적 회로 장치의 신뢰성을 향상시킬 수 있다.
- (8). 본 발명에 의하면, 상기 (1), (2) 또는 (3)에 의해, 반도체 집적 회로 장치의 성능을 향상시킬 수 있다.
- (9). 본 발명에 의하면, 상기 (1), (2) 또는 (3)에 의해, 반도체 집적 회로 장치의 소자나 배선의 집적도를 향상시킬 수 있다.

도면의 간단한 설명

도 1은 본 발명의 실시 형태인 반도체 집적 회로 장치의 제조 방법의 개략적인 제조 공정을 도시한 설명도.

도 2는 도 1의 반도체 집적 회로 장치의 제조 방법에서 이용하는 노광 장치의 일례를 도시한 설명도.

도 3은 도 2의 노광 장치의 주요부를 발췌하여 도시한 설명도.

도 4는 도 2 및 도 3의 노광 장치의 노광 영역을 모식적으로 도시한 평면도.

도 5는 스테퍼의 노광 영역을 모식적으로 도시한 평면도.

도 6의 (a)는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에 이용한 마스크의 일례에 대한 전체 평면도, 도 6의 (b) 및 (c)는 각각 (a)의 A-A선 및 B-B선의 단면도.

도 7의 (a) 내지 (c)는 도 6의 각 종 마스크 주요부의 단면도.

도 8의 (a) 내지 (c)는 도 6의 각 종 마스크 주요부의 단면도.

도 9는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에 있어서의 노광 처리 공정을 설명하기 위한 설명도.

도 10의 (a)는 본 발명자들이 검토한 위상 시프트 마스크의 부분 단면도, (b)는 (a)의 위상 시프트 마스크의 투과 광의 강도 분포를 도시한 그래프, (c)는 (a)의 위상 시프트 마스크에 의해 전사된 패턴의 평면도.

도 11의 (a)는 본 발명자들이 검토한 위상 시프트 마스크의 부분 단면도, (b)는 (a)의 위상 시프트 마스크의 투과 광의 강도 분포를 도시한 그래프, (c)는 (a)의 위상 시프트 마스크에 의해 전사된 패턴의 평면도.

도 12는 본 발명자들이 검토한 위상 시프트 마스크를 이용한 노광 처리에 있어서, 라인 앤드 스페이스(패턴)의 치수와, 각 치수에 있어서의 패턴의 치수차의 관계를 도시한 그래프.

도 13은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에 있어서의 노광 처리의 광 강도 분포를 시뮬레이션하여 얻어진 그래프.

도 14는 본 발명자들이 검토한 노광 처리의 광 강도 분포를 시뮬레이션하여 얻어진 그래프.

도 15의 (a)는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에 있어서의 노광 처리에서 이용한 마스크의 중첩시키는 2개의 전사 영역의 평면도, (b)는 (a)의 A-A선 및 B-B선의 단면도, (c)는 각각의 전사 영역을 투과한 광의 강도 분포를 도시한 그래프.

도 16은 본 발명자들이 검토한 기술로서 스테퍼를 이용하여 노광 처리를 행한 경우에 전사 패턴에 위치 어긋남이 생긴 것을 모식적으로 도시하는 설명도.

도 17의 (a), (b)는 본 발명자들이 검토한 기술로서 포토마스크 상의 다른 평면 위치 좌표의 전사 영역을 스테퍼를 이용하여 전사한 모습을 모식적으로 도시하는 설명도.

도 18은 본 발명의 기술 사상으로서 포토마스크 상의 다른 평면 위치 좌표의 전사 영역을 스캐너를 이용하여 전사한 모습을 모식적으로 도시하는 설명도.

도 19의 (a)는 마스크의 전사 영역의 주요부의 평면도, (b)는 (a)의 A-A선의 단면도, (c)는 스캐너를 이용한 노광 처리 시에 (a)의 포토마스크를 1회 노광한 경우의 포토레지스트 패턴의 평면도.

도 20의 (a)는 마스크의 2개소의 전사 영역의 주요부의 평면도, (b)는 (a)의 A-A선의 단면도, (c)는 스캐너를 이용하여 (a)의 2개소의 전사 영역을 재차 노광한 경우의 포토레지스트 패턴의 평면도.

도 21의 (a)는 마스크에서 결함이 존재하는 전사 영역의 주요부의 평면도, (b)는 마스크에서 결함이 존재하지 않는 전사 영역의 주요부의 평면도.

도 22의 (a) 내지 (c)는 스캐너에 의한 노광 처리 시에 도 21의 (a)의 마스크만 이용한 경우 및 도 21의 (a), (b)의 마스크를 2회 또는 그 이상 재차 노광한 경우에 전사된 패턴의 치수에 대한 평가 결과를 도시한 그래프.

도 23은 스캐너를 이용한 노광 처리 시에 포토마스크를 1회 노광한 경우의 패턴 치수 분포 정밀도를 도시하는 그래프.

도 24는 스캐너를 이용한 노광 처리 시에 다중 노광한 경우의 패턴 치수 분포 정밀도를 도시하는 그래프.

도 25는 (a) 내지 (e)는 본 발명자들이 검토한 마스크의 제조 공정 중에 있어서의 부분 단면도.

도 26은 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에서 이용하는 마스크의 제조 공정의 흐름도.

도 27의 (a) 내지 (e)는 마스크의 제조 공정 중에 있어서의 주요부의 단면도.

도 28은 도 26의 마스크의 제조 공정 중에 있어서의 주요부의 단면도.

도 29는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에 있어서의 노광 방법을 적용하여 제조된 반도체 집적 회로 장치의 주요부의 평면도.

도 30은 도 29의 A-A선의 단면도.

도 31의 (a)는 본 발명의 일 실시 형태인 반도체 집적 회로 장치의 제조 방법에서 이용하는 마스크의 주요부의 평면도, (b)는 (a)의 A-A선의 단면도.

도 32의 (a)는 도 31의 마스크에 있어서의 다른 평면 위치의 주요부의 평면도, (b)는 (a)의 A-A선의 단면도.

도 33의 (a)는 본 발명의 또 다른 실시 형태인 반도체 집적 회로 장치의 제조 방법에서 이용한 마스크의 주요부의 평면도, (b) 및 (c)는 (a)의 A-A선 및 B-B선의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

1: 노광 장치

1a: 노광 광원

1b: 플라이아이 렌즈

1c: 어퍼튜어

1d₁, 1d₂: 컨덴서 렌즈

1e: 미러

1f: 어퍼튜어

1fs: 슬릿

1g: 투영 렌즈

1ga: 유효 노광 영역

1h: 마스크 위치 제어 수단

1i₁: 미러

1i₂: 마스크 스테이지

1j: 시료대

1k: Z 스테이지

1m: XY 스테이지

1n: 주 제어계

1p, 1q: 구동 수단

1r: 미러

1s: 레이저 길이 측정기

1t: 얼라인먼트 검출 광학계

1u: 네트워크 장치

2: 마스크

2a: 마스크 기관

2b: 차광 패턴

2c: 광 투과 패턴

2c₁, 2c₂: 광 투과 패턴

2c₃, 2c₄: 광 투과 패턴

2cs: 보조 마스크 패턴

2d: 홈 시프터

2e: 광 투과 패턴

2f: 홈

2g: 시프터막

2p: 페리클

3: 웨이퍼

3S: 반도체 기판

4A, 4B: 전사 영역

4A₁, 4B₁: 전사 영역

4A₂, 4B₂: 전사 영역

4C, 4D: 전사 영역

5A 내지 5E: 영역

5A₁, 5A₂: 전사 영역

5B₁, 5B₂: 전사 영역

5C₁, 5C₂: 전사 영역

5D₁, 5D₂: 전사 영역

5E₁, 5E₂: 전사 영역

6a, 6b: 광 강도 피크

7: 설계 패턴

7a, 7b: 변

8: 변

8a, 8b: 변

9a, 9b: 전사 영역

10a: 포토레지스트 패턴

11: 포토레지스트 잔류물

12: 포토레지스트 패턴

21: p형 웰

22: n형 반도체 영역

23: 소자 분리부

24: 게이트 절연막

25: 게이트 전극

26: n형 반도체 영역

27: 갭 절연막

28: 절연막

29a: SOG 막

29b, 29c: 절연막

30a, 30b: 콘택트홀

31: 플래그

32a 내지 32c: 절연막

33: 관통 구멍

34: 절연막

35a: 하부 전극

35b: 상부 전극

35c: 용량 절연막

36: 관통 구멍

37: 플래그

38: 절연막

39L₂: 배선

50: 위상 시프트 마스크

50a: 마스크 기판

50b: 차광 패턴

50c: 광 투과 패턴

50d: 홈 시프터

60: 설계 패턴

61, 62: 전사 패턴

63a, 63b: 전사 영역

64: 마스크

65: 전사 영역

66: 광 투과 패턴

67: 홈 시프터

68a, 68b: 결함

68c, 68d: 투명 결함

68e: 차광 결함

69: 포토레지스트 패턴

70a, 70b: 포토레지스트 잔류물

80: 마스크 기판

81: 차광 패턴

82: 광 투과 패턴

83: 레지스트 패턴

84: 홈

85: 레지스트 패턴

86: 홈 시프터

EXL: 노광 광

CA: 칩 형성 영역

SA₁, SA₂: 노광 영역

Z: 깊이

Qs: 메모리셀 선택용 MISFET

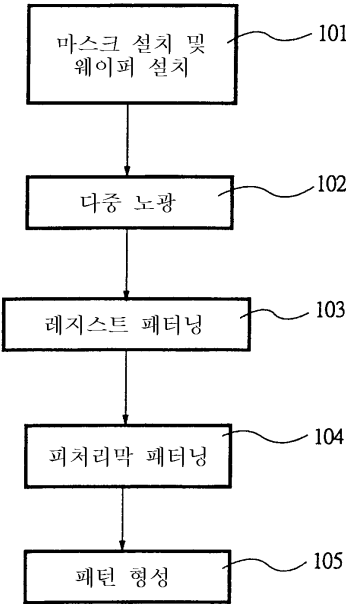
C: 정보 축적용 용량 소자

BL: 비트선

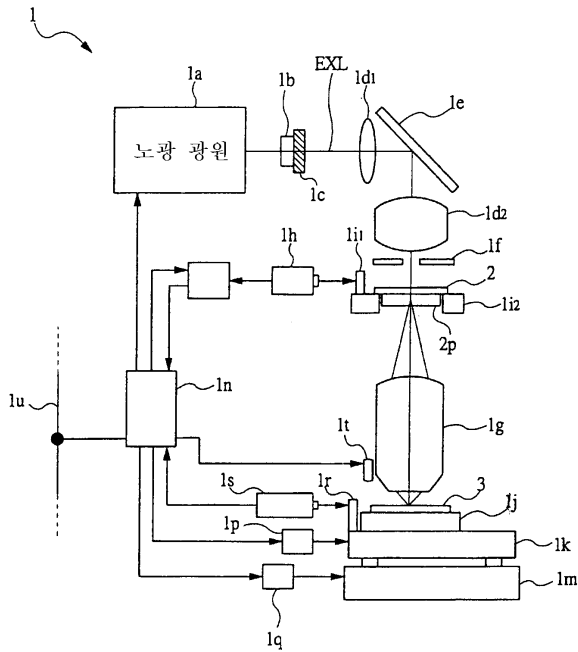
WL: 워드선

도면

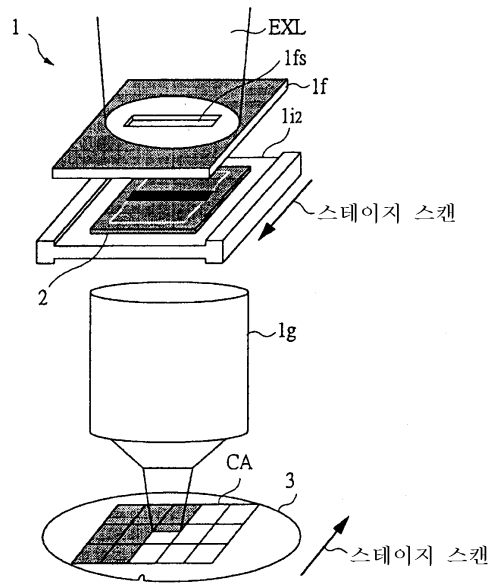
도면1



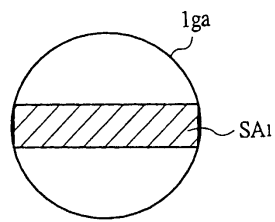
도면2



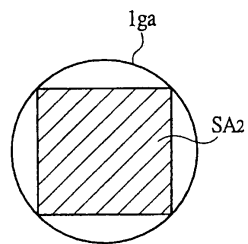
도면3



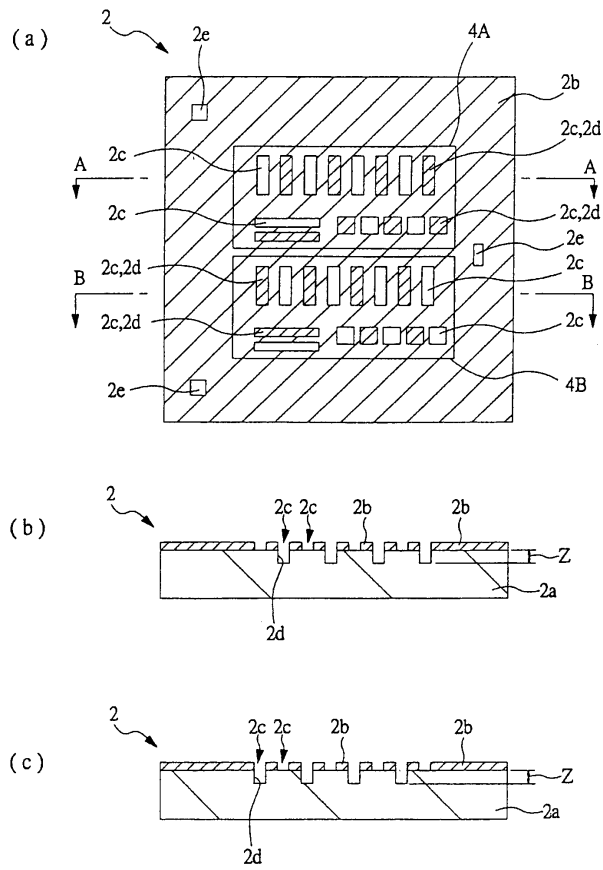
도면4



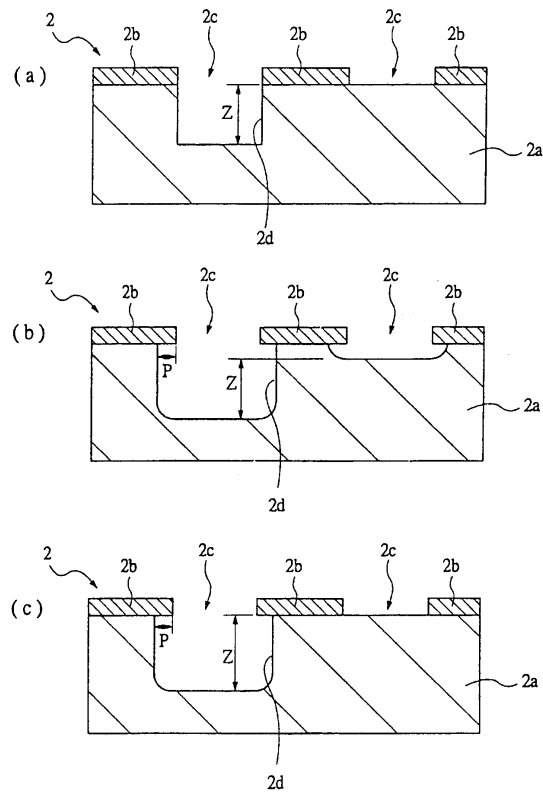
도면5



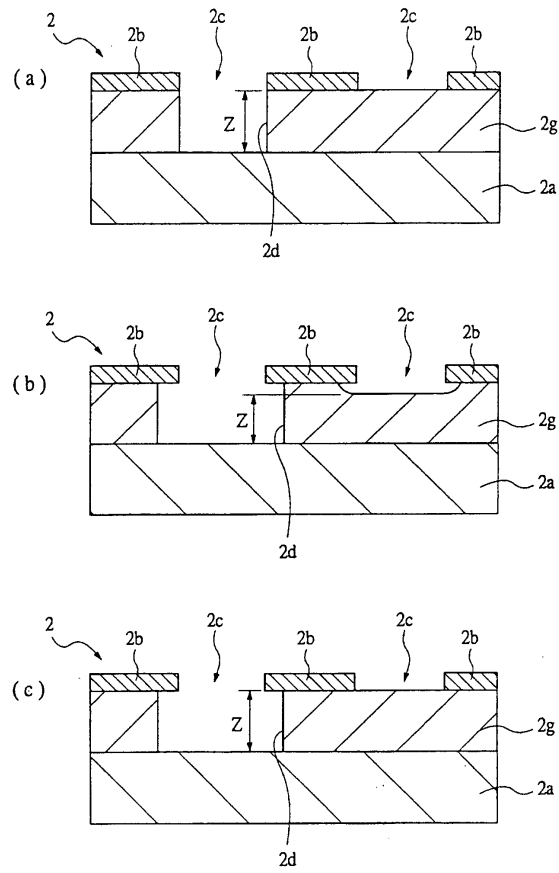
도면6



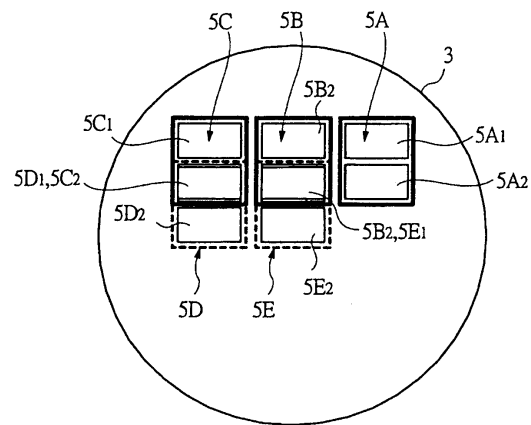
도면7



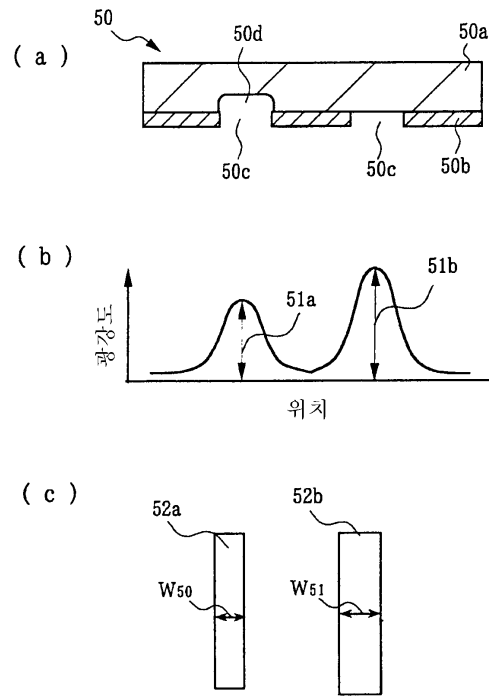
도면8



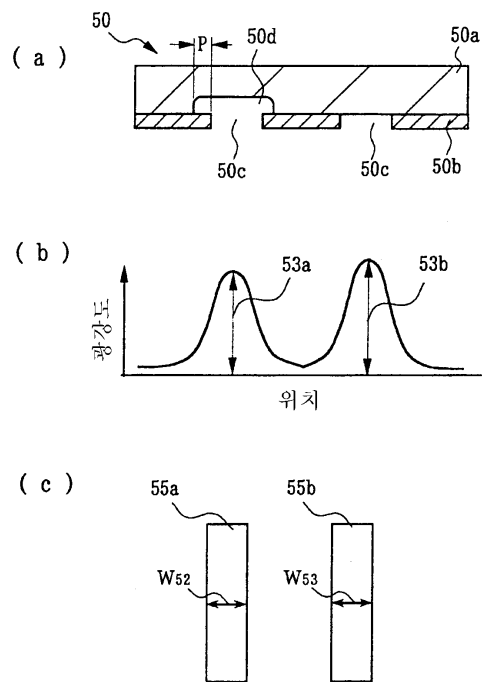
도면9



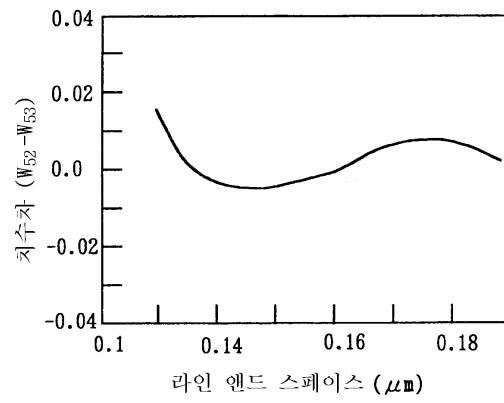
도면10



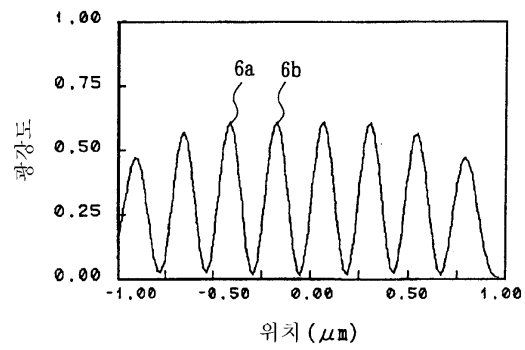
도면11



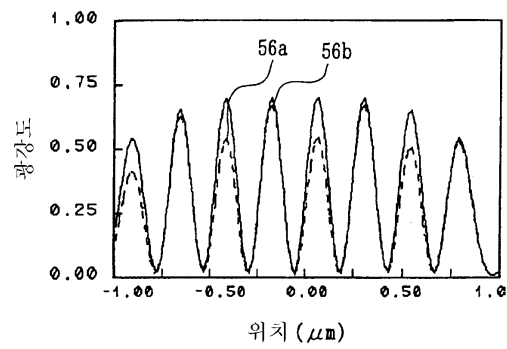
도면12



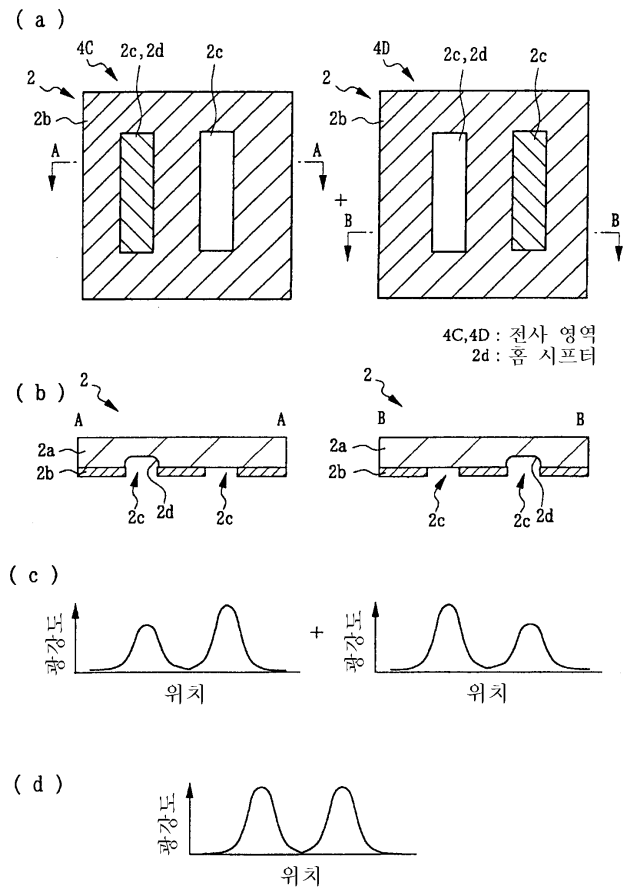
도면13



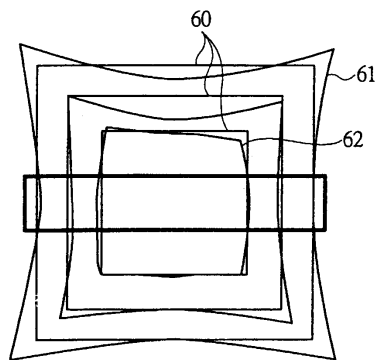
도면14



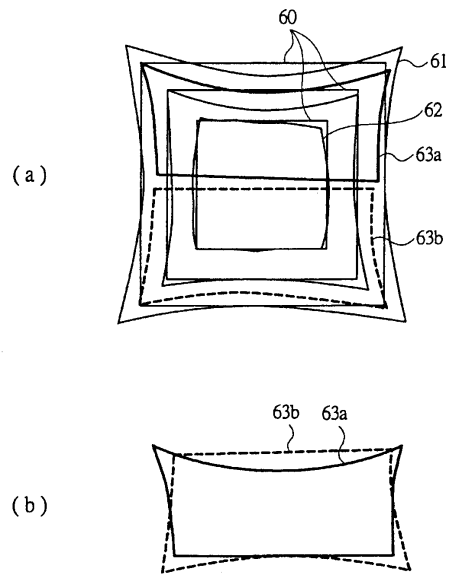
도면15



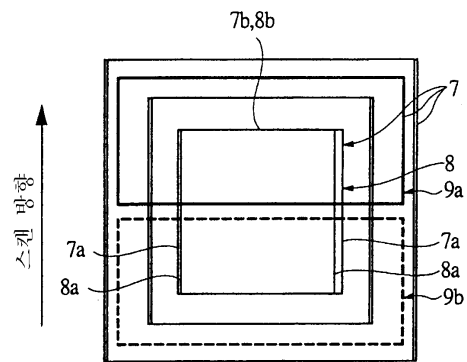
도면16



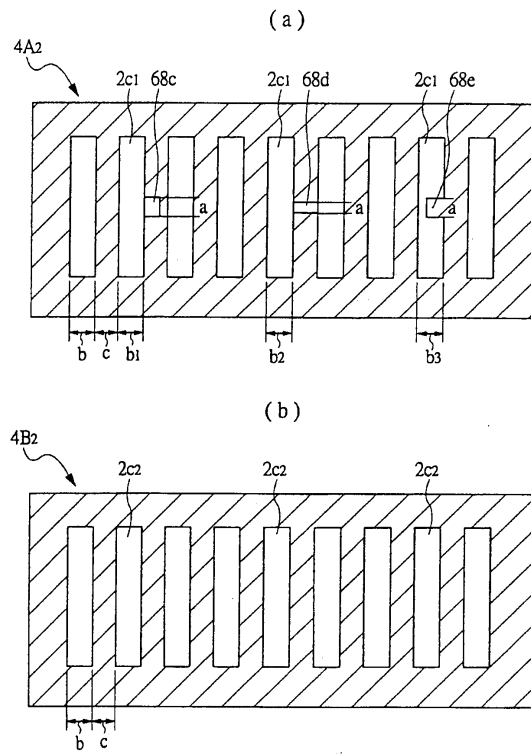
도면17



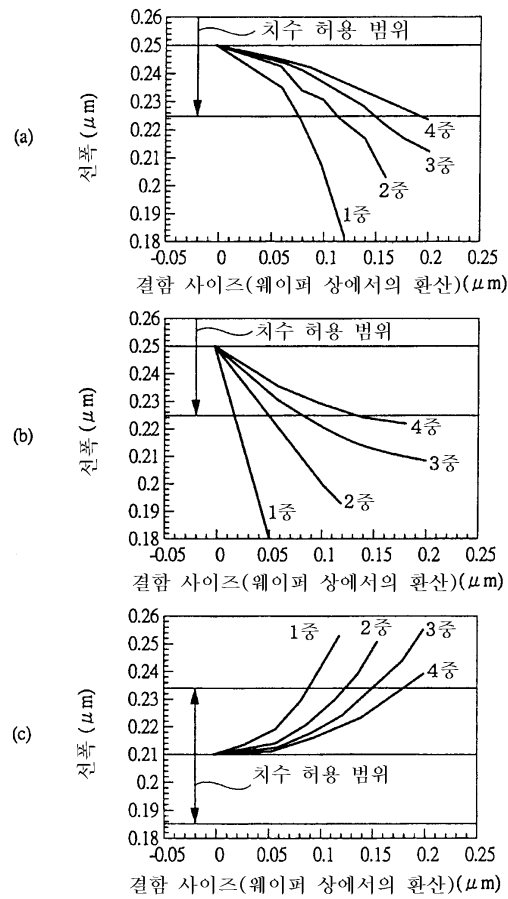
도면18



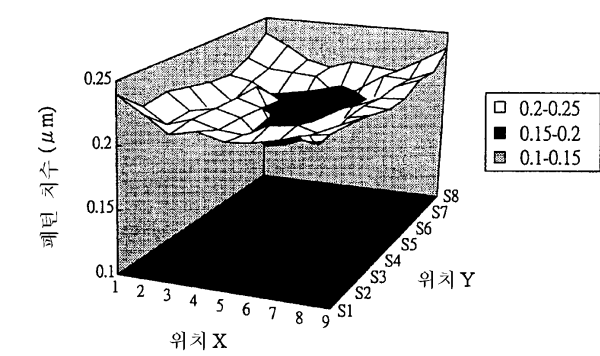
도면21



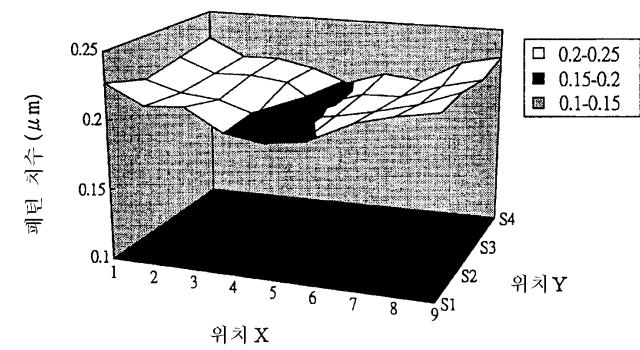
도면22



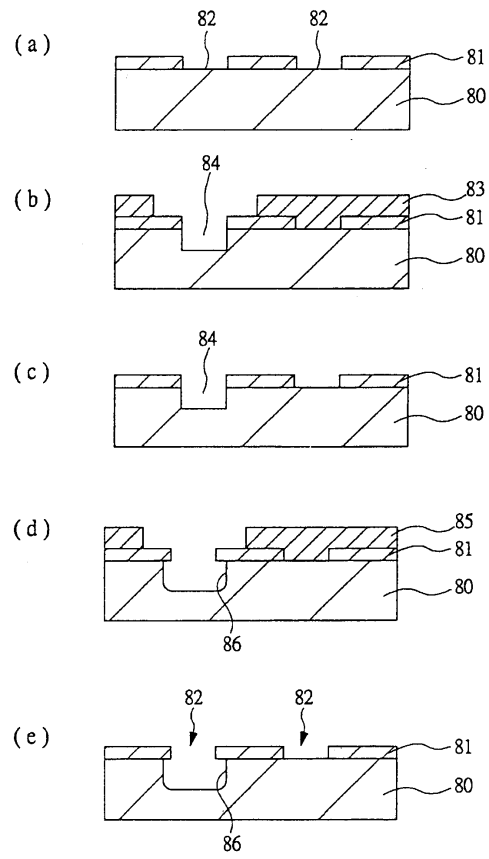
도면23



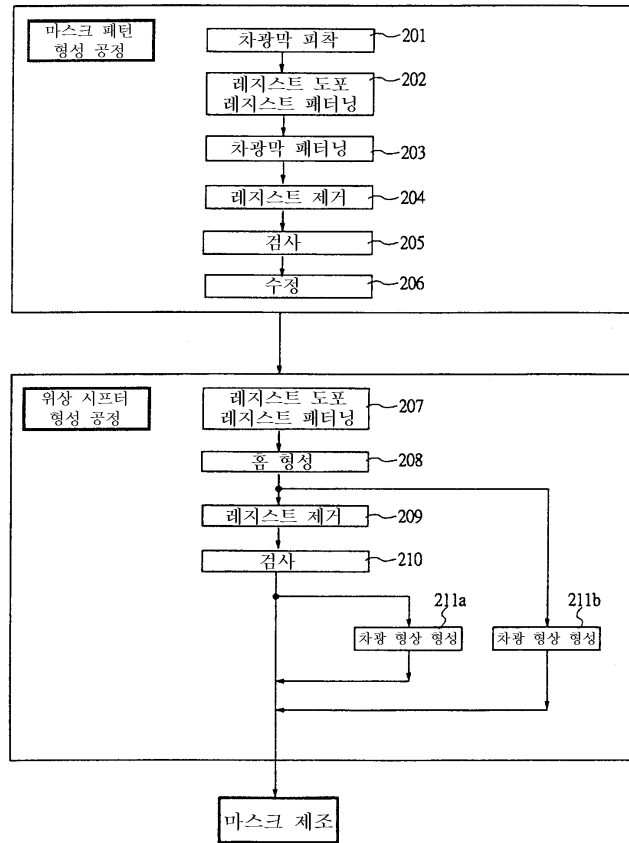
도면24



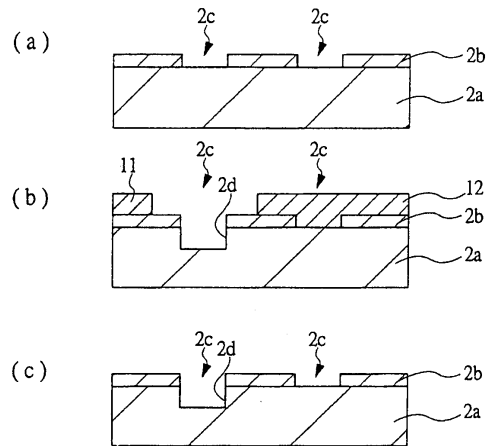
도면25



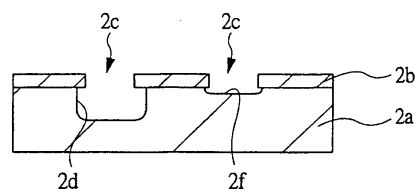
도면26



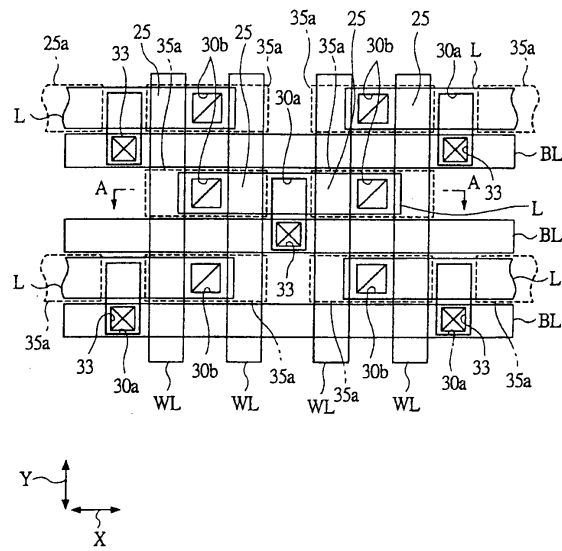
도면27



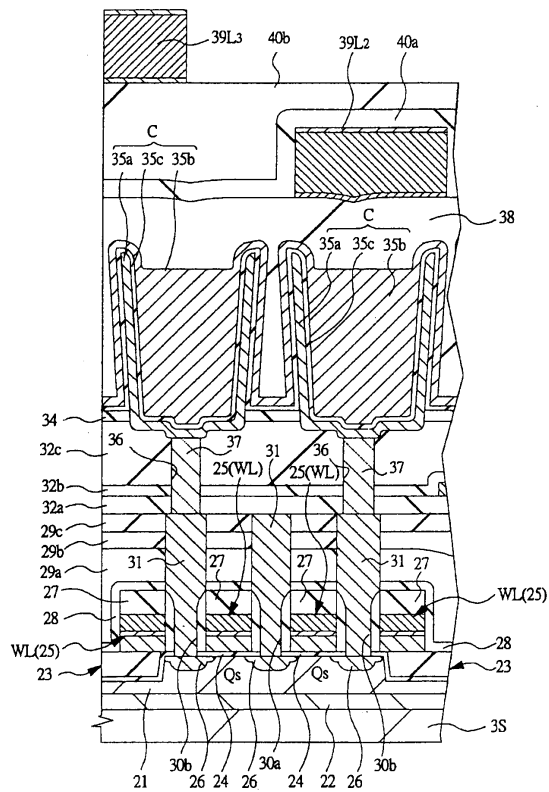
도면28



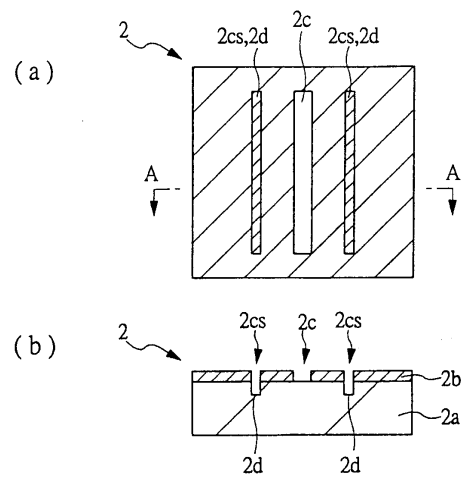
도면29



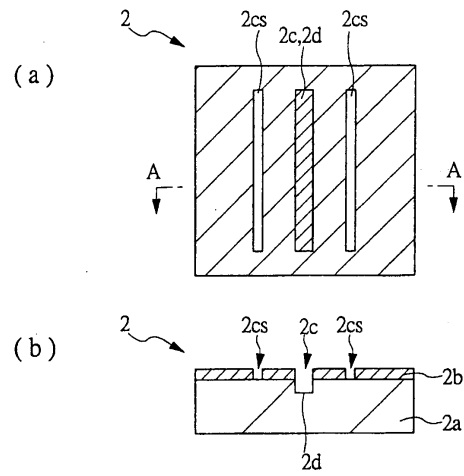
도면30



도면31



도면32



도면33

