



## (12) 发明专利

(10) 授权公告号 CN 1656759 B

(45) 授权公告日 2011.05.25

(21) 申请号 03812143.3

(51) Int. Cl.

(22) 申请日 2003.04.09

H04L 25/06 (2006.01)

## (30) 优先权数据

H04B 1/30 (2006.01)

60/371,692 2002.04.09 US  
10/139,205 2002.05.02 US

## (85) PCT申请进入国家阶段日

## (56) 对比文件

2004.11.26

WO 00/51254 A1, 2000.08.31, 全文.

## (86) PCT申请的申请数据

CN 1303223 A, 2001.07.11, 全文.

PCT/US2003/011070 2003.04.09

US 6225848 B1, 2001.05.01, 全文.

## (87) PCT申请的公布数据

EP 1102413 A3, 2001.05.23, 全文.

WO2003/088606 EN 2003.10.23

US 5754595 A, 1998.05.19, 全文.

## (73) 专利权人 高通股份有限公司

审查员 韩晓莉

地址 美国加利福尼亚州

## (72) 发明人 C·赫伦斯坦恩 I·康 M·瑟文森

## (74) 专利代理机构 上海专利商标事务所有限公司 31100

代理人 钱慰民

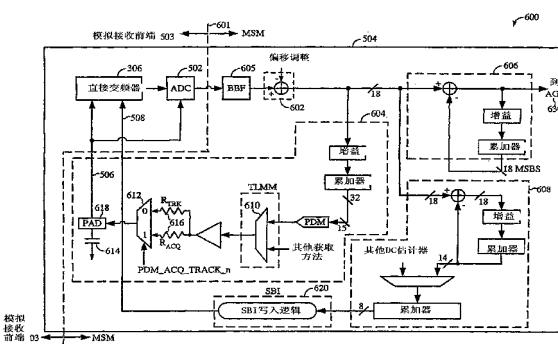
权利要求书 3 页 说明书 21 页 附图 18 页

## (54) 发明名称

用于使用直接变频的移动站调制解调器的直流电流偏移抵消

## (57) 摘要

一种系统和方法，用于为带有直接变频结构的移动站调制器抵消 DC 偏移。本发明是一快速获取 DC 偏移抵消模块，它提供了快速和准确的 DC 偏移估计以及抵消技术以支持直接变频结构。快速获取 DC 偏移抵消模块通过增加高通环路带宽并调整基带处的 DC 偏移电平组合四种机构通过增加环路带宽以在开启后、温度改变、接收机频率改变以及增益改变后快速获取并去除 DC 偏移估计。在去除 DC 偏移大部分后，高通环路带宽被减少以细调先前估计并去除在 DC 偏移内任何由于接收机自混合产生的小变化。



1. 一种在 RF 接收机内的 DC 偏移抵消模块，所述接收机带有用于将接收到的 RF 信号直接下变频到基带信号的直接变频器，所述 DC 偏移抵消模块包括：

偏移调整装置，用于从所述基带信号中去除静态 DC 偏移分量；

粗颗粒环路，用于从所述基带信号中去除所述静态 DC 偏移分量和时变 DC 偏移分量的大部分；

细颗粒环路，用于从所述基带信号中去除所述静态 DC 偏移分量和所述时变 DC 偏移分量的剩余部分；以及

数字到模拟转换器控制器 DACC，用于去除所述静态 DC 偏移分量和所述时变 DC 偏移分量的大部分，所述去除通过用 DC 偏移更新所述直接变频器内的数字到模拟转换器 DAC 的 DC 偏移值，所述 DC 偏移基于来自所述 RF 接收机之前端的低噪声放大器 LNA、混频器、基带滤波器以及模拟到数字转换器 ADC 的增益设置、接收频率改变以及温度改变；

其中所述偏移调整装置、所述粗颗粒环路、所述细颗粒环路以及所述 DACC 相互作用以去除所述 RF 接收机内不希望的 DC 偏移。

2. 如权利要求 1 所述的 DC 偏移抵消模块，其特征在于，所述偏移调整装置包括寄存器和加法器，其中所述寄存器存储所述静态 DC 偏移分量的估计，并且所述偏移调整装置从所述基带信号中减去所述静态 DC 偏移分量。

3. 如权利要求 1 所述的 DC 偏移抵消模块，其特征在于，所述粗颗粒环路包括增益元件，用于启用高增益调整和低增益调整中的一个，其中所述高增益调整用于扩展高通滤波器的带宽，以获得所述 DC 偏移分量，所述低增益调整用于使得所述高通滤波器的带宽变窄，以跟踪所述 DC 偏移分量；以及累加器，用于累加所述 DC 偏移分量。

4. 如权利要求 3 所述的 DC 偏移抵消模块，其特征在于，当在所述 RF 接收机的前端内发生增益改变时，增加所述高通滤波器的 3dB 频率。

5. 如权利要求 3 所述的 DC 偏移抵消模块，其特征在于，当在 DC 偏移分量的跟踪期间锁定所述 DC 偏移分量时，减少所述高通滤波器的 3dB 频率。

6. 如权利要求 3 所述的 DC 偏移抵消模块，其特征在于，所述粗颗粒环路还包括脉冲密度调制器 PDM 和 RC 电路，两者在一起形成数字到模拟转换器，用于将所述 DC 偏移分量的数字化版本转换成模拟信号，其中所述模拟信号被发送到所述直接变频器或所述 ADC，以从所述基带信号去除所述 DC 偏移分量。

7. 如权利要求 1 所述的 DC 偏移抵消模块，其特征在于，所述细颗粒环路包括增益元件，用于启用高增益调整和低增益调整的一个，其中所述高增益调整用于扩展高通滤波器的带宽，以获得所述 DC 偏移分量，所述低增益调整用于窄化所述高通滤波器的带宽，以跟踪所述 DC 偏移分量；累加器，用于累加所述 DC 偏移分量；以及加法器，用于从所述基带信号中减去累加的 DC 偏移分量。

8. 如权利要求 7 所述的 DC 偏移抵消模块，其特征在于，所述细颗粒环路在数字域内操作。

9. 如权利要求 1 所述的 DC 偏移抵消模块，其特征在于，所述 DACC 包括第一 DC 估计器，用于确定所述 DC 偏移的估计；乘法器，用于对从所述第一 DC 估计器确定的所述 DC 偏移的估计进行比例缩放；以及多个累加器，其中所述多个累加器中的每一个都基于来自所述 RF 接收机之前端的所述低噪声放大器 LNA 和所述混频器的所述增益设置和温度改变，确定 DC

偏移值,其中所述多个累加器接受来自所述第一 DC 估计器的 DC 偏移以及来自第二 DC 估计器的 DC 偏移中的一个作为输入。

10. 如权利要求 9 所述的 DC 偏移抵消模块,其特征在于,当所述 DC 偏移大于阈值时,将从所述第一 DC 估计器确定的 DC 偏移的估计用于更新所述直接变频器内的所述 DAC 的 DC 偏移值。

11. 如权利要求 9 所述的 DC 偏移抵消模块,其特征在于,所述 DACC 进一步包括计时器,其中在所述计时器超时时,所述 DACC 用所述多个累加器中的一个所生成的 DC 偏移,周期性地更新所述直接变频器内所述 DAC 的 DC 偏移值。

12. 如权利要求 11 所述的 DC 偏移抵消模块,其特征在于,由所述多个累加器的所述一个所生成的所述 DC 偏移由所述接收机之前端的所述 LNA 和所述混频器的增益设置所确定。

13. 如权利要求 9 所述的 DC 偏移抵消模块,其特征在于,所述第一 DC 估计器包括增益元件,用于启用高增益调整和低增益调整中的一个,其中所述高增益调整用于扩展高通滤波器的带宽,以获得所述 DC 偏移分量,所述低增益调整用于窄化所述高通滤波器的带宽,以跟踪所述 DC 偏移分量;累加器,用于累加所述 DC 偏移分量;以及加法器,用于从所述基带信号中减去累加的 DC 偏移分量。

14. 一种用于在 RF 接收机内抵消 DC 偏移的方法,所述 RF 接收机带有用于将接收到的 RF 信号直接下变频成基带信号的直接变频器,所述方法包括下述步骤:

(1) 在所述 RF 接收机内发生增益改变时,应用高增益,以扩展高通滤波器的带宽;

(2) 在计时器超时前,快速获取所述基带信号内 DC 偏移;

(3) 当计时器超时时,应用低增益,以窄化所述高通滤波器的带宽,从而跟踪所述 DC 偏移;以及

(4) 细调获取的 DC 偏移,以从所述基带信号中移去所获取的 DC 偏移。

15. 如权利要求 14 所述的方法,其特征在于,在实现步骤(1)前,从所述基带信号中移去静态 DC 偏移,以防止所述 RF 接收机饱和。

16. 如权利要求 14 所述的方法,其特征在于还包括以下步骤:

(5) 基于从步骤(4)获取的 DC 偏移,为 RF 接收机内的每个增益设置,在多个累加器中的一个内存储 DC 偏移估计;以及

(6) 使用存储在累加器内的所述 DC 偏移估计中的一个,更新所述直接变频器内的数字到模拟转换器的 DC 偏移值,所述 DC 偏移估计中的所述一个由所述 RF 接收机内使用的所述增益设置所确定。

17. 如权利要求 14 所述的方法,其特征在于,还包括以下步骤:

(5) 为每个增益设置,将来自步骤(4)的所获取的 DC 偏移与存储在累加器内的当前 DC 偏移估计相加;

(6) 为每个增益设置,在所述累加器内存储来自步骤(5)的相加后的 DC 偏移;以及

(7) 使用存储在所述累加器内的所述相加后的 DC 偏移中的一个,更新所述直接变频器内的数字到模拟转换器的 DC 偏移值,所述相加后的 DC 偏移中的所述一个由所述 RF 接收机内使用的所述增益设置所确定。

18. 如权利要求 17 所述的方法,其特征在于,无论何时存储在所述接收机中的细颗粒环路的所述累加器中的所述相加后的 DC 偏移超过了一可编程阈值,都执行步骤(5)-(7)。

19. 如权利要求 17 所述的方法,其特征在于,基于计时器的超时,周期性地执行步骤(5)–(7)。

20. 如权利要求 17 所述的方法,其特征在于,还包括以下步骤:

(8) 当发生温度改变时,用新的温度设置处的新的 DC 偏移值,更新所述累加器中的所述相加后的 DC 偏移;以及

(9) 当发生温度改变时,更新所述直接变频器内的数字到模拟变换器的 DC 偏移值。

21. 如权利要求 20 所述的方法,其特征在于,步骤(8)包括以下步骤:

(a) 从所述累加器中读出所述 DC 偏移;

(b) 将所述 DC 偏移存储在旧的温度设置内;

(c) 从所述新的温度设置读出所述新的 DC 偏移值;以及

(d) 用所述新的 DC 偏移值重写所述累加器,除了与所述 RF 接收机的当前增益设置相关的所述累加器中的一个的 DC 偏移以外,并且使用所述累加器中的所述一个的 DC 偏移更新所述直接变频器内的所述数字到模拟转换器的 DC 偏移值。

22. 一种 DC 偏移抵消模块,其特征在于,包括:

偏移调整装置,用于从基带信号中去除静态 DC 偏移分量;

粗颗粒环路,用于从所述基带信号中去除所述静态 DC 偏移分量和时变 DC 偏移分量的大部分;

细颗粒环路,用于从所述基带信号中移去所述静态 DC 偏移分量和所述时变 DC 偏移分量的剩余部分,以及

数字到模拟转换器控制器 DACC,用于去除所述静态 DC 偏移分量和所述时变 DC 偏移分量的大部分,所述去除通过用 DC 偏移更新数字到模拟转换器的 DC 偏移值,所述更新基于来自接收机前端的低噪声放大器、混频器和模拟到数字转换器 ADC 的增益设置、接收频率改变以及温度改变,

其中所述偏移调整装置、所述粗颗粒环路、所述细颗粒环路以及所述 DACC 相互作用,以去除所述接收机内不希望的 DC 偏移。

## 用于使用直接变频的移动站调制解调器的直流电流偏移抵消

- [0001] 本发明背景
- [0002] 相关申请
- [0003] 本申请对于美国临时申请号 60/371692 有优先权, 后者提交于 2002 年 4 月 9 日。
- [0004] 本发明领域
- [0005] 本发明一般涉及电信, 尤其涉及用于使移动站调制解调器 (MSM) 从基带信号中移去不需要的直流电流 (DC) 偏移。

### 背景技术

[0006] 将射频 (RF) 信号下变频到基带的常规方法需要两个变频步骤。RF 信号首先被下变频转换到中频 (IF) 信号。然后, IF 信号经下变频到基带信号。在移动电信环境中, 这需要射频接收机 (RFR) 芯片、中频接收机 (IFR) 芯片、基带接收机芯片以及其他相关的周围芯片, 这些对于移动电话制造商很昂贵。

[0007] 直接变频在单个步骤内使得 RF 信号能直接变频到基带信号。因此, 直接变频去除了 RF 到 IF 变频步骤由此消除了 IFR 码片。

[0008] 与直接变频相关的一个问题是它导致非常高的直流 (DC) 偏移电平。这些不需要的 DC 偏移包括静态 DC 电平以及时变 DC 电平。静态和时变 DC 偏移的来源包括电路不匹配、LO 自混频以及干扰器自混频, 其中每个可以随着增益设置、频率、衰落和温度改变。如果该种 DC 偏移不被抵消, 它们会恶化信号质量、由于饱和而限制动态范围, 以及增加功耗。

[0009] 需要的是一种为直接变频结构抵消 DC 偏移的系统和方法。还需要的是为直接变频结构补偿静态 DC 电平以及时变 DC 电平的系统和方法。还需要一种为直接变频结构快速有效方式获取和抵消 DC 偏移的系统和方法。

### 本发明简述

[0011] 本发明通过为带有直接变频结构的移动站调制解调器提供了抵消 DC 偏移的系统和方法从而解决了以上问题。本发明是一快速获取 DC 偏移抵消模块, 它提供了快速和准确的 DC 偏移估计以及抵消技术以支持直接变频结构。快速获取 DC 偏移抵消模块组合四种装置通过增加环路带宽以在开启、温度改变以及增益改变后快速获取 DC 偏移估计。在移去 DC 偏移的大部分后, 环路的带宽被减少, 且时间常数被增加以细调先前的估计。

[0012] 本发明提供一种不昂贵的解决方法, 以使用数字基带接收机以及射频接收机 (被称为移动站调制解调器 (MSM)) 为直接变频结构接收和发送 CDMA 波形。本发明的其他特征和优势以及本发明的各种实施例的结构和操作参考以下附图详细描述。

### 附图简要描述

[0014] 通过下面提出的结合附图的详细描述, 用于说明本发明的原理并使得领域内的技术人员能使用本发明。

[0015] 图 1 是说明将 RF 信号下变频到基带信号的常规方法图。

[0016] 图 2 是说明用于将 RF 信号转换到基带信号的直接变频方法图。

- [0017] 图 3A 是说明用于将 RF 信号下变频到基带的直接变频方法相关的问题图。
- [0018] 图 3B 是说明接收机增益改变对于在基带的 DC 偏移电平的影响的定时图。
- [0019] 图 4 说明了带有不希望的时变 DC 分量的期望基带信号频谱。
- [0020] 图 5 是根据本发明实施例获取 DC 偏移抵消模块的框图。
- [0021] 图 6 是根据本发明实施例快速获取 DC 偏移抵消模块的详细框图。
- [0022] 图 7 是根据本发明实施例的偏移调整机构的框图。
- [0023] 图 8 是根据本发明实施例的粗颗粒 DC 偏移环路机构的框图。
- [0024] 图 9A 是根据本发明实施例的增加增益导致的基带带宽图。
- [0025] 图 9B 是根据本发明实施例减少增益导致的基带信号带宽图。
- [0026] 图 10 是根据本发明实施例的 PDM 获取 / 跟踪模式 FSM 的状态图。
- [0027] 图 11 是根据本发明实施例的 PDM 获取 / 跟踪模式控制电路图。
- [0028] 图 12 是根据本发明实施例的细颗粒（数字）抵消环路机构的框图。
- [0029] 图 13 是根据本发明实施例的 DAC 控制器（DACC）框图。
- [0030] 图 14 是根据本发明实施例的 DACC 状态机。
- [0031] 图 15 是根据本发明实施例启用 DACC 累加器的 DAC 控制器（DACC）启用硬件电路图。
- [0032] 图 16A 是根据本发明实施例说明 DAC 控制器定时电路图，用于在已经更新了新 DC 偏移估计之后确定清除累加器的等待时段时间长度。
- [0033] 图 16B 是根据本发明实施例说明 DAC 控制器的计数器电路图。
- [0034] 图 16C 是根据本发明实施例说明 DAC 控制器获取计数器电路 1630 图。
- [0035] 图 16D 是根据本发明实施例说明用于为 DAC 控制器请求 SBI 写入的电路图。
- [0036] 图 17A 是说明基于温度改变更新寄存器 G0-G4 的过程框图。
- [0037] 图 17B 是说明基于温度改变更新寄存器 G0-G4 方法的流程图。
- [0038] 本发明的特征、目标和优势会从以下列出的详细描述中变得更明显，其中相同的参考字符标识对应元件。在附图中，类似的参考号一般指明相同、功能类似和 / 或结构类似元件。元件首先出现的附图是由在对应参考号中附图中最右边的两个数字的左边的数字指明。
- [0039] 本发明的详细描述
- [0040] 本发明在此参考特定应用的说明实施例描述，可以理解本发明不限于此。可以访问在此提供原理的领域内的技术人员可以意识到其范围内的附加修改、应用和实施例以及本发明有重大实用性的附加领域。
- [0041] 本发明是一种为带有直接变频结构的移动站调制解调器（MSM）从信号中去除不需要 DC 偏移的系统和方法。本发明可以通过使用快速获取 DC 偏移抵消模块实现该点。快速获取 DC 偏移抵消模块从信号中使用四种交互装置去除不需要的 DC 偏移。交互装置包括偏移装置、粗颗粒脉冲密度调制器（PDM）环路、细颗粒（数字）环路以及 DAC（数字到模拟转换器）控制器（DACC）。
- [0042] 在详细描述快速获取 DC 偏移抵消模块前，描述常规 RF 到基带变频、直接变频以及与直接变频相关的问题的概述。
- [0043] 图 1 是说明用于将 RF 信号下变频到基带信号的常规方法。图 1 示出图 100，包括

y 轴, 显示了 RF 信号 106、IF 信号 108 以及基带信号 110 沿着 x 轴 104 的特定频率处的相对幅度。在该示例中, RF 信号 106 是频率  $f_c$  为中心的 CDMA 信号。如先前所述, RF 信号转换到基带信号一般在两步内完成。在步骤 a, RF 信号 106 下变频为 IF 信号 108。在步骤 b, IF 信号 108 下变频到在零频率中心处的基带信号 110。

[0044] 图 2 是说明 RF 信号到基带信号的直接变频图。图 2 示出包括图 200, 包括 y 轴 102, 显示沿着 x 轴 104 特定频率处的 RF 信号 106 和基带信号 110 的相对幅度。RF 信号 106 到基带信号 110 的转换是用直接变频在一步骤内完成的 (步骤 c)。因此, 直接变频消去了将 RF 信号下变频为 IF 信号 108 的需要。

[0045] 如先前所述, 虽然直接变频消去了将 RF 转换为 IF 的必要, 消除了将 IFR 包括在系统内的需要, 直接变频导致不需要的 DC 偏移, 这会劣化信号质量、由于饱和而限制动态范围, 以及增加功耗。图 3A 是框图, 说明了与 RF 接收机 / 发射机系统 300 内直接变频相关的一些问题。除了其他以外, RF 接收机 / 发射机系统 300 包括 RF 天线 302、低噪声放大器 304 以及直接变频器 306。除了其他以外, 直接变频器 306 包括混频器 308、本地振荡器 (LO) 310 以及低通滤波器 (LPF) 312。

[0046] 天线 302 耦合到 LNA 304。LNA 304 耦合到直接变频器 306, 尤其是混频器 308。本地振荡器 310 耦合到混频器 308。混频器 308 还耦合到 LPF 312。

[0047] RF 天线 302 接收并发送 RF 信号, 诸如 CDMA 信号。低噪声放大器 304 控制 RF 信号的增益。直接变频器 306 通过混频器 308 和本地振荡器 310 将进入 RF 信号与本地振荡器信号混合而将 RF 信号转换到基带。本地振荡器 310 包括一强频率发生器 (未示出)。在该示例中, 本地振荡器频率是 CDMA 频带的中心频率。混频器 308 的输出提供了以零频率为中心的基带信号。低通滤波器 312 对混频器的输出滤波, 以消除来自其他频带的信号。

[0048] 通过天线 302 进入的 RF 信号通过低噪声放大器 304。放大器 304 调整 RF 信号增益。RF 信号然后通过混频器 308 和本地振荡器 310 与本地振荡器混合, 以生成基带信号。来自混频器 308 的基带信号输出通过低通滤波器 312, 以去除基带频率外的所有信号。

[0049] 与直接变频器 306 导致生成 DC 偏移的相关问题在图 3A 内说明。例如, 本地振荡器 310 可以包括强频率发生器, 从模拟芯片基片的泄漏会导致本地振荡器 310 生成的频率分别从天线 302 和放大器 304 泄漏到线路 303 和 305, 如箭头 314 示出。从天线 302 进入的信号也可以泄漏到本地振荡器 310, 如箭头 316 示出。

[0050] 天线 302 发送并接收信号。因此, 来自本地振荡器 310 的一些泄漏可以从天线 302 被发送, 如箭头 318 示出, 在物体上经反射 (未示出), 诸如大楼、汽车等, 并进入天线 302, 如箭头 320 示出。当本地振荡器信号泄漏到 RF 路径中时, 它会与本身混频以在混频器 308 的输出处生成 DC。当本地振荡器信号泄漏到 RF 路径中并反射回天线 302 和 / 或当 RF 端口上的干扰泄漏到混频器 308 的本地振荡器端口时, 这也会发生。电路不匹配虽然不与直接变频器 306 相关, 但也会生成 DC 偏移。该种泄漏和不匹配会使得从直接变频器 306 生成的基带信号在零频率处产生较大的时变 DC 分量。

[0051] LNA 304 和混频器 308 会基于接收到的输入信号的信号强度快速改变增益。DC 偏移大小与 LNA 304 和 / 或混频器 308 的特定增益设置相关。图 3B 是一时序图, 说明了在基带处可见的、增益改变对 DC 偏移的影响。从时间  $t_0$  到  $t_1$  的 DC 偏移还可以包含时变和静态分量。时变分量可以由温度、接收频率和 / 或衰落引起。温度改变会导致慢 DC 偏移改

变。DC 偏移由于频率引起的改变是接收频率内改变的结果。由于衰落导致的 DC 偏移改变基于多普勒效应，生成时变 DC 偏移的频率分量多达多普勒频移的两倍。从时间 t1 到 t2 的 DC 偏移可以包含时变和静态 DC 偏移分量，类似于从时间 t0 到 t1 的 DC 偏移。

[0052] 增益改变发生在时间 t1 处。在时间 t1 处，增益改变引起 DC 偏移内的较大瞬时增加。在时间 t2 处，发生另一增益改变。同样，增益改变会引起 DC 偏移内的瞬时改变，类似于在时间 t1 处的增益改变。数量上说，由于基带增益变化引起的 DC 偏移改变会是所有 DC 偏移中最大的。何时接收机增益改变会发生以及它如何改变是已知的因子。使用本发明，可以去除瞬时、静态以及时变 DC 偏移。

[0053] 图 4 是使用直接变频生成的示例基带信号 402 且带有较大的 DC 分量 404 的说明。使用本发明，可以去除较大 DC 分量 404。本发明通过在发生增益改变时打开 DC 偏移获取电路 (DACC 模块) 的带宽以很快地获得 DC 偏移以用于去除而实现。这使得能粗确定静态 DC 偏移电平。一旦粗静态 DC 偏移电平被获得并使用数字到模拟转换器在混频器 308 的输出处将其被去除，则本发明就窄化了 DC 偏移获取电路 (DACC 模块) 的带宽，以跟踪 DC 偏移内的较小改变以用于去除，并且不会由于去除的信号频谱而恶化接收信号的质量。

[0054] 本发明通过包括一快速获取 DC 偏移抵消模块而去除 DC 偏移，诸如 DC 偏移分量 404。移动站调制解调器 (MSM) 的快速获取 DC 偏移抵消模块的高层框图 500 在图 5 示出。框图 500 类似于 RF 接收机 / 发射机系统 300，但还包括模拟到数字转换器 502，它耦合到直接变频器 306，尤其耦合到 LPF 312；以及移动站调制解调器 504，它耦合至模拟到数字转换器 502。模拟到数字转换器 502 对直接变频器 306 生成的基带信号进行模拟到数字转换。快速获取 DC 偏移抵消模块通过减去系统内生成的 DC 量估计而从基带信号中去除 DC 偏移。这是在几个地方进行。DC 偏移去除在 MSM 504 内部进行。DC 偏移去除通过将 MSM 504 的输出送回模拟到数字转换器 502 或 LPF 312 的输入端，从而形成反馈环路 506 来进行。DC 偏移去除还通过 8 比特 DAC 510 使用从 MSM 504 到 LPF 312 的输入端的另一反馈环路 508 来进行。

[0055] 图 6 是本发明的快速获取 DC 偏移抵消模块的更详细框图 600。框图 600 的假想线 601 将快速获取 DC 偏移抵消框图的 MSM 504 与模拟接收前端部分 603 分开。快速获取 DC 偏移抵消模块包括直接变频器 306 和模拟到数字变换器 502，所有都位于模拟接收前端 603 内。快速获取 DC 偏移抵消模块还包括基带滤波器 605、四个机构 602、604、606 和 608，它们相互交互以去除不期望的 DC 偏移，还包括串行总线接口 620，所有都位于 MSM 504 内。四个机构包括偏移调整 602、粗颗粒 (PDM) 环路 604、细颗粒 (数字) 环路 606 以及 DAC 控制器 608。四个机构 602、604、606 和 608 可以被独立使用或相互组合使用，取决于系统的模式。

[0056] 偏移调整 602 在数字域内操作。偏移调整 602 是可编程值（代表 DC 偏移估计），该值从基带信号中被减去。可编程值被存储在微处理器可编程寄存器和可以在任何时候更新。

[0057] 粗颗粒 (PDM) 环路 604 在数字和模拟域内操作。粗颗粒 (PDM) 环路 604 在偏移调整 602 后从基带信号中去除 DC 偏移。基带信号内的 DC 偏移通过到模拟接收机前端 603 的直接变频器 306 或 ADC 502 的反馈环路 506 被去除。

[0058] 细颗粒 (数字) 环路 606 如其名所示在数字域内操作。细颗粒 (数字) 环路 606 去除在粗颗粒 (PDM) 环路 604 或任何其他 DC 偏移粗去除的方法之后的 DC 偏移。这可以通

过 MSM 504 内的小数字反馈环路实现。

[0059] DAC 控制器 608 也在数字域内操作。DAC 控制器 608 依赖于温度和增益设置来计算周期性 DC 偏移值，并将这些值在由反馈环路 508 表示的串行总线接口 (SBI) 上写回直接变频器 306 内的数字到模拟转换器 510。快速获取 DC 偏移抵消模块在几个模式中的一个模式下操作，所述模式取决于需要四种机构 602、604、606 和 608 的哪个以去除 DC 偏移。四个机构 602、604、606 和 608 可以单独或组合地使用以提供需要的 DC 偏移纠正。可能组合的示例在表格 1 内示出。虽然在表格 1 内示出五种模式，但本发明不限于这五种模式。其他组合也是可能的。

[0060] 在只有 DACC 模式下，DACC 608 周期性地或当被触发时，用 DC 偏移估计通过 SBI 接口 620 更新直接变频器 306。DC 偏移估计基于温度、低噪声放大器 (LNA) 304 和混频器 308 的增益设置以及其他因子。粗颗粒 (PDM) 环路 604 仅在只有 DACC 模式下被禁用。

[0061] 在 DACC 和 PDM 模式下，使用 DACC 608 和粗颗粒 (PDM) 环路 604。DACC 608 只在开启时使用一次，然后它停止操作。然而，保留在开启时更新直接变频器 306 的 DC 偏移估计。在禁用 DACC 608 之后，粗颗粒 (PDM) 环路 604 被启用。粗颗粒 (PDM) 环路 604 用于跟踪并获取 DC 偏移内的任何变化。

[0062] 在 DACC 和细颗粒模式下，使用 DACC 608 和细颗粒 (数字) 环路 606。DACC 608 通过 SBI 接口 620 用粗 DC 偏移估计更新直接变频器 306。细颗粒 (数字) 环路 606 用于去除任何残留偏移。粗颗粒 (PDM) 环路 604 在 DACC 和细颗粒模式下被禁用。

[0063] 在 PDM 和细颗粒模式下，使用粗颗粒 (PDM) 环路 604 以及细颗粒 (数字) 环路 606。粗颗粒 (PDM) 环路 604 用于粗跟踪并获取 DC 偏移。细颗粒 (数字) 环路 606 还用于在粗颗粒 (PDM) 环路 604 之后去除剩余的时变 DC 偏移。在该模式下，DACC 608 从来不用于在直接变频器 306 内更新 DAC 510。

[0064] 最后的操作模式是偏移调整和 DACC 模式。在该操作模式下，在寄存器内放置静态偏移调整并在基带滤波器 605 的输出处的宽带信号中被减去。这使得在 LPF 312 或 ADC 502 的输入可见的 DC 偏移在 LPF 312 和 / 或 ADC 502 生成较大固有 DC 偏移情况下仍保持较小。宽带信号然后被传递到 DACC 608，且 DC 偏移估计被返回到直接变频器 306。该方法防止模拟到数字转换器 502 饱和，从而使得模拟到数字转换器 502 有较好的去除 DC 的范围，或它通过最小化在 LPF 312 输入处的静态 DC 偏移而改善 LPF 312 的线性和动态范围。在一实施例中，用于确定偏移调整寄存器值的方法如下。LPF 312 的输入对于该方法被减少。开始时，在偏移调整寄存器内放置零，直到在细颗粒 (数字) 环路 606 内累加 DC 偏移的估计器。微处理器会从细颗粒 (数字) 环路 606 内的寄存器内读出估计的 DC 偏移值，并将该值写入偏移调整寄存器以使得 DC 偏移能在基带信号进入 DACC 608 或细颗粒 (数字) 环路 606 之前使用偏移调整 602 被去除。

[0065] 表格 1

[0066]

模式	描述
只有 DACC	DACC 通过 SBI 接口用 DC 偏移估计更新直接变频器。粗颗粒(PDM)环路被禁用。
DACC 和 PDM	DACC 在开启时被使用一次，然后停止操作。然而，粗颗粒(PDM)环路被启用且用于跟踪并获取任何 DC 偏移改变。
DACC 和细颗粒	DACC 通过 SBI 接口用 DC 偏移估计更新直接变频器。细颗粒环路用于去除任何残留偏移。粗颗粒(PDM)环路被禁用。
PDM 和细颗粒	粗颗粒(PDM)环路用于粗获取和跟踪。细颗粒环路去除任何残留的 DC 偏移。DACC 被禁用。
偏移调整和 DACC	开始时，偏移调整被设定为零，且粗颗粒(PDM)环路用于确定需要的 DC 偏移量，然后偏移调整被设定为 DC 偏移值，并在信号进入 DACC 模块前从信号中被减去。DACC 用于获取和跟踪。这防止 ADC 饱和且改善了 LPF 的线性和动态范围。

[0067] 四种机构 602、604、606 和 608 的每个包括同相 (I) 分量和正交 (Q) 分量。每种机构 (602、604、606 和 608) 的 I 和 Q 分量是相同的。因此，只有四种机构 602、604、606 和 608 的每个的一个分量 (I 或 Q) 在以下详细示出。

#### [0068] 偏移调整机构

[0069] 图 7 是用于基带信号的同相 (I) 或正交 (Q) 分量的偏移调整 602 框图。偏移调整 602 将静态 DC 从 LPF 312 和 ADC 502 中去除，使得 DC 偏移电压不超过在 LPF 312 的输入处一定限度，这样不会恶化 LPF 312 或 ADC 502 的线性和动态范围。图 7 示出从基带滤波器 605 接受基带信号的偏移调整 602。偏移调整 602 包括寄存器 702 和加法器 704。寄存器 702 耦合到加法器 704。寄存器 702 是 18 比特寄存器。寄存器 702 内保持的值被从基带数字滤波器 605 输出中减去。寄存器 702 内的值是受微处理器控制的。微处理器可以选择在寄存器 702 内写入任何值。在一实施例中，寄存器 702 的值由细颗粒 (数字) 环路 606 内的累加器的输出确定，这在以下详细讨论。来自细颗粒 (数字) 环路 606 的累加器值可以由微处理器读取。微处理器然后会将累加的值写入寄存器 702 以将静态 DC 偏移从基带信号输出中减去。

[0070] 在一实施例中，使用偏移调整 602。基带信号内固有的 DC 偏移较大部分已经由装置 604、606 和 608 去除。然而，由于对直接变频器 306 或 ADC 502 内的基带模拟滤波器的输入电压上的限制，可能需要使用偏移调整 602。当需要偏移调整 602 时，寄存器 702 内的值从基带数字滤波器 605 的 I 和 Q 输出中减去。当不使用偏移调整时，寄存器 702 内值被

设定为零 (0)。

[0071] 粗颗粒 (PDM) 环路机构

[0072] 图 8 是基带信号的 I 或 Q 分量的粗颗粒 (PDM) 环路 604 的框图。粗颗粒 (PDM) 环路 604 从基带信号的 I 和 Q 分量中去除 DC 偏移。粗颗粒 (PDM) 环路 604 以两种主要模式操作。第一模式是获取模式。当数字接收前端处于获取 DC 偏移过程中时使用获取模式。第二模式是跟踪模式。当数字接收前端处于跟踪 DC 偏移而同时对接收机性能方面产生最小恶化的情况下使用跟踪模式。

[0073] 图 8 示出接受来自基带滤波器 (BBF) 605 的基带信号的 I 或 Q 分量的粗颗粒 (PDM) 环路 604。这发生在当偏移调整寄存器 702 被设定到零情况下。或者, 粗颗粒 (PDM) 环路在偏移调整 602 从 I 或 Q 分量中去除静态 DC 后接受来自偏移调整 602 的基带信号的 I 或 Q 分量。基带信号的 I 和 Q 分量是 18 比特信号。

[0074] 粗颗粒 (PDM) 环路 604 包括增益元件 802、累加器元件 804、脉冲密度调制器 (PDM) 806、多路复用器 610、RC 电路 808 以及 DAD 618。增益元件 802 耦合到累加器元件 804。累加器 804 耦合到 RC 电路 808。RC 电路 808 耦合到填充 618, 且填充 618 通过反馈环路 506 耦合到直接变频器 306 或 ADC 502。

[0075] 增益元件 802 包括耦合到可编程移位器 810 的多路复用器 809。增益元件 802 将来自基带信号的 I 或 Q 分量的输入数据乘以比例缩放因子。缩放因子基于粗颗粒 (PDM) 环路 604 是处于获取模式或跟踪模式而选择。信号 PDM\_ACQ\_TRACK\_n 控制多路复用器 809。有限状态机在以下参考图 10 描述。如果粗颗粒 (PDM) 环路 604 处于获取模式, PDM\_ACQ\_TRACK\_N 信号会选择高增益, 在图 8 内示出为粗颗粒获取偏移比例缩放值 (CG\_ACQ\_OFFSET\_SCALER), 作为多路复用器 809 的输出信号。这使得粗颗粒 (PDM) 环路 604 表示接收路径内的高通滤波器, 带有 1KHz 的 3dB 滤波器带宽。如果粗颗粒 (PDM) 环路 604 处于跟踪模式, PDM\_ACQ\_TRACK\_n 信号会选择低增益作为粗颗粒跟踪偏移比例缩放值 (CG\_TRC\_OFFSET\_SCALER), 如图 8 内示出, 作为多路复用器 809 的输出信号。这会生成 100Hz 的 3dB 高通滤波器带宽。本发明不限于相应用于获取和跟踪模式 1KHz 3dB 带宽和 100Hz 3dB 带宽。领域内的技术人员可以知道可以使用其他的 3dB 带宽而不偏离本发明范围。

[0076] 可编程移位器 810 接受多路复用器 809 的输出并将 18 比特 I 或 Q 基带输入信号移位由来自多路复用器 809 的选定比例缩放器值指定的量。可编程移位器 810 的输出提供 32 比特 I 或 Q 基带输出信号。

[0077] 累加器 804 用于累积基带信号内的 DC 偏移估计。累加器 804 包括通过多路复用器 814 耦合到寄存器 816 的饱和加法器 812。寄存器 816 的输出连接到饱和加法器 812, 从而提供反馈环路。饱和加法器 812 将来自可编程移位器 810 的输出的进入数据以及从寄存器 816 输出反馈回的数据接受为输入, 并提供输出值, 该值表示进入 I 或 Q 数据之和以及来自寄存器 816 的反馈数据, 用于累加 DC 偏移估计。

[0078] 多路复用器 814 选择或是来自饱和加法器 812 的输出或是来自微处理器接口的输出 (示出为 wr\_data)。多路复用器 814 由 CG\_ACCUM\_LOAD (粗颗粒累加器负载) 信号控制。CG\_ACCUM\_LOAD 信号指明是否使用来自微处理器接口的数据 (即 wr\_data)。来自微处理器接口的输出选择使得累加器 804 被载入已知值。这使得能测试并调试粗颗粒 (PDM) 环路 604。在以下正常操作下, 多路复用器 814 会选择来自饱和加法器 812 的输出。

[0079] 寄存器 816 用于存储来自饱和加法器 812 的输出值以及来自微处理器接口（未示出）的输出值。连接到寄存器 816 的粗颗粒时钟信号用于时钟寄存器 816。在一实施例中，粗颗粒时钟信号是 10MHz 时钟信号。相关领域内的技术人员会知道可以使用其他时钟频率而不偏移本发明的范围和原理。

[0080] 来自累加器 804 的 32 比特输出信号被发送到微处理器接口，用于监视、测试和调试目的。来自累加器 804 的 32 比特输出信号中的 15 个最高有效比特被发送到 PDM 806。通过从累加器 804 截断 32 比特输出信号中最低有效比特，装置 604 实现除法。

[0081] 多路复用器 610 从 PDM 806 选择 DC 偏移的累加值或选择另一常规方法用于获取 DC 偏移。在另一实施例中，不使用多路复用器 610。而是 PDM 806 输出被直接送到 RC 电路 808。

[0082] PDM 806 的输出提供表示 DC 偏移估计的脉冲密度已调模拟信号。模拟信号可以包含 PDM 806 引入的更高频率。为了在模拟信号内移去该高频率内容，RC 电路 808 提供 RC 时间常数定义的低通滤波。RC 时间常数越大，RC 电路 808 输出处的模拟 DC 偏移值越平滑。RC 电路 808 使得 PDM 806 能生成干净的 DC 电压。

[0083] PDM 806 与 RC 电路 808 一起构成数字到模拟转换器。PDM 806 与 RC 电路 808 一起将累加器 804 的输出转换成模拟信号。

[0084] RC 电路 808 包括一电阻网络 616、电容 614 以及多路复用器 612。多路复用器 612 用于从电阻网络 616 选择一电阻器以提供 RC 时间常数的电阻部分。多路复用器 612 由 PDM\_ACQ\_TRACK\_n 控制。如果 PDM\_ACQ\_TRACK\_n 指明粗颗粒 (PDM) 环路 604 处于获取模式，则更低的电阻值被选用于提供 RC 时间常数。更低的电阻值提供更小的时间常数，且因此能快速获取 DC 偏移而不威胁粗颗粒 (PDM) 环路 604 的稳定性。当 PDM\_ACQ\_TRACK\_n 指明粗颗粒 (PDM) 环路 604 处于跟踪模式时，选择较大的电阻值以提供 RC 时间常数。更大的电阻值提供更大的时间常数，且因此减少了来自 PDM 806 的噪声。

[0085] 在从 DC 偏移值中去除了高频分量后，DC 偏移值从直接变换模块 306 内的模拟信号中被减去。

[0086] 因此，当粗颗粒 (PDM) 环路 604 处于获取模式时，增加增益元件 802。增益的增加打开了粗颗粒 (PDM) 环路 604 定义的 I 或 Q 高通滤波器带宽，如图 9A 内示出，以更快地获得 DC 偏移的估计用于去除。该增益的增加导致粗颗粒 (PDM) 环路 604 的高通特性较不准确，还引入了来自 PDM 806 的更多噪声，因为在获取模式降低了 RC 时间常数。

[0087] 在跟踪模式中，减少增益元件 802。增益内的减少窄化了粗颗粒 (PDM) 环路 604 定义的 I 或 Q 高通滤波器带宽，如图 9B 示出。这生成了 DC 偏移的更高精度估计，并减少了由于更高 RC 时间常数导致的 PDM 806 的模拟输出内的噪声，从而限制了由于高通滤波引起的频谱损失。

[0088] 图 10 是 PDM 获取 / 跟踪模式有限状态机 1000。虽然本发明的描述使用状态机模式，领域内的技术人员可以知道可以使用微处理器实现而不偏移本发明的范围和原理。有限状态机 1000 包括四个状态：跟踪状态 1002、混频器 308 的获取状态 1004，低噪声放大器 (LNA) 304 的获取状态 1006 以及混频器 308 和 LNA 304 的获取状态 1008（还被称为“获取两者”状态 1008）。有限状态机 1000 如以下描述操作。表格 4 描述粗颗粒 (PDM) 环路 604 的操作模式。

[0089] 在来自微处理器的重新设定信号中,粗颗粒 (PDM) 环路 604 进入跟踪状态 1002, PDM 806 被设定为 0x0。在跟踪状态 1002, PDM 环路以 100Hz 的 3dB 高通滤波器带宽运行, 缓慢跟踪 DC 偏移。RC 时间常数和增益元件 802 被设定为跟踪。

[0090] 粗颗粒 (PDM) 环路 604 在发生混频器改变、LNA 改变或混频器改变以及 LNA 改变时会相应地从跟踪状态 1002 到三种获取状态 1004、1006 或 1008 中的一种。粗颗粒 (PDM) 环路 604 保持运行, 且累加器 816 的累加器值在从状态 1002 到 1004、1006 或 1008 转换中被保留。RC 时间常数 808 和增益元件 802 经设定以在从状态 1002 转换到 1004、1006 或 008 期间通过 PDM\_ACQ\_TRACK\_n 获取。

[0091] 在混频器改变时,粗颗粒 (PDM) 环路 604 进入混频器获取模式或获取混频器状态 1004。在混频器获取模式 1004 内,PDM 环路保持被启用。在从跟踪状态 1002 转换到获取混频器状态 1004 期间保留累加器 816 的累加器值,累加器值作为获取模式期间 PDM 环路的开始值被使用。增益元件 802 和 RC 时间常数处于获取模式。混频器计时器 (图 11 内示出,且在以下参考图 11 描述) 被启用为向下计数器。如果发生 LNA 改变而同时处于混频器获取模式 1004,粗颗粒 (PDM) 环路 604 会进入到混频器和 LNA 获取模式 1008 (如以下详细讨论的)。累加器 816 的累加器值在从状态 1004 到 1008 转换期间被保存。当混频器计时器向下计数到 0,或换而言之,超时 (mix\_timer\_term),粗颗粒 (PDM) 环路 604 会返回跟踪状态 1002。累加器 816 的累加器值在从状态 1004 转换到 1002 时被保留,并用作连续跟踪模式时 PDM 环路的开始值。而且,在从状态 1004 到 1002 转换期间,RC 时间常数 808 和增益元件 802 被发送回以跟踪通过 PDM\_ACQ\_TRACK\_n。如果混频器计时器中止而同时发生 LNA 改变,则粗颗粒 (PDM) 环路 604 会进入 LNA 获取模式 1006。累加器 816 的累加器值在从状态 1004 转换到 1006 期间被保留。

[0092] 粗颗粒 (PDM) 环路 604 在 LNA 改变时会从跟踪状态 1002 进入获取模式或获取 LNA 状态 1006。在 LNA 获取模式 1006 内,PDM 环路保持启用。在从跟踪状态 1002 转换到获取混频器状态 1006 期间保留累加器 816 的累加器值,累加器值在获取模式期间用作 PDM 环路的开始值。增益元件 802 和 RC 时间常数 808 处于获取模式。LNA 计时器 (图 11 示出,且在以下参考图 11 描述) 被启用为向下计数器。如果发生混频器改变而同时处于 LNA 获取模式 1006,则粗颗粒 (PDM) 环路 604 会进入混频器和 LNA 获取模式 1008 (在以下详细讨论)。累加器 816 的累加器值在从状态 1006 转换到 1008 期间被保存。当 LNA 计时器向下数到 0 时,或换而言之,超时 (lna\_timer\_term)、粗颗粒 (PDM) 环路 604 会回到跟踪状态 1002。累加器 816 的累加器值在从状态 1006 转换到 1002 时被保存,并用作连续跟踪模式下的 PDM 环路的开始值。而且,在从状态 1006 到 1022 的转换中,RC 时间常数 808 和增益元件 802 被设定回通过 PDM\_ACQ\_TRACK\_n 跟踪。如果 LNA 计时器中止而发生混频器改变,则粗颗粒 (PDM) 环路 604 会进入混频器获取模式 1004。累加器 816 的累加器值在从状态 1006 转换到 1004 期间被保留。

[0093] 粗颗粒 (PDM) 环路 604 会在混频器和 LNA 同时发生改变时获取两者状态 1008。在获取两者状态中,PDM 环路保持被启用。保持在从跟踪状态 1002 转换到获取混频器状态 1008 的转换期间累加器 816 的累加器值,累加器值用作获取模式期间 PDM 环路的开始值。增益元件 802 和 RC 时间常数 808 处于获取模式。同时启用 LNA 计时器以及混频器计时器。如果 LNA 计时器在混频器计时器前中止,则粗颗粒 (PDM) 环路 604 会进入混频器获取模式

1004。如果混频器计时器在 LNA 计时器前中止, 则粗颗粒 (PDM) 环路 604 会进入 LNA 获取模式 1006。如果 LNA 计时器和混频器计时器同时中止, 则粗颗粒 (PDM) 环路 604 会回到跟踪状态 1002。累加器 816 的累加器值在任何转换期间被保留, 且用作任何新状态下 PDM 环路的开始值。而且在从状态 1008 到 1002 的转换期间, RC 时间常数 808 以及增益元件 802 被设定回通过 PDM\_ACQ\_TRACK\_n 跟踪。

[0094]

模式	描述
混频器获取	启用 PDM 环路, 且粗颗粒累加器设定 PDM 值。只在混频器增益改变之后, RC 时间常数在跟踪和获取模式间切换。 CG_MIX_ACQ_TIME 会确定何时回到跟踪模式。
LNA 获取	启用 PDM 环路, 粗颗粒累加器设定 PDM 值。只在 LNA 增益改变后在跟踪和获取之间切换 RC 时间常数。 CG_LNA_ACQ_TIME 会确定何时回到跟踪模式。
两种获取	启用 PDM 环路, 粗颗粒累加器设定 PDM 值。在有混频器增益改变或 LNA 增益改变时, RC 时间常数在有混频器增益改变或 LNA 增益改变时在跟踪和获取间切换。更长时间值 (CG_MIX_ACQ_TIME 或 CG_LNA_ACQ_TIMER) 会确定何时回到跟踪模式。

[0095] 图 11 是 PDM 获取 / 跟踪模式控制电路 1100 图。控制电路 1100 包括两个计时器电路 1102 和 004, 用于分别在的 LNA 增益改变和混频器增益改变之后, 改变用于控制获取模式内花费的时间。

[0096] 计时器电路 1102 包含计数器 1103。计时器电路 1102 用于在 LNA 304 增益改变之后确定保持获取模式剩余的时间长度。lna\_timer\_en 和 lna\_timer\_1d 由有限状态机 1000 控制。当 lna\_timer\_1d 被设定时, 初始时间计数 (CG\_LNA\_ACQ\_TIME) 被载入计数器 1103。当 MICRO\_MIX\_TIMER\_EN 和 lna\_timer\_en 被设定时, 计数器 1103 可以开始从 CG\_LNA\_ACQ\_TIME 向下计数。当计数器 1103 超时, 计时器 1102 中止。换而言之, 当计数器 1103 接近零时, 粗颗粒 (PDM) 环路 604 可以退出获取模式并返回跟踪模式。如果在 LNA 增益改变后不期望 DC 偏移的获取, 则 MICRO\_LNA\_TIMER\_EN 可以被设定为零, 使得状态机 1000 操作在表格 4 内示出的混频器获取模式内。

[0097] 计时器电路 1104 包括计数器 1105。计时器 1102 用于确定在混频器 308 增益改变后保持在获取模式的时间长度。mixer\_timer\_en 和 mixer\_timer\_1d 由有限状态机 1000 控制。当 mixer\_timer\_1d 被设定时, 初始时间计数 (CG\_MIX\_ACQ\_TIME) 被载入计数器 1105。当 mix\_timer\_en 和 MICRO\_MIX\_TIMER\_EN 被设定, 计数器 1105 可以开始从 CG\_MIX\_ACQ\_

TIME 向下计数。当计数器 1105 超时时,计时器 1104 中止。换而言之,当计数器 1105 到达零时,粗颗粒 (PDM) 环路 604 可以退出获取模式并返回跟踪模式。如果 DC 偏移的获取在混频器增益改变之后不期望,则 MICRO\_MIX\_TIMER\_EN 可以被设定为零,使得状态机 1000 操作在如表格 4 内所示的 LNA 获取模式内。

[0098] 细颗粒 (数字) 抵消环路机构

[0099] 细颗粒 (数字) 抵消环路 606 是四种用于 DC 偏移抵消的机构 602、604、606 和 608 中最准确的。细颗粒 (数字) 抵消环路 606 从在粗颗粒 DC 偏移抵消或任何其他应用的偏移抵消方法之后剩余的基带信号的 I 和 Q 分量中去除 DC 偏移。

[0100] 用于基带信号的 I 或 Q 分量的细颗粒 (数字) 抵消环路 606 的详细框图在图 12 内示出。细颗粒 (数字) 抵消环路 606 包括饱和加法器 1202、增益元件 1024 以及累加器 1206。饱和加法器 1202 耦合到增益元件 1204。增益元件 1204 耦合到累加器 1206。累加器 1206 通过反馈环路 1208 耦合到饱和加法器 1202。

[0101] 饱和加法器 1202 接受来自偏移调整 602 的 18 比特 I 或 Q 分量以及通过反馈环路 1208 的累加器 1206 的 18 比特输出作为输入。饱和加法器 1202 的输出是来自偏移调整 602 的 18 比特 I 或 Q 分量以及来自累加器 1206 的 32 比特输出的 18 位最高有效比特。

[0102] 增益元件 1204 包括多路复用器和可编程移位器 1212。增益元件 1204 将饱和加法器 1202 的输出乘以比例缩放因子。比例缩放因子基于细颗粒 (数字) 抵消环路 606 是处于获取模式或跟踪模式而经选择。DACC 608 为细颗粒 (数字) 抵消环路 606 控制获取模式和跟踪模式间的切换。信号 DACC\_ACQ\_TRACK\_n 控制多路复用器 1210。DACC\_ACQ\_TRACK\_n 是由有限状态机控制的内部信号。有限状态机在以下参考图 14 描述。如果细颗粒 (数字) 抵消环路 606 处于获取模式, DACC\_ACQ\_TRACK\_n 信号会选择图 12 内示出细颗粒获取偏移比例缩放值 (FG\_ACQ\_OFFSET\_SCALER) 的高增益作为多路复用器 1210 的输出信号。这会引起细颗粒 (数字) 环路 606 表示在接收路径上的高通滤波器, 具有 100KHz 的 3dB 滤波器带宽。如果细颗粒 (数字) 抵消环路 606 处于跟踪模式,DACC\_ACQ\_TRACK\_n 信号会选择低增益, 如图 12 内示出的细颗粒获取偏移比例缩放值 (FG\_ACQ\_OFFSET\_SCALER) 的高增益作为多路复用器 1210 的输出信号。这会生成 1KHz 的 3dB 高通滤波器带宽。本发明不限于分别对于获取和跟踪模式的 100KHz 3dB 的带宽以及 1KHz 3dB 带宽。相关领域的技术人员会知道可以使用其他 3dB 带宽而不偏离本发明的范围。本发明还不限于细颗粒 (数字) 环路 606 的第一阶高通滤波器结构。本领域内的计数人员可以知道可以使用高通滤波器结构而不偏移本发明的范围。

[0103] 可编程移位器 1212 接受多路复用器 1210 的输出并将 18 比特 I 或 Q 基带信号移位来自多路复用器 809 的选定比例缩放器值指定的量。在一实施例中,可编程移位器 1212 的输出提供 32 比特 I 或 Q 基带输出信号。

[0104] 累加器 1206 用于累积基带信号内的 DC 偏移估计。累加器 1206 包括通过多路复用器 1216 耦合到寄存器 1218 和饱和加法器 1214。寄存器 1218 的输出连接到饱和加法器 1214, 从而提供反馈环路。饱和加法器 1214 将来自可编程移位器 1212 的输出的进入数据以及从寄存器 1218 输出反馈回的数据接受为输入, 并提供输出值, 该值表示进入 I 或 Q 数据以及来自寄存器 1218 的反馈数据之和, 用于累加 DC 偏移估计。

[0105] 多路复用器 1216 选择或是来自饱和加法器 1214 的输出或是来自微处理器接口的

输出（示出为 wr\_data）。多路复用器 1216 由 FG\_ACCUM\_LOAD（细颗粒累加器载入）信号控制。FG\_ACCUM\_LOAD 信号指明是否要使用来自微处理器接口的数据（即 wr\_data）。来自微处理器接口的输出选择使得累加器 1206 被载入已知值。这使得能测试并调试细颗粒（数字）抵消环路 606。在以下正常操作下，多路复用器 1216 会选择来自饱和加法器 1214 的输出。

[0106] 寄存器 1218 用于存储来自饱和加法器 1214 的输出值或来自微处理器接口（未示出）的输出值。耦合到寄存器 1218 的细颗粒时钟信号用于时钟寄存器 1218。在一实施例中，粗颗粒时钟信号是 10MHz 时钟信号。相关领域内的技术人员会知道可以使用其他时钟频率而不偏移本发明的范围和原理。用于在 DAC 更新后清除寄存器 1218 的细颗粒累加器清除信号由 DAC 控制器 608 处理。

[0107] 来自累加器 1206 的 32 比特输出信号被发送到微处理器接口，用于监视、测试和调试目的。在一实施例中，来自累加器 1206 的 32 比特输出信号被截短为 18 比特值，并通过反馈环路 1208 被发送到饱和加法器 1202。反馈环路 1208 携带寄存器 1218 的 DC 估计。从饱和加法器 1202 内的基带信号中减去 DC 估计就从基带信号中去除了 DC 分量。细颗粒（数字）环路 606 因此表示接收信号路径内高通滤波器。

#### [0108] DAC 控制器

[0109] 用于去除不期望的 DC 偏移的最后一个机构是 DAC 控制器 (DACC) 608。DACC 608 通过串行总线接口 620 控制在直接变频器模块 306 内的数字到模拟转换器 (DAC) 510。DACC 608 基于从 DACC 608 或任何其他 DC 估计器内计算得到的 DC 偏移值而提供更新给直接变频器模块 306 内的 DAC 510。DACC 608 基于 DC 偏移值的增益改变、温度改变、接收频率、时间和漂移，更新 DAC 510 的 DC 偏移值。

[0110] 基带信号的 I 和 Q 分量的 DACC 608 的框图 1300 在图 13 内示出。DACC 608 包括估计器 1302、多路复用器 1340、乘法器 1342、多个累加器 1344 和 SBI 写入逻辑 620。估计器 1302 耦合到多路复用器 1340。多路复用器 1340 耦合到乘法器 1342。乘法器 1342 耦合到累加器 1344，且累加器 1344 耦合到 SBI 写入逻辑 620。

[0111] 估计器 1302 类似于细颗粒（数字）抵消环路 606。在一实施例中，可以取代估计器 1302 使用细颗粒（数字）抵消环路 606。使用细颗粒（数字）抵消环路 606 而不是估计器 1302 简化了设计，但在选择细颗粒（数字）抵消环路 606 的获取和跟踪带宽时灵活性减少。

[0112] 估计器 1302 包括饱和加法器 1304、增益元件 1306 以及累加器 1308。饱和加法器 1304 耦合到增益元件 1306。增益元件 1306 耦合到累加器 1308。累加器 1308 通过反馈环路 1328 耦合到饱和加法器 1304。

[0113] 饱和加法器 1304 接受来自偏移调整 602 的 18 比特 I 或 Q 分量以及通过反馈环路 1338 的累加器 1308 的 32 比特的 18 比特最高有效比特输出作为输入。饱和加法器 1304 的输出是来自偏移调整 602 以及来自累加器 1308 的 I 或 Q 分量之差增益元件 1306 包括多路复用器 1310 和可编程移位器 1312。增益元件 1306 将饱和加法器 1304 的输出乘以比例缩放因子。比例缩放因子基于 DACC608 是处于获取模式或跟踪模式而经选择。信号 DACC\_ACQ\_TRACK\_n 控制多路复用器 1310。DACC\_ACQ\_TRACK\_n 是由有限状态机控制的内部信号。有限状态机在以下参考图 14 描述。如果 DACC 608 处于获取模式，DACC\_ACQ\_TRACK\_n 信号

会选择图 13 内示出估计器获取偏移比例缩放值 (EST\_ACQ\_OFFSET\_SCALER) 的高增益作为多路复用器 1310 的输出信号。这会引起估计器 1302 表示为一偏移调整 602 的输出和饱和加法器 1304 的输出间的高通滤波器，具有 100KHz 的 3dB 高通滤波器带宽。如果 DACC 608 处于跟踪模式，DACC\_ACQ\_TRACK\_n 信号会选择低增益，如图 13 内示出的估计器跟踪偏移比例缩放值 (EST\_TRC\_OFFSET\_SCALER) 的高增益作为多路复用器 1310 的输出信号。这会生成 1KHz 的 3dB 高通滤波器带宽。本发明不限于分别对于获取和跟踪模式的 100KHz 3dB 的带宽以及 1KHz 3dB 带宽。相关领域内的计数人员会知道可以使用其他 3dB 带宽而不偏离本发明的范围。

[0114] 可编程移位器 1312 接受多路复用器 1310 的输出并将 18 比特 I 或 Q 基带信号移位来自多路复用器 1310 的选定比例缩放器值指定的量。在一实施例中，可编程移位器 1312 的输出提供 32 比特 I 或 Q 基带输出信号。

[0115] 累加器 1308 用于累积基带信号内的 DC 偏移估计。累加器 1308 包括通过多路复用器 1316 耦合到寄存器 1318 的饱和加法器 1314。寄存器 1318 的输出连接到饱和加法器 1314，从而提供反馈环路。饱和加法器 1314 将来自可编程移位器 1312 的输出的进入数据以及从寄存器 1318 输出反馈回的数据接受为输入，并提供输出值，该值表示进入 I 或 Q 数据以及来自寄存器 1218 的反馈数据之和，用于累加 DC 偏移估计。

[0116] 多路复用器 1316 选择或是来自饱和加法器 1314 的输出或是来自微处理器接口的输出（示出为 wr\_data）。多路复用器 1316 由估计器累加器载入 (EST\_ACCUM\_LOAD) 信号控制。该 EST\_ACCUM\_LOAD 信号指明是否使用来自微处理器接口的数据（即 wr\_data）。来自微处理器接口的输出选择使得累加器 1308 被载入已知值。这使得能测试并调试 DACC 608。在以下正常操作下，多路复用器 1316 会选择来自饱和加法器 1314 的输出。

[0117] 寄存器 1318 用于存储来自饱和加法器 1314 的输出值或来自微处理器接口（未示出）的输出值。连接到寄存器 1318 的估计器时钟信号用于时钟寄存器 1318。在一实施例中，估计器时钟信号是 10MHz 时钟信号。可以使用其他时钟频率而不偏移本发明的范围和原理。用于在 DAC 更新后清除寄存器 1318 的估计器累加器清除信号由 DAC 控制器 608 处理。

[0118] 来自累加器 1308 的 32 比特输出信号被发送到微处理器接口用于浏览。在一实施例中，来自累加器 1308 的 32 比特输出信号被截短到 18 比特值并通过反馈环路 1338 发送到饱和加法器 1304。反馈环路 1338 携带寄存器 1318 的 DC 估计。从饱和加法器 1304 内的基带信号中减去 DC 估计从基带信号中去除了 DC 分量。估计器环路 1302 因此表示了偏移调整 602 输出和饱和加法器 1304 输出间的高通滤波器。

[0119] 来自累加器 1308 的 32 比特输出信号还被截短为 14 比特值，并被发送到多路复用器 1340。该 14 比特值还表示 DC 偏移的估计。基于估计器选择信号 (EST\_SEL)，多路复用器 1340 然后从估计器 1302 或任何其他 DC 偏移估计器选择估计的 DC 偏移值。领域内的计数人员可以知道任何 DC 估计器可以用于送入多路复用器而不偏移本发明的范围。

[0120] 多路复用器 1340 的输出被送入乘法器 1342。乘法器 1342 将估计的 DC 偏移值经比例缩放以匹配模拟 RF 前端的增益。DACC 环路增益内的单位环路增益是必要的以使得 DACC 环路在一个 DAC 更新内收敛。乘法器值 DACC\_OFFSET\_GAIN 的调整使得在基带增益改变时，单位 DACC 环路增益得以维持。

[0121] 乘法器 1342 输出被送入累加器 1344。累加器 1344 包括饱和加法器 1346、多个多路复用器 1348、1350、1352、1354 以及 1356)、多个寄存器 (G0–G4) 以及多路复用器 1360。饱和加法器 1346 耦合到多路复用器 1348、1350、1352、1354 以及 1356 的每个。多路复用器 1348 耦合到寄存器 G4。多路复用器 1350 耦合到寄存器 G3。多路复用器 1352 耦合到寄存器 G2。多路复用器 1354 耦合到寄存器 G1。多路复用器 1356 耦合到寄存器 G0。每个 G0–G4 的每个耦合到多路复用器 1360。

[0122] 累加器 1344 包括 DACC 累加器 0、DACC 累加器 1、DACC 累加器 2、DACC 累加器 3 和 DACC 累加器 4。DACC 累加器 0 包括饱和加法器 1346、多路复用器 1356、寄存器 G0 和多路复用器 1360。DACC 累加器 1 包括饱和加法器 1346、多路复用器 1354、寄存器 G1 和多路复用器 1360。DACC 累加器 2 包括饱和加法器 1346、多路复用器 1352、寄存器 G2 和多路复用器 1360。DACC 累加器 3 包括饱和加法器 1346、多路复用器 1350、寄存器 G3 和多路复用器 1360。DACC 累加器 4 包括饱和加法器 1346、多路复用器 1348、寄存器 G4 和多路复用器 1360。

[0123] 饱和加法器 1346 接受来自乘法器 1342 的估计 DC 偏移值以及来自寄存器 G0–G4 的输出的一个作为输入。饱和加法器 1346 的输出是来自乘法器 1342 的估计 DC 偏移值以及来自寄存器 G0–G4 的一个输出之和,这取决于接收机系统的当前增益设置。

[0124] 多路复用器 1348、1350、1354 和 1356 与多路复用器 1316 以类似的方式使用,即能使得微处理器 (未示出) 重写或将值载入寄存器 G0–G4 用于初始化、测试以及解调处理。多路复用器 1348、1350、1352、1354 和 1356 选择或是来自饱和加法器 1346 的输出或是来自微处理器接口的输出 (如 wr\_data 示出)。

[0125] 寄存器 G0–G4 表示每个 LNA 304 或混合器 308 增益设置。每个寄存器存储基于特定增益设置的有多少 DC 偏移估计。来自 G0–G4 的值用于基于增益改变、温度改变、时间和漂移值,更新直接变频器模块 306 内的 DAC 510 的 DC 偏移值。换而言之,取决于 RF 接收机当前在哪个增益设置内,使用对应的寄存器值 (G0、G1、G2、G3 或 G4) 为直接变频器模块 306 内的 DAC 510 更新 DC 偏移值。

[0126] 多路复用器 1360 用于选择合适的寄存器以更新直接变频器模块 306 内的 DAC 510,这基于 sbi\_out\_sel 信号。来自选定寄存器 (G0、G1、G2、G3 或 G4) 的 8 比特值在串行总线接口 (SBI) 620 上通过多路复用器 1360 发送到 DAC 510。

[0127] 多路复用器 1360 的 9 比特输出被发送饱和加法器 1346 以启用合适增益设置的 DC 偏移估计累加。

[0128] 寄存器 G0–G4 提供了在每个增益设置的基带信号内找到多少 DC 偏移的较好估计。但周期性地,可能需要更新该估计。在该种时刻,存储在寄存器 (G0–G4) 内的当前估计用来自估计器 1302 的新估计器值进行更新,它被加入来自累加器 1344 的合适累加器 (DACC 累加器 0–DACC 累加器 4) 的输出。

[0129] 如先前关于图 3B 示出的,增益改变可以生成在基带处 DC 偏移内的瞬时改变。DACC 608 因此为 LNA 304 和混合器 308 内五种增益设置的每个存储 DC 偏移估计。在一实施例中,其中使用少于五个的增益设置,可以使用更少的寄存器 (G0–G4)。还可以在实施例内使用更少的寄存器 (G0–G4),其中 DC 偏移在增益设置上不会有重大改变。

[0130] 当发生增益改变时, DACC 608 会切换多路复用器 1360 以从一个寄存器 (G0–G4) 选择新输出,并将新值在 SBI 620 上写入直接变频器模块 306 的 DAC510 内。DACC 608 可

以等待由 DACC\_CLR\_TIME 定义的规定时间量,然后清除相应的细颗粒环路以及估计累加器 1206 和 1308。在该等待时段内, DACC 608 被切换到获取模式以通过细颗粒(数字)环路 606 快速去除任何残留 DC 偏移。在 DACC\_CLR\_TIME 超时后, 细颗粒(数字)环路 606 和估计器 1302 被保持在获取模式由 DACC\_CLR\_TIME 定义的一特定时间量以为该新增益设置获得 DC 偏移更好的第一阶估计。在 DACC\_ACQ\_TIME 超时后, DACC 608 会切换到跟踪模式并细调新计算的 DC 偏移。

[0131] 由于衰落和温度改变,尽管有恒定的增益设置,基带信号的 DC 偏移分量会经常漂移。由于衰落和温度改变的漂移会引起基带处较大的 DC 偏移,这会恶化接收机的模拟 RF 前端内的性能。尤其是,该种偏移可以限制模拟到数字转换器 502 内的头部空间并引起信号饱和。DC 偏移会进一步恶化基带滤波器 312 的线性。为了避免这些情况, DACC 608 进一步基于来自细颗粒累加器 1218 的 DC 偏移在 SBI 620 上更新直接变频器 306 上的 DAC 510。当该 DC 偏移的绝对值到达阈值时,直接变频器 306 上的 DAC 510 与在增益改变期间相同的方式经更新。增益改变更新的不同之处在于,当前 DACC 累加器(由当前增益设置所选择的)首先通过多路复用器 1340、乘法器 1342 以及饱和加法器 1346,用来自该累加器的估计器值来更新。在更新直接变频器 306 内的 DAC 510 之前更新 DACC 累加器,对于漂移更新以减少接收链内的 DC 偏移是很关键的。漂移更新保留了模拟到数字转换器 502 内的头部空间最小量,防止基带滤波器 312 的信号饱和以及非线性行为引起基带信号的失真。漂移更新进一步参考图 16B 经描述。

[0132] 取代连续监视细颗粒(数字)抵消环路 606 内的 DC 偏移,直接变频器 306 内的 DAC 510 可以周期性地经更新。为了允许模拟到数字变换器 502 的最大动态范围并获得 DC 偏移的更准确值, DACC 608 会基于 DACC 608 跟踪计时器(DACC\_TRC\_TIME)周期性地更新直接变频器 306 上的 DAC 510。这被称为周期更新。当计时器被启用时,它会从进入跟踪模式时间起以 16 时钟周期的增量中向下计数。当超时时,以与漂移更新期间相同的方式触发直接变频器 306 上的 DAC 510 的更新。当前增益设置定义的 DACC 累加器用于更新直接变频器 306 内的 DAC 510。周期性更新在以下参考图 14 和 16B 进一步描述。

[0133] DC 偏移分量取决于温度。因此,在一温度处的 DC 偏移估计可以很不同于在另一温度处的 DC 偏移,虽然使用相同增益设置被计算。DACC 608 使用 DC 偏移高速缓冲器补偿温度改变(图 17A 内示出)。

[0134] 图 17A 是说明基于温度改变更新寄存器 G0-G4 过程的框图。图 17A 示出微处理器 1722,DC 偏移缓冲 1724 以及累加器 1344(这包括寄存器 G0-G4)。DC 偏移高速缓冲器 1724 根据温度可以包含每个增益设置的 DC 偏移估计。DC 偏移高速缓冲器 1724 的大小 1724 可以是 5(增益设置)x64(温度补偿)x9(比特)。或者,DC 偏移缓小可以更大或更少,这取决于 RF 前端提供的增益设置数目、期望的温度步长数以及用于表示 DC 偏移估计的比特数。当 MSM 504 电源开启时 ON,微处理器 1722 将五个值从 DC 偏移高速缓冲器 1724 中基于当前温度载入 DACC 608 的寄存器 G0-G4 内。使用这些值, DACC 608 如上所述在各种增益设置上获取并跟踪 DC 偏移直到温度有重大改变。当微处理器 1722 感应到温度方面的改变时,微处理器 1722 读出当前在五个累加器 1344 内的值,并在旧温度步长处将其存储在 DC 偏移缓冲 1724 内。微处理器 1722 然后为新温度用 DC 偏移高速缓冲器 1724 的新值载入累加器 1344(即寄存器 G0-G4)。然而,为当前增益设置由 DACC 608 计算的 DC 偏移估计比在新温

度处在 DC 偏移高速缓冲器 1724 内存储的一个要更准确,因此优于存储的值。在当前温度处用 DC 偏移值载入累加器 1344 之前在旧温度步长处存储累加器 1344 使得 DC 偏移高速缓冲器 1724 使用更准确的值被连续更新。

[0135] 在一实施例中,载入 DC 偏移缓冲 1724 的初始 DC 偏移值基于统计数据。在另一实施例中,初始 DC 偏移值被设定为零 (0)。在该实施例中, DACC 608 在时间上扩展表格。例如,如果 DACC 608 希望替换寄存器 G0-G4 内的估计,并发现 DC 偏移缓冲 1724 是空的,则 DACC 608 会保持当前值,并更新 DC 偏移高速缓冲器 1724。算法是“自学习”的。

[0136] 图 17B 是说明基于温度改变更新寄存器 G0-G4 的方法流图。过程开始于步骤 1702,并立即进行到步骤 1704。

[0137] 在步骤 1704,为每个增益设置 (即 DACC 寄存器) 的温度范围内的各种温度确定 DC 偏移值集合。带有温度范围的温度步长足够大,以发生 DC 偏移内的实际改变。

[0138] 在步骤 1706 内,温度值被存储在存储器内。在一实施例中,步骤 1704 内确定的温度值被存储在 DC 偏移缓冲 1724 内。过程然后进行到步骤 1708。

[0139] 在步骤 1708,在开启移动蜂窝电话时,微处理器 1722 会使用温度感应器确定当前温度。过程然后进行到步骤 1710。

[0140] 在步骤 1710 内,所有当前温度的所有增益设置的 DC 偏移值从存储器下载到 DACC 寄存器 G0-G4。过程进行到判决步骤 1712。

[0141] 在判决步骤 1712 内,确定温度是否有重大改变。为了实现该点,微处理器 1722 读取温度感应器并将其与寄存器 G0-G4 内的当前值的温度设置比较。如果温度没有改变,则过程停留在判决步骤 1712 直到发生温度改变。如果确定发生温度改变,则过程进行到步骤 1714。

[0142] 在步骤 1714,微处理器 1722 读取寄存器 G0-G4 内的当前值。在步骤 1716 内,微处理器 1722 将这些值存储在存储器内较旧的温度设置内。这使得温度设置可以用更准确的值被恒定更新。该过程然后进行到步骤 1718。

[0143] 在步骤 1718,微处理器 1722 在寄存器 G0-G4 的新温度设置处读取 DC 偏移值。过程然后进行到步骤 1720。

[0144] 在步骤 1720,微处理器 1722 用在新温度设置处的 DC 偏移值重写 DACC 寄存器 G0-G4,除了当前使用的增益设置寄存器以外。当前使用的增益设置寄存器在温度改变期间累加。因此,该寄存器内的值很可能比在步骤 1718 内的存储器读出的值更准确。该过程然后进行到判决步骤 1712 以确定是否发生另一温度改变。

[0145] 图 14 是 DACC 608 的有限状态图 1400。DACC 有限状态图 1400 包括 DACCTRACK 状态 1402、DACC SBI INIT 状态 1404、DACC ACQ SETUP 状态 1406、DACC ACQ 状态 1408、ACQ UPDATE 状态 1410 以及 DACC TRACK SETUP 状态 1412。

[0146] 在重设时,DACC 608 开始于 DACC TRACK 状态 1402。在 DACC TRACK 状态 1402,被设定的输出信号包括跟踪计时器启用 (trc\_timer\_en) 和漂移更新启用 (dft\_update\_en)。Trc\_timer\_en 启用跟踪计时器以开始,且 dft\_update\_en 使得漂移更新发生。DACC 608 会保持跟踪模式直到发生增益改变,发出周期更新或发出漂移更新。如果增益改变、周期更新或漂移更新发生,DACC 608 会从 DACC TRACK 状态 1402 转换到 DACC SBI INIT 状态 1404。

[0147] 在 DACC SBI INIT 状态 1404,DACC 608 实现更新,且新 DC 偏移估计必须通过 SBI

620 写入到直接变频器模块 306 内的 DAC 510 内。在 DACC SBI INIT 状态 1404 内, SBI 620 经设立且执行写入请求。DACC 608 会保持在 DACC SBIINIT 状态 1404 内, 直到发出 dacc\_sbi\_done 信号。当发出 dacc\_sbi\_done 信号且没有发生 DACC 增益改变更新 (dacc\_gch\_update) 时, DACC 608 从 DACC SBIINIT 状态 1404 转换到 DACC ACQ SETUP 状态 1406 内。

[0148] 在 DACC ACQ SETUP 状态 1406 下, DAC 510 在 RF 前端的接收路径内被更新, 且估计器 1302 被设定到获取模式。从状态 146 被设定的输出信号包括 DACC\_ACQ\_TRACK\_n、DACC 计时器选择信号 (dacc\_timer\_sel)、获取计数器载入信号 (acq\_counter\_ld), 以及 DACC 计时器载入信号 (dacc\_timer\_ld)。DACC608 会保持在状态 1406 内, 直到 DAC 更新的结果已传送到 BBF 605 输出。这是由数字累加器清除超时而确定的, 这可以参考图 16A 描述。一旦发生数字累加器清除超时, DACC 608 会进入 DACC ACQ 状态 1408。如果在接收到数字累加器清除超时前发生 DACC 增益改变更新, 则 DACC 608 会返回到 DACC SBIINIT 状态 1404。

[0149] 在 DACC ACQ 状态 1408, 估计器 1302 以及细颗粒 (数字) 环路 606 在获取模式并获取 DC 偏移。从状态 1408 被设定的输出信号包括 DACC\_ACQ\_TRACK\_n、dacc\_timer\_sel 以及 获取计时器启用信号 (acq\_timer\_en)。DACC 608 会保持在状态 1408 直到发生 DACC 增益改变更新, DACC 计时器中止或 DACC 计时器中止且获取计数器中止。DACC 计时器超时指明细颗粒 (数字) 环路 606 和估计器 1302 已解决新 DC 偏移值。DACC 计时器中止电路在以下参考图 16B 描述。获取计数器中止电路以下参考图 16C 描述。如果 DACC 增益改变发生, DACC 608 会回到 DACC SBI INIT 状态 1404。如果 DACC 计时器中止且获取计数器中止发生, DACC 608 会进入 DACC TRACKSETUP 状态 1412。如果发生 DACC 计时器中止, 则 DACC 608 会转到 ACQUPDATE 状态 1410。

[0150] 当 DACC 608 跳到 ACQ UPDATE 状态 1410 时, 存在多于一个的获取更新。在 ACQ UPDATE 状态 1410 处, 设定以下输出信号 :dacc\_timer\_sel 和 dacc\_timer\_ld。DAC 510 在 RF 前端的接收路径内经更新, 且细颗粒 (数字) 环路 606 和估计器 1302 通过 DACC\_ACQ\_TRACK\_n 被设定回跟踪模式。DACC 608 会保持在状态 1410 直到发生 DACC 增益改变更新或发生数字累加器清除信号。数字累加器清除信号指明 RF 前端内的 DAC 更新已传送到 BBF 605 的输出, 且在以下参考图 16A 进一步详细描述。在有数字累加器清除信号情况下, DACC608 会跳到 DACC ACQ 步骤 1408。在有 DACC 增益改变更新情况下, DACC 608 会跳到 DACC SBI INIT 状态 1404。

[0151] 在 DACC TRACK SETUP 状态 1412 内, DACC 608 通过设立并将 DACC\_TRC\_TIME 值载入 DACC 计时器 1614 而准备 DACC TRACK 状态 1402。从 DACC TRACK SETUP 被设定的输出信号包括 DACC\_ACQ\_TRACK\_n 以及 dacc\_timer\_ld。如果 DACC 增益改变更新在 DACC 608 处于 DACC TRACKSETUP 状态 1412 时发生, 则 DACC 608 会回到 DACC SBI INIT 状态 1404。否则, 在设立后, DACC 608 会立即进到 DACC TRACK 状态 1402。

[0152] 回到图 6, DC 抵消模块 600 在 603 处在细颗粒 (数字) 抵消环路 606 后接口到自动增益控制 (AGC)。AGC 提供给 DC 抵消模块 600 以信息, 指明何时发生增益设置内的改变。DC 抵消模块 600 在处于获取模式时警告 AGC 以指明信号频谱的较大部分可以由细颗粒 (数字) 环路 606 的高通特性而去除, 且较大 DC 偏移可以存在于基带信号内。

[0153] AGC 将三种信号提供给 DC 抵消模块 600。AGC 指明何时在混频器 308 和 LNA 304 内发生增益改变。在该时刻, 设置 mix\_change 和 lna\_change。AGC 还提供 mixer\_lan\_

range[2:0]。该信号主要由 DCC 608 使用,且指明 AGC 使用的当前增益设置。实际 LNA 304 和 RF 混频器 308 可以为增益设置使用不同于 mixer\_lna\_range 指明的编码。该信号用于选择来自累加器 1344 的合适 DAC 偏移值。

[0154] DC 抵消模块 600 提供 1 比特信号给 AGC,指明何时较大 DC 偏移会恶化基带信号。该信号 agc\_dc\_gain\_sel 是粗颗粒信号 PDM\_ACQ\_TRACK\_n 和 dacc\_timer\_sel 的逻辑 OR。当被设定时,机构 602、604、606 和 608 的一个或多个处于获取模式以去除 DC 偏移。在该期间,一个或多个机构 602、604、606 和 608 的带宽被增加以快速获得 DC 偏移估计且可以去除信号频谱的较大部分。AGC 会使用该信号以在获取模式期间禁用或减慢功率电平的累加,且因此通过跟踪 DC 偏移或减少的信号功率而不是实际信号功率来防止 AGC 增益估计恶化。

[0155] 图 15 是说明 DACC 启用硬件电路 1500 图,用于启用 DACC 累加器 (DACC\_accum\_0、DACC\_accum\_1、DACC\_accum\_2、DACC\_accum\_3 以及 DACC\_accum\_4)。电路 1500 包括两个多路复用器 1502 和 1504、D 双稳态触发器、比较器 1508、逻辑电路 1510、解码器 1516 和逻辑电路 1518A 和 1518E。

[0156] 多路复用器 1502 由 MICRO\_MIX\_RANGE\_OVERRIDE 信号控制。到多路复用器 1502 的输入包括来自 AGC mixer\_lna\_range[2:0] 的比特 2 以及微处理器信号 MICRO\_MIX\_LNA\_RANGE[2:0] 的比特 2。MICRO\_MIX\_RANGE\_OVERRIDE 当被设定时指明微处理器值应重写 AGC 信号。换而言之,来自微处理器的输入被选择为来自多路复用器 1502 的输出。这可以用于忽略混合器增益改变。换而言之,如果 MICRO\_MIX\_RANGE\_OVERRIDE 被设定且 MICRO\_MIX\_LNA\_RANGE[2] 保持不变,则混频器增益改变不再会引起状态机 1400 转变到状态 DACC\_SBI\_INIT1404。

[0157] 多路复用器 1504 由 MICRO\_LNA\_RANGE\_OVERRIDE 信号控制。到多路复用器 1504 的输入包括来自 AGC mixer\_lna\_range[2:0] (如上所述) 的比特 0 和 1 以及微处理器信号 MICRO\_MIX\_LNA\_RANGE[2:0] 的比特 0 和 1。MICRO\_LNA\_RANGE\_OVERRIDE 当被设定时指示微处理器值应重写 AGC 信号。换而言之,来自微处理器的输入被选择为多路复用器 1504 的输出。如先前说明的,mixer\_lna\_range[2:0] 是来自 AGC 的三比特值并指明当前增益设置。MICRO\_LNA\_RANGE\_OVERRIDE 可以用于忽略 LNA 增益改变。换而言之,如果 MICRO\_LNA\_RANGE\_OVERRIDE 被设定且 MICRO\_MIX\_LNA\_RANGE[0:1] 保持不变,则 LNA 增益改变不再会引起状态机 1400 进入状态 DACC\_SBI\_INIT 1404。忽略 LNA 增益改变会用于 LNA 增益改变引起在基带处最小 DC 偏移改变且因此可以被 DACC 608 忽略。任何 DC 偏移内的微小变化可以使用细颗粒 (数字) 环路 606 被去除。

[0158] 两个多路复用器 1502 和 1504 按其可能被分开覆盖的顺序被使用。比特 2 可以被覆盖,但不是比特 0 或 1 或相反。

[0159] 多路复用器 1502 和 1504 的输出是三比特编码 (sbi\_out\_sel),它指明要使用哪个增益设置 DACC 608。三个比特编码 sbi\_output\_sel 被发送到解码器 1516。使用三个比特输入,解码器 1516 对可能的八个输出的五个输出解码。来自解码器 1516 的五个输出的每个被发送到相应的五个逻辑电路 1518A-1518E。

[0160] 逻辑电路 1518A-1518E 是相同的。参考逻辑电路 1518A,逻辑电路 1518A 包括三个逻辑 AND 门 1520A、1522A 和 1524A 以及 OR 门 1526A。因此,有三种情况可能启用累加器。第一种情况在逻辑 AND 门 1520A 处被标识,是正常操作条件。第一条条件标识解码器输出作

为选择正确的 DACC 累加器。对于第一条件还必须出现 DACC 项更新。第二条件标识解码器输出作为选择不正确的 DACC 累加器，但微处理器会可能更新该 DACC 累加器。该第二条件可以用于更新温度高速缓冲器。第三条件标识 DACC 累加器作为启用的，但微处理器可能希望更新 DACC 累加器。该第三条件可以用于测试和解调用途。

[0161] 来自多路复用器 1502 和 1504 的 sbi\_output\_sel 输出还被发送到 D 双稳态触发器 1506，其中信号被延时一个时钟周期。D 双稳态触发器 1506 的输出然后被发送到比较器 1508。

[0162] 比较器 1508 接受来自多路复用器 1502 和 1504 的 sbi\_output\_sel 以及来自 D 双稳态触发器 1506 的 sbi\_output\_sel 的延时版本作为输入信号。比较器 1508 确定增益设置是否在两个输入间改变，如果两个输入不同，则比较器输出“1”，表明已发生增益改变。否则比较器 1508 会输出“0”，指明增益改变没有发生。

[0163] 比较器 1508 的输出被输入到逻辑电路 1510。逻辑电路 1510 包括逻辑 AND 门 1512 和逻辑 OR 门 1514。逻辑 AND 门 1512 用于建立 / 禁用 DACC 增益改变。DACC\_GAIN\_CHG\_EN 是微处理器发送的信号用于启用或禁用 DACC 增益改变。OR 门 1514 用于启用微处理器以触发增益改变更新，即使没有发生增益改变。这可以用于测试和解调用途。

[0164] 图 16A 是说明时序电路 1600 的图，用于确定在更新了新 DC 偏移估计之后清除累加器之前等待的时间长度。该时间反映了信号从 LPF 312 的输入到达 BBF 605 的输出的传播延时。时序电路 1600 包括耦合到计数器 1604 的设定 - 重设双稳态触发器 1602。在新 DC 偏移估计在 SBI 620 上被写到直接变频器 306 的 DAC 510 内时，DACC 608 会接收被称为 dacc\_db1\_done 的信号，指明传输完成。dacc\_sbi\_done 信号设定双稳态触发器 1602，且一个时钟周期之后，启用计数器 1604。dacc\_sbi\_done 信号还使得计数器 1604 能用初始计数时间 (DACC\_CLR\_TIME) 载入。计数器 1604 是向下计数器。向下计数器 1604 开始于 DACC\_CLR\_TIME 会向下计数到零或超时。在超时后，计数器 1604 会输出信号 dig\_accum\_clr，指明可以清除累加器。信号 dig\_accum\_clr 然后用于重新设定或禁用双稳态触发器 1602。

[0165] 图 16B 是说明 DAC 控制器 608 的计数器电路 1610 的图。电路 1610 用于实现周期性的更新和获取更新。周期性更新的计时器值通过开始状态机 1400 内更新状态周期而定义在触发 DAC 510 新更新前等待的时间长度。获取时间描述在细颗粒（数字）环路 606 和估计器已解决了 DC 偏移值前等待的时间长度。电路 1610 包括多路复用器 1612、计数器 1614、三个逻辑三个输入 AND 门 1616、1618 和 1622、比较器 1620、三个输入逻辑 OR 门 1624 和两个输入逻辑 AND 门 1628。

[0166] 计数器 1614 处理周期性更新和获取更新。Dacc\_timer\_1d 信号由有限状态机 1400 控制。多路复用器 1612 用于选择进行获取更新（信号 DACC\_ACQ\_TIME）或周期更新（信号 DACC\_TRC\_TIME）需要的时间。多路复用器 1612 的输出基于 dacc\_timer\_1d 而被载入计数器 1614 作为计数器载入值。计数器 1614 在 DACC608 被启用时被启用，启用 DACC 周期性更新且启用跟踪计时器，或启用获取计时器。当计数器 1614 被启用时，计数器 1614 会从计数器值向下计数到零。当计数器 1614 超时后，dacc\_timer\_term 会被发出。

[0167] 逻辑 AND 门 1616 指明 DACC 周期性更新的要求。对于 DACC 周期性更新，周期性更新必须被启用 (DACC\_PRD\_UPD\_EN)，DACC 608 必须在跟踪模式 (DACC\_ACQ\_TRACK\_n)，如在逻辑 AND 门 1616 输入处的反相器指明的，且 DACC 计时器必须有超时 (dacc\_timer\_term)。

[0168] 逻辑 AND 门 1618 指明 DACC 获取更新的要求。对于 DACC 获取更新, DACC 608 必须处于获取模式 (DACC\_ACQ\_TRACK\_n), DACC 计时器必须有超时 (dacc\_timer\_term), 且获取计数器必须不能终止 (acq\_counter\_term), 如在逻辑 AND 门的输入处的反相器 1617 指明的。

[0169] 比较器 1620 和 AND 门 1622 用于确定何时会发生 DACC 漂移。漂移更新基于细颗粒累加器 1218 的 DC 偏移。细颗粒累加器 1218 的绝对值 (fg\_accum\_abs\_val) 与微处理器设定的可编程阈值 (fg\_thresh) 比较。如果细颗粒累加器 1218 的绝对值大于经编程的阈值, 则发出大于阈值输出的输出。在 AND 门 1622 处, 如果从比较器发出大于阈值输出, 且启用漂移更新 (dft\_update\_en) 以及 DACC 漂移更新 (DACC\_DFT\_UPDATE\_EN), 然后会实现 DACC 漂移更新。DACC 漂移更新信号延时两个时钟周期 (框 1626)。

[0170] 逻辑 OR 门 1624 接受来自 AND 门 1616 的周期性更新输出 (dacc\_prd\_update), 来自 AND 门 1618 的获取更新 (dacc\_acq\_update) 以及来自延时 1626 的延时后 DACC 漂移更新 (dacc\_dft\_update) 以及输出, 无论设定的是哪一个。如果启用 DACC 608, 则一个更新会被作为 DACC 项更新 (dacc\_term\_update) 发出。

[0171] 图 16c 是说明 DAC 控制器获取计数器电路 1630 的图。计数器电路 1630 包括逻辑 AND 门 1632 和计数器 1634。DACC\_ACQ\_COUNT 值定义在由状态机 1400 控制的获取循环期间发生的 DAC 更新数目。Acq\_counter\_1d 是启用初始计数器值的信号。(DACC\_ACQ\_COUNT) 要被载入计数器电路 1630。Acq\_counter\_1d 是有限状态机 1400 生成的输出信号。如果 DACC 608 被启用, 则计数器电路 1630 被启用, DACC 608 处于获取模式, 且 DACC 计时器项发生 (间 AND 门 1632)。当启用计数器电路 1630 时, 计数器 1634 会向下计数, 从 DACC\_ACQ\_COUNT 到零。在到达零时, acq\_counter\_term 会被发出, 将 DACC 608 送回状态 DACC TRACK 1402。

[0172] 图 16D 是说明为 DAC 控制器请求 SBI 写入的电路 1640。电路 1640 包括 D 双稳态触发器 1642 和逻辑 OR 门 1644。根据电路 1640, SBI 写入请求会发生在 dacc\_term\_update 或 dacc\_gch\_update 之后一个周期 (见 OR 门 1644)。

[0173] 环境

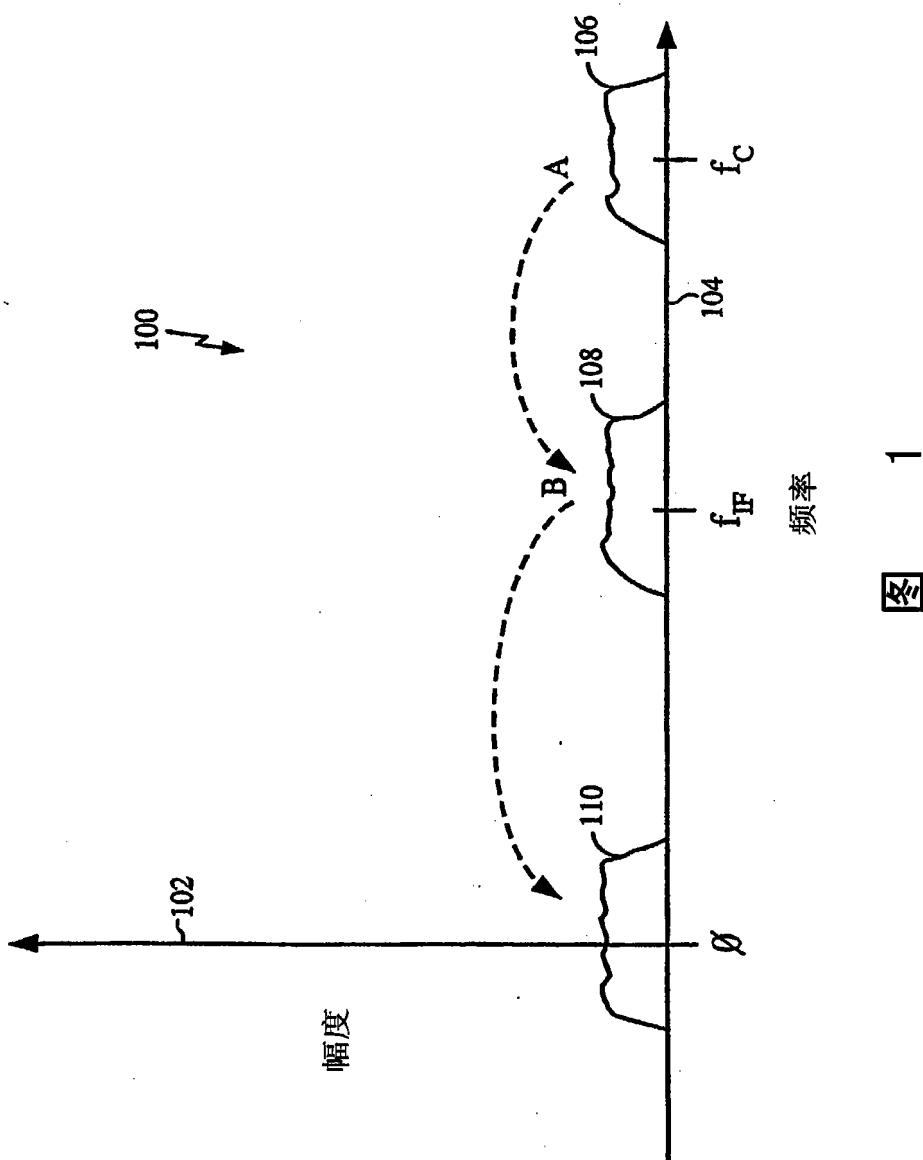
[0174] 在描述的 DC 偏移抵消的各种方面和实施例可以实现在各种无线通信系统中, 诸如 CDMA 系统、W-CDMA 系统、GPS 系统、AMPS 系统等。DC 偏移抵消还可以用于这些通信系统内的前向链路或反向链路。

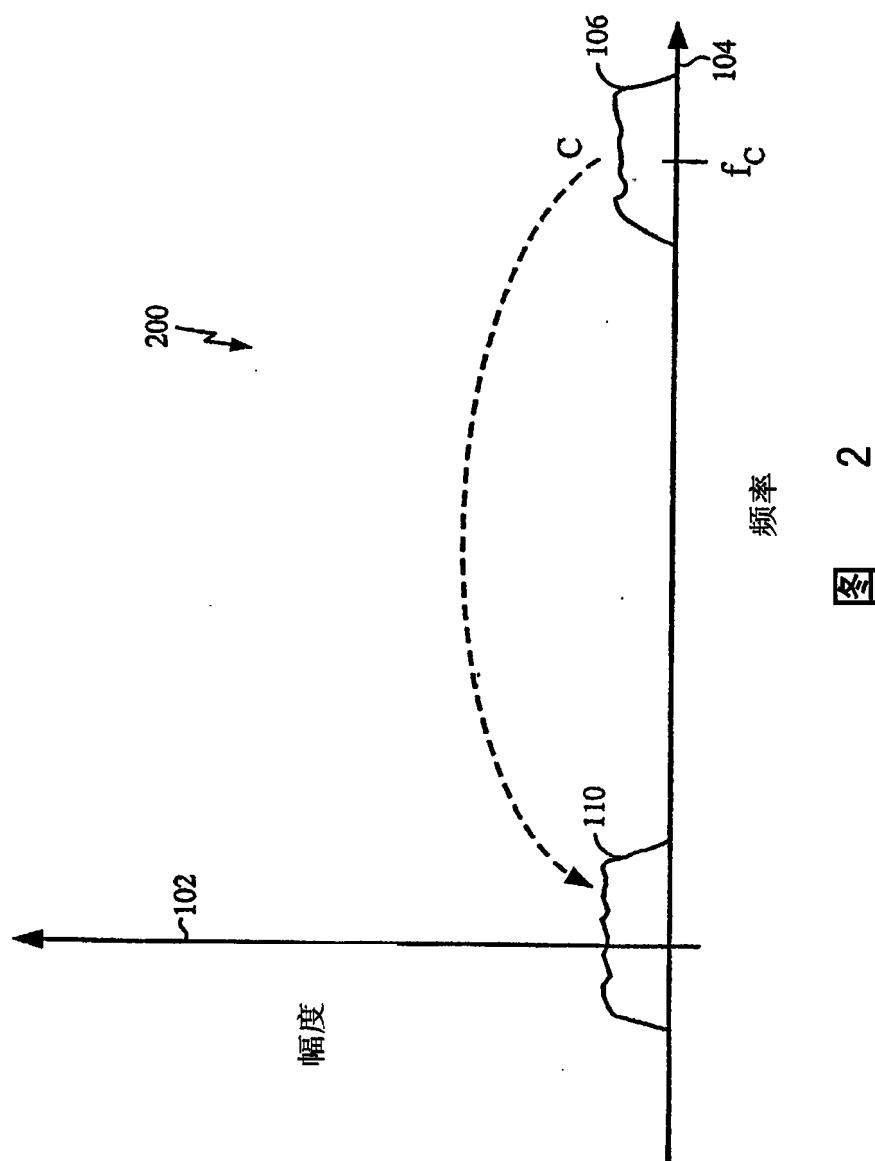
[0175] 在此描述的 DC 偏移抵消的各个方面和实施例可以用各种装置实现。例如, DC 偏移抵消的所有或一部分可以实现在硬件、软件或其组合内。对于硬件实现, DC 偏移抵消可以实现在一个或多个应用专用集成电路 (ASIC)、数字信号处理器 (DSP)、数字信号处理设备 (DSPD)、可编程逻辑设备 (PLD)、现场可编程门阵列 (FPGA)、处理器、控制器、微控制器、微处理器、设计实现上功能的其他电子单元内, 或其组合内。

[0176] 对于软件实现, 用于 DC 偏移抵消的元件可以用实现上述过程的模块 (例如过程、函数等) 实现。软件代码可以存储在存储器单元内并由处理器执行。存储器单元可以在处理器内或外部实现, 在该情况下, 它可以通过相关领域内已知的各种装置通信地耦合到处理器。

[0177] 结论

[0178] 虽然本发明的各种实施例如上所述,但可以理解它们只是示例,而不是限制。上述优选实施例的描述使本领域的技术人员能制造或使用本发明。这些实施例的各种修改对于本领域的技术人员来说是显而易见的,这里定义的一般原理可以被应用于其它实施例中而不使用创造能力。因此,本发明并不限于这里示出的实施例,而要符合与这里揭示的原理和新颖特征一致的最宽泛的范围。





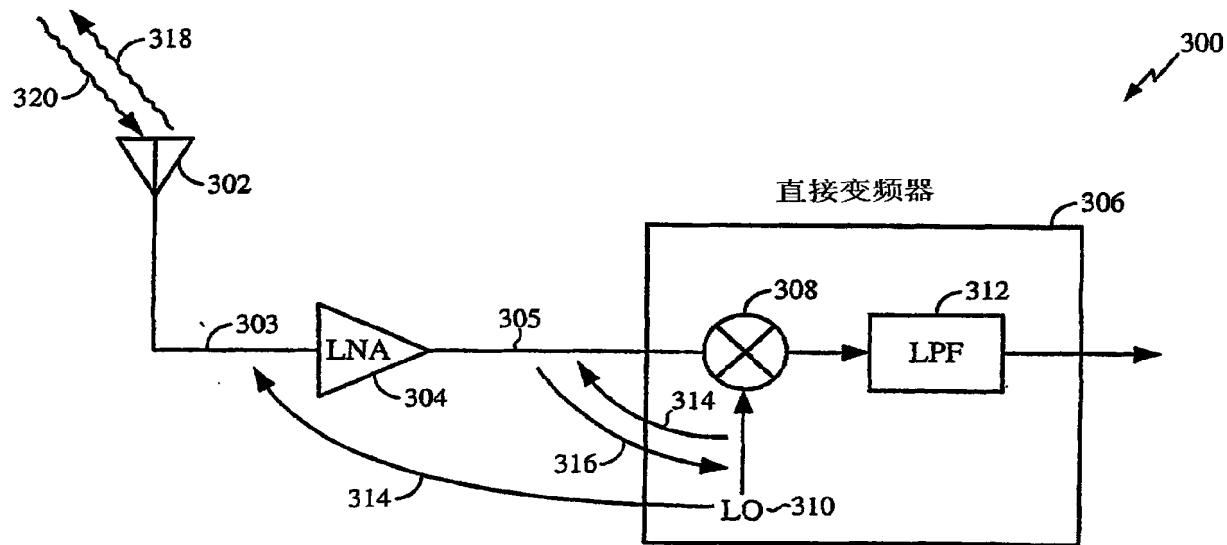


图 3A

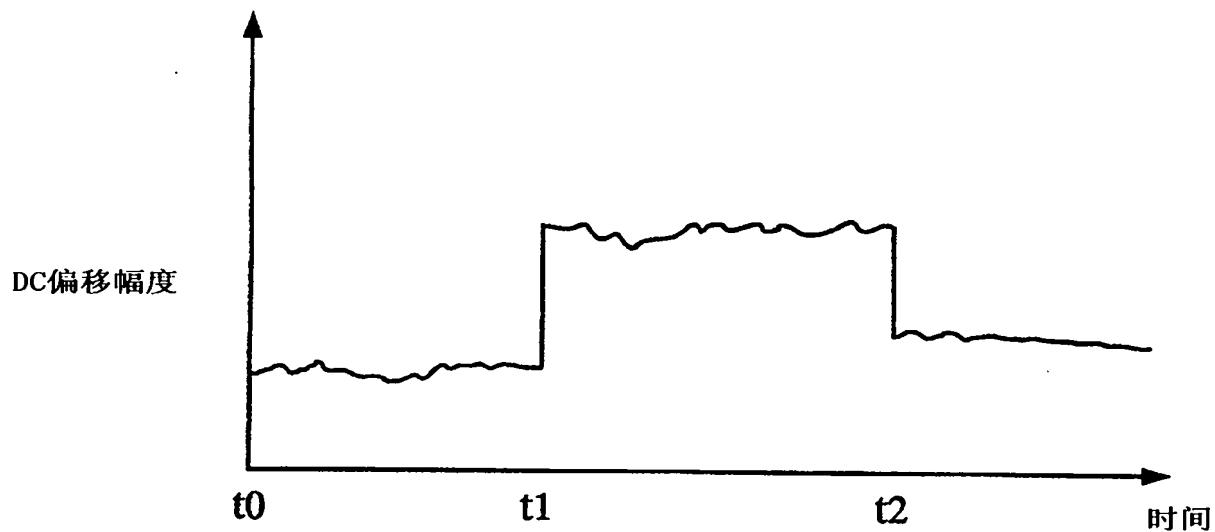


图 3B

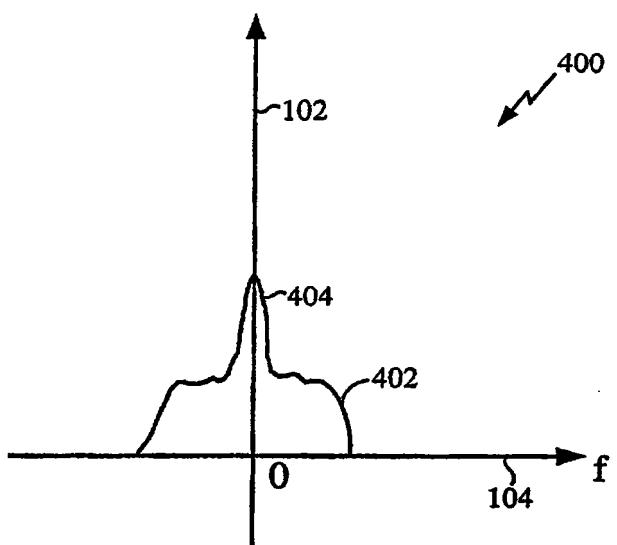


图 4

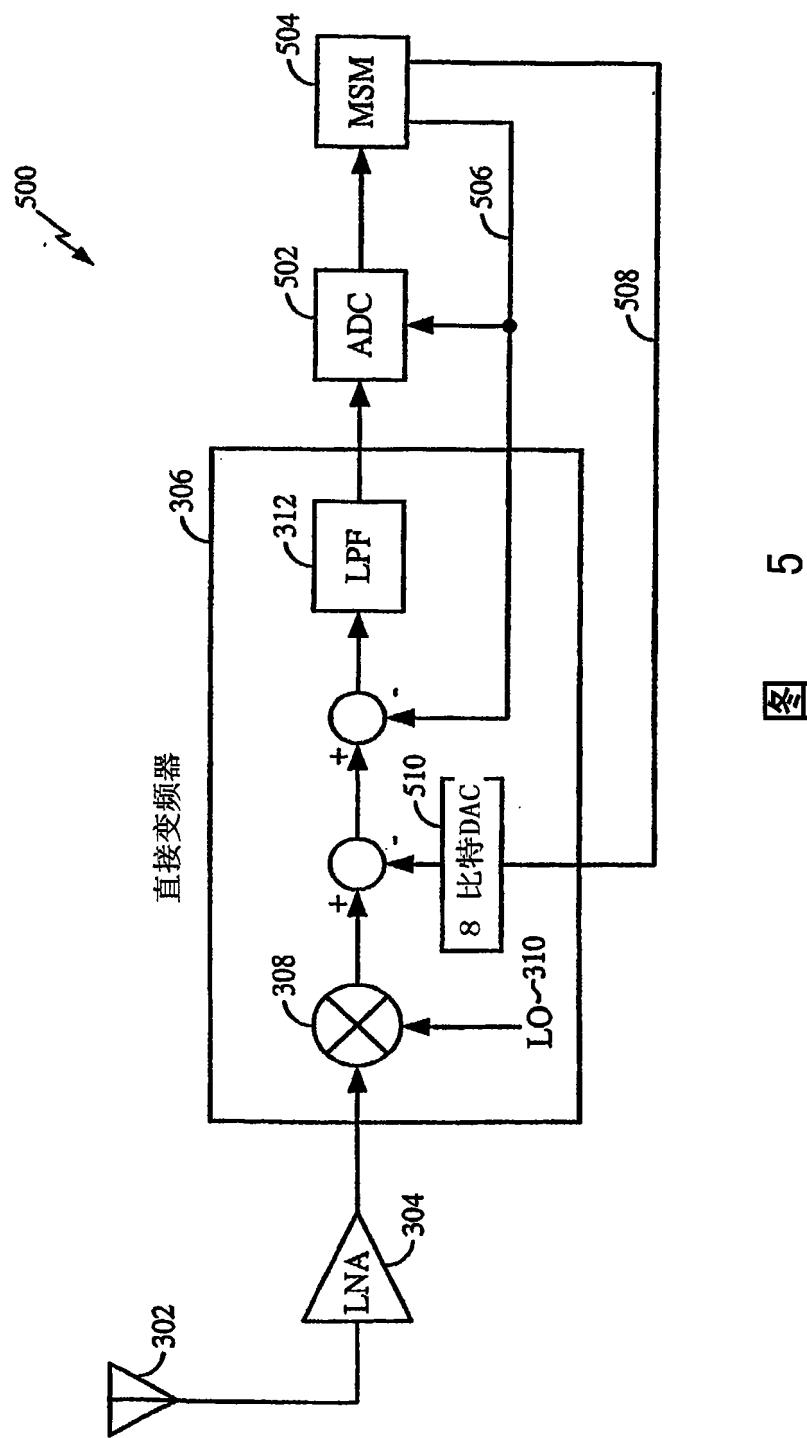
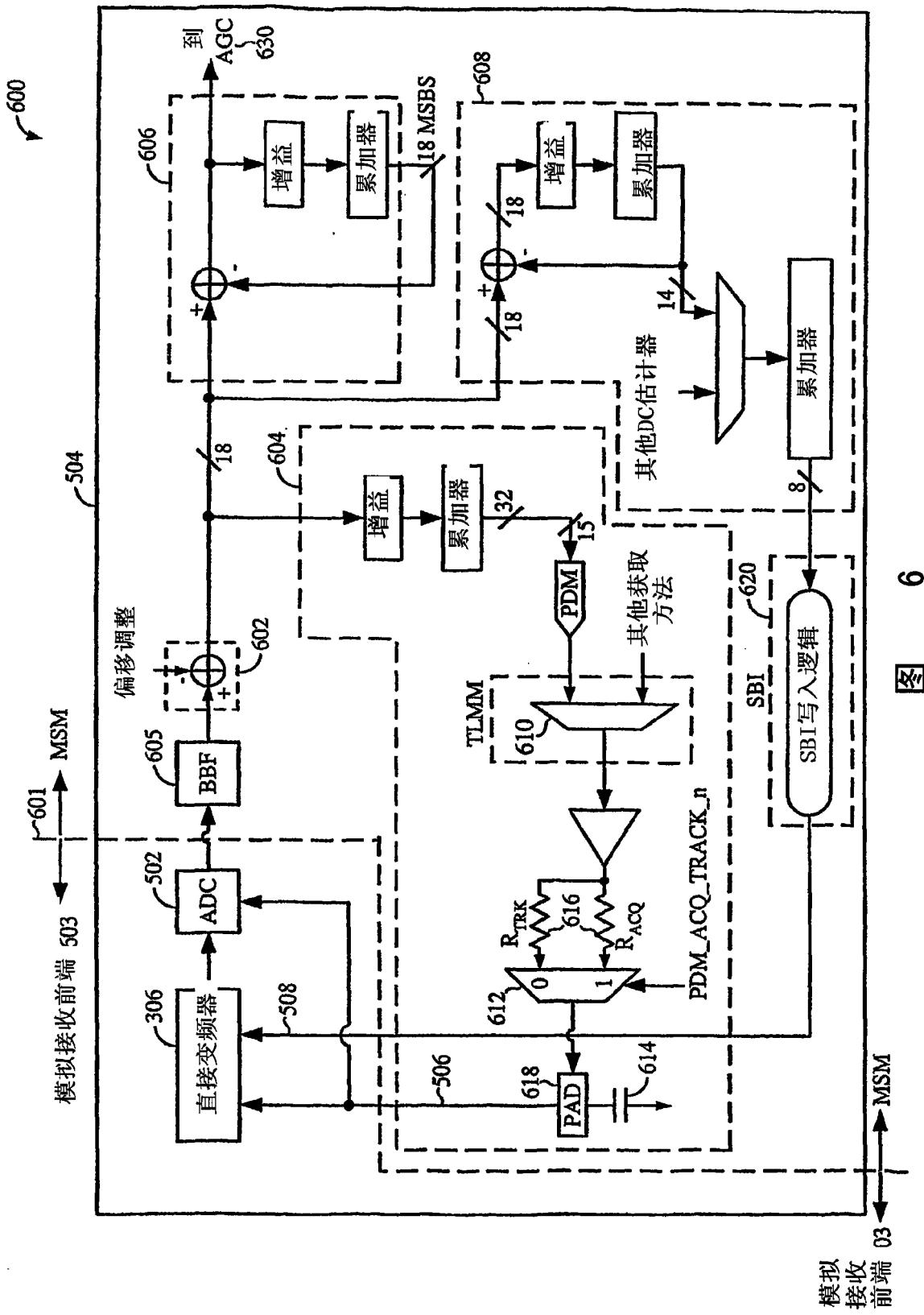


图 5



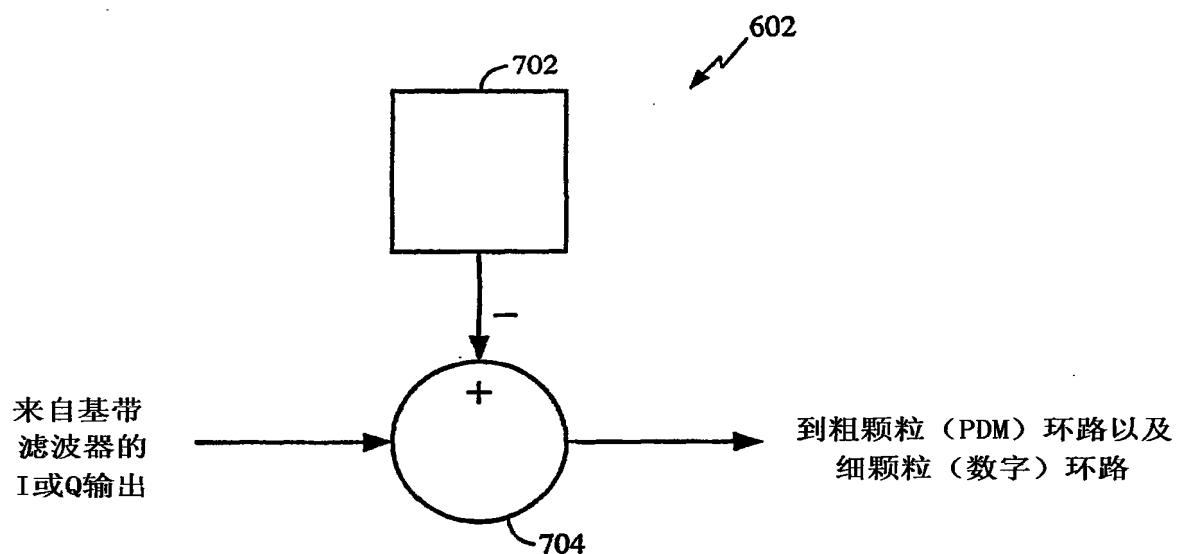
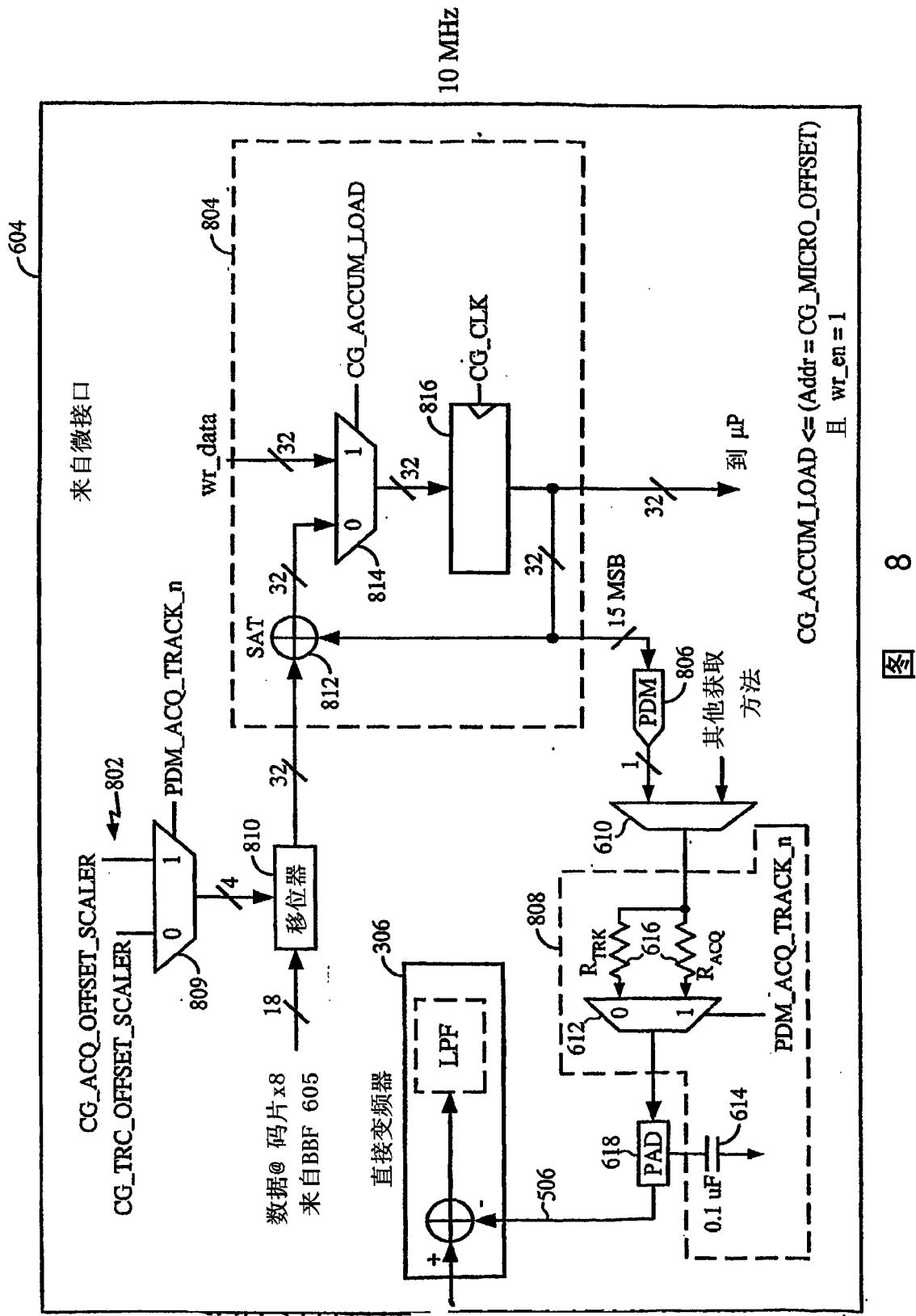


图 7



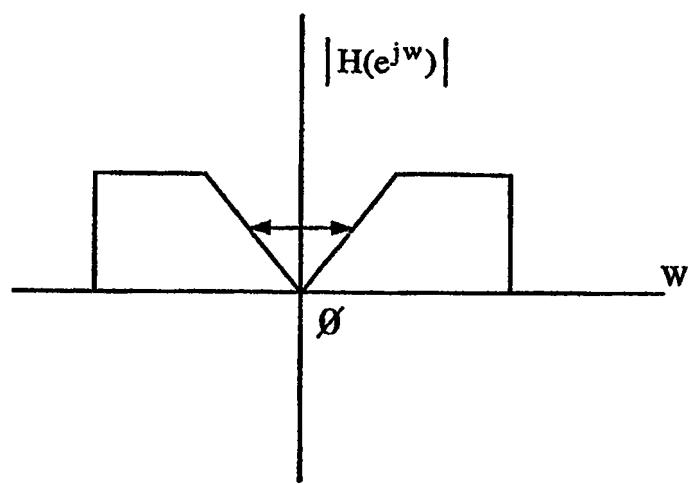


图 9A

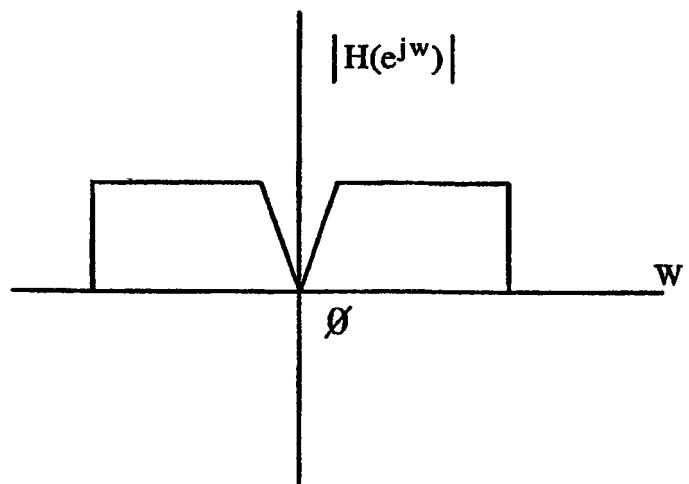


图 9B

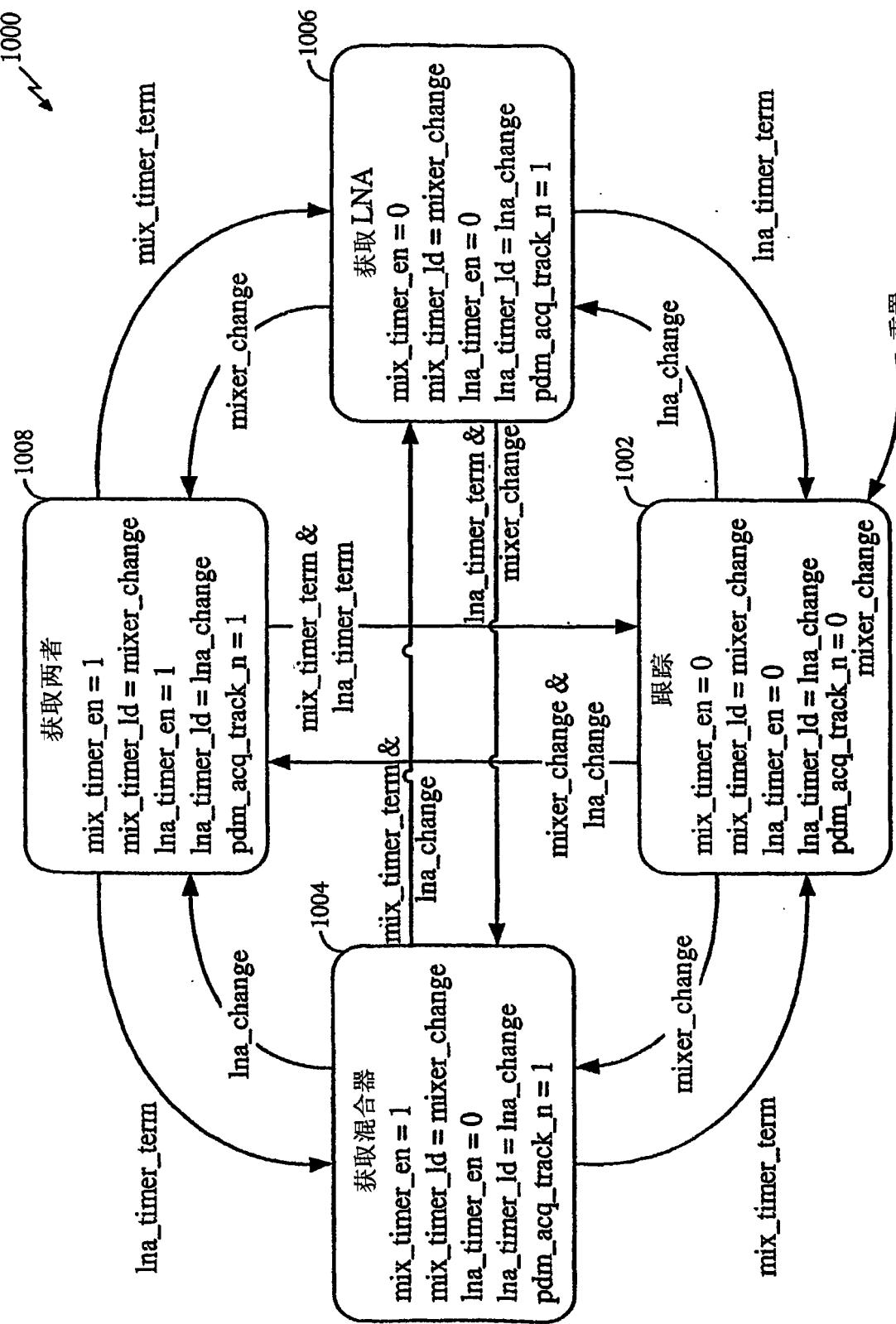
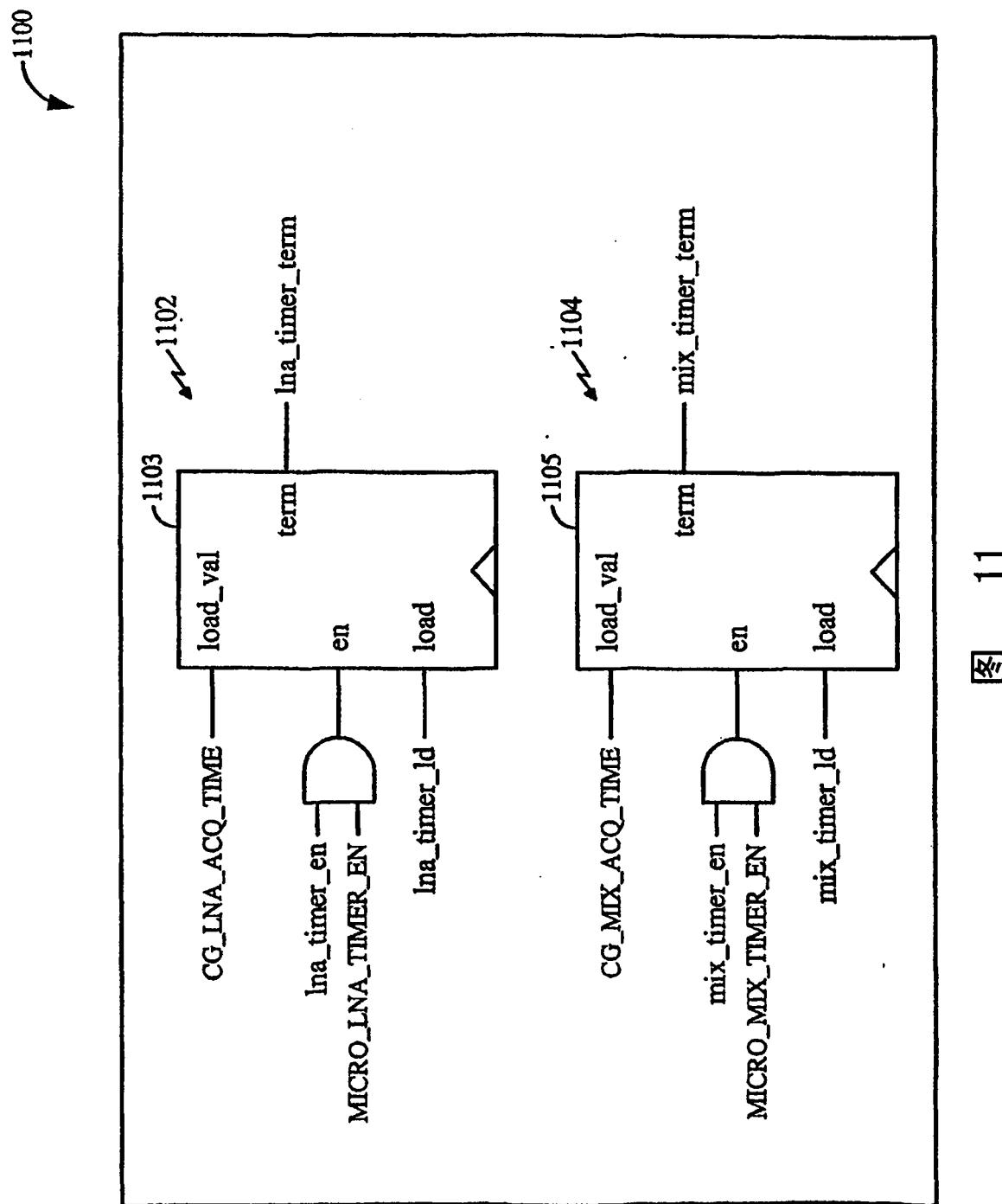
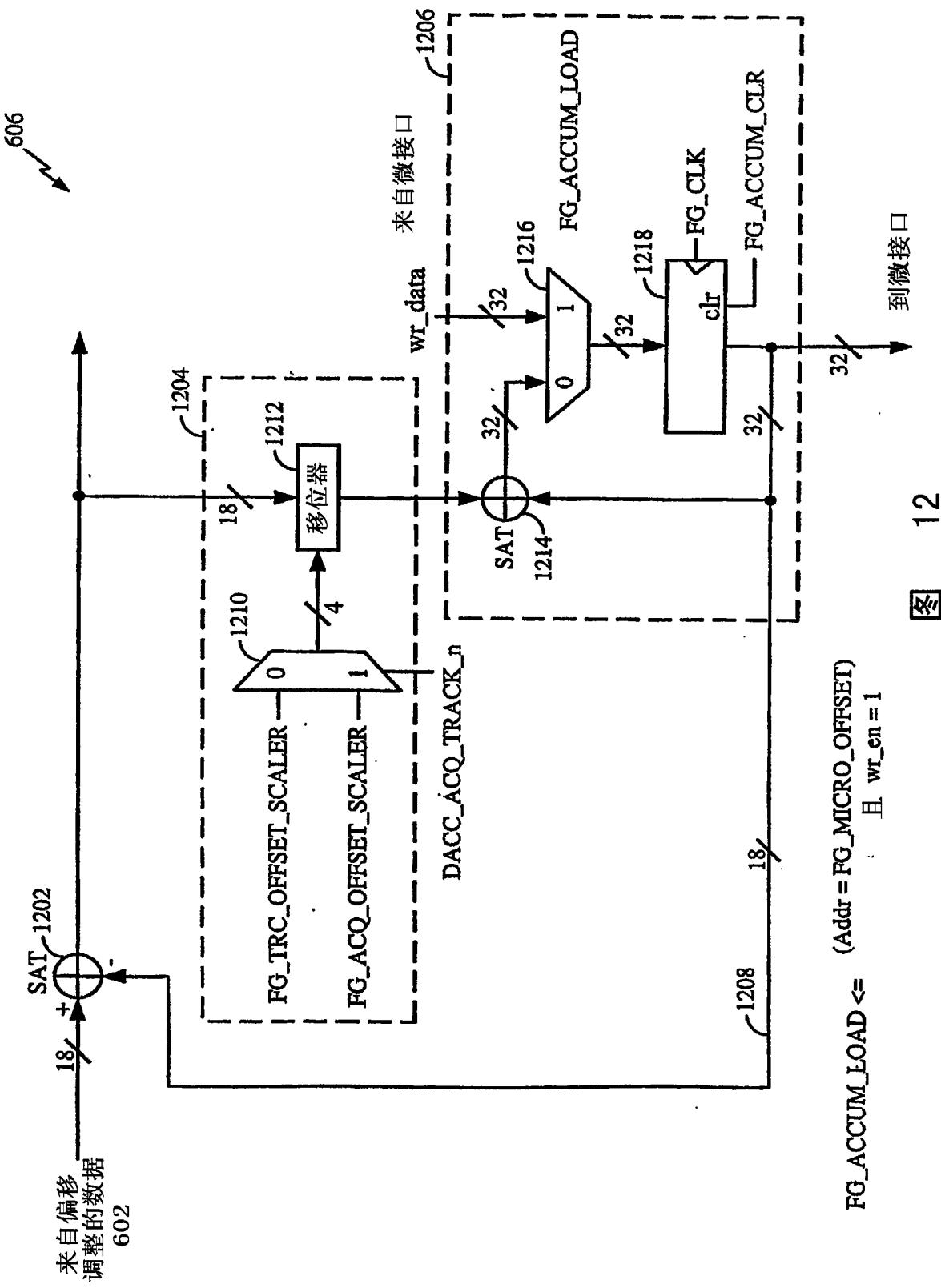
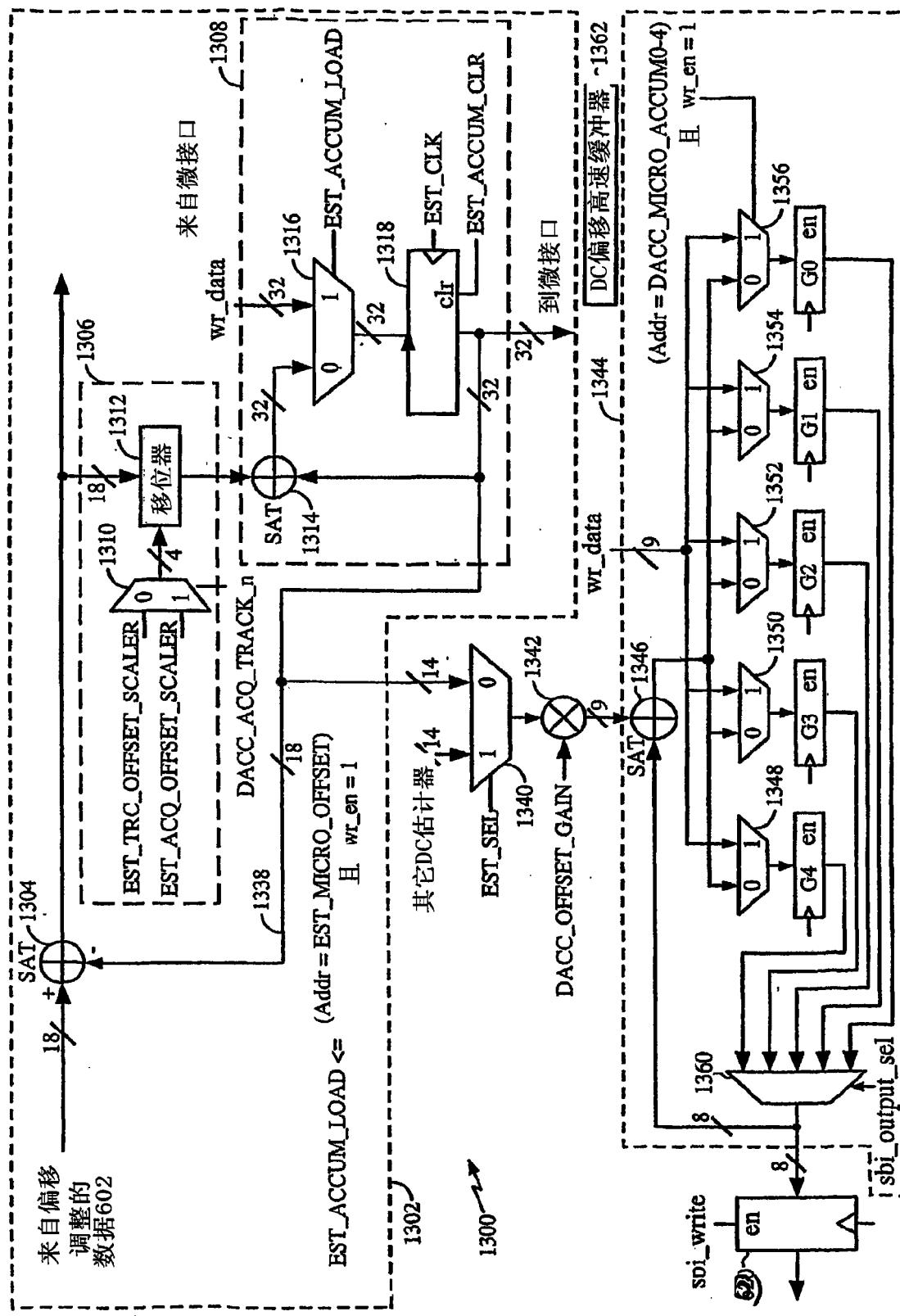


图 10







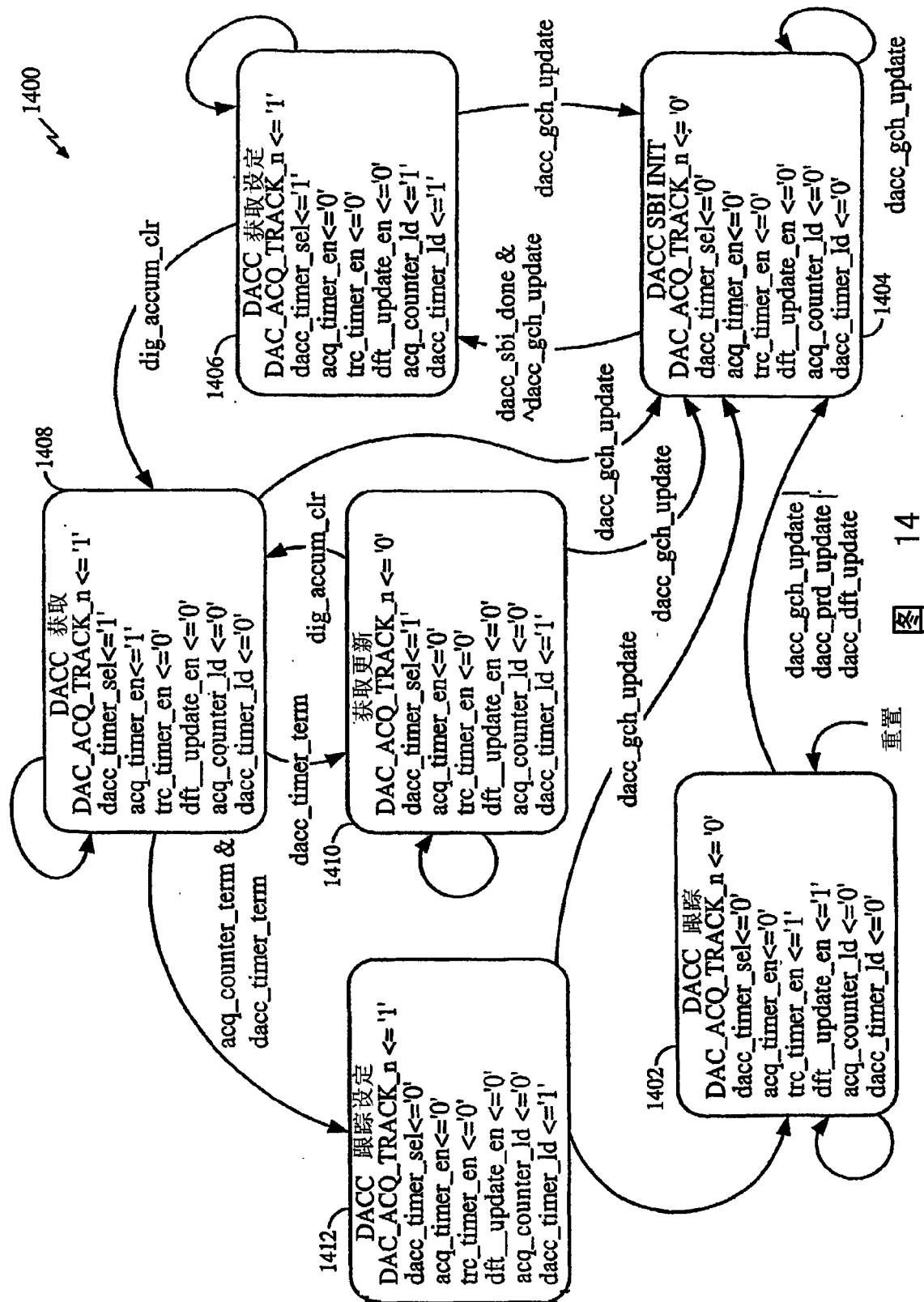
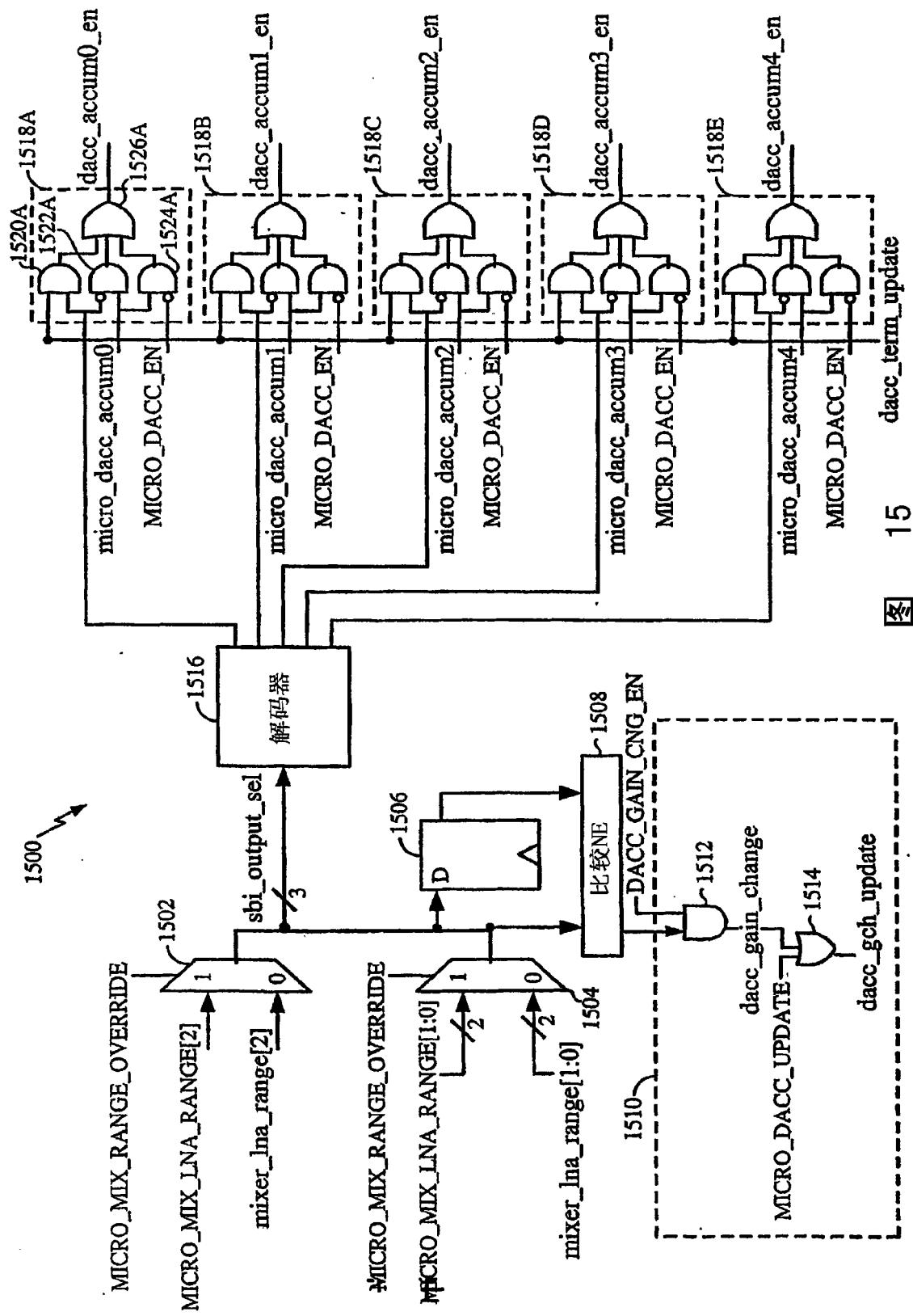


图 14



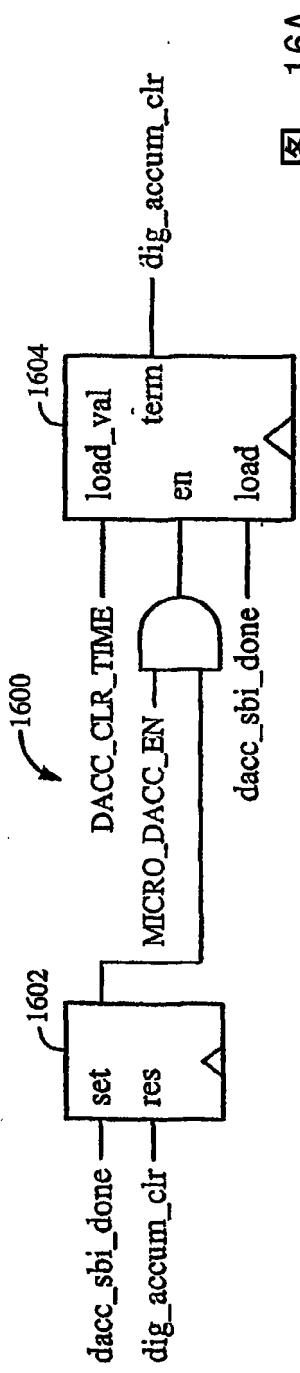


图 16A

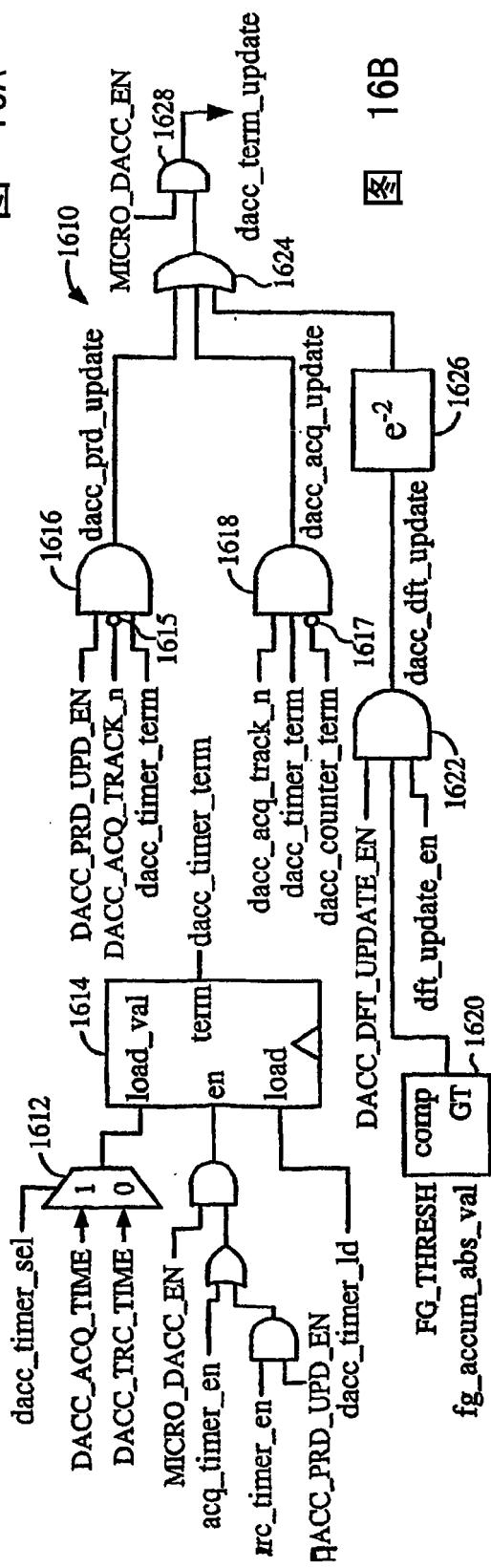


图 16B

1640

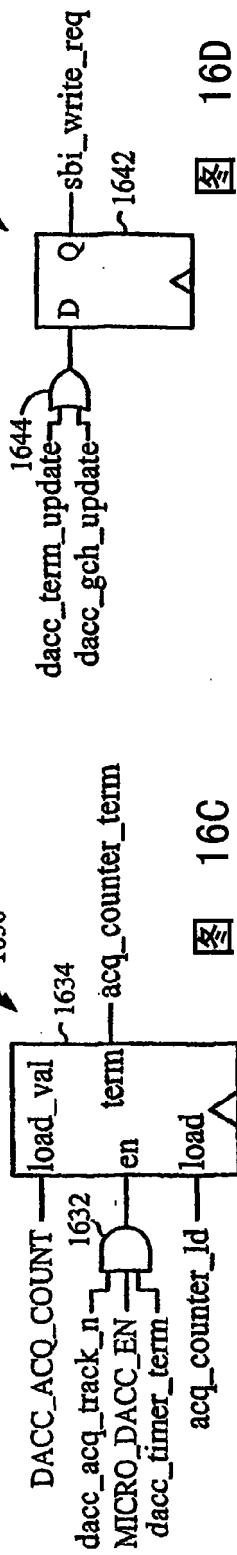


图 16D

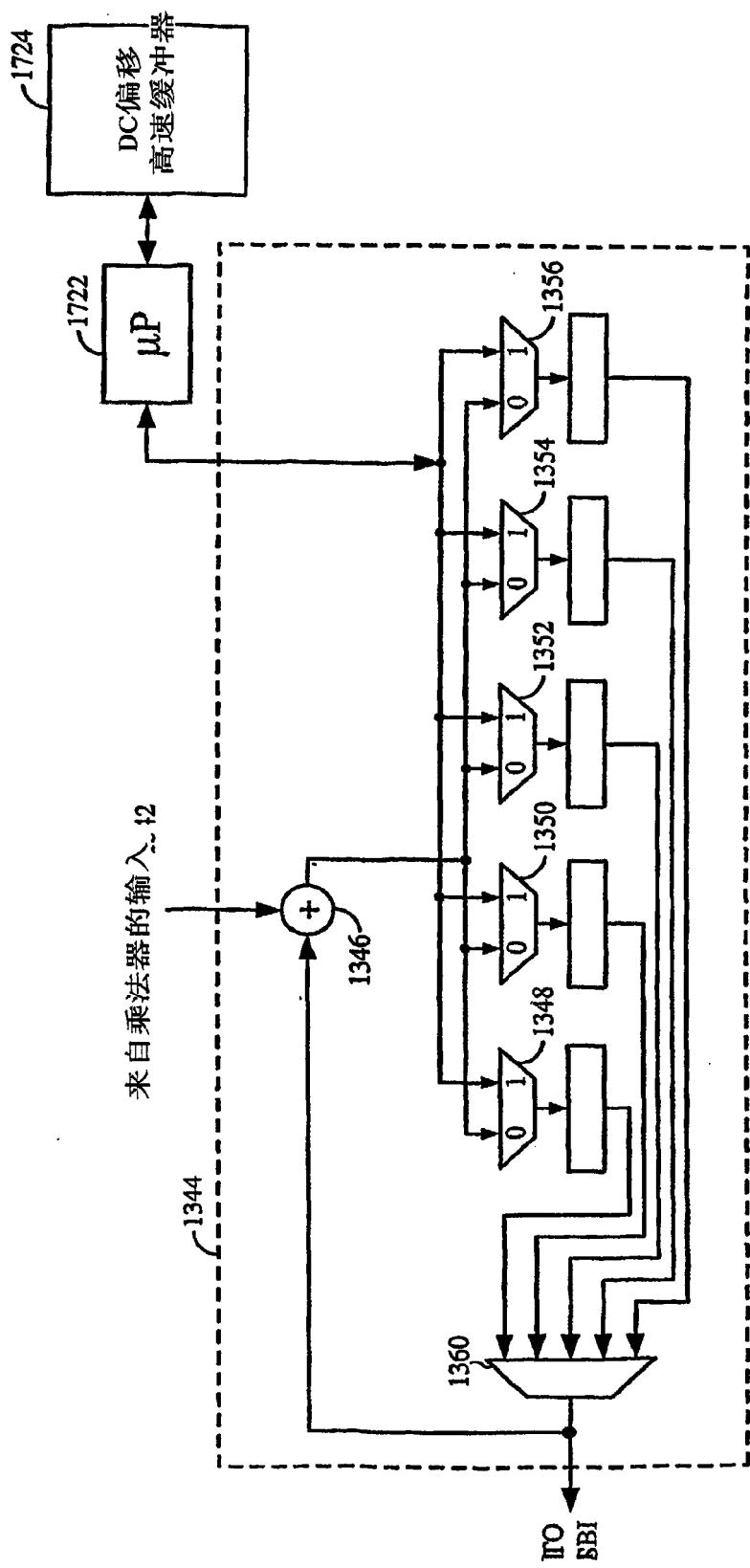


图 17A

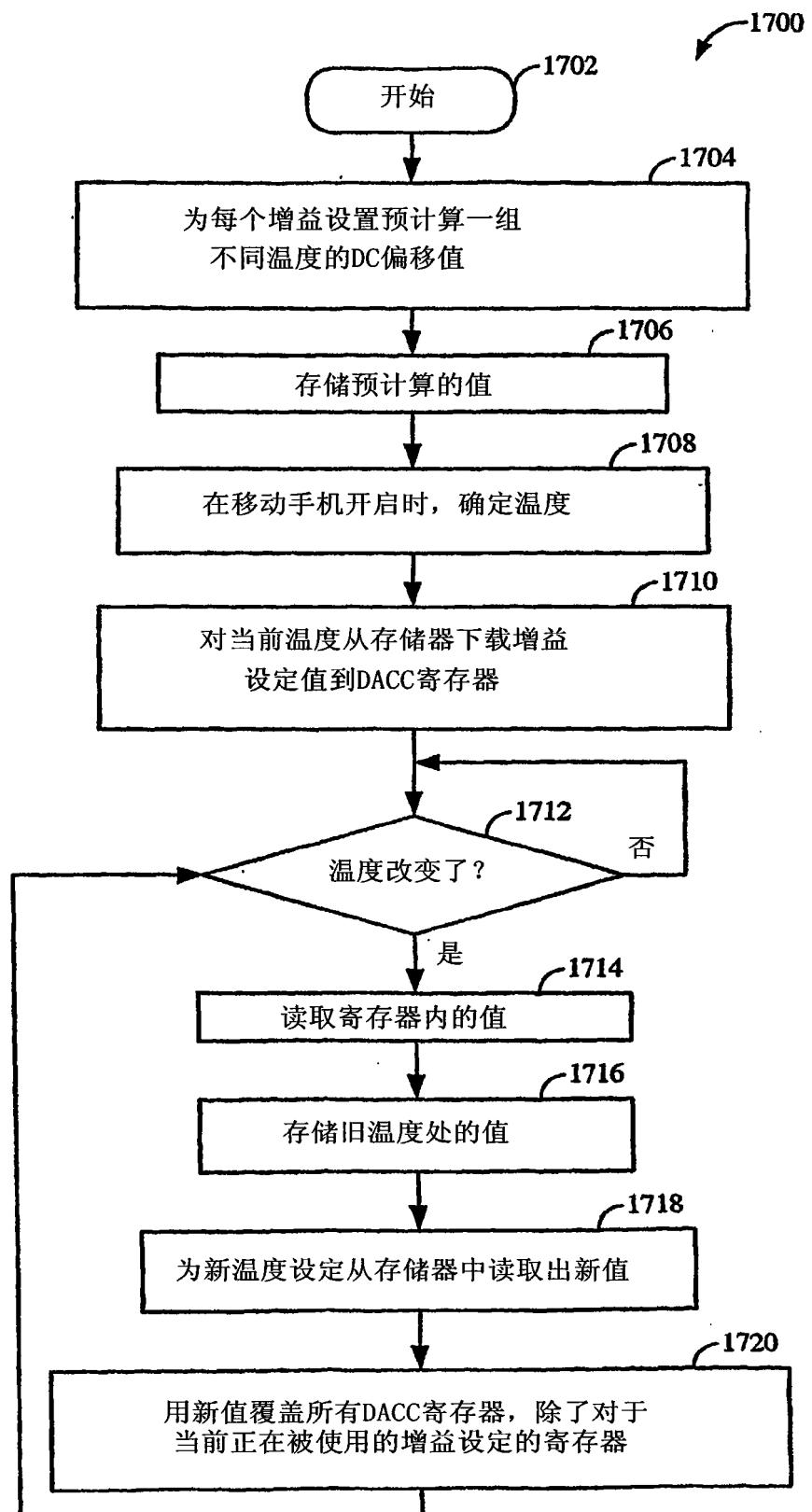


图 17B