(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 21/8252

(45) 공고일자 2004년01월28일
(11) 등록번호 10-0403481
(24) 등록일자 2003년10월16일

(21) 출원번호 10-1998-0041434
(22) 출원일자 1998년10월01일

(65) 공개번호 10-1999-0036781
(43) 공개일자 1999년05월25일

(30) 우선권주장 특원평9-268486 1997년10월01일 일본(JP)
특원평9-183765 1998년06월30일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 후루카와 히데토시
일본국 오사카후 스이타시 신아시야시모 20-1

노마 아쓰시
일본국 오사카후 다카쓰키시 히무로쵸 2-2-1-201

다나카 쓰요시
일본국 오사카후 네야가와시 구즈하라신마치 13-1-201

이시다 히데토시
일본국 교토후 교토시 미나미쿠 구제오쓰키쵸 183

우에다 다이스케
일본국 오사카후 이바라키시 미나미카스가오카 1-20-비-501

(74) 대리인 김영철

심사관 : 반성원

(54) 전자장치및그제조방법

요약

본 발명은 이동체 통신기기 등의 정보 및 통신분야에 사용되는 전자장치 및 그 제조방법에 관한 것으로, 기판에 저부를 갖는 비아 홀을 형성한 후, 비아 홀의 적어도 측벽에 도전층을 형성한다. 그 후 기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 도전층이 노출되도록 제거하여 기판을 얇게 한다.

대표도

도 1

명세서

도면의 간단한 설명

도 1의 (a) (f)는 본 발명의 제 1 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 2의 (a) (f)는 본 발명의 제 2 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 3의 (a) (f)는 본 발명의 제 3 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 4의 (a) (f)는 본 발명의 제 4 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 5의 (a) (f)는 본 발명의 제 5 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 6의 (a) (c)는 본 발명의 제 5 실시예에 관한 전자장치의 제조방법에 이용하는 에칭 마스크의 평면도
도 7의 (a) (f)는 본 발명의 제 6 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 8의 (a) (e)는 본 발명의 제 7 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 9의 (a) (c)는 본 발명의 제 8 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 10의 (a) (c)는 본 발명의 제 8 실시예에 관한 전자장치의 제조방법의 각 공정을 도시한 단면도
도 11의 (a)는 본 발명의 제 8 실시예에 관한 전자장치의 제조방법에 의해 얻어지는 전자장치의 단면도이고, 도 11의 (b)는 본 발명의 제 8 실시예에 관한 전자장치의 제조방법에 의해 얻어지는 전자장치의 평면도
도 12의 (a) (d)는 종래의 전자장치의 제조방법의 각 공정을 도시한 단면도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이동체 통신기기 등의 정보 및 통신분야에 사용되는 전자장치 및 그 제조방법에 관한 것이다.
최근 휴대전화 또는 퍼스널 핸디폰 시스템(PHS) 등의 이동체 통신기기의 수요가 급속히 확대하고 있고, 이에 따라 이동체 통신기기에 사용되는 주파수는 MHz대에서 GHz대로 고주파화가 진행되고 있다. 이들 이동체 통신기기의 수신부 또는 송신부에서의 주파수 변환회로 또는 신호증폭회로에는 고주파 영역에서도 고이득, 저왜곡 및 저전류 동작이 가능한 갈륨비소 전계효과 트랜지스터(GaAsFET)가 널리 이용되고 있다.
GaAsFET는 GaAs로 이루어지는 반절연성 기판 상에 형성된 후 실장시에는 다 이싱(dicing)에 의해 칩마다 분할된다. 분할된 각 칩이 리드 프레임 상에 마운트된 후, GaAsFET의 전극과 리드 프레임은 금 와이어에 의해 전기적으로 접속된다.
그러나 이러한 구성을 갖는 FET를 고주파 영역에서 동작시키면 금 와이어가 기생 인덕턴스 성분으로서 작용하기 때문에 FET의 이득이 저하되는 문제점이 있다.
따라서 상기 문제를 해소하기 위해 GaAs 기판에 비아 홀(Via Hole)을 형성하는 것과 함께 이 비아 홀에 도전층을 충전하고, 이 도전층을 통해 GaAs 기판에 형성되어 있는 FET의 전극과 리드 프레임을 전기적으로 접속하는 방법이 제안되어 있다(일본국 특개평 6-5880 호 공보 참조). 이 방법에 의하면 금 와이어에 의해 접속하는 경우에 비해 FET의 전극과 리드 프레임의 접속거리를 짧게 할 수 있으므로 기생 인덕턴스 성분을 크게 억제할 수 있기 때문에 FET의 이득 저하를 방지할 수 있다.
이하 일본국 특개평 6-5880 호 공보에 나타나 있는 비아 홀을 갖는 종래의 전자장치의 제조방법에 대하여 도 12의 (a) (d)를 참조하여 설명하기로 한다.
우선 도 12의 (a)에 도시된 바와 같이 GaAs로 이루어지고 600㎛의 두께를 갖는 기판(11)의 주면부(主面部)에 활성층(12), 소스 전극(13), 드레인 전극(14) 및 게이트 전극(15)을 갖는 FET를 형성한 후, 도 12의 (b)에 도시된 바와 같이 기판(11)의 이면부를 연마하여 기판(11)을 수십㎛ 백수십㎛의 두께까지 얇게 한다.
다음으로 도 12의 (c)에 도시된 바와 같이 기판(11)의 이면에 소스 전극(13)과 대응하는 부위에 개구부(16a)를 갖는 에칭 마스크(16)를 형성한 후, 이 에칭 마 스크(16)를 이용하여 기판(11)에 대하여 에칭을 행하여, 기판(11)에 소스 전극(13)의 이면에 도달하는 비아 홀(17)을 형성한다.
다음으로 도 12의 (d)에 도시된 바와 같이 에칭 마스크(16)를 제거한 후, 비아 홀(17)의 벽면 및 저면을 포함하는 기판(11)의 이면에 전면에 걸쳐서 도금용 하지층(下地層)(18)을 형성하고, 그 후 전해도금법에 의해 도금용 하지층(18) 상에 비아 홀(17)이 충전되도록 금속 전극(19)을 형성한다. 이와 같이 하면 소스 전극(13)과 금속 전극(19)이 전기적으로 접속되면서 박판화된 기판(11)을 구비한 전자장치가 얻어진다. 또 도금용 하지층(18)은 금속 전극(19)의 기판(11)으로의 밀착성을 향상시키는 역할을 한다.

발명이 이루고자 하는 기술적 과제

그러나 상술한 종래의 전자장치의 제조방법은 박판화된 기판(11)에 대하여 에칭 마스크(16)를 이용하여 에칭을 행하여 비아 홀(17)을 형성하기 때문에, 기판(11)에 균열이 발생하기 쉽다는 문제점이 있다. 그 이유는 비아 홀(17)을 형성하기 위해 박막화된 기판(11)을 에칭 마스크(16)를 형성하기 위한 마스크 형성장치 및 에칭을 행하기 위한 에칭장

치에 각각 반송해야 하기 때문에, 즉 박막화되어 기계적 강도가 저하되고 있는 기판(11)을 마스크 형성장치 및 에칭장치에 각각 반송해야 하기 때문에 반송 중에 기판(11)에 균열이 발생되기 쉽다. 이 때문에 종래의 전자장치의 제조방법은 수율이 저하된다는 문제점이 있었다.
또한 기판(11)에 비아 홀(17)을 형성하기 위해서는 기판(11)의 이면에 소스 전극(13)과 대응하는 부위에 개구부(16a)를 갖는 에칭 마스크(16)를 형성할 필요가 있으나, 그 때 기판(11)의 표면측에 형성되어 있는 소스 전극(13)의 위치와 기판(11)의 이면측에 형성되어 있는 에칭 마스크(16)의 개구부(16a)의 위치를 맞추는 공정이 필요하게 된다. 기판(11)의 표면측의 소스 전극(13)과 기판(11)의 이면측의 에칭 마스크(16)의 개구부(16a)의 위치를 맞추기 위해서는 특수한 얼라이너 장치를 이용해야 하는 것과 함께 복잡하고 곤란한 공정이 필요하게 된다.
상기와 같은 문제점을 감안하여 본 발명은 기판에 비아 홀을 형성할 때의 반송공정에서 기판에 균열이 발생하여 수율이 저하되는 사태를 회피하는 것과 함께, 기판에 비아 홀을 형성할 때의 복잡한 위치맞춤 공정을 없애는 것을 목적으로 한다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명에 관한 제 1 전자장치의 제조방법은 기판의 주면에 저부를 갖는 비아 홀을 형성하는 비아 홀 형성공정과, 비아 홀의 적어도 측벽에 도전층을 형성하는 도전층 형성공정과, 기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 도전층이 노출되도록 제거하여 기판을 얇게 하는 기판 박판화 공정을 구비하고 있다.
제 1 전자장치의 제조방법에 의하면, 기판의 주면에 저부를 갖는 비아 홀을 형성한 후 비아 홀의 적어도 측벽에 도전층을 형성하고, 그 후 기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 도전층이 노출하도록 제거하여 기판을 얇게 하기 때문에, 기판에 비아 홀을 형성하는 공정 및 비아 홀 내에 도전층을 형성하는 공정을, 박막화되어 있지 않고 기계적 강도를 유지하고 있는 기판에 대하여 행할 수 있어 박막화된 기판을 비아 홀 형성장치 또는 도전층 형성장치에 반송하는 공정이 불필요하게 된다. 이 때문에 기판을 상기 장치에 반송할 때 기판에 균열이 발생하는 사태를 방지할 수 있으므로 종래에 비해 전자장치의 수율이 향상된다.
또한 기판의 주면과 반대측 이면에 비아 홀을 형성하기 위한 에칭 마스크를 형성하지 않아도 되므로, 기판의 이면에 형성되는 에칭 마스크의 개구부의 위치를 기판의 주면에 형성되어 있는 전극층의 위치를 맞추기 위해 종래 방법에서는 필요한, 특수한 얼라이너 장치를 이용하여 행하는 복잡한 위치맞춤 공정이 불필요하게 된다.
제 1 전자장치의 제조방법은 비아 홀 형성공정보다 전에 기판의 주면에 비아 홀 형성영역에 관통공을 갖는 전극층을 형성하는 공정을 추가로 구비하고, 비아 홀 형성공정은 전극층 상을 포함하는 기판의 주면 상에 비아 홀 형성영역에 개구부를 갖는 에칭 마스크를 형성하는 공정과, 에칭 마스크를 이용하여 기판에 대하여 에칭을 행하여 비아 홀을 형성하는 공정을 포함하는 것이 바람직하다.
이와 같이 하면 기판의 주면에 비아 홀 형성영역에 비아 홀을 갖는 전극층을 형성한 후, 비아 홀 형성영역에 개구부를 갖는 에칭 마스크를 이용하여 기판 에 대하여 에칭을 행하여 비아 홀을 형성하고, 그 후 비아 홀의 적어도 측벽에 도전층을 형성하기 때문에 전극층과 도전층을 접속하는 배선층이 불필요하게 되므로 공정수를 저감할 수 있다.
제 1 전자장치의 제조방법에 있어서, 도전층 형성공정은 비아 홀에 도전층을 충전하는 공정을 포함하는 것이 바람직하다. 이와 같이 하면 기판의 주면 상에 형 성되는 전극층 등과 도전층의 접속이 확실하게 된다.
제 1 전자장치의 제조방법에 있어서, 도전층 형성공정은 전자 빔 증착법에 의해 도전층을 측벽부와 저부로 되고 중앙에 오목부를 갖는 형상으로 형성하는 공정을 포함하는 것이 바람직하다. 이와 같이 하면 도전층을 단시간에 형성하는 것이 가능하게 된다.
이 경우 기판 박판화 공정은 기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 도전층의 저부가 잔존하도록 제거하는 공정을 포함하는 것이 바람직하다.
이와 같이 도전층의 저부를 잔존시키면 기판의 주면과 반대측의 이면에 이면측 전극층을 형성할 때, 이 이면측 전극층과 도전층의 접촉면적이 커지기 때문에 이면측 전극층과 도전층의 접촉 저항을 저감할 수 있다.
제 1 전자장치의 제조방법에서, 도전층 형성공정은 비아 홀의 측벽부에 도금용 하지층을 형성한 후, 이 도금용 하지층의 안쪽에 도전층을 충전하는 공정을 포함하는 것이 바람직하다.
이와 같이 하면 도전층의 재료로서 기판에 직접 도금을 행하는 것이 곤란한 금속을 이용할 수 있으므로 도전층을 형성하는 재료의 선택 범위가 증가한다.
제 1 전자장치의 제조방법에 있어서, 기판은 갈륨비소 또는 인듐인 등의 III -V족 화합물로 이루어지는 반절연성 기판인 것이 바람직하다.
III-V족 화합물로 이루어지는 반절연성 기판은 균열되기 쉬운 성질을 가지고 있지만, 제 1 전자장치의 제조방법에 의하면, 균열되기 쉬운 III-V족 화합물로 이 루어지는 반절연성 기판을 이용하는 경우에도 기판에 균열을 발생시키는 일 없이 기판을 박판화할 수 있다.
본 발명에 관한 제 2 전자장치의 제조방법은 기판의 주면상에 전극층을 형성하는 제 1 공정과, 기판의 주면상에 전면에 걸쳐 제 1 도금 하지층을 형성하는 제 2 공정과, 제 1 도금 하지층 상에 비아 홀 형성영역 및 그 둘레가장자리 영역 및 전극층 상의 적어도 일부 영역에 개구부를 갖는 절연막을 퇴적하는 제 3 공정과, 제 1 도금 하지층 및 절연막 상에 비아 홀 형성영역에 개구부를 갖는 에칭 마스크를 형성하는 제 4 공정과, 에칭 마스크를 이용하여 기판에 대하여 에칭을 행하고, 제 1 도금 하지층 및 기판에 저부를 갖는 비아 홀을 형성하는 제 5 공정과, 바이아 홀의 내부를 포함하는 에칭 마스크 상에 제 2 도금 하지층을 형성하는 제 6 공정과, 제 2 도금 하지층을 에칭 마스크와 함께 리프트 오프하여 제 2 도금 하지층을 비아 홀의 내부에 잔존시키는 제 7 공정과, 절연막을 마스크로 하여 제 1 도금 하지층 및 제 2 도금 하지층 상에 금속 도금을 행하여 비아 홀의 내부를 포함하는 절연막의 개구부에 금속층을 형성하는 제 8 공정과,

기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 금속층이 노출하도록 제거하여 기판을 얇게 하는 제 9 공정을 구비하고 있다.
제 2 전자장치의 제조방법에 의하면, 제 1 전자장치의 제조방법과 마찬가지로 기판에 비아 홀을 형성하는 공정 및 비아 홀 내에 도전층을 형성하는 공정을 박막화되어 있지 않고 기계적 강도를 유지하고 있는 기판에 대하여 행할 수 있으므로, 박막화된 기판을 비아 홀 형성장치 또는 도전층 형성장치에 반송하는 공정이 불필요하게 된다. 이 때문에 기판을 상기 장치에 반송할 때 기판에 균열이 발생하는 사태를 방지할 수 있으므로 종래에 비해 전자장치의 제품 수율이 향상된다.
또 기판의 주면과 반대측의 이면에 비아 홀을 형성하기 위한 에칭 마스크를 형성하지 않아도 되므로, 기판의 이면에 형성되는 에칭 마스크의 개구부의 위치를 기판의 주면에 형성되어 있는 전극층의 위치를 맞추기 위해 종래에는 필요하였던 특수한 얼라이너 장치를 이용하여 행하는 복잡한 위치맞춤 공정이 불필요하게 된다.
특히 제 2 전자장치의 제조방법에 의하면, 비아 홀 형성영역 및 그 둘레영역과 전극층 상의 적어도 일부 영역에 개구부를 갖는 절연막을 마스크로 하여 금속 도금을 행하여 비아 홀의 내부를 포함하는 절연막의 개구부에 금속층을 형성하기 위해 기판의 주면 상에 형성된 전극층과 접속된 금속막은 기판 상에서의 비아 홀 형성영역의 들레가장자리부에도 확산되어 있으므로, 이 둘레가장자리부에 확산되어 있는 금속막에 검사용 전극을 접속하여 전자장치의 전기적 특성을 검사할 수 있다. 이 때문에 비아 홀이 형성된 후의 전자장치의 전기적 특성검사를 기판이 박판화되지 않고 기계적 강도를 유지한 상태로 행할 수 있는 것과 함께 전기적 특성이 불량인 전자장치에 대하여 기판을 박막화하는 낭비를 생략할 수 있다.
제 2 전자장치의 제조방법에 있어서, 제 8 공정은 금속층을 측벽부와 저부로 이루어지고 중앙에 오목부를 갖는 형상으로 형성하는 공정을 포함하며, 제 9 공정은 기판에서의 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 금속층의 저부가 잔존하도록 제거하는 공정을 포함하는 것이 바람직하다.
이와 같이 하면 기판의 주면과 반대쪽 이면에 이면측 전극층을 형성할 때, 이 이면측 전극층과 도전층의 접촉면적이 커지기 때문에 이면측 전극층과 도전층의 접촉저항을 저감할 수 있다.
본 발명에 관한 제 1 전자장치는 기판 상에 형성된 전극층과, 기판에서의 전극층 근방에 형성된 비아 홀과, 비아 홀의 적어도 측벽에 형성되어 전극층과 전기적으로 접속되어 있는 도전층을 구비하고, 비아 홀의 단면형상은 적어도 일부에 180도 이상의 내각을 갖는 도형이다.
본 발명의 제 1 전자장치에 의하면, 비아 홀의 단면형상이 적어도 일부에 180도 이상의 내각을 갖는 도형이기 때문에, 비아 홀의 적어도 측벽에 형성되는 도전층과 기판과의 접촉면적이 커지게 되어 도전층과 기판의 밀착성이 향상되고, 이에 의해 도전층이 기판으로부터 박리되기 어려워진다.
본 발명에 관한 제 2 전자장치는 기판 상에 형성된 전극층과, 기판에서의 전극층의 근방에 형성된 비아 홀과, 비아 홀의 적어도 측벽에 형성되고, 전극층과 전기적으로 접속되어 있는 도전층을 구비하며, 도전층은 프로브에 의한 전기적 접촉이 가능한 면적을 갖고 있다.
본 발명의 제 2 전자장치에 의하면, 도전층이 프로브에 의한 전기적 접촉이 가능한 면적을 갖고 있기 때문에, 도전층에서의 기판의 저면에 노출되어 있는 부분에 프로브를 접속하여 전자장치의 전기적 특성을 검사할 수 있다. 이 때문에 전자장치의 전기적 특성검사를 기판의 이면에 금속 전극이 형성되기 전에 행할 수 있으므로 전기적 특성이 불량인 전자장치에 대하여 금속 전극을 형성하는 낭비를 생략 할 수 있다.
상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해질 것이다.

(실시예)

(제 1 실시예)

이하 본 발명의 제 1 실시예에 관한 전자장치의 제조방법에 대하여 도 1의 (a) (f)를 참조하여 설명하기로 한다.
우선 도 1의 (a)에 도시된 바와 같이 GaAs로 이루어지며 150㎛의 두께를 갖는 기판(101)의 주면부에 레지스트 마스크를 이용하여 비소이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하고 0.2㎛의 두께를 갖는 활성층(102)을 형성한다. 그 후 활성층(102) 상에 소스 전극 형성영역 및 드레인 전극 형성영역에 개구부를 갖는 제 1 레지스트 마스크를 형성한 후, 이 제 1 레지스트 마스크 상에 금과 게르마늄의 합금막 및 금막을 차례로 퇴적하고, 그 후 제 1 레지스트 마스크를 리프트 오프함으로써 활성층(102)과 오믹 접촉(ohmic contact)하는 소스 전극(103) 및 드레인 전극(104)을 형성한다. 또한 활성층(102) 상에 게이트 전극 형성영역에 개구부를 갖는 제 2 레지스트 마스크를 형성한 후, 이 제 2 레지스트 마스크 상에 0.05㎛의 두께를 갖는 티탄막 및 0.5㎛의 두께를 갖는 알루미늄막을 차례로 퇴적하고, 그 후 제 2 레지스트 마스크를 리프트 오프함으로써 활성층(102)과 쇼트키 접촉(schottky contact)하는 게이트전극(105)을 형성한다. 이에 따라 활성층(102), 소스 전극(103), 드레인 전극(104) 및 게이트 전극(105)으로 이루어 지는 FET가 형성된다. 또 소스 전극(103)과 게이트 전극(105)의 간격 및 드레인 전극(104)과 게이트 전극(105)의 간격은 각각 1㎛이다.
다음으로 도 1의 (b)에 도시된 바와 같이, 기판(101)의 주면 상에 비아 홀 형성영역에 개구부(106a)를 가지면서 20㎛의 두께를 갖는 에칭 마스크(106)를 형성한 후, 이 에칭 마스크(106)를 이용하여 기판(101)에 대하여 에칭을 함으로써 기판(101)에 깊이가 200㎛이고 또 한변이 20㎛로서 저부를 갖는 비아 홀(107)을 형성한다.
다음으로 도 1의 (c)에 도시된 바와 같이 비아 홀(107)의 내부에 무전해 도금법 등에 의해, 예를 들면 백금으로 된 도전층(108)을 충전한 후 에칭 마스크(106)를 제거한다.
다음으로 도 1의 (d)에 도시된 바와 같이 주지의 리소그래피법에 의해 소스 전극(103)과 도전층(108)을 접속하는 것과 함께 0.5㎛의 두께를 갖는 금으로 된 배선층(109)을 형성한다.

다음으로 도 1의 (e)에 도시된 바와 같이, 기판(101)의 이면부(비아 홀(107)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(108)이 노출되도록 제거하여 기판(101)을 얇게 한다.
다음으로 도 1의 (f)에 도시된 바와 같이, 기판(101)의 이면에 전면에 걸쳐 금으로 된 금속 전극(110)을 퇴적한다. 이와 같이 하면 소스 전극(103)에 접속되어 있는 배선층(109)과 금속 전극(110)은 비아 홀(107)에 충전되어 있는 도전층(108)을 통해 전기적으로 접속된다.
제 1 실시예에 의하면 기판(101)의 비아 홀(107)의 형성공정 및 비아 홀(107) 내부로의 도전층(108)의 충전공정을, 박막화되어 있지 않은 기계적 강도를 유지하고 있는 기판(101)에 대하여 행할 수 있으므로, 박막화된 기판(101)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(101)에 발생하는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.
또한 기판(101)의 이면에 비아 홀(107)을 형성하기 위한 에칭 마스크를 형성하지 않아도 되므로, 기판(101)의 이면측에 형성되어 있는 에칭 마스크의 개구부의 위치를 기판(101)의 표면측에 형성되어 있는 소스 전극(103)의 위치에 맞추기 위해 종래에는 필요했던 특수한 얼라이너 장치를 이용하여 행하는 복잡한 위치맞춤 공정이 불필요하게 된다.

(제 2 실시예)

이하 본 발명의 제 2 실시예에 관한 전자장치의 제조방법에 대하여 도 2의 (a) (f)를 참조하여 설명하기로 한다.
우선 도 2의 (a)에 도시된 바와 같이 GaAs로 이루어지며 150μm의 두께를 갖는 기판(201)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2μm의 두께를 갖는 활성층(202)을 형성한다. 그 후 제 1 실시예와 마찬가지로 하여 활성층(202)과 오믹 접촉하는 소스 전극(203)과 드레인 전극(204) 및 활성층(202)과 쇼트키 접촉하는 게이트 전극(205)을 형성한다. 이에 따라 활성층(202), 소스 전극(203), 드레인 전극(204) 및 게이트 전극(205)으로 이루어지는 FET가 형성된다.
또 제 2 실시예에서는 소스 전극(203)은 제 1 실시예의 소스 전극(103)과 달리 게이트 전극(205)의 반대측으로 연장되도록 형성되어 있는 것과 함께 비아 홀 형성영역에 한변이 20μm인 개구부(203a)를 갖고 있다.
다음으로 도 2의 (b)에 도시된 바와 같이, 기판(201)의 주면 상에 소스 전극(203)의 개구부(203a)와 연통하는 개구부(206a)를 가지면서 20μm의 두께를 갖는 에칭 마스크(206)를 형성한다.
다음으로 도 2의 (c)에 도시된 바와 같이, 에칭 마스크(206)를 이용하여 기판(201)에 대하여 에칭을 행함으로써, 기판(201)에 깊이가 200μm이면서 한변이 20μm이고 저부를 갖는 것과 함께 소스 전극(203)의 개구부(203a)와 연통하는 비아 홀(207)을 형성한다.
다음으로 도 2의 (d)에 도시된 바와 같이 비아 홀(207)의 내부에 무전해 도금법에 의해 예를 들면 백금으로 된 도전층(208)을 충전한 후 에칭 마스크(206)를 제거한다.
다음으로 도 2의 (e)에 도시된 바와 같이 기판(201)의 이면부(비아 홀(207)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(208)이 노출되도록 제거하여 기판(201)을 얇게 한다.
다음으로 도 2의 (f)에 도시된 바와 같이 기판(201)의 이면에 전면에 걸쳐서 금으로 된 금속 전극(209)을 퇴적한다. 이와 같이 하면 소스 전극(203)과 금속 전극(209)은 비아 홀(207)에 충전되어 있는 도전층(208)을 통해 전기적으로 접속된다.
제 2 실시예에 의하면, 기판(201)의 비아 홀(207)의 형성공정 및 비아 홀(207)의 내부로의 도전층(208)의 충전공정을, 박막화되어 있지 않고 기계적 강도를 유지하고 있는 기판(201)에 대하여 행할 수 있으므로, 박막화된 기판(201)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(201)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.
또한 기판(201)의 이면에 비아 홀(207)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지기 때문에, 이면측의 에칭 마스크의 개구부와 표면측의 소스 전극을 특수한 얼라이너 장치를 이용하여 위치맞춤하는 복잡한 공정이 불필요하게 된다.
또한 소스 전극(203)의 개구부(203a) 및 비아 홀(207)에 도전층(208)을 충전함으로써 소스 전극(203)과 금속 전극(209)을 접속할 수 있으므로, 제 1 실시예에서는 필요하였던 소스 전극(103)과 도전층(108)을 접속하는 배선층(109)이 불필요하게 되어 제 1 실시예에 비해 공정을 간략화할 수 있다.

(제 3 실시예)

이하 본 발명의 제 3 실시예에 관한 전자장치의 제조방법에 대하여 도 3의 (a) (f)를 참조하여 설명하기로 한다.
우선 도 3의 (a)에 도시된 바와 같이, GaAs로 되어 150μm의 두께를 갖는 기판(301)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2μm의 두께를 갖는 활성층(302)을 형성한다. 그 후 제 1 실시예와 같이 하여 활성층(302)과 오믹 접촉하는 소스 전극(303)과 드레인 전극(304) 및 활성층(302)과 쇼트키 접촉하는 게이트 전극(305)을 형성한다. 이에 따라 활성층(302), 소스 전극(303), 드레인 전극(304) 및 게이트 전극(305)으로 이루어지는 FET가 형성된다.
또 제 3 실시예에서는 소스 전극(303)은 제 2 실시예와 같이 게이트 전극(305)의 반대쪽으로 연장되도록 형성되어 있는 것과 함께 비아 홀 형성영역에 개구부(303a)를 갖고 있다.
다음으로 도 3의 (b)에 도시된 바와 같이 기판(301)의 주면 상에 소스 전극(303)의 개구부(303a)와 연통하는 개구부(306a)를 갖고 또한 20μm의 두께를 갖는 에칭 마스크(306)를 형성한다. 그 후 에칭 마스크(306)를 이용하여 기판(301)에 대하여 에칭을 행함으로써 기판(301)에 깊이가 200μm이고 또 한변이 20μm로서 저부를 갖는 것과 함께 소스 전극(303)의 개구부(303a)와 연통하는 비아 홀(307)을 형성한다.
다음으로 도 3의 (c)에 도시된 바와 같이 에칭 마스크(306)를 잔존시킨 상태에서, 경사 방향으로부터 전자 빔을 조사함으로써 비아 홀(307)의 측벽 및 저부에 이리듐으로 되고 10nm의 두께를 갖는 도금용 하지층(308)을 형성한 후, 에칭 마스크(306)를 리프트 오프하여 비아 홀(307)의 측벽 및 저부에만 도금용 하지층(308)을 잔존시킨다.

다음으로 도 3의 (d)에 도시된 바와 같이 도금용 하지층(308)의 내부에 무전해 도금법에 의해, 예를 들면 백금으로 된 도전층(309)을 충전한다.
다음으로 도 3의 (e)에 도시된 바와 같이 기판(301)의 이면부(비아 홀(307) 이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(309)이 노출되도록 제거하고, 기판(301)을 얇게 한다.
다음으로 도 3의 (f)에 도시된 바와 같이 기판(301)의 이면의 전면에 걸쳐 금으로 된 금속 전극(310)을 퇴적한다. 이와 같이 하면 소스 전극(303)과 금속 전극(310)은 비아 홀(307) 내에 형성되어 있는 도금용 하지층(308) 및 도전층(309)을 통해 전기적으로 접속된다.
제 3 실시예에 의하면 기판(301)의 비아 홀(307)의 형성공정 및 비아 홀(307)의 내부로의 도전층(309)의 충전 공정을, 박막화되어 있지 않고 기계적 강도를 보유하고 있는 기판(301)에 대하여 할 수 있으므로, 박막화된 기판(301)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(301)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 수율이 향상된다.
또한 기판(301)의 이면에 비아 홀(307)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지므로, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치 맞춤하는 복잡한 공정이 불필요하게 된다.
또한 소스 전극(303)의 개구부(303a) 및 비아 홀(307)에 도전층(309)을 충전함으로써 소스 전극(303)과 금속 전극(310)을 접속할 수 있으므로, 제 1 실시예에서는 필요하였던 소스 전극(103)과 도전층(108)을 접속하는 배선층(109)이 불필요하게 되어 제 1 실시예에 비해 공정을 간략화할 수 있다.
또한 비아 홀(307)의 측벽 및 저부에 도금용 하지층(308)을 형성한 후 도금용 하지층(308)의 내부에 무전해 도금법에 의해 도전층(309)을 충전하므로 기판(301)에 직접 도금를 하는 것이 곤란한 금속, 예를 들면 금으로 이루어지는 도전층을 형성할 수도 있다.
또 제 3 실시예에서는 도전층(309)을 무전해 도금법에 의해 형성하였지만, 이 대신 다른 도금법 또는 증착법에 의해 형성해도 된다.

(제 4 실시예)

이하 본 발명의 제 4 실시예에 관한 전자장치의 제조방법에 대하여 도 4의 (a) (f)를 참조하여 설명하기로 한다.
우선 도 4의 (a)에 도시된 바와 같이 GaAs로 되고 150μm의 두께를 갖는 기판(401)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 O.2μm의 두께를 갖는 활성층(402)을 형성한다. 그 후 제 1 실시예와 마찬가지로 하여 활성층(402)과 오믹 접촉하는 소스 전극(403)과 드레인 전극(404) 및 활성층(402)과 쇼트키 접촉하는 게이트 전극(405)을 형성한다. 이에 따라 활성층(402), 소스 전극(403), 드레인 전극(404) 및 게이트 전극(405)으로 이루어지는 FET가 형성된다.
또 제 4 실시예에서는 소스 전극(403)은 제 1 실시예의 소스 전극(103)과 달리 게이트 전극(405)의 반대측으로 연장되도록 형성되어 있는 것과 함께 비아 홀 형성영역에 개구부(403a)를 갖고 있다.
다음으로 도 4의 (b)에 도시된 바와 같이 기판(401)의 주면 상에 소스 전극(403)의 개구부(403a)와 연통하는 개구부(406a)를 갖고 또한 20μm의 두께를 갖는 에칭 마스크(406)를 형성한 후, 이 에칭 마스크(406)를 이용하여 기판(401)에 대하여 에칭을 행함으로써 기판(401)에 깊이가 200μm이고 또 한변이 20μm으로서 저부를 갖는 것과 함께 소스 전극(403)의 개구부(403a)와 연통하는 비아 홀(407)을 형성한다.
다음으로 도 4의 (c)에 도시된 바와 같이 비아 홀(407)의 내부를 포함하는 기판(401) 상의 전면에 걸쳐 백금으로 된 금속 미립자가 유기용매에 의해 졸(so1)화한 현탁액을 도포한 후, 이 현탁액을 건조시켜 유기용매를 증발시킴으로써 비아 홀(407)의 내부 및 에칭 마스크(406) 상에 금속 미립자층(408)을 형성한다.
다음으로 도 4의 (d)에 도시된 바와 같이 에칭 마스크(406) 상에 존재하는 금속 미립자층(408)을 리프트 오프법에 의해 제거한 후, 기판(401)을 가열함으로써 금속 미립자층(408)을 소결시켜 비아 홀(407)의 내부에 금속 미립자층(408)으로 이루어지는 도전층(409)을 형성한다.
다음으로 도 4의 (e)에 도시된 바와 같이 기판(401)의 이면부(비아 홀(407)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(409)이 노출하도록 제거하여 기판(401)을 얇게 한다.
다음으로 도 4의 (f)에 도시된 바와 같이 기판(401)의 이면의 전면에 걸쳐 금으로 되는 금속 전극(410)을 퇴적한다. 이와 같이 하면 소스 전극(403)과 금속 전극(410)은 비아 홀(407)에 충전되어 있는 도전층(409)을 통해 전기적으로 접속된다.
제 4 실시예에 의하면 기판(401)의 비아 홀(407)의 형성공정 및 비아 홀(407)의 내부로의 도전층(409)의 충전공정을, 박막화되어 있지 않고 기계적 강도 를 보유하고 있는 기판(401)에 대하여 할 수 있으므로, 박막화된 기판(401)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(401)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.
또한 기판(401)의 이면에 비아 홀(407)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지므로, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치 맞춤하는 복잡한 공정이 불필요하게 된다.
또한 소스 전극(403)의 개구부(403a) 및 비아 홀(407)에 도전층(409)을 충전함으로써 소스 전극(403)과 금속 전극(410)을 접속할 수 있으므로 제 1 실시예에서는 필요하였던 소스 전극(103)과 도전층(108)을 접속하는 배선층(109)이 불필요하게 되어 제 1 실시예에 비해 공정을 간략화할 수 있다.
또한 금속 미립자가 졸화한 현탁액을 도포한 후에 건조시켜 금속 미립자층(408)을 형성한 후, 이 금속 미립자층(408)을 소결함으로써 도전층(409)을 형성하기 때문에 무전해 도금법에 의해 도전막(409)을 형성하는 경우에 비해 단시간에 매우 간편하게 도전층(409)을 형성할 수 있다.

(제 5 실시예)

이하 본 발명의 제 5 실시예에 관한 전자장치의 제조방법에 대하여 도 5의 (a) (f) 및 도 6의 (a) (c)을 참조하여 설명하기로 한다.

우선 도 5의 (a)에 도시된 바와 같이 GaAs로 되고 150㎛의 두께를 갖는 기판(501)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2㎛의 두께를 갖는 활성층(502)을 형성한다. 그 후 제 1 실시예와 같이 하여 활성층(502)과 오믹 접촉하는 소스 전극(503)과 드레인 전극(504) 및 활성층(502)과 쇼트키 접촉하는 게이트 전극(505)을 형성한다. 이에 따라 활성층(502), 소스 전극(503), 드레인 전극(504) 및 게이트 전극(505)으로 이루어지는 FET가 형성된다.

다음으로 도 5의 (b)에 도시된 바와 같이 기판(501)의 주면 상에 비아 홀형성영역에, 도 6의 (a)에 도시된 바와 같이 한변이 5㎛의 십자형상의 개구부(506a)를 갖고 또 20㎛의 두께를 갖는 에칭 마스크(506)를 형성한 후, 이 에칭 마스크(506)를 이용하여 기판(501)에 대하여 에칭을 함으로써 기판(501)에 깊이가 200㎛이고 또한 한변이 5㎛의 십자형상의 단면형상을 갖는 것과 함께 저부를 갖는 비아 홀(507)을 형성한다.

다음으로 도 5의 (c)에 도시된 바와 같이 비아 홀(507)의 내부에 무전해 도금법에 의해, 예를 들면 백금으로 이루어지는 도전층(508)을 충전한 후 에칭 마스크(506)를 제거한다.

다음으로 도 5의 (d)에 도시된 바와 같이 주지의 리소그래피법에 의해 소스 전극(503)과 도전층(508)을 접속하는 것과 함께 0.5㎛의 두께를 갖는 금으로 된 배선층(509)을 형성한다.

다음으로 도 5의 (e)에 도시된 바와 같이 기판(501)의 이면부(비아 홀(507)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(508)이 노출되도록 제거하여 기판(501)을 얇게 한다.

다음으로 도 5의 (f)에 도시된 바와 같이 기판(501)의 이면의 전면에 걸쳐 금으로 된 금속 전극(510)을 퇴적한다. 이와 같이 하면 소스 전극(503)과 접속되어 있는 배선층(509)과 금속 전극(510)은 비아 홀(507)에 충전되어 있는 도전층(508)을 통해 전기적으로 접속된다.

제 5 실시예에 의하면 기판(501)의 비아 홀(507)의 형성공정 및 비아 홀(507)의 내부로의 도전층(508)의 충전공정을, 박막화되어 있지 않고 기계적 강도를 보유하고 있는 기판(501)에 대하여 할 수 있기 때문에, 박막화된 기판(501)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(501)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.

또한 기판(501)의 이면에 비아 홀(507)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지기 때문에, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치맞춤하는 복잡한 공정이 불필요하게 된다.

또한 비아 홀(507)의 단면형상이 십자형상이므로 비아 홀(507)의 단면형상이 사각형 또는 원형인 경우에 비해 비아 홀(507)의 주위의 면적, 나아가서는 도전층(508)의 측면적이 커지기 때문에 도전층(508)과 기판(501)의 접촉 면적이 커진다. 따라서 원래 GaAs로 이루어지는 기판(501)과 금속으로 이루어지는 도전층(508)의 밀착성은 좋지 않지만, 도전층(508)과 기판(501)의 접촉면적이 커지기 때문에 도전층(508)과 기판(501)의 밀착성이 향상되어 도전층(508)이 기판(501)으로부터 박리되기 어렵게 된다.

또한 비아 홀(507)의 단면적, 나아가서는 도전층(508)의 저면의 면적이 크기 때문에 도전층(508)에서의 기판(501)의 저면에 노출되어 있는 부분에 검사용 전극, 예를 들면 프로브침을 접속하여 FET의 전기적 특성을 검사할 수 있다. 따라서 도전층(508)이 형성된 후의 전자장치의 전기적 특성검사를 금속 전극(510)이 형성되기 전에 할 수 있으므로, 전기적 특성이 불량인 전자장치에 대하여 금속 전극(510)을 형성하는 낭비를 생략할 수 있다.

또 비아 홀(507)을 형성하기 위한 에칭 마스크(506)의 개구부(506a)의 단면형상은 십자형상이 아니어도 되고, 도 6의 (b)에 도시된 바와 같은 별모양의 개구부(506b) 또는 도 6의 (c)에 도시된 바와 같은 L자 형상의 개구부(506c)이어도 된다. 즉 비아 홀(507)의 단면형상은 180도 이상의 내각을 갖는 도형이면 그 형상은 상관없다.

또한 소스 전극(503)과 도전층(508)을 접속하는 배선층(509)을 형성하는 대신 제 2 제 4 실시예와 같이 소스 전극(503)에, 예를 들면 십자모양의 개구부를 형성해두고 나서 소스 전극(503)의 개구부 및 비아 홀(507)에 도전층(508)을 충전해도 된다.

(제 6 실시예)

이하 본 발명의 제 6 실시예에 관한 전자장치의 제조방법에 대하여 도 7의 (a) (f)를 참조하여 설명하기로 한다.

우선 도 7의 (a)에 도시된 바와 같이 GaAs로 되고 150㎛의 두께를 갖는 기판(601)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2㎛의 두께를 갖는 활성층(602)을 형성한다. 그 후 제 1 실시예와 마찬가지로 하여 활성층(602)과 오믹 접촉하는 소스 전극(603)과 드레인 전극(604) 및 활성층(602)과 쇼트키 접촉하는 게이트 전극(605)을 형성한다. 이에 따라 활성층(602), 소스 전극(603), 드레인 전극(604) 및 게이트 전극(605)으로 이루어지는 FET가 형성된다.

다음으로 도 7의 (b)에 도시된 바와 같이 기판(601)의 주면 상에 비아 홀 형성영역에 개구부(606a)를 갖고 또한 20㎛의 두께를 갖는 에칭 마스크(606)를 형성한 후, 이 에칭 마스크(606)를 이용하여 기판(601)에 대하여 에칭함으로써 기판(601)에 깊이가 200㎛인 것과 함께 저부를 갖는 비아 홀(607)을 형성한다.

다음으로 도 7의 (c)에 도시된 바와 같이 비아 홀(607)의 측벽부 및 저부에 전자빔 증착법에 의해 백금으로 되고, 예를 들면 0.5㎛의 두께를 갖는 저부 실린더의 도전층(608)을 형성한 후 에칭 마스크(606)를 제거한다.

다음으로 도 7의 (d)에 도시된 바와 같이 주지의 리소그래피법에 의해 소스 전극(603)과 도전층(608)의 측벽부를 접속하는 것과 함께 0.5㎛의 두께를 갖는 금으로 된 배선층(609)을 형성한다.

다음으로 도 7의 (e)에 도시된 바와 같이 기판(601)의 이면부(비아 홀(607)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(608)의 저부가 노출되도록 제거하여 기판(601)을 얇게 한다.

다음으로 도 7의 (f)에 도시된 바와 같이 기판(601)의 이면의 전면에 걸쳐 금으로 되는 금속 전극(610)을 퇴적한다. 이와 같이 하면 소스 전극(603)에 접속되어 있는 배선층(609)과 금속 전극(610)은 비아 홀(607)에 형성되어 있는 도전층(608)을 통해 전기적으로 접속된다.

제 6 실시예에 의하면 기판(601)의 비아 홀(607)의 형성공정 및 비아 홀(607) 내에서의 도전층(608)의 형성공정을, 박막화되어 있지 않고 기계적 강도를 보유하고 있는 기판(601)에 대하여 행할 수 있기 때문에, 박막화된 기판(601)을 비아 홀 형성공정 또는 도전층 형성공정으로 반송할 때 기판(601)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.

또한 기판(601)의 이면에 비아 홀(607)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지므로, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치 맞춤하는 복잡한 공정이 불필요하게 된다.

또한 비아 홀(607)의 측벽부 및 저부에 전자빔 증착법에 의해 도전층(608)을 형성하므로 무전해 도금법에 의해 도전막(608)을 형성하는 경우에 비해 단시간에 매우 간편하게 도전층(608)을 형성할 수 있다.

또한 도전층(608)은 저부를 갖고 있고, 도전층(608)과 금속 전극(610)은 도전층(608)의 저부를 통해 접속하고 있기 때문에 도전층(608)과 금속 전극(610)과의 접촉저항이 저감된다.

또 비아 홀(607)의 내부에 형성하는 도전층(608)의 형상으로서는 밑면이 있는 통형상 대신 표면이 오목형상으로 파인 짧은 기둥형상이어도 된다.

(제 7 실시예)

이하 본 발명의 제 7 실시예에 관한 전자장치의 제조방법에 대하여 도 8의 (a) (e)를 참조하여 설명하기로 한다.

우선 도 8의 (a)에 도시된 바와 같이 GaAs로 되고 150μm의 두께를 갖는 기 판(701)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2μm의 두께를 갖는 활성층(702)을 형성한다. 그 후 제 1 실시예와 마찬가지로 하여 활성층(702)과 오믹 접촉하는 소스 전극(703)과 드레인 전극(704) 및 활성층(702)과 쇼트키 접촉하는 게이트 전극(705)을 형성한다. 이에 따라 활성층(702), 소스 전극(703), 드레인 전극(704) 및 게이트 전극(705)으로 이루어지는 FET가 형성된다.

또 제 7 실시예에서는 소스 전극(703)은 제 2 실시예와 마찬가지로 게이트 전극(705)의 반대측으로 연장되도록 형성되어 있는 것과 함께 비아 홀 형성영역에 개구부(703a)를 갖고 있다.

다음으로 도 8의 (b)에 도시된 바와 같이 기판(701)의 주면 상에 소스 전극(703)의 개구부(703a)와 연통하는 개구부(706a)를 갖고 또한 20μm의 두께를 갖는 에칭 마스크(706)를 형성한다. 그 후 에칭 마스크(706)를 이용하여 기판(701)에 대하여 에칭함으로써, 기판(701)에 깊이가 200μm이고 한변이 20μm로서 저부를 갖는 것과 함께 소스 전극(703)의 개구부(703a)와 연통하는 비아 홀(707)을 형성한다.

다음으로 도 8의 (c)에 도시된 바와 같이 비아 홀(707)의 측벽부 및 저부에 전자빔 증착법 또는 도금법 등에 의해, 예를 들면 0.5μm의 두께를 갖는 도전층(708)을 형성한 후 에칭 마스크(706)를 제거한다.

다음으로 도 8의 (d)에 도시된 바와 같이 기판(701)의 이면부(비아 홀(707)이 형성되어 있는 쪽과 반대쪽 부분)를 도전층(708)의 저부가 제거되고 또한 측벽 부가 노출되도록 제거하여 기판(701)을 얇게 한다.

다음으로 도 8의 (e)에 도시된 바와 같이 기판(701)의 이면의 전면에 걸쳐 금으로 된 금속 전극(709)을 퇴적한다. 이와 같이 하면 소스 전극(703)과 금속 전극(709)은 비아 홀(707) 내에 형성되어 있는 통형상의 도전층(708)을 통해 전기적으로 접속된다.

제 7 실시예에 의하면 기판(701)의 비아 홀(707)의 형성공정 및 비아 홀(707)의 내부에서의 도전층(708)의 형성공정을, 박막화되어 있지 않고 기계적 강도를 보유하고 있는 기판(701)에 대하여 행할 수 있기 때문에, 박막화된 기판(701)을 비아 홀 형성공정 또는 도전층 형성공정에 반송할 때 기판(701)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 수율이 향상된다.

또한 기판(701)의 이면에 비아 홀(707)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지기 때문에, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치맞춤하는 복잡한 공정이 불필요하게 된다.

또한 소스 전극(703)의 개구부(703a) 및 비아 홀(707)의 내부에 도전층(708)을 형성함으로써 소스 전극(703)과 금속 전극(709)을 접속할 수 있기 때문에, 제 1 실시예에서는 필요하였던 소스 전극(103)과 도전층(108)을 접속하는 배선층(109)이 불필요하게 되어 제 1 실시예에 비해 공정을 간략화할 수 있다.

또한 도전층(708)이 통형상이고, 비아 홀(707)의 내부에 충전되어 있지 않기 때문에 도전층(708)을 형성하기 위한 시간을 단축할 수 있다.

(제 8 실시예)

이하 본 발명의 제 8 실시예에 관한 전자장치의 제조방법에 대하여 도 9의 (a) (c), 도 10의 (a) (c) 및 도 11의 (a), (b)를 참조하여 설명하기로 한다.

우선 도 9의 (a)에 도시된 바와 같이 GaAs로 되고 150μm의 두께를 갖는 기판(801)의 주면부에 비소 이온을 선택적으로 주입한 후, 활성화를 위한 열처리를 행하여 0.2μm의 두께를 갖는 활성층(802)을 형성한다. 그 후 제 1 실시예와 마찬가지로 하여 활성층(802)과 오믹 접촉하는 소스 전극(803)과 드레인 전극(804) 및 활성층(802)과 쇼트키 접촉하는 게이트 전극(805)을 형성한다. 이에 따라 활성층(802), 소스 전극(803), 드레인 전극(804) 및 게이트 전극(805)으로 이루어지는 FET가 형성된다. 그 후 증착법 또는 스퍼터법에 의해 기판(801) 상이 전면에 걸쳐져 제 1 도금용 하지층(806)을 형성한다.

다음으로 도 9의 (b)에 도시된 바와 같이 제 1 도금용 하지층(806) 상의 전면에 걸쳐 산화규소(SiO_2)로 되는 절연막(8O7)을 퇴적한 후, 이 절연막(8O7)에 있어서의 소스측 인출배선 형성영역(소스 전극(803)의 게이트 전극(805)에 대

한 반대쪽 영역)에 제 1 개구부(807a)를 형성하는 것과 함께, 절연막(807)에서의 드레인측 인출배선 형성영역(드레인 전극(804)의 게이트 전극(805)에 대한 반대쪽 영역)에 제 2 개구부(807b)를 형성한다.
다음으로 도 9의 (c)에 도시된 바와 같이 절연막(807) 상을 포함하는 기판(801) 상에 비아 홀 형성영역에 개구부(808a)를 갖는 에칭 마스크(808)를 형성한 후, 이 에칭 마스크(808)를 이용하여 제 1 도금용 하지층(806) 및 기판(801)에 대하여 에칭을 행하고, 기판(801)에 깊이가 200μm이고 한변이 20μm로서 저부를 갖는 비아 홀(809)을 형성한다.
다음으로 도 10의 (a)에 도시된 바와 같이 증착법 또는 스퍼터법에 의해 비아 홀(809)의 내부를 포함하는 에칭 마스크(808) 상에 전면에 걸쳐 제 2 도금용 하지층(810)을 형성한다.
다음으로 도 10의 (b)에 도시된 바와 같이 에칭 마스크(808)를 리프트 오프하여 제 2 도금용 하지층(810)을 비아 홀(809)의 벽부 및 저부에만 잔존시킨 후, 절연막(807)을 마스킹재로 하는 도금법에 의해 비아 홀(809)의 내부를 포함하는 제 1 도금용 하지층(806) 및 제 2 도금용 하지층(810) 상에 금속 도금층을 형성하고, 이 금속 도금층으로 된 소스측 인출배선(811A) 및 드레인측 인출배선(811B)을 각각 형성한다. 이 경우 소스측 인출배선(811A)은 비아 홀(809)의 측벽부, 저부 및 기판(801)의 상면부 영역으로 구성되고, 드레인측 인출배선(811B)은 기판(801)의 상면부 영역으로 구성되어 있다.
다음으로 도 10의 (c)에 도시된 바와 같이 기판(801)의 이면부(비아 홀(809)이 형성되어 있는 쪽 반대쪽 부분)를 소스측 인출배선(811A) 및 제 2 도금용 하지층(810)의 저부가 제거되고 또한 소스측 인출배선(811A) 및 제 2 도금용 하지층(810)의 측벽부가 노출되도록 제거하고, 기판(801)을 얇게 한다.
다음으로 도 11의 (a)에 도시된 바와 같이 기판(801)의 이면의 전면에 걸쳐 금으로 되는 금속 전극(812)을 퇴적한다.
이와 같이 하면 도 11의 (a), (b)에 도시된 바와 같이 소스 전극(803)과 금속 전극(812)은 기판(801)의 상면 및 비아 홀(809)의 내부에 형성된 소스측 인출배선(811A)을 통해 전기적으로 접속된다.
제 8 실시예에 의하면 기판(801)의 비아 홀(809)의 형성공정 및 소스측 및 드레인측의 인출배선(81lA, 811B)의 형성공정을, 박막화되어 있지 않고 기계적 강도를 보유하고 있는 기판(801)에 대하여 행할 수 있으므로, 박막화된 기판(801)을 비아 홀 형성공정 또는 인출배선 형성공정으로 반송할 때 기판(801)에 생기는 균열을 방지할 수 있게 되어 종래에 비해 제품 수율이 향상된다.
또한 기판(801)의 이면에 비아 홀(809)을 형성하기 위한 에칭 마스크를 형성할 필요가 없어지기 때문에, 이면측의 에칭 마스크의 개구부와 표면측의 배선층을 특수한 얼라이너 장치를 이용하여 위치맞춤하는 복잡한 공정이 불필요하게 된다.
또한 절연막(807)을 마스킹재로 하는 도금법에 의해 금속 도금층으로 이루어지는 소스측 인출배선(811A) 및 드레인측 인출배선(811B)을 형성하기 때문에, 소스 전극(803)과 금속 전극(812)을 접속하는 소스측 인출배선(811A)과, 드레인 전극(804)에 접속하는 드레인측 인출배선(811B)을 한번의 도금공정으로 형성할 수 있으므로 공정수를 크게 저감할 수 있다.
또한 소스측 인출배선(811A) 및 드레인측 인출배선(811B)이 기판(801)의 주면 상에 형성되어 있으므로, 소스측 인출배선(811A) 및 드레인측 인출배선(811B)에서의 기판(801)의 주면 상에 형성되어 있는 부분에 검사용 전극을 접속하여 FET의 전기적 특성을 검사할 수 있다. 이 때문에 비아 홀(809)이 형성된 후의 전자장치의 전기적 특성검사를 기판(801)이 박판화되지 않고 기계적 강도를 유지한 상태로 할 수 있는 것과 함께, 전기적 특성이 불량인 전자장치에 대하여 기판을 박막화하 는 낭비를 생략할 수 있다.
또 제 8 실시예에서는 소스측 인출배선(81lA)은 비아 홀(809)의 내부에서는 통형상이지만, 이 대신 비아 홀(809)의 내부에 충전되는 구조이어도 된다.
또 제 1 제 8 실시예에서 이용되는 에칭 마스크의 재료로서는, 포토 레지스트 등과 같이 에칭에 의해 침식되지 않는 재료를 적절히 이용할 수 있다.
또한 기판의 표면 측에 형성되어 있는 소스 전극과 기판의 이면측에 형성되어 있는 금속 전극을 접속하는 도전층으로서는, 산화이리듐 등의 도전성 금속산화물, 질화티탄 등의 도전성 금속질화물 또는 이들의 조합으로 이루어지는 다층구조의 도전체층을 이용해도 된다.
또 기판으로서는 갈륨비소(GaAs) 혹은 인듐인(InP) 등의 III-V족 화합물 반도체 기판, 실리콘 기판, 사파이어 기판 등의 절연성 기판 또는 글래스 기판 등의 비정질 기판을 이용해도 되고, FET 대신 반도체 레이저 등의 다른 소자를 갖는 기판을 이용해도 된다.
또한 기판을 박판화하는 방법으로서는 연마법 또는 에칭법 등을 이용할 수 있다.

발명의 효과

상술한 바와 같은 본 발명의 제 1 전자장치의 제조방법에 의하면 기판의 주면에 비아 홀 형성영역에 비아 홀을 형성하는 전극층을 형성한 후, 비아 홀 형성영역에 개구부를 갖는 에칭 마스크를 이용하여 기판에 대하여 에칭을 행하여 비아 홀을 형성하고, 그 후 비아 홀의 적어도 측벽에 도전층을 형성하기 때문에 전극층과 도전층을 접속하는 배선층이 불필요하게 되므로 공정수를 저감할 수 있다.
또한 본 발명의 제 2 전자장치의 제조방법에 의하면 기판의 주면과 반대측의 이면에 이면측 전극층을 형성할 때에, 이 이면측 전극층과 도전층의 접촉면적이 커지므로 이면측 전극층과 도전층의 접촉저항을 저감할 수 있다.
또 본 발명의 제 1 전자장치에 의하면, 비아 홀의 단면형상이 적어도 일부에 180도 이상의 내각을 갖는 도형이기 때문에, 비아 홀의 적어도 측벽에 형성되는 도전층과 기판과의 접촉면적이 커지게 되어 도전층과 기판의 밀착성이 향상되고, 이에 의해 도전층이 기판으로부터 박리되기 어려워진다.

또한 본 발명의 제 2 전자장치에 의하면, 도전층이 프로브에 의한 전기적 접촉이 가능한 면적을 갖고 있기 때문에, 도전층에서의 기판의 저면에 노출되어 있는 부분에 프로브를 접속하여 전자장치의 전기적 특성을 검사할 수 있다. 따라서 전자장치의 전기적 특성검사를 기판의 이면에 금속 전극이 형성되기 전에 행할 수 있으므로, 전기적 특성이 불량인 전자장치에 대하여 금속 전극을 형성하는 낭비를 생략할 수 있다.
상술한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구의 범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

기판의 주면 상에 전극층을 형성하는 제 1 공정과,
상기 기판의 주면 상에 전면에 걸쳐 제 1 도금 하지층을 형성하는 제 2 공정과,
상기 제 1 도금 하지층 상에서 비아 홀 형성영역 및 그 둘레가장자리 영역 및 상기 전극층 상의 적어도 일부 영역에 개구부를 갖는 절연막을 퇴적하는 제 3 공정과,
상기 제 1 도금 하지층 및 상기 절연막 상에서 상기 비아 홀 형성영역에 개구부를 갖는 에칭 마스크를 형성하는 제 4 공정과,
상기 에칭 마스크를 이용하여 상기 기판에 대하여 에칭을 행하고, 상기 제 1 도금 하지층 및 상기 기판에 저부를 갖는 비아 홀을 형성하는 제 5 공정과,
상기 비아 홀의 내부를 포함하는 상기 에칭 마스크 상에 제 2 도금 하지층을 형성하는 제 6 공정과,
상기 제 2 도금 하지층을 상기 에칭 마스크와 함께 리프트 오프하여 상기 제 2 도금 하지층을 상기 비아 홀 내부에 잔존시키는 제 7 공정과,
상기 절연막을 마스크로 하여 상기 제 1 도금 하지층 및 제 2 도금 하지층 상에 금속도금을 행하여, 상기 비아 홀의 내부를 포함하는 상기 절연막의 개구부에 금속층을 형성하는 제 8 공정과,
상기 기판에서의 상기 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 상기 금 속층이 노출되도록 제거하여, 상기 기판을 얇게 하는 제 9 공정을 구비하는 것을 특징으로 하는 전자장치의 제조방법.

청구항 2.

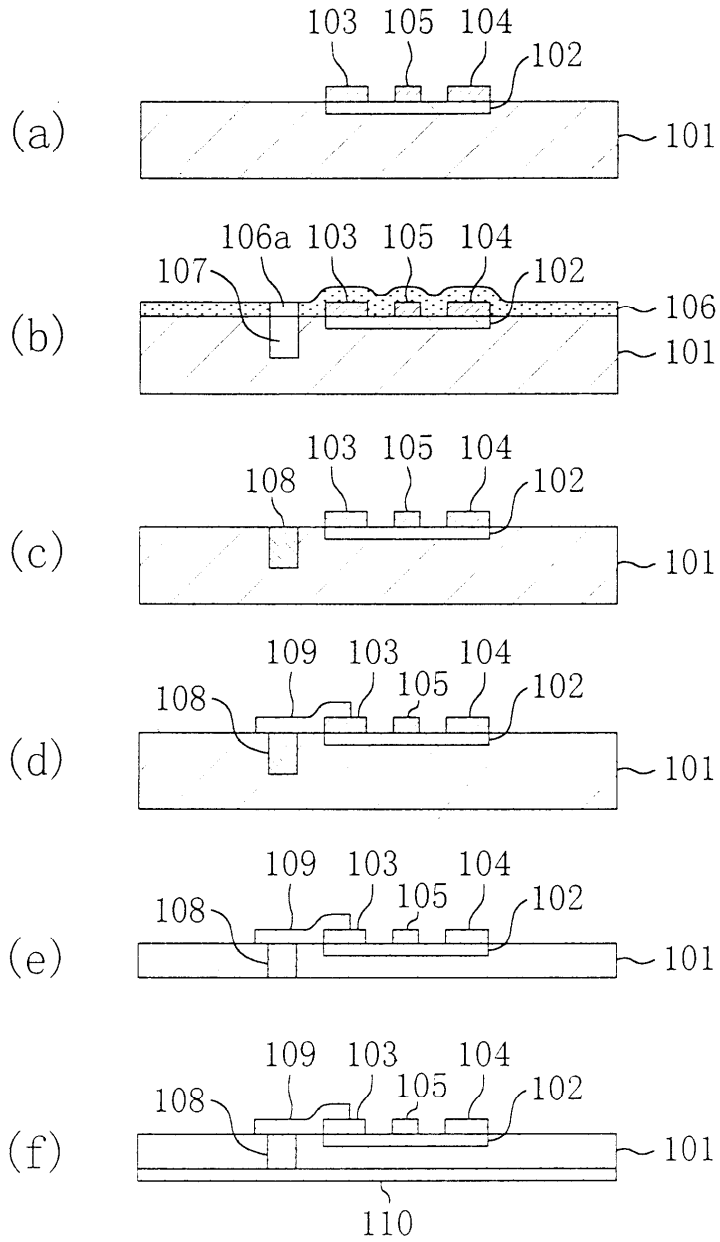
제 1항에 있어서,
상기 제 8 공정은 상기 금속층을, 측벽부와 저부로 이루어지고 중앙에 오목부를 갖는 형상으로 형성하는 공정을 포함하며,
상기 제 9 공정은 상기 기판에서의 상기 비아 홀이 형성되어 있는 쪽과 반대쪽 부분을 상기 금속층의 저부가 잔존하도록 제거하는 공정을 포함하는 것을 특징으로 하는 전자장치의 제조방법.

청구항 3.

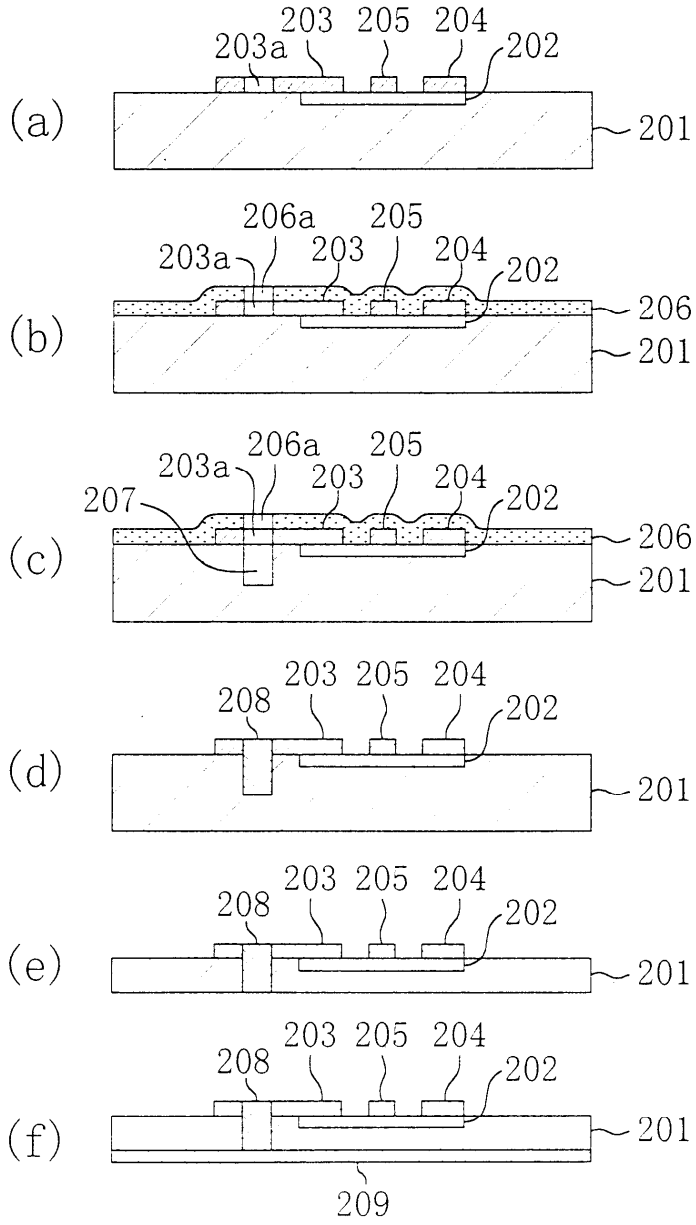
기판의 제 1 주면에 FET를 형성하는 공정과,
상기 기판의 제 1 주면에 구멍을 형성하는 공정과,
상기 구멍의 벽면 및 상기 제 1 주면상에서 상기 구멍의 근방에 상기 FET드레인 전극 또는 소스 전극과 접속되는 전기적 검사용의 확장부를 갖는 도전층을 형성하는 공정과,
상기 확장부를 이용하여 상기 FET의 전기적 검사를 행한 후, 상기 제 1 주면의 반대측인 제 2 주면을 상기 구멍의 벽면에 형성되어 있는 상기 도전막이 노출하도록 연마하는 공정을 구비하는 것을 특징으로 하는 전자장치의 제조방법.

도면

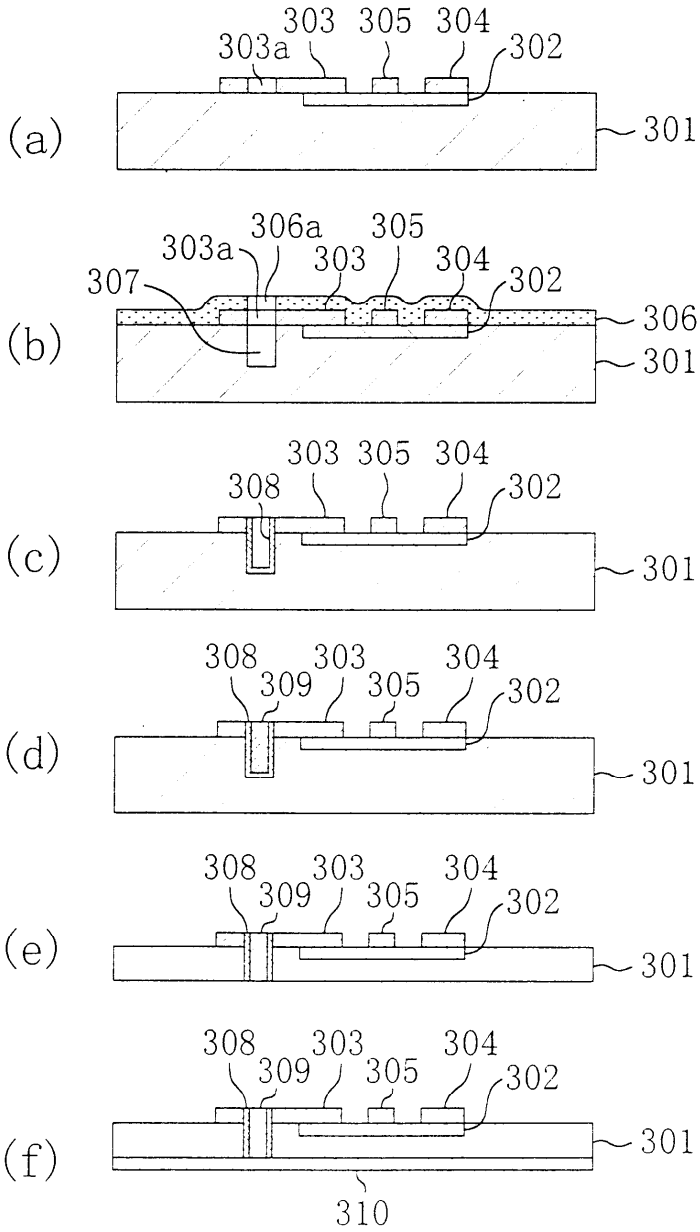
도면1


(a)
103
105
104
102
101
(b)
106a
103
105
104
107
102
106
101
(c)
103
105
104
108
102
101
(d)
109
103
104
105
108
102
101
(e)
109
103
104
105
108
102
101
(f)
109
103
104
105
108
102
101
110

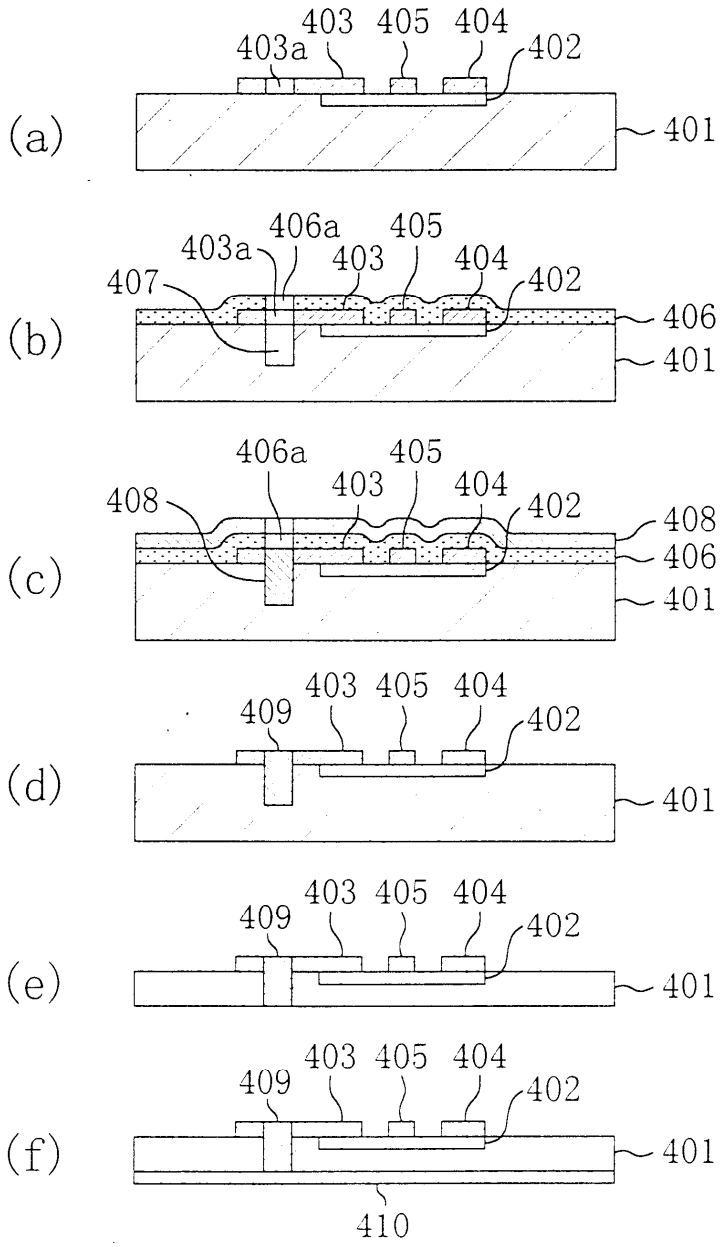
도면2


(a)
203
205
204
203a
202
201
(b)
206a
205
203a
203
204
202
206
201
(c)
206a
205
203a
203
204
207
202
206
201
(d)
203
205
204
208
202
201
(e)
203
205
204
208
202
201
(f)
203
205
204
208
202
201
209

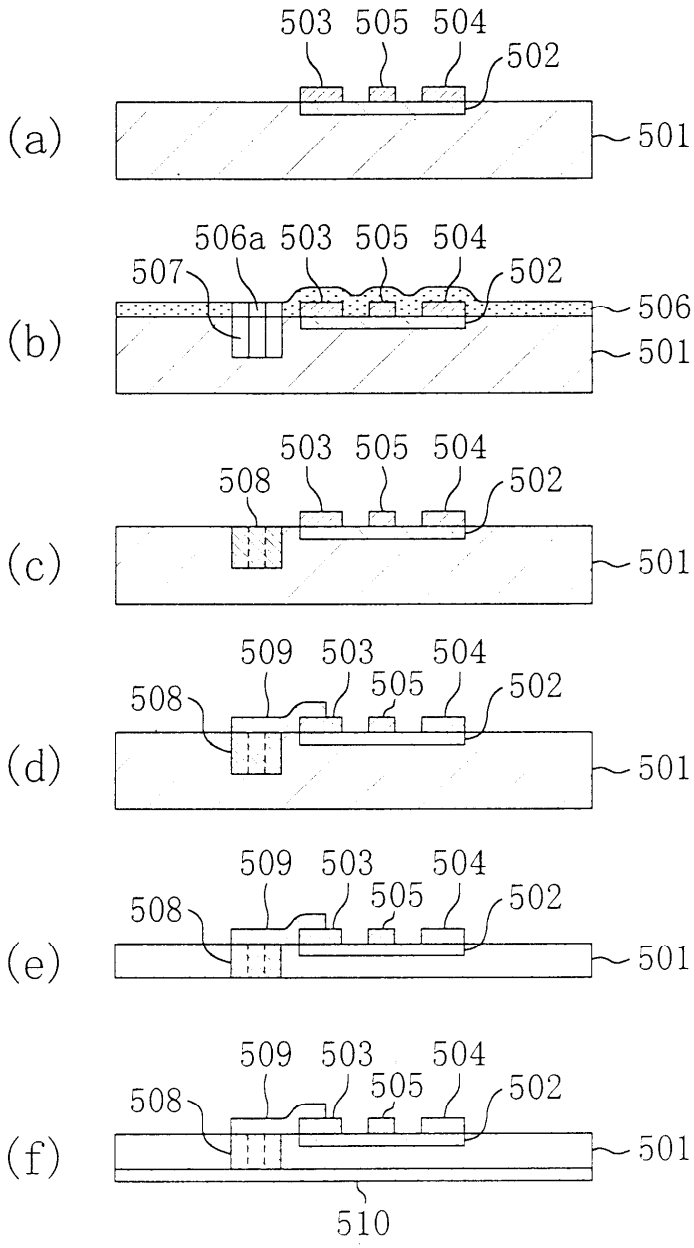
도면3


(a)
303
305
304
303a
302
301
(b)
306a
305
303a
303
304
307
302
306
301
(c)
303
305
304
308
302
301
(d)
308
303
304
309
305
302
301
(e)
308
303
304
309
305
302
301
(f)
308
303
304
309
305
302
301
310

도면4

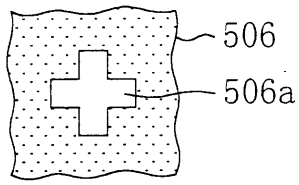

(a)
403
405
404
403a
402
401
(b)
406a
405
403a
403
404
407
402
406
401
(c)
406a
405
403
404
408
402
408
406
401
(d)
403
405
404
409
402
401
(e)
403
405
404
409
402
401
(f)
403
405
404
409
402
401
410

도면5

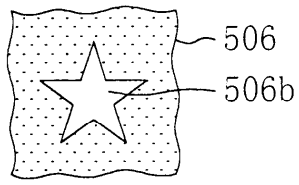

(a)
503
505
504
502
501
(b)
506a
503
505
504
507
502
506
501
(c)
503
505
504
508
502
501
(d)
509
503
504
505
508
502
501
(e)
509
503
504
505
508
502
501
(f)
509
503
504
505
508
502
501
510

도면6

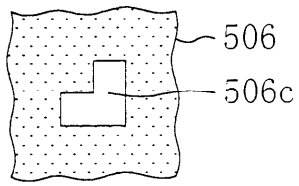
(a)



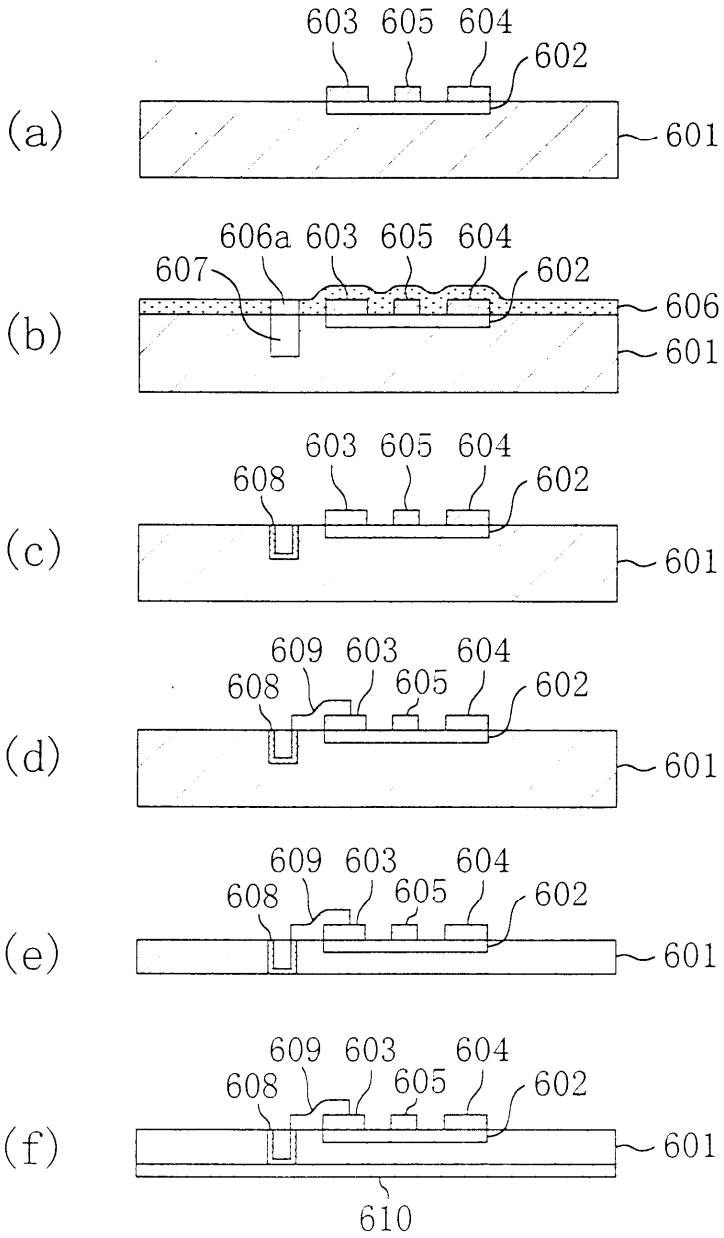
(b)



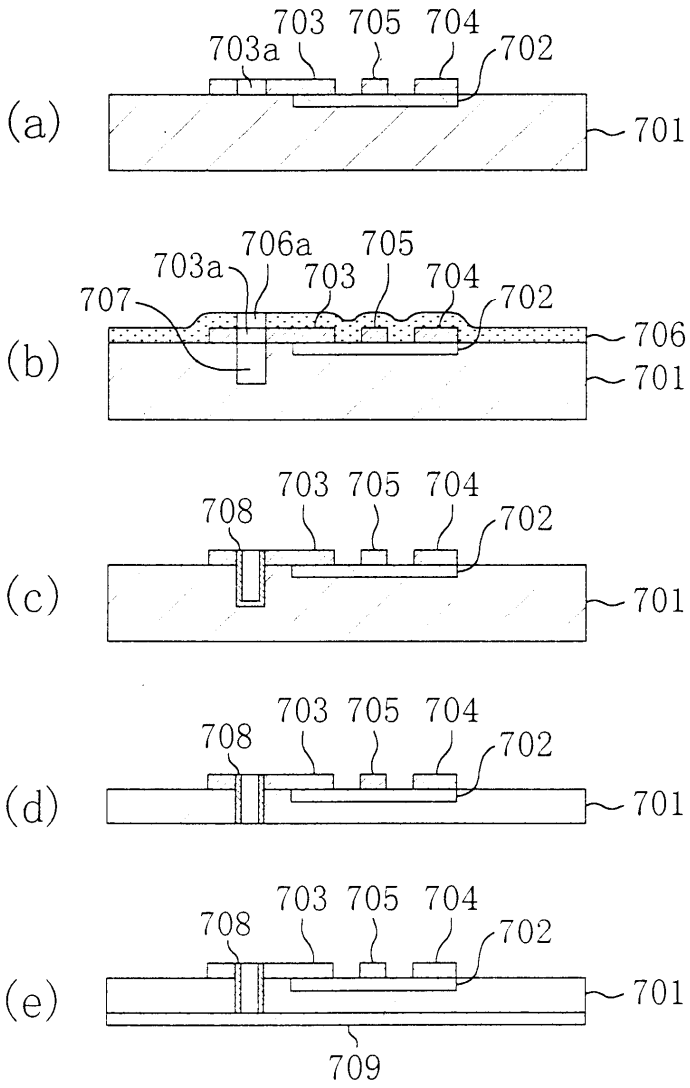
(c)



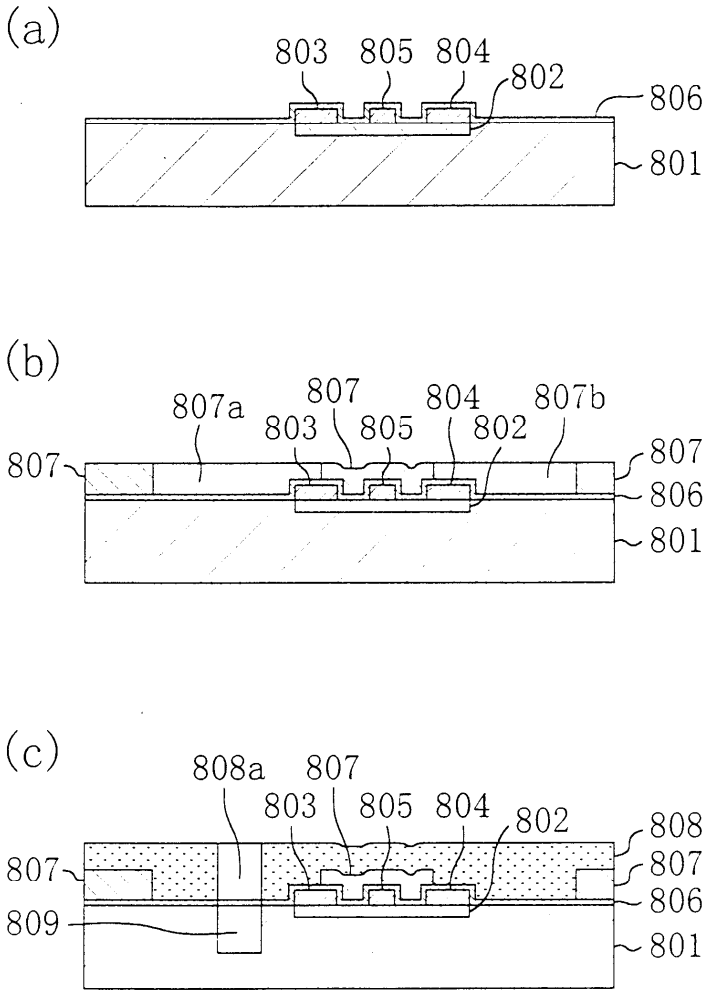
도면7


(a)
603
605
604
602
601
(b)
606a
603
605
604
607
602
606
601
(c)
603
605
604
608
602
601
(d)
609
603
604
608
605
602
601
(e)
609
603
604
608
605
602
601
(f)
609
603
604
608
605
602
601
610

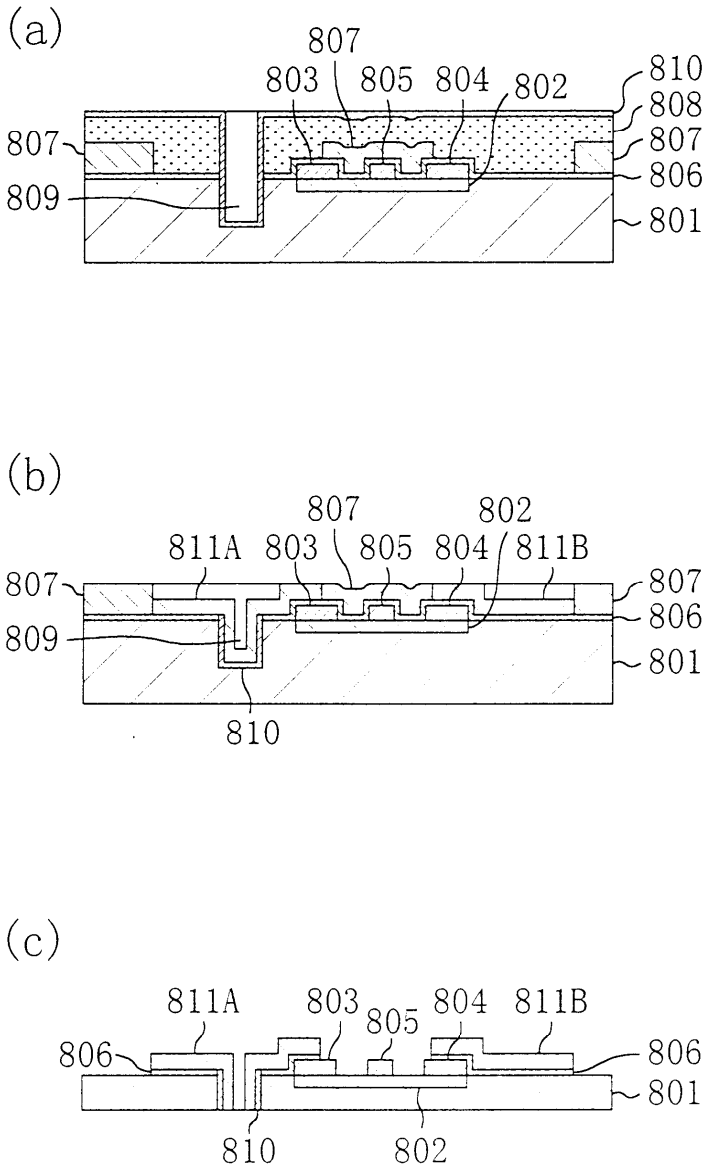
도면8


(a)
703
705
704
703a
702
701
(b)
706a
705
703a
703
704
707
702
706
701
(c)
703
705
704
708
702
701
(d)
703
705
704
708
702
701
(e)
703
705
704
708
702
701
709

도면9

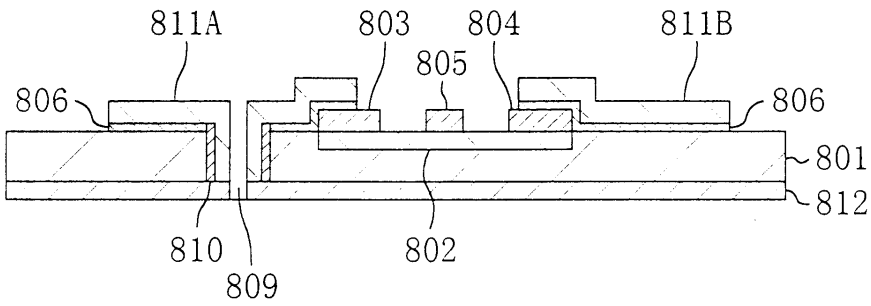

(a)
803
805
804
802
806
801
(b)
807a
807
803
805
804
802
807b
807
807
806
801
(c)
808a
807
803
805
804
802
808
807
807
806
809
801

도면10

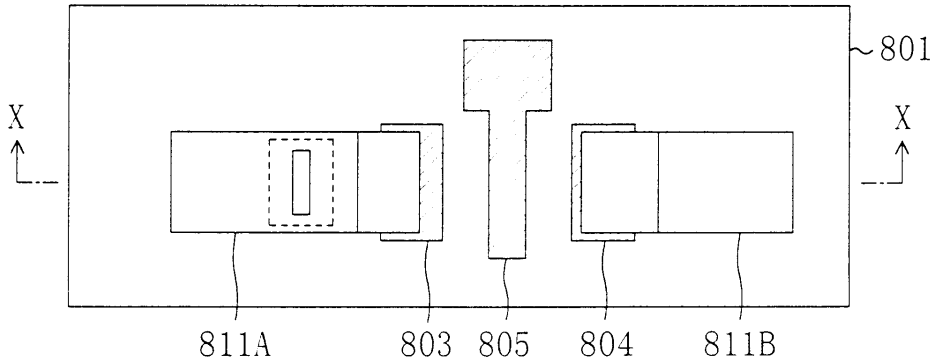

(a)
807
803
805
804
802
810
808
807
806
801
807
809
(b)
807
802
811A
803
805
804
811B
807
806
801
807
809
810
(c)
811A
803
805
804
811B
806
806
801
810
802

도면11

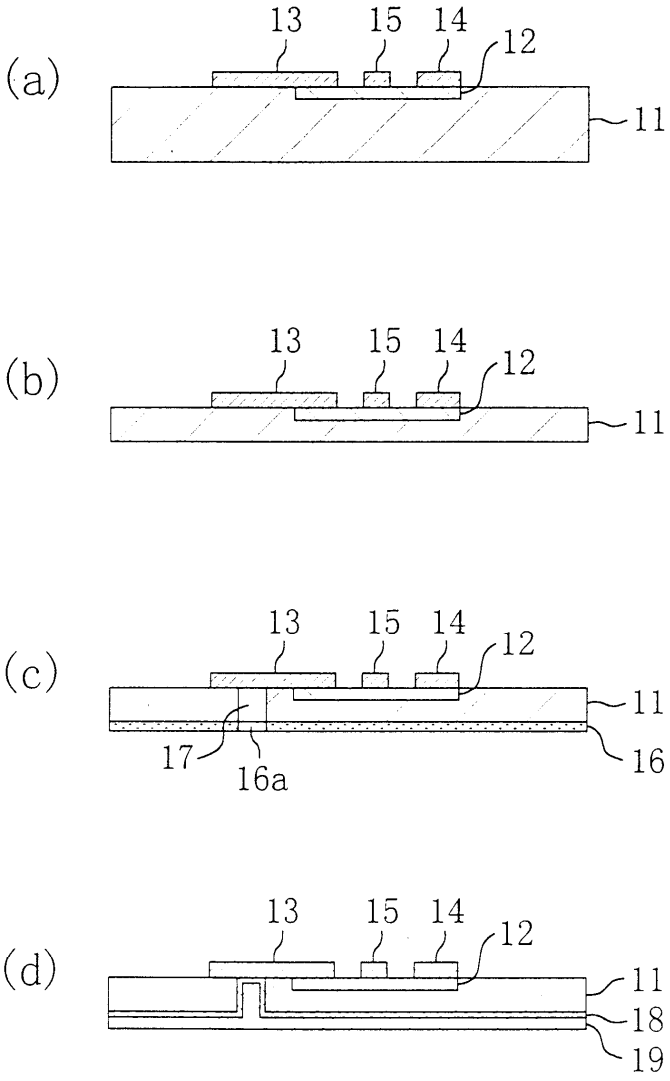
(a)


811A
803
804
811B
805
806
806
801
812
810
802
809

(b)


801
X
X
811A
803
805
804
811B

도면12


(a)
13
15
14
12
11
(b)
13
15
14
12
11
(c)
13
15
14
12
11
17
16a
16
(d)
13
15
14
12
11
18
19