

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年4月14日(14.04.2016)



(10) 国際公開番号

WO 2016/056409 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 27/00 (2006.01)
H01L 21/768 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 27/146 (2006.01)
H01L 23/00 (2006.01) H04N 5/357 (2011.01)
H01L 23/522 (2006.01) H04N 5/369 (2011.01)
H01L 23/538 (2006.01)
- (21) 国際出願番号: PCT/JP2015/077241
- (22) 国際出願日: 2015年9月28日(28.09.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-207129 2014年10月8日(08.10.2014) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 香川 恵永 (KAGAWA Yoshihisa); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 藤井 宣年 (FUJII Nobutoshi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP). 松沼 健司 (MATSUNUMA Takeshi); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿木村屋ビルディング9階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

[続葉有]

(54) Title: STACKED DEVICE AND MANUFACTURING METHOD, AND ELECTRONIC APPARATUS

(54) 発明の名称: 積層型デバイスおよび製造方法、並びに、電子機器

図1

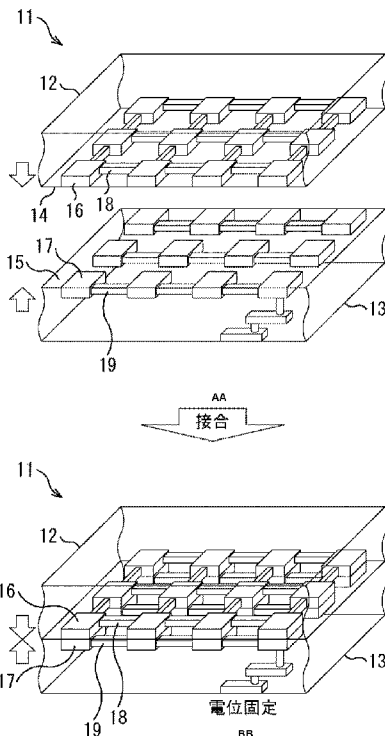


FIG. 1:
AA Join
BB Fixed potential

(57) Abstract: The present disclosure pertains to a stacked device, a manufacturing method, and an electronic apparatus that enable the impact that noise generated from one substrate imparts to another substrate to be suppressed. At a joining surface of one substrate, formed is a first metal layer, and at a joining surface of another substrate which is stacked on the one substrate, formed is a second metal layer. An electromagnetic-wave shield structure for interrupting electromagnetic waves is formed between the one substrate and the other substrate as a result of joining the metal layer of the one substrate and the metal layer of the other substrate and thereby fixing potential. The present technology can be applied to, for example, a stacked CMOS image sensor.

(57) 要約: 本開示は、一方の基板から発生するノイズが他方の基板に与える悪影響を抑制することができるようにする積層型デバイスおよび製造方法、並びに、電子機器に関する。一方の基板の接合面に第1の金属層が形成され、その一方の基板に対して積層される他方の基板の接合面に第2の金属層が形成される。そして、一方の基板の金属層と他方の基板の金属層とを接合して電位固定することによって、一方の基板と他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する。本技術は、例えば、積層型のCMOSイメージセンサに適用できる。



PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 積層型デバイスおよび製造方法、並びに、電子機器 技術分野

[0001] 本開示は、積層型デバイスおよび製造方法、並びに、電子機器に関し、特に、一方の基板から発生するノイズが他方の基板に与える悪影響を抑制することができるようにした積層型デバイスおよび製造方法、並びに、電子機器に関する。

背景技術

[0002] 従来、デジタルスチルカメラやデジタルビデオカメラなどの撮像機能を備えた電子機器においては、例えば、CCD (Charge Coupled Device) やCMOS (Complementary Metal Oxide Semiconductor) イメージセンサなどの固体撮像素子が使用されている。

[0003] また、近年では、特許文献1および2に開示されている半導体装置のように、複数の基板を積層した積層型デバイスによって固体撮像素子を製造する技術が開発されている。

[0004] また、特許文献3に開示されている固体撮像装置では、メタルにより構成される複数のダミーパターンを接合面に千鳥格子状に配置して、貼り合わせ面が上方向もしくは下方向から見てすべてメタルになる構造により遮光層を形成する技術が開示されている。

先行技術文献

特許文献

- [0005] 特許文献1：特開2011-96851号公報
特許文献2：特開2012-256736号公報
特許文献3：特開2012-164870号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、従来の積層型デバイスでは、例えば、一方の基板が動作する際

に発生する電磁波によるノイズが、他方の基板において誤動作を引き起こすなどの悪影響を与える可能性があった。そのような悪影響を抑制するため、それらの基板の間に、電磁波を遮断する構造が設けることが求められている。また、例えば、上述の特許文献3に開示されている積層型デバイスにおけるメタルの構造は、遮光を目的としているため、接合面に配置したダミーパターンが電氣的に浮遊(フローティング)しており、上述したような電磁波を遮断することはできなかった。

[0007] 本開示は、このような状況に鑑みてなされたものであり、一方の基板から発生するノイズが他方の基板に与える悪影響を抑制することができるようにするものである。

課題を解決するための手段

[0008] 本開示の一側面の積層型デバイスは、少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、前記一方の基板に対して積層される他方の基板に形成される第2の金属層とを備え、前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する。

[0009] 本開示の一側面の積層型デバイスの製造方法は、少なくとも2層以上で積層される複数の基板のうちの一方の基板に第1の金属層を形成し、前記一方の基板に対して積層される他方の基板に第2の金属層を形成し、前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波をシールドする電磁波シールド構造を構成するステップを含む。

[0010] 本開示の一側面の電子機器は、少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、前記一方の基板に対して積層される他方の基板に形成される第2の金属層とを有し、前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波をシールドする電磁波シールド構造

を構成する積層型デバイスを備える。

[0011] 本開示の一側面においては、少なくとも2層以上で積層される複数の基板のうちの一方の基板に第1の金属層が形成され、その一方の基板に対して積層される他方の基板に第2の金属層が形成される。そして、一方の基板の金属層と他方の基板の金属層とを接合して電位固定することによって、一方の基板と他方の基板との間で電磁波を遮断する電磁波シールド構造が構成される。

発明の効果

[0012] 本開示の一側面によれば、一方の基板から発生するノイズが他方の基板に与える悪影響を抑制することができる。

図面の簡単な説明

[0013] [図1]本技術を適用した積層型デバイスの第1の実施の形態の構成例を示す図である。

[図2]積層型デバイスの製造方法について説明する図である。

[図3]積層型デバイスの製造方法について説明する図である。

[図4]積層型デバイスの製造方法について説明する図である。

[図5]積層型デバイスの第2の実施の形態の構成例を示す図である。

[図6]積層型デバイスの第3の実施の形態の構成例を示す図である。

[図7]積層型デバイスの第4の実施の形態の構成例を示す図である。

[図8]積層型デバイスの第5の実施の形態の構成例を示す図である。

[図9]積層型デバイスの第6の実施の形態の構成例を示す図である。

[図10]積層型デバイスの第7の実施の形態の構成例を示す図である。

[図11]積層型デバイスの製造方法について説明する図である。

[図12]積層型デバイスの製造方法について説明する図である。

[図13]電子機器に搭載される撮像装置の構成例を示すブロック図である。

発明を実施するための形態

[0014] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0015] 図1は、本技術を適用した積層型デバイスの第1の実施の形態の構成例を示す図である。

[0016] 図1には、積層型デバイス11を斜め方向から見た構造が模式的に示されており、積層型デバイス11は、上側基板12および下側基板13が積層されて構成される。積層型デバイス11により、例えば、CMOSイメージセンサなどの固体撮像素子を構成することができる。この構成では、例えば、上側基板12は、画素を構成するフォトダイオードや複数のトランジスタなどが形成されるセンサ基板とされ、下側基板13は、画素を駆動する駆動回路や制御回路などが形成される周辺回路基板とされる。

[0017] 図1の上側に示すように、上側基板12および下側基板13は、それぞれ個別に形成される。そして、上側基板12の接合面14（図1で下側を向く面）と、下側基板13の接合面15（図1で上側を向く面）とを貼り合わせて接合することにより、図1の下側に示すように一体となった積層型デバイス11が形成される。

[0018] また、上側基板12の接合面14に露出するように複数の接合パッド16が形成される金属層が設けられるとともに、下側基板13の接合面15に露出するように複数の接合パッド17が形成される金属層が設けられる。接合パッド16および接合パッド17は、例えば、導電性を備えた金属により形成されており、上側基板12および下側基板13それぞれに設けられる素子（図示せず）に接続されている。

[0019] そして、上側基板12の複数の接合パッド16と、下側基板13の複数の接合パッド17とは、上側基板12および下側基板13を接合する際に、互いに対応する位置にそれぞれ形成されている。従って、積層型デバイス11では、接合パッド16と接合パッド17とを全面に亘って互いにメタル接合することによって、上側基板12および下側基板13が接合される。

[0020] また、上側基板12の複数の接合パッド16は、互いに所定の間隔で独立して配置され、下側基板13の複数の接合パッド17は、互いに所定の間隔で独立して配置される。例えば、接合パッド16および接合パッド17は、

一辺の長さが $0.1\sim 100\mu\text{m}$ の矩形形状に形成され、間隔が $0.005\mu\text{m}\sim 1000\mu\text{m}$ となるようなパターンでそれぞれ配置される。なお、接合パッド16および接合パッド17は矩形形状ではなく丸型形状としてもよい。

[0021] また、上側基板12において、隣接する接合パッド16どうしは、接合パッド16と同一層に形成される連結配線18により連結され、下側基板13において、隣接する接合パッド17どうしは、接合パッド17と同一層に形成される連結配線19により連結される。さらに、複数の接合パッド16および接合パッド17のうち、少なくとも一つが電氣的に固定される回路に接続されている。例えば、図1の構成例では、下側基板13の接合パッド17の一つが電位固定されている。

[0022] このように構成される積層型デバイス11は、接合パッド16および接合パッド17を接合して電位固定することによって構成される電磁波シールド構成により、上側基板12と下側基板13との間で電磁波を遮断することができる。従って、例えば、上側基板12の動作時に発生する電磁波によるノイズが、下側基板13に対して誤動作などの悪影響を与えることを抑制することができる。また、同様に、下側基板13の動作時に発生する電磁波によるノイズが、上側基板12に対して誤動作などの悪影響を与えることを抑制することができる。

[0023] また、このような電磁波シールド構成を上側基板12および下側基板13の接合面に設けることによって、上側基板12および下側基板13の電氣的な接続と、電磁波の遮断とを同一の層で行うような構成とすることができる。これにより、電氣的な接続を行う機能と、電磁波の遮断を行う機能とを、それぞれ異なる層に形成する構成と比較して、製造コストを削減することができる。

[0024] なお、積層型デバイス11において、接合パッド16および接合パッド17によって構成される電磁波シールド構成は、例えば、積層型デバイス11の全面に設けることができる。その他、例えば、上側基板12から下側基板13の動作に悪影響を与える電磁波を発生する特定回路の近傍の領域や、下側

基板 1 3 において発生する電磁波により上側基板 1 2 において悪影響を受けやすい特定回路の近傍の領域などに、接合パッド 1 6 および接合パッド 1 7 よって構成される電磁波シールド構成を配置してもよい。

[0025] 次に、図 2 乃至図 4 を参照して、積層型デバイス 1 1 の製造方法について説明する。上述したように、上側基板 1 2 および下側基板 1 3 が個別に形成された後に、上側基板 1 2 および下側基板 1 3 を積層することで積層型デバイス 1 1 が製造される。

[0026] まず、図 2 の上段に示すように、第 1 の工程において、上側基板 1 2 では、シリコン基板 2 1 に積層するように配線層 2 2 が形成され、下側基板 1 3 では、シリコン基板 4 1 に積層するように配線層 4 2 が形成される。

[0027] 上側基板 1 2 の配線層 2 2 は、層間絶縁膜中に複数層の配線が形成される多層配線構造により構成され、図 2 乃至図 4 で説明する構成例では、下層側の配線 2 3 - 1 と上層側の配線 2 3 - 2 とが積層される 2 層配線構造により構成される。また、上側基板 1 2 の配線層 2 2 では、接続電極 2 4 により配線 2 3 - 1 がシリコン基板 2 1 に接続されている。同様に、下側基板 1 3 の配線層 4 2 は、下層側の配線 4 3 - 1 と上層側の配線 4 3 - 2 とによる 2 層配線構造により構成され、接続電極 4 4 により配線 4 3 - 1 がシリコン基板 4 1 に接続されている。

[0028] ここで、例えば、配線層 2 2 および配線層 4 2 を構成する層間絶縁膜には、 SiO_2 （二酸化ケイ素）や SiN （窒化ケイ素）、 SiOCH （炭素含有シリコン酸化物）、 SiCN （炭素含有シリコン窒化物）などの組成が採用される。また、配線層 2 2 の配線 2 3 - 1 および 2 3 - 2、並びに、配線層 4 2 の配線 4 3 - 1 には、 Cu （銅）配線が採用され、配線層 4 2 の配線 4 3 - 2 には Al （アルミニウム）配線が採用される。このような配線の形成方法については、例えば、“Full Copper Wiring in a Sub-0.25um CMOS ULSI Technology”, Proc. Of 1997 International Electron Device Meeting, pp.773-776 (1997). 等により既に公知とされている技術を用いることができる。なお、例えば、上側基板 1 2 および下側基板 1 3 に採用される Cu 配線と Al 配線との

組み合わせを逆にする構成としたり、上側基板 1 2 および下側基板 1 3 の両方とも C u 配線または A l 配線のいずれか一方を採用する構成としてもよい。

[0029] 次に、第 2 の工程において、図 2 の中段に示すように、上側基板 1 2 では、配線層 2 2 にレジスト 2 5 が塗布された後、一般的なリソグラフィ技術によってレジスト 2 5 に開口部 2 6 が開口される。同様に、下側基板 1 3 では、配線層 4 2 にレジスト 4 5 が塗布された後、レジスト 4 5 に開口部 4 6 が開口される。レジスト 2 5 およびレジスト 4 5 は、例えば、膜厚が 0.05 ~ 5 μm の範囲で形成され、露光光源としては、ArF（フッ化 アルゴン）エキシマレーザや、KrF（二フッ化クリプトン）エキシマレーザ、i 線（水銀のスペクトル線）などを用いることができる。

[0030] 続いて、第 3 の工程において、一般的なドライエッチング技術によりエッチングが行われた後、洗浄処理が行われる。これにより、図 2 の下段に示すように、上側基板 1 2 では、接合パッド 1 6 を形成するためのトレンチ 2 7 が形成され、下側基板 1 3 では、接合パッド 1 7 を形成するためのトレンチ 4 7 が形成される。

[0031] 次に、第 4 の工程において、図 3 の上段に示すように、上側基板 1 2 では、配線層 2 2 にレジスト 2 8 が塗布された後、一般的なリソグラフィ技術によって、トレンチ 2 7 よりも小さく形成されるようにレジスト 2 8 に開口部 2 9 が開口される。同様に、下側基板 1 3 では、配線層 4 2 にレジスト 4 8 が塗布された後、トレンチ 4 7 よりも小さく形成されるようにレジスト 4 8 に開口部 4 9 が開口される。

[0032] 続いて、第 5 の工程において、一般的なドライエッチング技術によりエッチングが行われた後、洗浄処理が行われる。これにより、図 3 の中段に示すように、上側基板 1 2 では、接合パッド 1 6 を配線 2 3 - 2 に接続するためのビアを形成するためのトレンチ 3 0 が形成される。同様に、下側基板 1 3 では、接合パッド 1 7 を配線 4 3 - 2 に接続するためのビアを形成するためのトレンチ 5 0 が形成される。

- [0033] その後、第6の工程において、高周波スパッタリング処理により、CuバリアとしてAr/N₂雰囲気下において、Ti（チタン）、Ta（タンタル）、Ru（ルテニウム）もしくはそれらの窒化物を、5nm～50nmの厚みで成膜した後、Cu膜を電解めっき法あるいはスパッタリング法により堆積する。これにより、図3の下段に示すように、上側基板12では、トレンチ30を埋めるようにCu膜31が形成され、下側基板13では、トレンチ50を埋めるようにCu膜51が形成される。
- [0034] 次に、第7の工程において、ホットプレートやシンターアニール装置を用いて、100℃～400℃の温度で1分～60分程度の熱処理を行う。その後、堆積したCuバリア、Cu膜31およびCu膜51のうち接合パッド16および接合パッド17として不要な部分を化学機械研磨（CMP）法により除去する。これにより、トレンチ30およびトレンチ50に埋め込まれた部分だけが残し、図4の上段に示すように、接合パッド16および接合パッド17が形成される。
- [0035] また、第8の工程において、図4の中段に示すように、接合パッド16および接合パッド17どうしをメタル接合することにより、上側基板12および下側基板13を接合する処理を行う。
- [0036] そして、第9の工程において、図4の下段に示すように、図4の上側から上側基板12のシリコン基板21が研削および研磨され、例えば、上側基板12の厚さが5～10μm程度となるように、薄肉化する処理を行う。その後の工程については、積層型デバイス11の用途によって異なり、例えば、積層型の固体撮像素子の場合、上述の特許文献3に開示されている製法を用いて積層型デバイス11を作成する。また、その後の工程において、図1に示したように、接合パッド17を電氣的に固定する回路に接続する処理が行われる。
- [0037] 以上のような各工程を含む製造方法により、上側基板12と下側基板13との間で電磁波を遮断する電磁波シールド構造を備えた積層型デバイス11を製造することができる。また、積層型デバイス11では、接合パッド16

と接合パッド17とのメタル接合によって上側基板12および下側基板13が接合されるので、例えば、金属と絶縁膜とを接合するような構成と比較して、接合力が強くなり、例えば、生産時にウェハ割れなどが発生することを回避することができる。

[0038] 次に、図5は、積層型デバイス11の第2の実施の形態の構成例を示す図である。

[0039] 図5には、積層型デバイス11Aの接合面に形成される接合パッド16Aおよび接合パッド17Aが図示されており、他の構成の図示は積層型デバイス11と同様であるため省略されている。また、積層型デバイス11Aの製造方法は、図2乃至図4を参照して説明した積層型デバイス11と同様である。

[0040] 図5に示すように、積層型デバイス11Aでは、接合パッド16Aおよび接合パッド17Aは、それぞれ独立して直線状に形成され、接合パッド16Aと接合パッド17Aとが全面に亘って互いにメタル接合される。例えば、接合パッド16Aおよび接合パッド17Aは、長辺の長さが $100\mu\text{m}$ に形成され、間隔が $0.005\mu\text{m}\sim 1000\mu\text{m}$ となるようなパターンで配置される。

[0041] また、図5では、複数形成される接合パッド16Aおよび接合パッド17Aのうちの、4本の接合パッド16A-1乃至16A-4および4本の接合パッド17A-1乃至17A-4が示されている。そして、接合パッド16A-1乃至16A-4のうちの隣接するものどうしが、同一層に形成される連結配線18Aにより連結され、接合パッド17A-1乃至17A-4のうちの隣接するものどうしが、同一層に形成される連結配線19Aにより連結される。さらに、接合パッド16A-1乃至16A-4、並びに、接合パッド17A-1乃至17A-4のうち、少なくとも一つが電氣的に固定される回路に接続されている。例えば、図5の構成例では、接合パッド17A-4が電位固定されている。

[0042] このように、積層型デバイス11Aでは、直線状に形成される接合パッド16Aおよび接合パッド17Aをメタル接合して電位固定することによって

電磁波シールド構成を構成することができる。これにより、積層型デバイス 11A では、動作時に発生する電磁波によるノイズが悪影響を与えることを抑制することができる。

[0043] なお、積層型デバイス 11A において、接合パッド 16A および接合パッド 17A によって構成される電磁波シールド構成は、例えば、積層型デバイス 11A の全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、接合パッド 16A および接合パッド 17A によって構成される電磁波シールド構成を配置してもよい。

[0044] 図 6 は、積層型デバイス 11 の第 3 の実施の形態の構成例を示す図である。

[0045] 図 6 には、積層型デバイス 11B の接合面に形成される接合パッド 16B および接合パッド 17B が図示されており、他の構成の図示は積層型デバイス 11 と同様であるため省略されている。また、積層型デバイス 11B の製造方法は、図 2 乃至図 4 を参照して説明した積層型デバイス 11 と同様である。

[0046] 図 6 に示すように、積層型デバイス 11B において、接合パッド 16B および接合パッド 17B は、図 5 の積層型デバイス 11A と同様に、それぞれ独立して直線状に形成されている。

[0047] そして、積層型デバイス 11B では、接合パッド 16B と接合パッド 17B とが、互いにずれた位置に配置され、それぞれ一部分どうしをメタル接合して電位固定することによって電磁波シールド構成が構成される。例えば、接合パッド 16B-1 は、接合パッド 17B-1 および接合パッド 17B-2 の間に配置され、接合パッド 17B-1 および接合パッド 17B-2 と重なる部分で一部だけメタル接合される。同様に、接合パッド 17B-2 は、接合パッド 16B-2 および接合パッド 16B-3 の間に配置され、接合パッド 16B-2 および接合パッド 16B-3 と重なる部分で一部だけメタル接合される。

[0048] このように、積層型デバイス 11 B は、接合パッド 16 B と接合パッド 17 B とが互いにずれた位置に配置され、つまり、複数の接合パッド 16 B どのような間隔を塞ぐ位置に複数の接合パッド 17 B が配置され、互いに重なる一部が部分的にメタル接合される。これにより、積層型デバイス 11 B では、接合パッド 16 B と接合パッド 17 B により接合面が全面的に覆われ、上方もしくは下方から見ると、あたかも、接合面の全面にメタルが配置されているかのように見えるように構成される。

[0049] 従って、このように構成される積層型デバイス 11 B では、接合面の全面にメタルが配置されているかのように見えるように構成される電磁波シールド構成によって、動作時に発生する電磁波によるノイズが悪影響を与えることを、より確実に抑制することができる。

[0050] なお、積層型デバイス 11 B において、接合パッド 16 B および接合パッド 17 B によって構成される電磁波シールド構成は、例えば、積層型デバイス 11 B の全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、接合パッド 16 B および接合パッド 17 B によって構成される電磁波シールド構成を配置してもよい。

[0051] 図 7 は、積層型デバイス 11 の第 4 の実施の形態の構成例を示す図である。

[0052] 図 7 には、積層型デバイス 11 C の接合面に形成される接合パッド 16 C および接合パッド 17 C が図示されており、他の構成の図示は積層型デバイス 11 と同様であるため省略されている。また、積層型デバイス 11 C の製造方法は、図 2 乃至図 4 を参照して説明した積層型デバイス 11 と同様である。

[0053] 図 7 に示すように、積層型デバイス 11 C において、接合パッド 16 C は、図 5 の接合パッド 16 A と同様に直線状に形成され、接合パッド 17 C は、図 1 の接合パッド 17 と同様に矩形形状に形成される。このように、積層型デバイス 11 C では、直線状に形成された接合パッド 16 C と、矩形形状

に形成された接合パッド１７Ｃとをメタル接合して電位固定することによって電磁波シールド構成を構成することができる。これにより、積層型デバイス１１Ｃでは、動作時に発生する電磁波によるノイズが悪影響を与えることを、より確実に抑制することができる。

[0054] なお、積層型デバイス１１Ｃにおいて、接合パッド１６Ｃおよび接合パッド１７Ｃによって構成される電磁波シールド構成は、例えば、積層型デバイス１１Ｃの全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、接合パッド１６Ｃおよび接合パッド１７Ｃによって構成される電磁波シールド構成を配置してもよい。

[0055] また、積層型デバイス１１Ｃの変形例として、接合パッド１６Ｃが、図１の接合パッド１７と同様に矩形形状に形成され、接合パッド１７Ｃが、図５の接合パッド１６Ａと同様に直線状に形成される構成としてもよい。

[0056] 図８は、積層型デバイス１１の第５の実施の形態の構成例を示す図である。

[0057] 図８には、積層型デバイス１１Ｄの接合面に形成される接合パッド１６Ｄおよび接合パッド１７Ｄが図示されており、他の構成の図示は積層型デバイス１１と同様であるため省略されている。また、積層型デバイス１１Ｄの製造方法は、図２乃至図４を参照して説明した積層型デバイス１１と同様である。

[0058] 図８に示すように、積層型デバイス１１Ｄにおいて、接合パッド１６Ｄは、図５の接合パッド１６Ａと同様に直線状に形成され、接合パッド１７Ｄは、図１の接合パッド１７と同様に矩形形状に形成される。また、積層型デバイス１１Ｄでは、図６の積層型デバイス１１Ｂのように、接合パッド１６Ｄと接合パッド１７Ｄとが、互いにずれた位置に配置され、それぞれ一部分どうしをメタル接合して電位固定することによって電磁波シールド構成が構成される。

[0059] このように、積層型デバイス１１Ｄでは、接合パッド１６Ｄと接合パッド

１７Ｄとが互いにずれた位置に配置されているので、例えば、図１の構成と比較して、接合面のより広い面積にメタルを配置することができる。従って、このように構成される積層型デバイス１１Ｄでは、動作時に発生する電磁波によるノイズが悪影響を与えることを、より確実に抑制することができる。

[0060] なお、積層型デバイス１１Ｄにおいて、接合パッド１６Ｄおよび接合パッド１７Ｄによって構成される電磁波シールド構成は、例えば、積層型デバイス１１Ｄの全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、接合パッド１６Ｄおよび接合パッド１７Ｄによって構成される電磁波シールド構成を配置してもよい。

[0061] また、積層型デバイス１１Ｄの変形例として、接合パッド１６Ｄが、図１の接合パッド１７と同様に矩形形状に形成され、接合パッド１７Ｄが、図５の接合パッド１６Ａと同様に直線状に形成される構成としてもよい。

[0062] 図９は、積層型デバイス１１の第６の実施の形態の構成例を示す図である。

[0063] 図９には、積層型デバイス１１Ｅの接合面に形成される接合パッド１６Ｅおよび接合パッド１７Ｅが図示されており、他の構成の図示は積層型デバイス１１と同様であるため省略されている。また、積層型デバイス１１Ｅの製造方法は、図２乃至図４を参照して説明した積層型デバイス１１と同様である。

[0064] 上述した各実施の形態では、接合パッド１６および接合パッド１７は、それぞれ同一層に形成される連結配線１８および連結配線１９により接続される構成となっていた。これに対し、積層型デバイス１１Ｅでは、接合パッド１６Ｅおよび接合パッド１７Ｅとは異なる層に連結配線１９Ｅを形成し、その連結配線１９Ｅにより接合パッド１６Ｅおよび接合パッド１７Ｅが電氣的に接続される構成となっている。

[0065] 例えば、図９に示すように、接合パッド１６Ｅ－１および接合パッド１７

E-1が配置される一列は、連結配線19E-1により接続されて電位固定される。また、接合パッド16E-2および接合パッド17E-2が配置される一列は、連結配線19E-2により接続されて電位固定され、接合パッド16E-3および接合パッド17E-3が配置される一列は、連結配線19E-3により接続されて電位固定される。

[0066] このように、接合パッド16Eおよび接合パッド17Eとは異なる層に、接合パッド16Eおよび接合パッド17Eを接続する連結配線19Eを設け、電磁波シールド構成を構成することができる。

[0067] なお、積層型デバイス11Eにおいて、接合パッド16Eおよび接合パッド17Eによって構成される電磁波シールド構成は、例えば、積層型デバイス11Eの全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、接合パッド16Eおよび接合パッド17Eによって構成される電磁波シールド構成を配置してもよい。

[0068] 図10は、積層型デバイス11の第7の実施の形態の構成例を示す図である。

[0069] 図10に示すように、積層型デバイス11Fは、上側基板12Fの接合面14（図1参照）の全面にメタル層61が形成されるとともに、下側基板13Fの接合面15（図1参照）の全面にメタル層62が形成されている。また、積層型デバイス11Fでは、上側基板12Fおよび下側基板13Fの電氣的な接続を行う接続部は、例えば、0.01~100 μ mの幅で形成されたスリットによって、メタル層61から電氣的に独立されている。例えば、図10に示す構成例では、接続部である接合パッド16F-1を囲うようにスリット63-1が形成され、接続部である接合パッド16F-2を囲うようにスリット63-2が形成される。そして、積層型デバイス11Fでは、メタル層61およびメタル層62の一部が、図10の構成例では、メタル層61が電氣的に固定される回路に接続されている。

[0070] このように構成される積層型デバイス11Fは、メタル層61およびメタ

ル層 6 2 を接合して電位固定することによって構成される電磁波シールド構成により、上側基板 1 2 F と下側基板 1 3 F との間で電磁波を、より確実に遮断することができる。従って、積層型デバイス 1 1 F では、動作時に発生する電磁波によるノイズが悪影響を与えることを、より確実に抑制することができる。

[0071] なお、積層型デバイス 1 1 F において、メタル層 6 1 およびメタル層 6 2 によって構成される電磁波シールド構成は、例えば、積層型デバイス 1 1 F の全面に設けることができる。その他、例えば、悪影響を与える電磁波を発生する特定回路の近傍の領域や、悪影響を受けやすい特定回路の近傍の領域などに、メタル層 6 1 およびメタル層 6 2 によって構成される電磁波シールド構成を配置してもよい。

[0072] 次に、図 1 1 および図 1 2 を参照して、積層型デバイス 1 1 F の製造方法について説明する。なお、図 1 の積層型デバイス 1 1 の製造方法について説明した第 1 の工程から第 7 の工程まで（図 2 乃至図 4 参照）については、同一の工程が行われるため説明は省略し、第 7 の工程の次に行われる第 2 1 の工程から説明を行う。

[0073] 図 1 1 の上段に示すように、第 2 1 の工程において、上側基板 1 2 F では、図 4 に示した第 7 の工程で接合パッド 1 6 F が形成された配線層 2 2 に対して、RF スパッタリング処理や蒸着処理を用いてメタル層 6 1 を成膜する。同様に、下側基板 1 3 F では、接合パッド 1 7 F が形成された配線層 4 2 に対して、メタル層 6 2 を成膜する。メタル層 6 1 およびメタル層 6 2 は、例えば、Cu, CuO, Ta, TaN, Ti, TiN, W, WN, Ru, RuN, Co などの導電性メタル材料を用いて、0.1~1000 nm の厚みとなるように成膜される。

[0074] 次に、第 2 2 の工程において、図 1 1 の中段に示すように、上側基板 1 2 F では、メタル層 6 1 にレジスト 7 1 が塗布された後、一般的なリソグラフィ技術によって、接合パッド 1 6 F を囲うようにレジスト 7 1 に開口部 7 2 が開口される。同様に、下側基板 1 3 F では、メタル層 6 2 にレジスト 8 1

が塗布された後、接合パッド 17 F を囲うようにレジスト 8 1 に開口部 8 2 が開口される。

[0075] 次に、第 23 の工程において、一般的なドライエッチング技術によりエッチングが行われた後、洗浄処理が行われる。これにより、図 11 の下段に示すように、上側基板 12 F では、メタル層 6 1 にスリット 6 3 が形成されるとともに、下側基板 13 F では、メタル層 6 2 にスリット 6 4 が形成される。

[0076] 次に、第 24 の工程において、図 12 の上段に示すように、メタル層 6 1 およびメタル層 6 2 どうしをメタル接合することにより、上側基板 12 F および下側基板 13 F を接合する処理を行う。このとき、スリット 6 3 およびスリット 6 4 により、メタル層 6 1 およびメタル層 6 2 とは電氣的に独立して、接合パッド 16 F および接合パッド 17 F が接合される。

[0077] 次に、第 25 の工程において、図 12 の下段に示すように、図 12 の上側から上側基板 12 F のシリコン基板 2 1 が研削および研磨され、例えば、上側基板 12 F の厚さが 5 ~ 10 μm 程度となるように、薄肉化する処理を行う。その後の工程については、積層型デバイス 11 F の用途によって異なり、例えば、積層型の固体撮像素子の場合、上述の特許文献 3 に開示されている製法を用いて積層型デバイス 11 F を作成する。

[0078] 以上のような各工程を含む製造方法により、上側基板 12 F と下側基板 13 F との間で電磁波を遮断する電磁波シールド構造を備えた積層型デバイス 11 F を製造することができる。また、積層型デバイス 11 F では、メタル層 6 1 およびメタル層 6 2 とのメタル接合によって上側基板 12 F および下側基板 13 F が接合されるので、例えば、金属と絶縁膜とを接合するような構成と比較して、接合力が強くなり、例えば、生産時にウェハ割れなどが発生することを回避することができる。

[0079] なお、本実施の形態においては、2 層構造の積層型デバイス 11 について説明したが、本技術は、3 層以上の基板が積層された積層型デバイス 11 に適用することができる。

[0080] また、本実施の形態における電磁波シールド構造については、接合面に形成される金属層（接合パッド１６および１７、メタル層６１およびメタル層６２）の形状や、金属層どうしを接合（全面または部分）する方法、電磁波シールド構造の配置位置などについて、上述した各構成例のものを適宜選択して、組み合わせた形態とすることができる。

[0081] なお、上述したような各実施の形態の積層型デバイス１１は、例えば、画像を撮像する固体撮像素子に適用することができる。そして、積層型デバイス１１として構成された固体撮像素子は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0082] 図１３は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0083] 図１３に示すように、撮像装置１０１は、光学系１０２、撮像素子１０３、信号処理回路１０４、モニタ１０５、およびメモリ１０６を備えて構成され、静止画像および動画像を撮像可能である。

[0084] 光学系１０２は、１枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子１０３に導き、撮像素子１０３の受光面（センサ部）に結像させる。

[0085] 撮像素子１０３は、上述した各実施の形態の積層型デバイス１１として構成される。撮像素子１０３には、光学系１０２を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子１０３に蓄積された電子に応じた信号が信号処理回路１０４に供給される。

[0086] 信号処理回路１０４は、撮像素子１０３から出力された画素信号に対して各種の信号処理を施す。信号処理回路１０４が信号処理を施すことにより得られた画像（画像データ）は、モニタ１０５に供給されて表示されたり、メモリ１０６に供給されて記憶（記録）されたりする。

[0087] このように構成されている撮像装置１０１では、上述した各実施の形態の

積層型デバイス 11 を適用することによって、例えば、よりノイズの少ない高画質な画像を撮像することができる。

[0088] なお、本技術は以下のような構成も取ることができる。

(1)

少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、

前記一方の基板に対して積層される他方の基板に形成される第2の金属層と

を備え、

前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する

積層型デバイス。

(2)

前記第1の金属層は、前記一方の基板を前記他方の基板に接合する接合面に露出するように形成され、

前記第2の金属層は、前記他方の基板を前記一方の基板に接合する接合面に露出するように形成される

上記(1)に記載の積層型デバイス。

(3)

前記第1の金属層および前記第2の金属層は、所定間隔で独立して配置された複数のパッドにより、それぞれ構成される

上記(1)または(2)に記載の積層型デバイス。

(4)

前記第1の金属層および前記第2の金属層それぞれを構成する複数の前記パッドの少なくとも一部は、前記第1の金属層および前記第2の金属層それぞれと同一層に形成される連結配線によって電氣的に接続される

上記(3)に記載の積層型デバイス。

(5)

前記第1の金属層を構成する複数の前記パッドと、前記第2の金属層を構成する複数の前記パッドとは、互いに全面または一部で接合される

上記(3)または(4)のいずれかに記載の積層型デバイス。

(6)

前記第1の金属層および前記第2の金属層それぞれを構成する複数の前記パッドの少なくとも一部は、前記第1の金属層および前記第2の金属層とは異なる別層の配線を介して電氣的に接続される

上記(3)に記載の積層型デバイス。

(7)

前記第1の金属層および前記第2の金属層は、前記一方の基板と前記他方の基板との間で電氣的な接続を行う接合部以外の全面に形成され、

前記第1の金属層と前記接合部との間、および、前記第2の金属層と前記接合部との間にスリットが形成される

上記(1)または(2)に記載の積層型デバイス。

(8)

前記電磁波シールド構造は、前記一方の基板および前記他方の基板の接合面の全面に配置される

上記(1)から(7)までのいずれかに記載の積層型デバイス。

(9)

前記電磁波シールド構造は、前記一方の基板および前記他方の基板の接合面における、前記一方の基板から前記他方の基板の動作に悪影響を与える電磁波を発生する領域、または、前記他方の基板において発生する電磁波により前記一方の基板において悪影響を受ける領域のうち、少なくともいずれか一方の領域に配置される

上記(1)から(7)までのいずれかに記載の積層型デバイス。

(10)

少なくとも2層以上で積層される複数の基板のうちの一方の基板に第1の

金属層を形成し、

前記一方の基板に対して積層される他方の基板に第2の金属層を形成し、
前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する

ステップを含む積層型デバイスの製造方法。

(11)

少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、

前記一方の基板に対して積層される他方の基板に形成される第2の金属層と

を有し、

前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する

積層型デバイスを備える電子機器。

[0089] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

符号の説明

[0090] 11 積層型デバイス, 12 上側基板, 13 下側基板, 14 および15 接合面, 16 および17 接合パッド, 18 および19 連結配線, 21 シリコン基板, 22 配線層, 23 配線, 24 接続電極, 25 レジスト, 26 開口部, 27 トレンチ, 28 レジスト, 29 開口部, 30 トレンチ, 31 Cu膜, 41 シリコン基板, 42 配線層, 43 配線, 44 接続電極, 45 レジスト, 46 開口部, 47 トレンチ, 48 レジスト, 49 開口部, 50 トレンチ, 51 Cu膜, 61 および62 メタル層, 63 および64 スリット, 71 レジスト, 72 開口部

, 81 レジスト, 82 開口部

請求の範囲

- [請求項1] 少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、
- 前記一方の基板に対して積層される他方の基板に形成される第2の金属層と
- を備え、
- 前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する
- 積層型デバイス。
- [請求項2] 前記第1の金属層は、前記一方の基板を前記他方の基板に接合する接合面に露出するように形成され、
- 前記第2の金属層は、前記他方の基板を前記一方の基板に接合する接合面に露出するように形成される
- 請求項1に記載の積層型デバイス。
- [請求項3] 前記第1の金属層および前記第2の金属層は、所定間隔で独立して配置された複数のパッドにより、それぞれ構成される
- 請求項2に記載の積層型デバイス。
- [請求項4] 前記第1の金属層および前記第2の金属層それぞれを構成する複数の前記パッドの少なくとも一部は、前記第1の金属層および前記第2の金属層それぞれと同一層に形成される連結配線によって電氣的に接続される
- 請求項3に記載の積層型デバイス。
- [請求項5] 前記第1の金属層を構成する複数の前記パッドと、前記第2の金属層を構成する複数の前記パッドとは、互いに全面または一部で接合される
- 請求項3に記載の積層型デバイス。
- [請求項6] 前記第1の金属層および前記第2の金属層それぞれを構成する複数の

の前記パッドの少なくとも一部は、前記第1の金属層および前記第2の金属層とは異なる別層の配線を介して電氣的に接続される

請求項3に記載の積層型デバイス。

[請求項7] 前記第1の金属層および前記第2の金属層は、前記一方の基板と前記他方の基板との間で電氣的な接続を行う接合部以外の全面に形成され、

前記第1の金属層と前記接合部との間、および、前記第2の金属層と前記接合部との間にスリットが形成される

請求項2に記載の積層型デバイス。

[請求項8] 前記電磁波シールド構造は、前記一方の基板および前記他方の基板の接合面の全面に配置される

請求項1に記載の積層型デバイス。

[請求項9] 前記電磁波シールド構造は、前記一方の基板および前記他方の基板の接合面における、前記一方の基板から前記他方の基板の動作に悪影響を与える電磁波を発生する領域、または、前記他方の基板において発生する電磁波により前記一方の基板において悪影響を受ける領域のうち、少なくともいずれか一方の領域に配置される

請求項1に記載の積層型デバイス。

[請求項10] 少なくとも2層以上で積層される複数の基板のうちの一方の基板に第1の金属層を形成し、

前記一方の基板に対して積層される他方の基板に第2の金属層を形成し、

前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する

ステップを含む積層型デバイスの製造方法。

[請求項11] 少なくとも2層以上で積層される複数の基板のうちの一方の基板に形成される第1の金属層と、

前記一方の基板に対して積層される他方の基板に形成される第2の金属層と

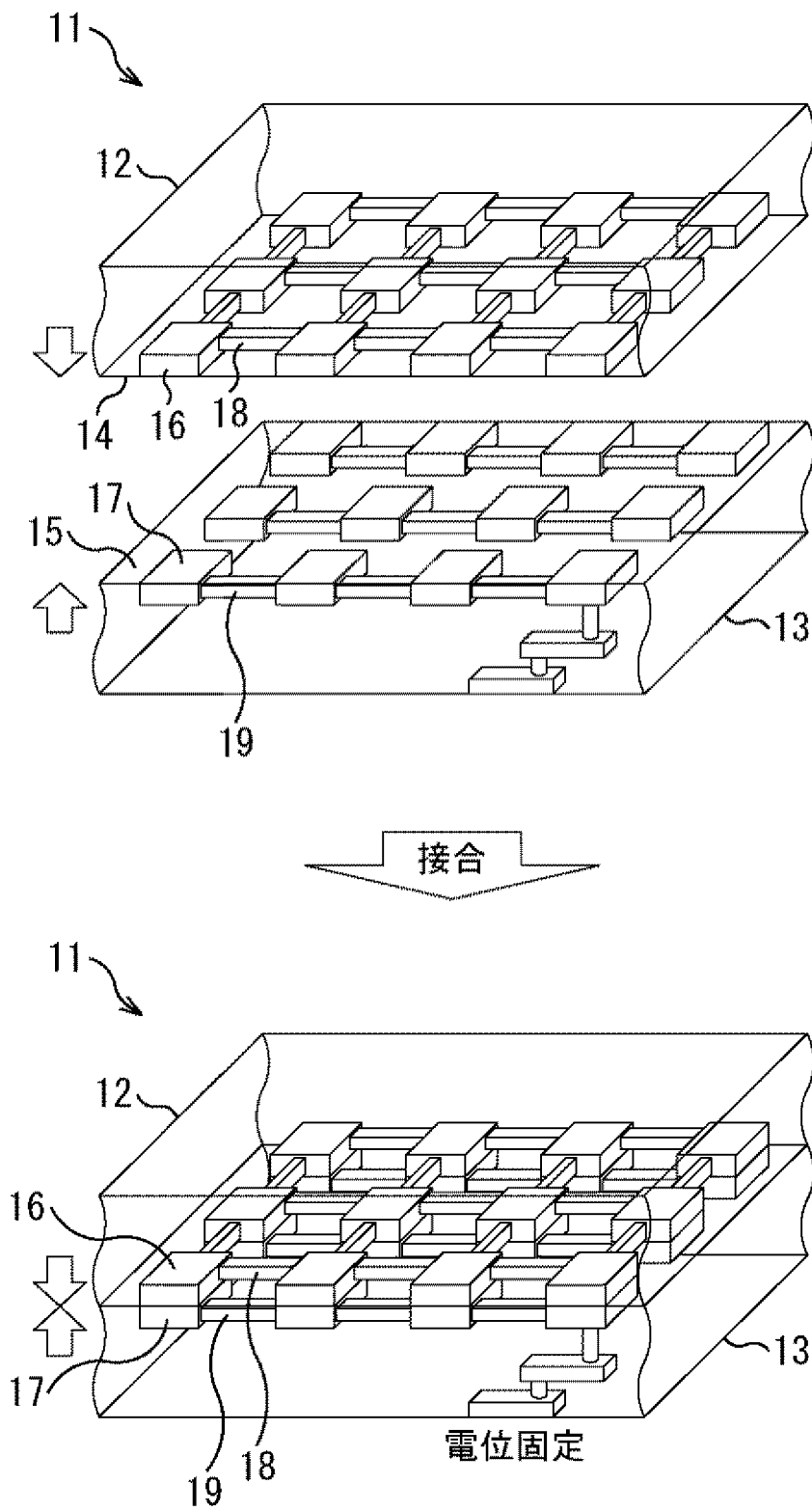
を有し、

前記第1の金属層と前記第2の金属層とを接合して電位固定することによって、前記一方の基板と前記他方の基板との間で電磁波を遮断する電磁波シールド構造を構成する

積層型デバイスを備える電子機器。

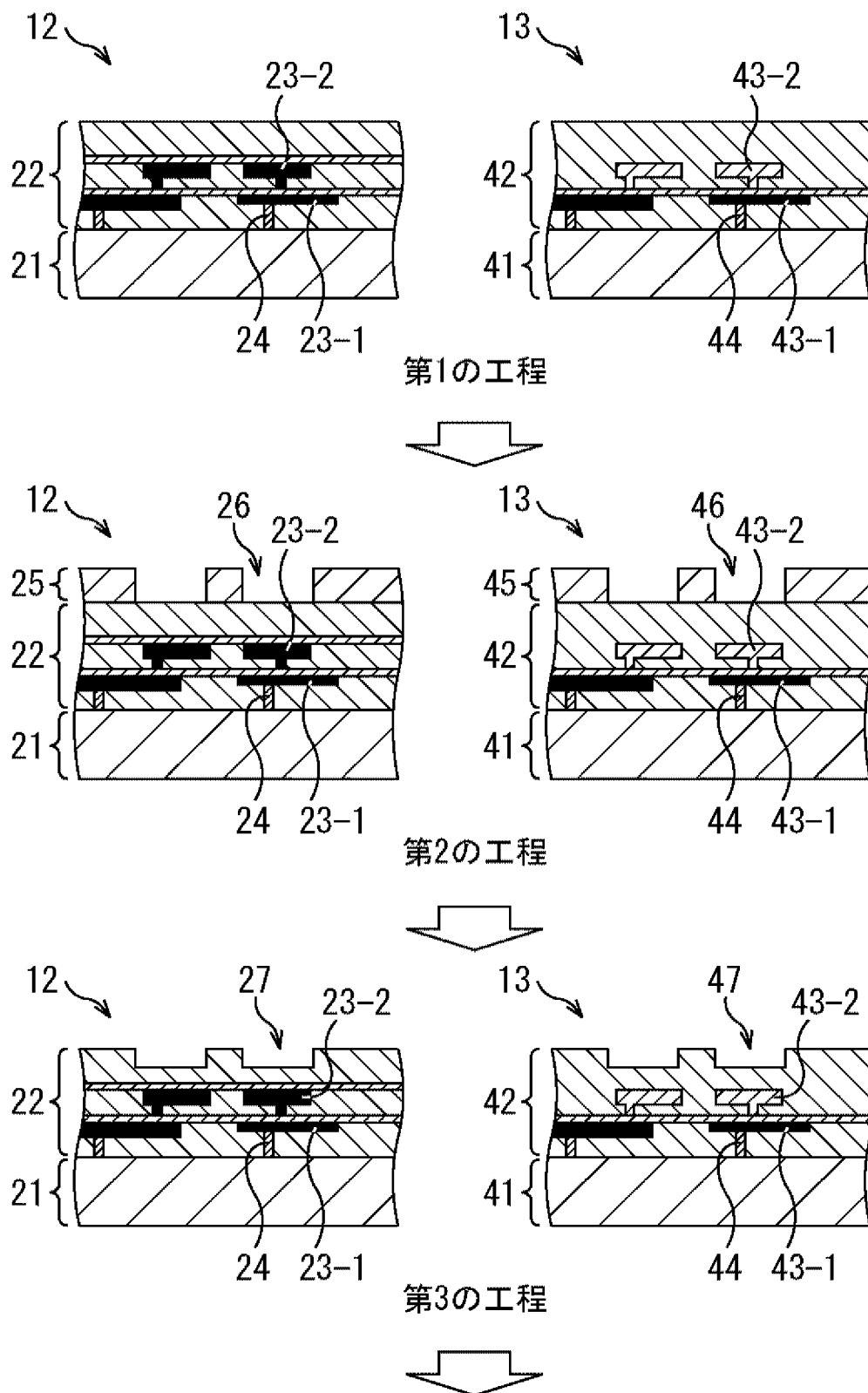
[図1]

図1



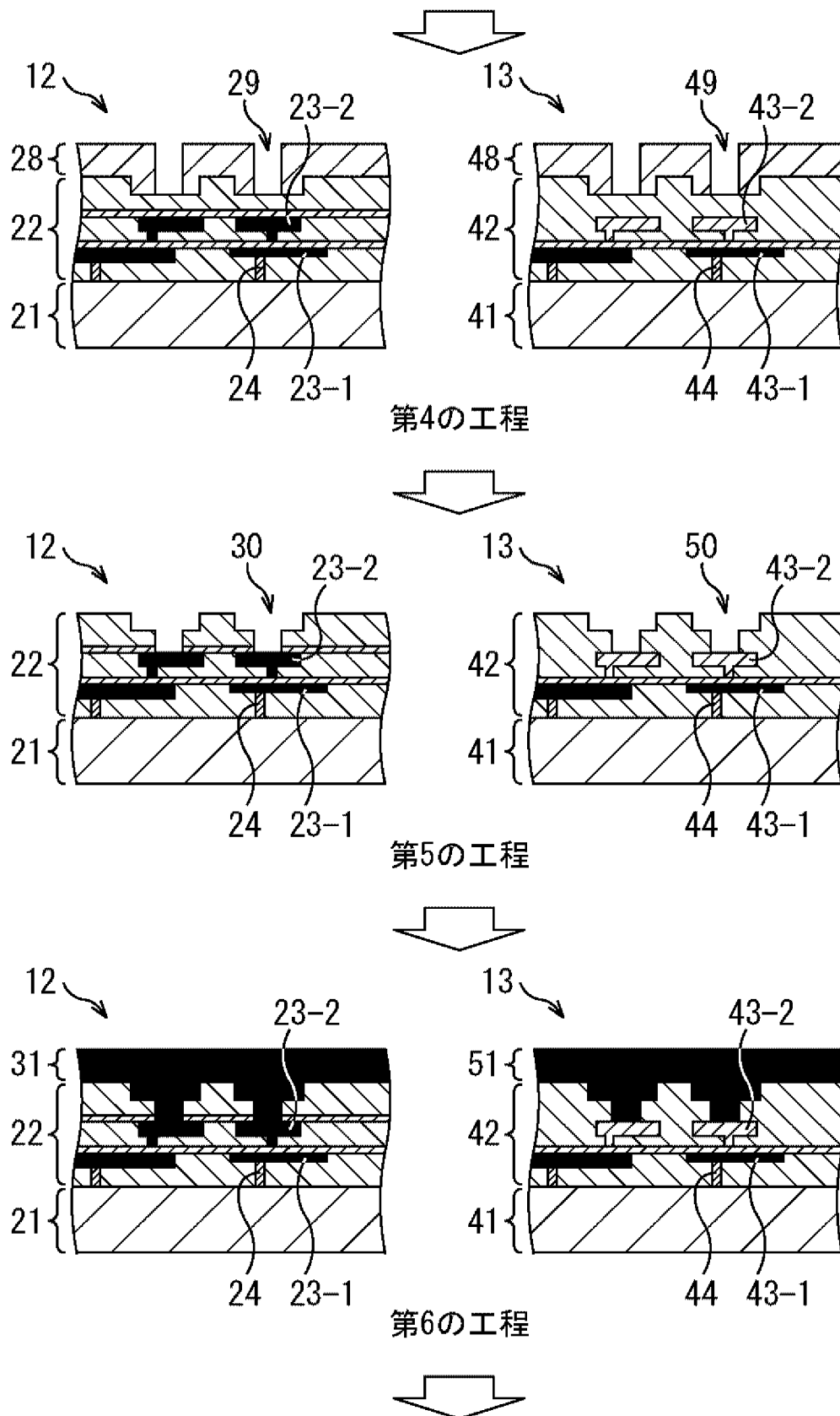
[図2]

図2



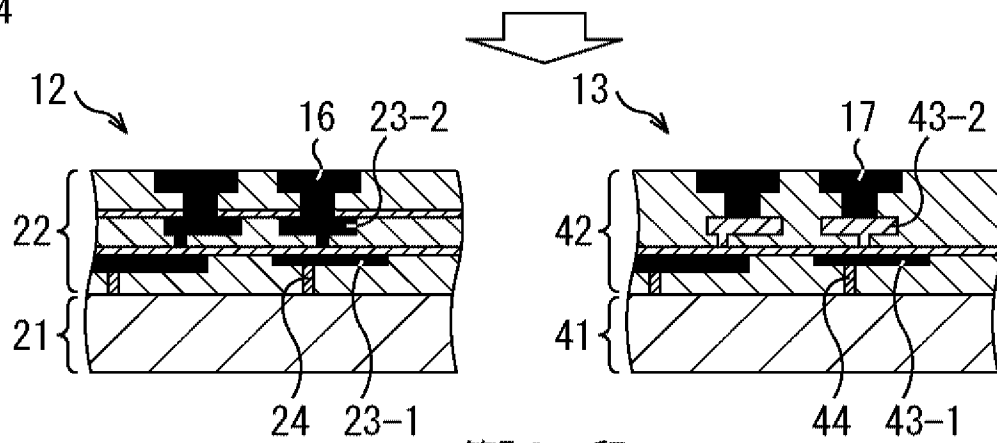
[図3]

図3

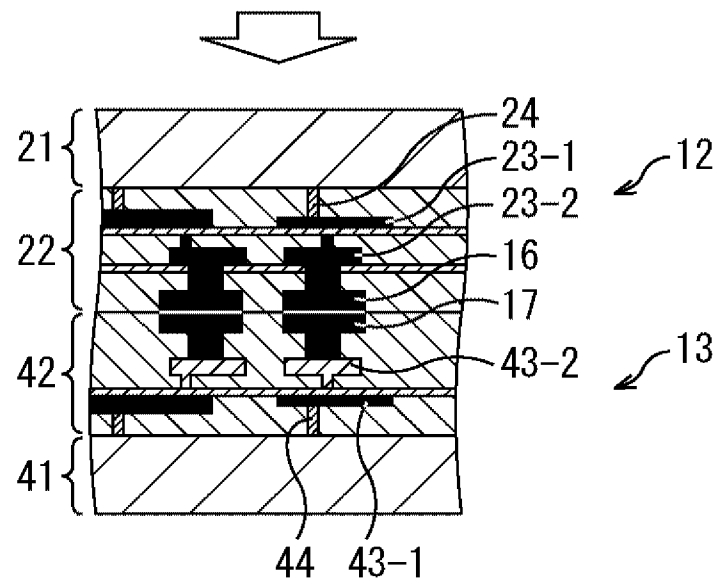


[図4]

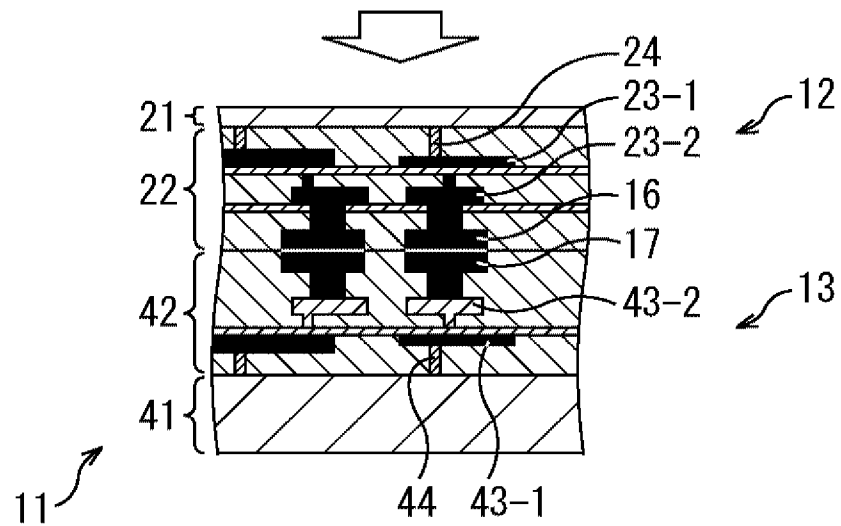
図4



第7の工程



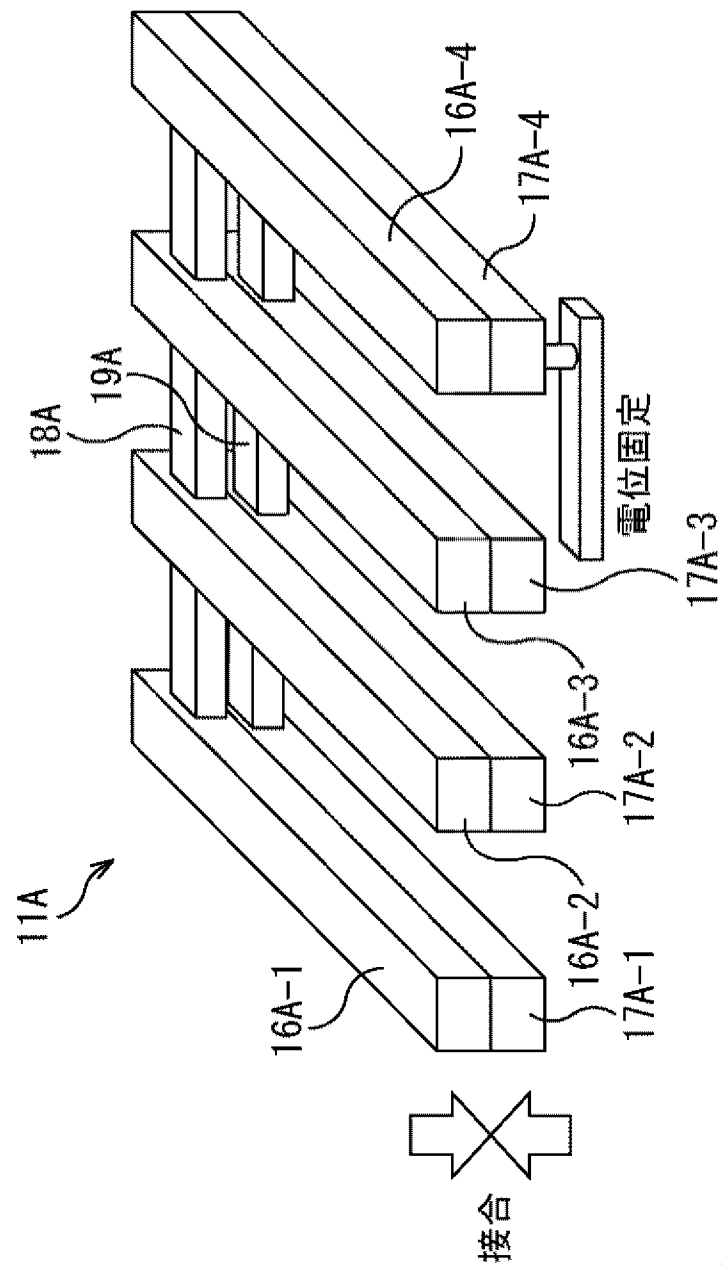
第8の工程



第9の工程

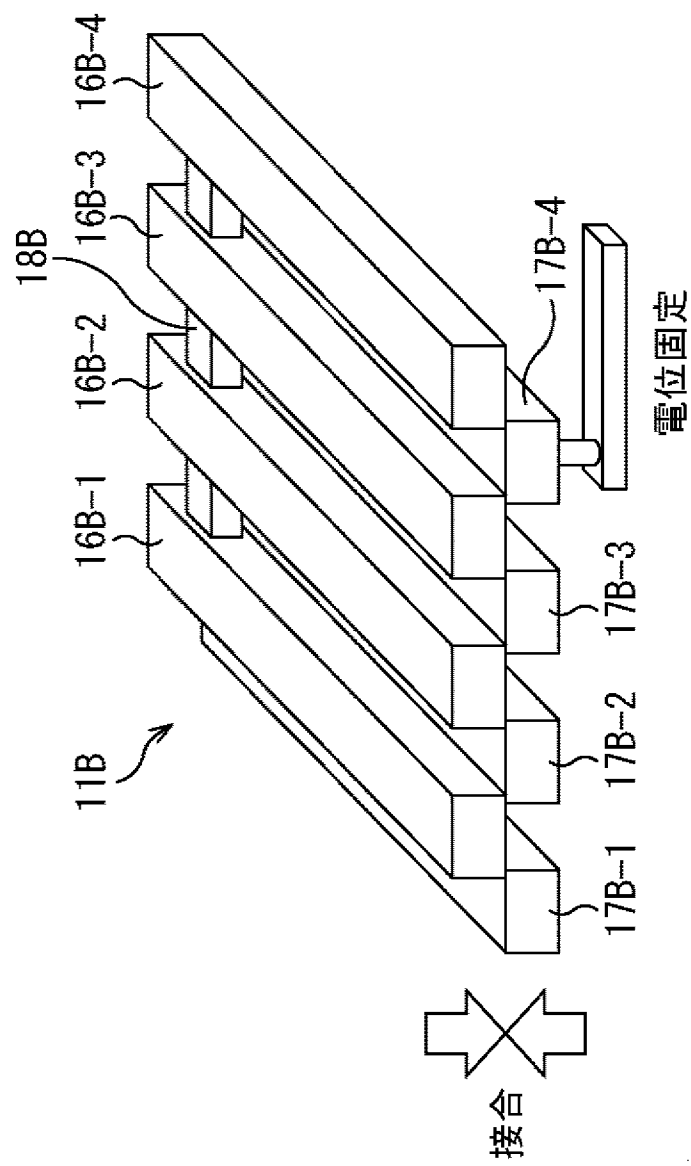
[図5]

図5



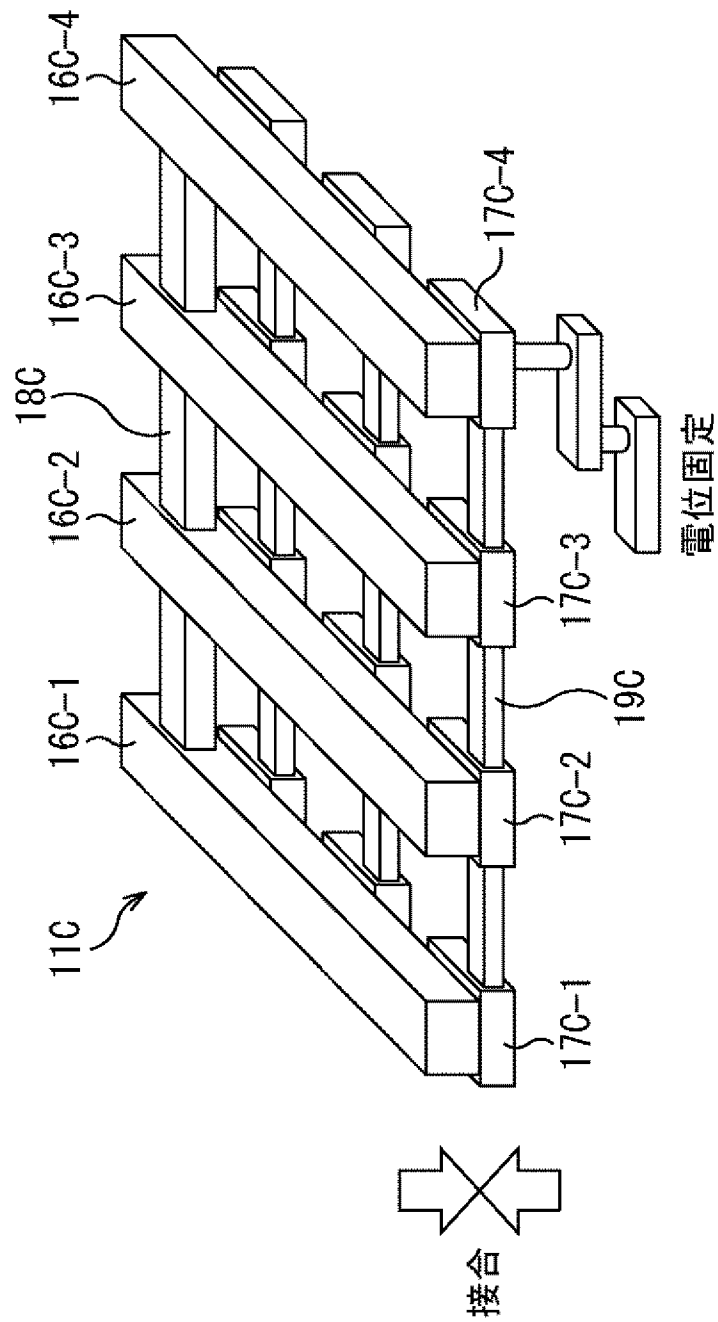
[図6]

図6



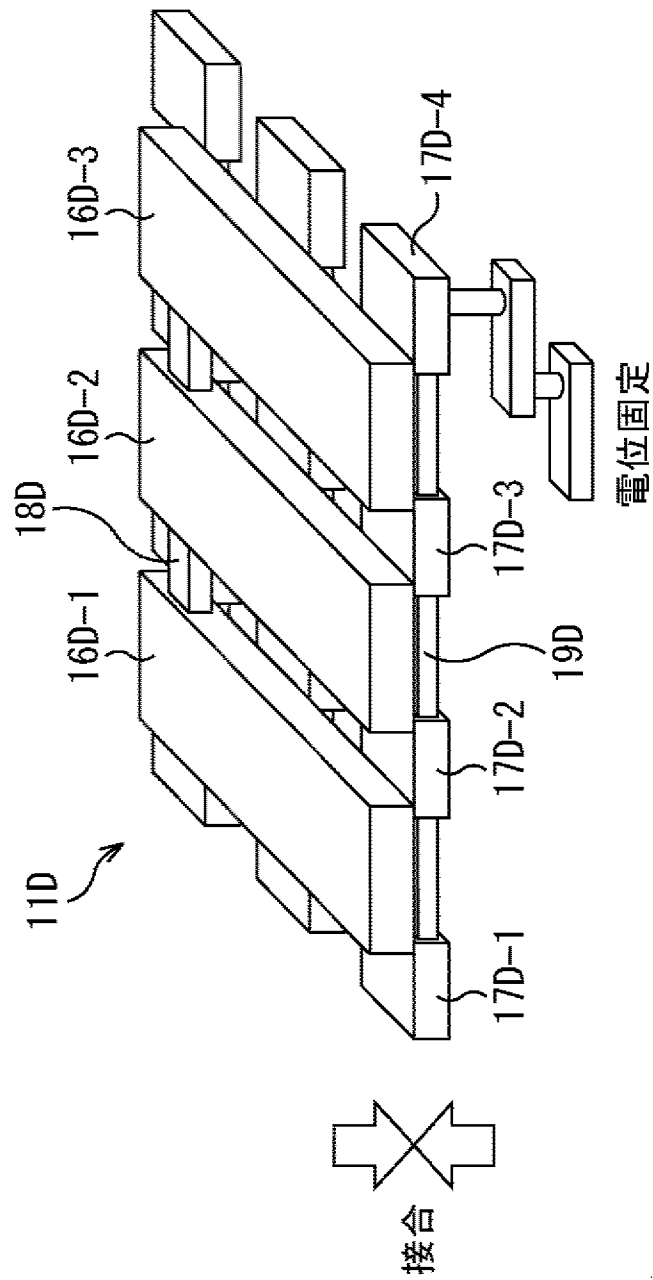
[図7]

図7



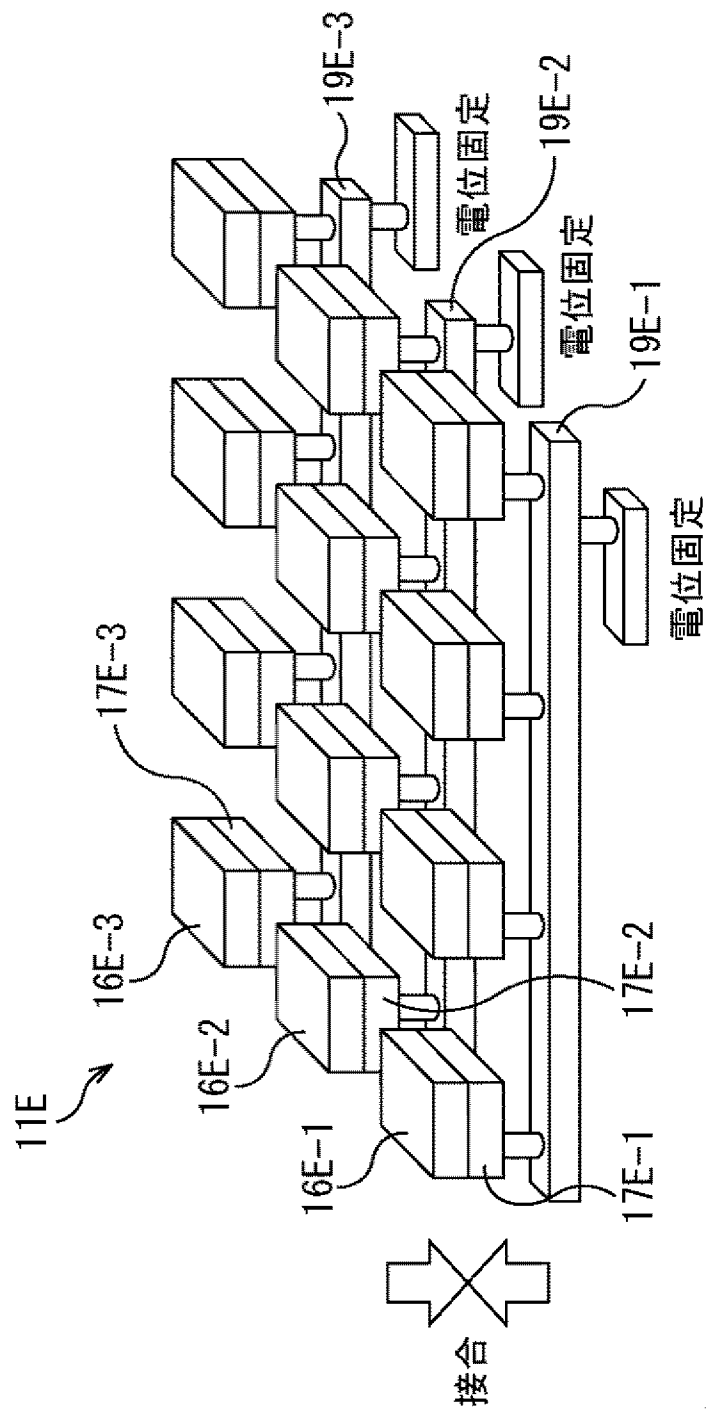
[図8]

図8



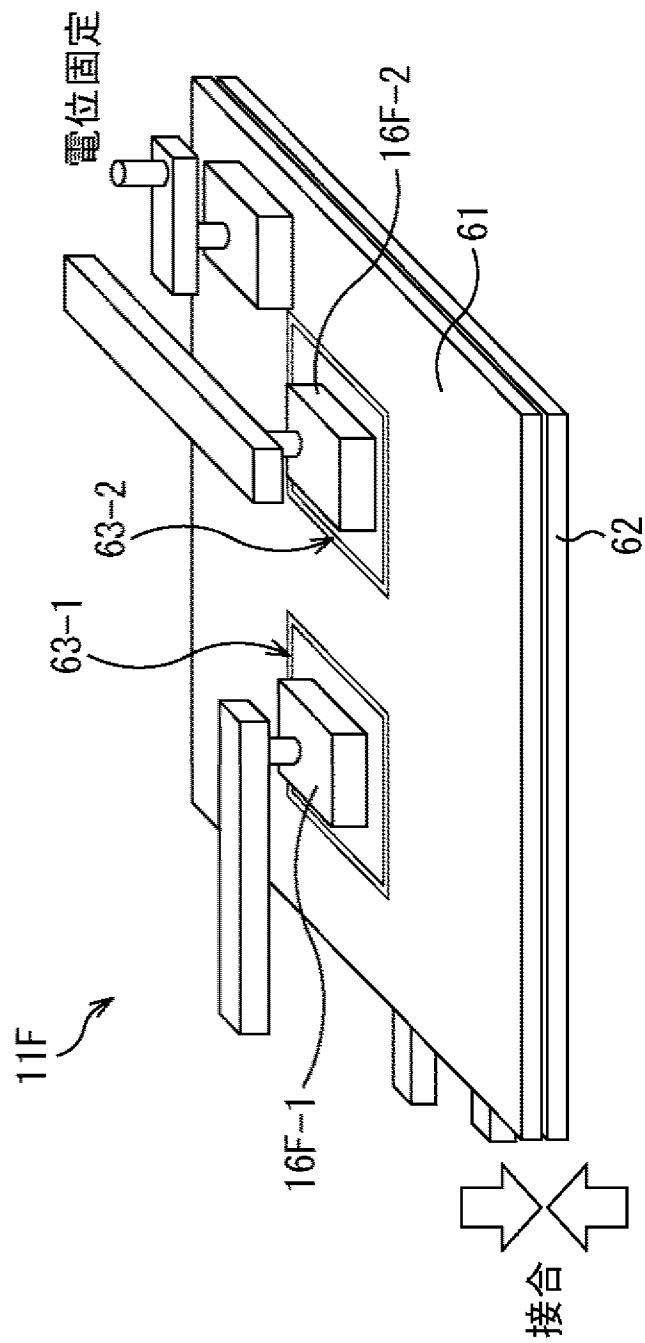
[図9]

図9



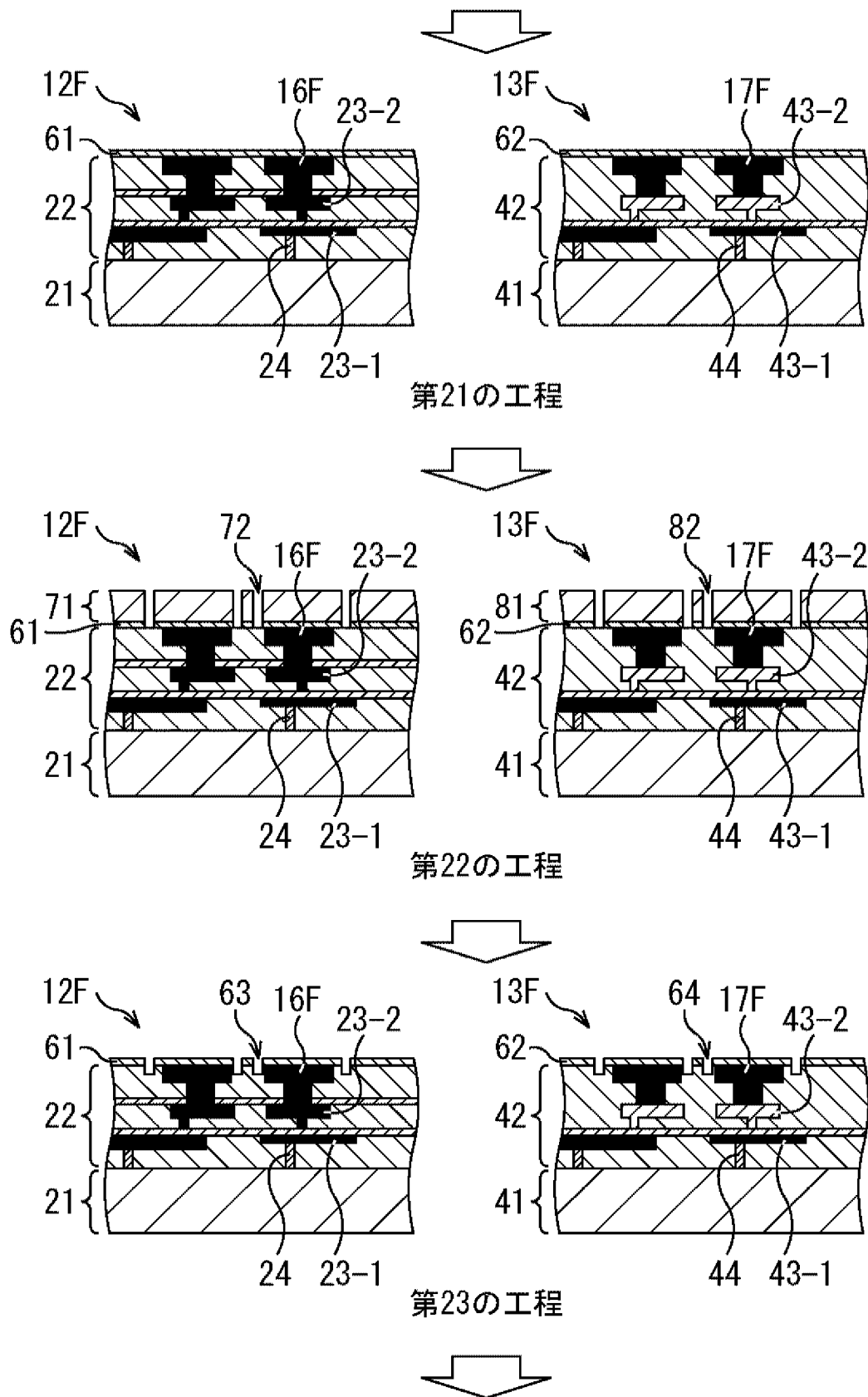
[図10]

図10



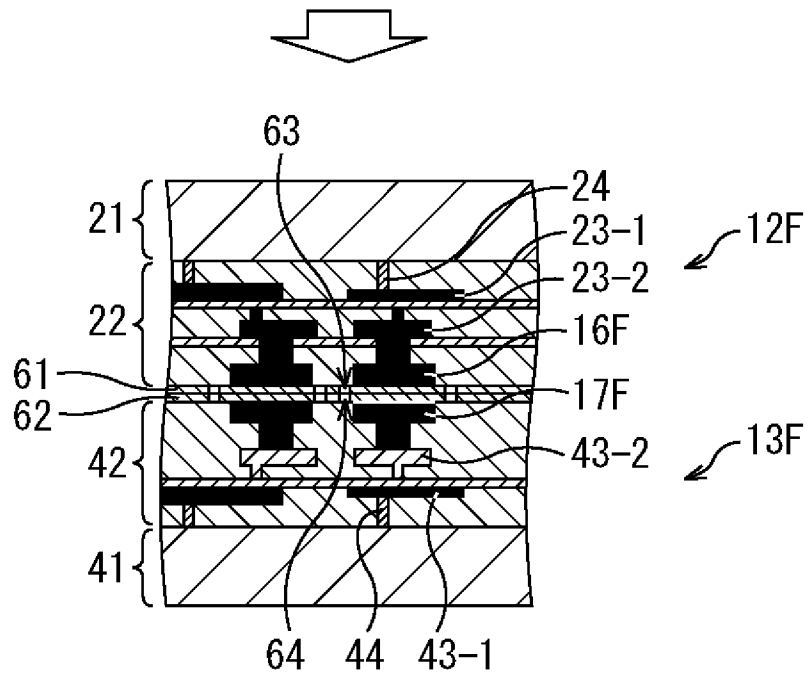
[図11]

図11

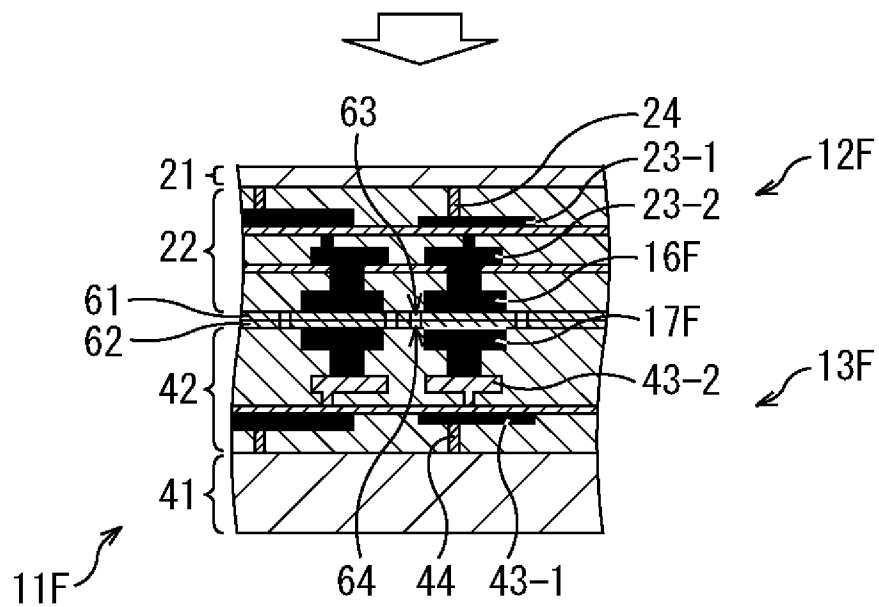


[図12]

図12



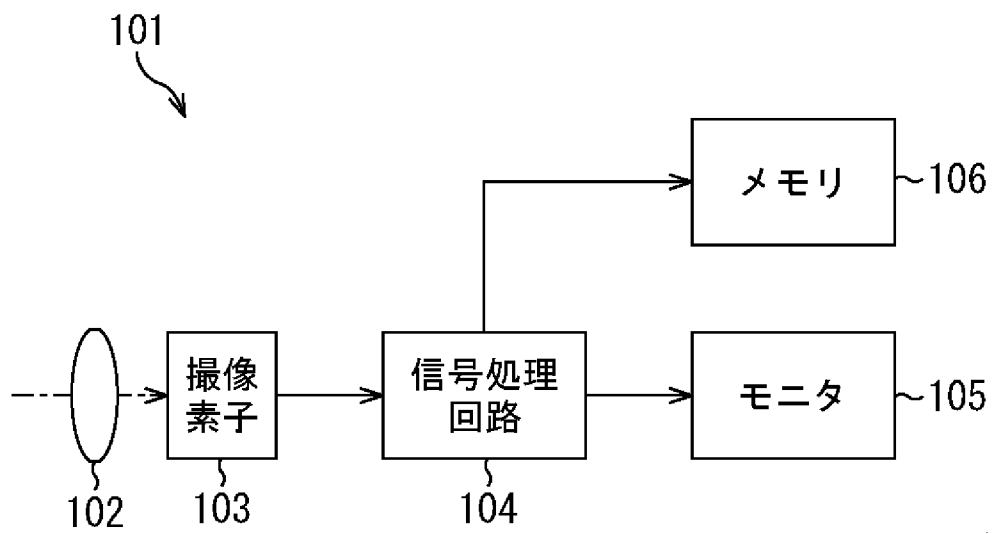
第24の工程



第25の工程

[図13]

図13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/077241

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i,
H01L23/00(2006.01)i, H01L23/522(2006.01)i, H01L23/538(2006.01)i, H01L27/00
(2006.01)i, H01L27/04(2006.01)i, H01L27/146(2006.01)i,
H04N5/357(2011.01)i,

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/768, H01L21/822, H01L23/00, H01L23/522, H01L23/538,
H01L27/00, H01L27/04, H01L27/146, H04N5/357, H04N5/369

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-256736 A (Sony Corp.), 27 December 2012 (27.12.2012), paragraphs [0031] to [0036], [0040] to [0056], [0066]; fig. 3, 5 to 7 & US 2014/0145338 A1 paragraphs [0064] to [0069], [0073] to [0083], [0184] to [0191]; fig. 3, 5, 6, 18 & WO 2012/161044 A1 & EP 2717300 A1 & TW 201308560 A & CN 103503122 A & KR 10-2014-0022039 A	1-3, 5, 8, 10, 11 4, 6, 9 7
Y	JP 2006-303220 A (NEC Electronics Corp.), 02 November 2006 (02.11.2006), paragraphs [0036] to [0039]; fig. 13, 14 & US 2006/0237819 A1 paragraphs [0082] to [0087]; fig. 13, 14 & CN 1851921 A	4

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 November 2015 (18.11.15)

Date of mailing of the international search report
01 December 2015 (01.12.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/077241

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-205975 A (Fujitsu Ltd.), 04 September 2008 (04.09.2008), paragraph [0014]; fig. 3 & US 2008/0290475 A1 paragraphs [0032] to [0036]; fig. 3	6
Y	JP 11-068029 A (Sumitomo Electric Industries, Ltd.), 09 March 1999 (09.03.1999), paragraphs [0006], [0027], [0028]; fig. 2 (Family: none)	9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/077241

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H04N5/369(2011.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L21/822(2006.01)i, H01L23/00(2006.01)i, H01L23/522(2006.01)i, H01L23/538(2006.01)i, H01L27/00(2006.01)i, H01L27/04(2006.01)i, H01L27/146(2006.01)i, H04N5/357(2011.01)i, H04N5/369(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, H01L21/768, H01L21/822, H01L23/00, H01L23/522, H01L23/538, H01L27/00, H01L27/04, H01L27/146, H04N5/357, H04N5/369

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-256736 A（ソニー株式会社）2012.12.27, 段落 [0031]-[0036], [0040]-[0056], [0066], 図 3, 5-7 & US 2014/0145338 A1, 段落[0064]-[0069], [0073]-[0083], [0184]-[0191], 図 3, 5, 6, 18	1-3, 5, 8, 10, 11
Y	& WO 2012/161044 A1 & EP 2717300 A1 & TW 201308560 A & CN 103503122	4, 6, 9
A	A & KR 10-2014-0022039 A	7

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 1 1 . 2 0 1 5

国際調査報告の発送日

0 1 . 1 2 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 満

5 0

5 8 9 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-303220 A (NECエレクトロニクス株式会社) 2006. 11. 02, 段落[0036]-[0039], 図 13, 14 & US 2006/0237819 A1, 段落[0082]-[0087], 図 13, 14 & CN 1851921 A	4
Y	JP 2008-205975 A (富士通株式会社) 2008. 09. 04, 段落[0014], 図 3 & US 2008/0290475 A1, 段落[0032]-[0036], 図 3	6
Y	JP 11-068029 A (住友電気工業株式会社) 1999. 03. 09, 段落[0006], [0027], [0028], 図 2 (ファミリーなし)	9