



등록특허 10-2810552



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2025년05월23일

(11) 등록번호 10-2810552

(24) 등록일자 2025년05월16일

(51) 국제특허분류(Int. Cl.)

G11C 16/30 (2006.01) G06F 12/02 (2018.01)

G06F 3/06 (2006.01) G11C 16/24 (2006.01)

G11C 5/14 (2021.01)

(52) CPC특허분류

G11C 16/30 (2013.01)

G06F 12/0292 (2013.01)

(21) 출원번호 10-2024-0068778

(22) 출원일자 2024년05월27일

심사청구일자 2024년05월27일

(56) 선행기술조사문헌

KR1020190033409 A

KR1020190031107 A

(73) 특허권자

한국과학기술원

대전광역시 유성구 대학로 291(구성동)

뉴욕 유니버시티 인 아부다비 코포레이션

아랍에미리트, 아부다비, 피.오. 박스 129188

경희대학교 산학협력단

경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)

(72) 발명자

제민규

대전광역시 유성구 대학로 291 (구성동)

최인준

대전광역시 유성구 대학로 291 (구성동)

(뒷면에 계속)

(74) 대리인

특허법인 무한

전체 청구항 수 : 총 12 항

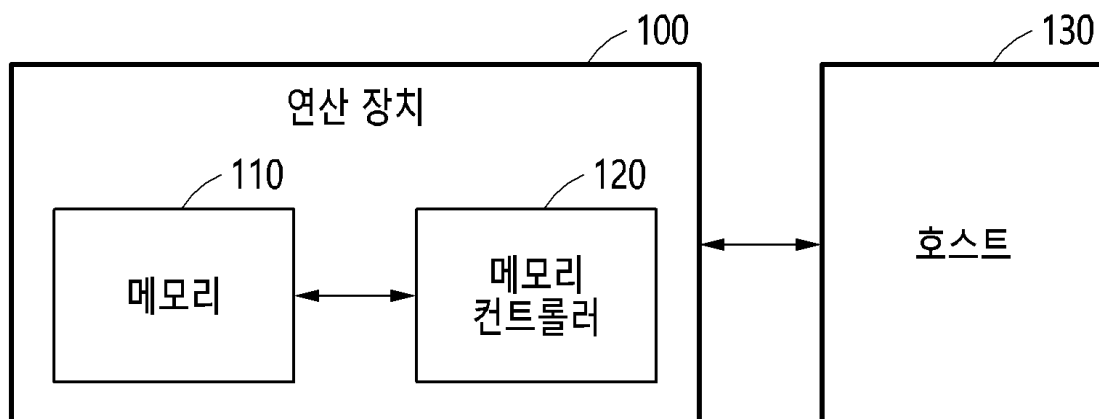
심사관 : 김대영

(54) 발명의 명칭 메모리 장치를 제어하기 위한 방법 및 이를 수행하는 장치

(57) 요약

메모리 장치를 제어하기 위한 방법이 개시된다. 일 실시예에 따른 방법은 호스트로부터 상기 메모리 장치의 메모리 셀 어레이의 각 열에 대응하는 전압 정보를 획득하는 동작과 상기 전압 정보에 기초하여, 상기 각 열에 포함된 메모리 셀들에 상기 각 열에 대응하는 전압을 인가하는 동작을 포함할 수 있다. 상기 전압 정보는, 상기 각 열에 포함된 레퍼런스 메모리 셀의 특성에 따라 결정되는 것일 수 있다.

대표도 - 도1



(52) CPC특허분류

G06F 3/0658 (2013.01)

G11C 16/24 (2013.01)

G11C 5/147 (2013.01)

(72) 발명자

최종윤

대전광역시 유성구 대학로 291 (구성동)

장익준

경기도 용인시 기흥구 사은로126번길 33, 204동
102호 (보라동, 민속마을신창미션힐아파트)

하소명

경기도 김포시 고촌읍 상미로 38, 124동 904호 (힐
스테이트 리버시티 1단지)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711193519
과제번호	2021-0-01764-003
부처명	과학기술정보통신부
과제관리(전문)기관명	정보통신기획평가원
연구사업명	신개념PIM반도체기술개발
연구과제명	전하저장형 메모리 기반 PIM 개발
과제수행기관명	한국과학기술원
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

메모리 장치(memory device)를 제어(control)하는 방법에 있어서,
호스트(host)로부터 상기 메모리 장치의 메모리 셀 어레이(memory cell array)의 각 열(column)에 대응하는 전압 정보를 획득하는 동작(obtaining); 및
상기 전압 정보에 기초하여, 상기 각 열에 포함된 메모리 셀들에 상기 각 열에 대응하는 전압을 인가하는 동작을 포함하고,
상기 전압 정보는,
상기 각 열에 포함된 레퍼런스 메모리 셀(reference memory cell)의 특성에 따라 결정되는 것인, 방법.

청구항 2

제1항에 있어서,
상기 전압 정보는,
상기 레퍼런스 메모리 셀에 대한 전류를 보정하기 위한 보정 정보(correcting information)를 포함하는, 방법.

청구항 3

제1항에 있어서,
상기 획득하는 동작은,
상기 호스트로부터 룩업 테이블(look-up table)을 수신하는 동작; 및
상기 룩업 테이블에 포함된 상기 전압 정보를 획득하는 동작
을 포함하는, 방법.

청구항 4

제1항에 있어서,
상기 메모리 장치는,
CIM(computing in-memory)을 수행하는, 방법.

청구항 5

제1항에 있어서,
상기 메모리 장치는,
내장형 플래시 메모리(embedded flash memory)를 포함하는, 방법.

청구항 6

제1항에 있어서,
상기 메모리 셀들 각각은,
비트라인(bit line)에 연결되는 제1 트랜지스터를 포함하고,
상기 제1 트랜지스터에 인가되는 게이트 전압은 상기 비트라인에 인가되는 전압보다 낮은, 방법.

청구항 7

메모리 장치를 제어하는 장치에 있어서,
프로세서; 및
인스트럭션들을 저장하는 메모리
를 포함하고,
상기 인스트럭션들은 상기 프로세서에 의해 실행될 때, 상기 장치로 하여금 복수의 동작들을 수행하도록 하고,
상기 복수의 동작들은,
호스트(host)로부터 상기 메모리 장치의 메모리 셀 어레이(memory cell array)의 각 열(column)에 대응하는 전압 정보를 획득하는 동작(obtaining); 및
상기 전압 정보에 기초하여, 상기 각 열에 포함된 메모리 셀들에 상기 각 열에 대응하는 전압을 인가하는 동작을 포함하고,
상기 전압 정보는,
상기 각 열에 포함된 레퍼런스 메모리 셀(reference memory cell)의 특성에 따라 결정되는 것인, 장치.

청구항 8

제7항에 있어서,
상기 전압 정보는,
상기 레퍼런스 메모리 셀에 대한 전류를 보정하기 위한 보정 정보(correcting information)를 포함하는, 장치.

청구항 9

제7항에 있어서,
상기 획득하는 동작은,
상기 호스트로부터 룩업 테이블(look-up table)을 수신하는 동작; 및
상기 룩업 테이블에 포함된 상기 전압 정보를 획득하는 동작
을 포함하는, 장치.

청구항 10

제7항에 있어서,
상기 메모리 장치는,

CIM(computing in-memory)을 수행하는, 장치.

청구항 11

제7항에 있어서,

상기 메모리 장치는,

내장형 플래시 메모리(embedded flash memory)를 포함하는, 장치.

청구항 12

제7항에 있어서,

상기 메모리 셀들 각각은,

비트라인(bit line)에 연결되는 제1 트랜지스터를 포함하고,

상기 제1 트랜지스터에 인가되는 게이트 전압은 상기 비트라인에 인가되는 전압보다 낮은, 장치.

발명의 설명

기술 분야

[0001] 아래 개시는 메모리 장치를 제어하기 위한 방법 및 이를 수행하는 장치에 관한 것이다.

배경 기술

[0003] CIM(computing-in-memory)은 메모리 내에서 데이터를 처리하여 빠른 데이터 접근 및 처리 속도를 가지는 기술이다. CIM은 플래시 메모리(flash memory) 기반의 아날로그 연산(analog computing)을 활용한 인공지능 추론 시스템에 활용될 수 있다. CIM은 SRAM(static random access memory), NVM(nonvolatile memory)와 같은 메모리로 구현될 수 있다. SRAM 기반 CIM은 처리 속도가 빠르고, 최신 NVM 기반 CIM보다 빠르고 최신 CMOS(complementary metal oxide silicon) 공정과 호환될 수 있지만, 전원이 켜져 있을 때에만 데이터를 저장할 수 있다. SRAM 기반 CIM은 단일 메모리 셀(single memory cell)에 다중 레벨(multi-level) 데이터를 저장하기 어렵고, 메모리 셀에 흐르는 전류가 공정의 변동에 민감하므로 아날로그 연산 시에 정확도가 떨어질 수 있다. NVM 기반 CIM은 전원이 꺼진 상태에서도 데이터를 유지할 수 있어 시스템이 재부팅 되어도 데이터를 다시 불러올 필요가 없다. NVM 기반 CIM은 데이터 프로그래밍 비용은 더 높지만, 데이터를 자주 업데이트 할 필요가 없는 애플리케이션(application)에서, CPU(central processing unit)와 메모리 간의 대역폭의 한계로 생기는 메모리 벽(memory wall) 문제를 해결할 수 있다.

[0004] 위에서 설명한 배경기술은 발명자가 본원의 개시 내용을 도출하는 과정에서 보유하거나 습득한 것으로서, 반드시 본 출원 전에 일반 공중에 공개된 공지기술이라고 할 수는 없다.

발명의 내용

해결하려는 과제

[0006] 일 실시예는 메모리 셀의 전류 변동을 줄이는 기술을 제공할 수 있다.

[0007] 일 실시예는 인-메모리 연산의 정확도를 높이는 기술을 제공할 수 있다.

[0008] 일 실시예는 메모리 셀 어레이의 각 열에 일정한 전류가 흐르도록 보정하는 기술을 제공할 수 있다.

[0009] 다만, 기술적 과제는 상술한 기술적 과제들로 한정되는 것은 아니며, 또 다른 기술적 과제들이 존재할 수 있다.

과제의 해결 수단

- [0011] 일 실시예에 따른 방법은 호스트(host)로부터 상기 메모리 장치의 메모리 셀 어레이(memory cell array)의 각 열(column)에 대응하는 전압 정보를 획득하는 동작(obtaining)과 상기 전압 정보에 기초하여, 상기 각 열에 포함된 메모리 셀들에 상기 각 열에 대응하는 전압을 인가하는 동작을 포함할 수 있다.
- [0012] 상기 전압 정보는, 상기 각 열에 포함된 레퍼런스 메모리 셀(reference memory cell)의 특성에 따라 결정되는 것일 수 있다.
- [0013] 상기 전압 정보는, 상기 레퍼런스 메모리 셀에 대한 전류를 보정하기 위한 보정 정보(correcting information)를 포함할 수 있다.
- [0014] 상기 획득하는 동작은, 상기 호스트로부터 룩업 테이블(look-up table)을 수신하는 동작과 상기 룩업 테이블에 포함된 상기 전압 정보를 획득하는 동작을 포함할 수 있다.
- [0015] 상기 메모리 장치는, CIM(computing in-memory)을 수행할 수 있다.
- [0016] 상기 메모리 장치는, 내장형 플래시 메모리(embedded flash memory)를 포함할 수 있다.
- [0017] 상기 메모리 셀들 각각은, 비트라인(bit line)에 연결되는 제1 트랜지스터를 포함할 수 있다.
- [0018] 상기 제1 트랜지스터에 인가되는 게이트 전압은 상기 비트라인에 인가되는 전압보다 낮을 수 있다.
- [0019] 일 실시예에 따른 장치는 프로세서(processor)와 인스트럭션들(instructions)을 저장하는 메모리(memory)를 포함할 수 있다.
- [0020] 상기 인스트럭션들은 상기 프로세서에 의해 실행될 때, 상기 장치로 하여금 복수의 동작들을 수행하도록 하고, 상기 복수의 동작들은, 호스트(host)로부터 상기 메모리 장치의 메모리 셀 어레이(memory cell array)의 각 열(column)에 대응하는 전압 정보를 획득하는 동작(obtaining)과 상기 전압 정보에 기초하여, 상기 각 열에 포함된 메모리 셀들에 상기 각 열에 대응하는 전압을 인가하는 동작을 포함할 수 있다.
- [0021] 상기 전압 정보는, 상기 각 열에 포함된 레퍼런스 메모리 셀(reference memory cell)의 특성에 따라 결정되는 것일 수 있다.
- [0022] 상기 전압 정보는, 상기 레퍼런스 메모리 셀에 대한 전류를 보정하기 위한 보정 정보(correcting information)를 포함할 수 있다.
- [0023] 상기 획득하는 동작은, 상기 호스트로부터 룩업 테이블(look-up table)을 수신하는 동작과 상기 룩업 테이블에 포함된 상기 전압 정보를 획득하는 동작을 포함할 수 있다.
- [0024] 상기 메모리 장치는, CIM(computing in-memory)을 수행할 수 있다.
- [0025] 상기 메모리 장치는, 내장형 플래시 메모리(embedded flash memory)를 포함할 수 있다.
- [0026] 상기 메모리 셀들 각각은, 비트라인(bit line)에 연결되는 제1 트랜지스터를 포함할 수 있다.
- [0027] 상기 제1 트랜지스터에 인가되는 게이트 전압은 상기 비트라인에 인가되는 전압보다 낮을 수 있다.

도면의 간단한 설명

- [0029] 도 1은 일 실시예에 따른 인-메모리 연산 장치를 설명하기 위한 도면이다.
- 도 2a 및 도 2b는 일 실시예에 따른 메모리 셀 어레이 및 전류 특성을 설명하기 위한 도면이다.
- 도 3은 일 실시예에 따른 룩업 테이블을 설명하기 위한 도면이다.
- 도 4는 일 실시예에 따른 룩업 테이블 기반 프로그램-검증 알고리즘을 설명하기 위한 흐름도이다.
- 도 5는 일 실시예에 따른 방법을 설명하기 위한 흐름도이다.
- 도 6a 및 도 6b는 일 실시예에 코어 셀에 인가되는 전압을 설명하기 위한 도면이다.
- 도 7a 및 도 7b는 일 실시예에 따른 전압 인가 방법을 설명하기 위한 도면이다.
- 도 8은 일 실시예에 따른 프로그램-검증 알고리즘을 설명하기 위한 흐름도이다.
- 도 9는 일 실시예에 따른 검증 동작을 설명하기 위한 도면이다.

도 10은 일 실시예에 따른 방법에 따른 검증 결과를 설명하기 위한 도면이다.

도 11은 일 실시예에 따른 전자 장치의 개략적인 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0030] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [0031] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [0032] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.
- [0033] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0034] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0035] 본 문서에서 사용된 용어 "모듈"은 하드웨어, 소프트웨어 또는 펌웨어로 구현된 유닛을 포함할 수 있으며, 예를 들면, 로직, 논리 블록, 부품, 또는 회로와 같은 용어와 상호 호환적으로 사용될 수 있다. 모듈은, 일체로 구성된 부품 또는 하나 또는 그 이상의 기능을 수행하는, 상기 부품의 최소 단위 또는 그 일부가 될 수 있다. 예를 들면, 일 실시예에 따르면, 모듈은 ASIC(application-specific integrated circuit)의 형태로 구현될 수 있다.
- [0036] 본 문서에서 사용되는 '~부'라는 용어는 소프트웨어 또는 FPGA 또는 ASIC과 같은 하드웨어 구성요소를 의미하며, '~부'는 어떤 역할들을 수행한다. 그렇지만, '~부'는 소프트웨어 또는 하드웨어에 한정되는 의미는 아니다. '~부'는 어드레싱할 수 있는 저장 매체에 있도록 구성될 수도 있고 하나 또는 그 이상의 프로세서들을 재생시키도록 구성될 수도 있다. 예를 들어, '~부'는 소프트웨어 구성요소들, 객체지향 소프트웨어 구성요소들, 클래스 구성요소들 및 태스크 구성요소들과 같은 구성요소들과, 프로세스들, 함수들, 속성들, 프로시저들, 서브루틴들, 프로그램 코드의 세그먼트들, 드라이버들, 펌웨어, 마이크로코드, 회로, 데이터, 데이터베이스, 데이터 구조들, 테이블들, 어레이들, 및 변수들을 포함할 수 있다. 구성요소들과 '~부'들 안에서 제공되는 기능은 더 작은 수의 구성요소들 및 '~부'들로 결합되거나 추가적인 구성요소들과 '~부'들로 더 분리될 수 있다. 뿐만 아니라, 구성요소들 및 '~부'들은 디바이스 또는 보안 멀티미디어카드 내의 하나 또는 그 이상의 CPU들을 재생시키도록 구현될 수도 있다. 또한, '~부'는 하나 이상의 프로세서를 포함할 수 있다.
- [0037] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조 부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [0039] 도 1은 일 실시예에 따른 인-메모리 연산 장치를 설명하기 위한 도면이다.
- [0040] 도 1을 참조하면, 일 실시예에 따르면, 메모리 시스템은 연산 장치(computing device)(100) 및 호스트(host)(130)를 포함할 수 있다. 연산 장치 (100)는 메모리(memory)(110) 및 메모리 컨트롤러(controller)(120)를 포함할 수 있다. 연산 장치(100)는 인-메모리(in-memory) 연산 장치를 포함할 수 있다.

연산 장치(100)는 메모리(110)에 데이터를 저장하고, 메모리 컨트롤러(120)를 이용하여 메모리(110)를 제어할 수 있다. 메모리(110)는 CIM을 수행할 수 있다. 메모리(110)는 내장형 플래시 메모리(eFlash(embedded flash memory)) 기반 CIM을 수행할 수 있다. 호스트(130)는 연산 장치(100)로 데이터의 접근(access) 요청을 제공할 수 있다. 호스트(130)는 연산 장치(100)로 데이터의 프로그래밍 및/또는 읽기 요청을 제공할 수 있다. 연산 장치(100)는 호스트(130)로부터의 접근 요청에 따라 데이터를 메모리(110)에 프로그래밍하거나 메모리(110)로부터 데이터를 읽어 호스트(130)에 제공할 수 있다. 연산 장치(100)는 호스트(130)로부터의 데이터 소거(erase) 요청에 응답하여, 데이터를 소거할 수 있다. 호스트(130)는 다양한 인터페이스를 통해 연산 장치(100)와 통신할 수 있다. 호스트(130)는 연산 장치(100)에 대한 데이터 접근을 수행할 수 있는 다양한 종류의 장치를 포함할 수 있다. 예를 들어, 호스트(130)는 플래시 메모리 기반의 연산 장치(100)와 통신하는 어플리케이션 프로세서(AP(application processor))를 포함할 수 있다. 호스트(130)는 다양한 종류의 인터페이스를 통해 연산 장치(100)와 통신할 수 있다. 메모리(110)는 메모리 셀들로 구성된 메모리 셀 어레이를 포함할 수 있다. 예를 들어, 메모리 셀들은 플래시 메모리 셀들일 수 있다. 메모리 셀들은 다양한 종류의 비휘발성 메모리(NVM) 셀들을 포함할 수 있다. 일 실시예에 따르면, 메모리 셀들은 RRAM(resistive RAM), PRAM(phase change RAM) 또는 MRAM(magnetic RAM)과 같은 저항형 메모리 셀들, 및 강유전체 메모리(FRAM(ferroelectric Random Access Memory: FRAM) 셀들, 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 셀들과 같은 메모리 셀들을 포함할 수 있다.

[0041] 일 실시예에 따르면, 메모리 컨트롤러(120)는 호스트(130)로부터 수신한 요청에 응답하여, 메모리(110)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 호스트(130)로부터 수신한 데이터 프로그래밍 요청에 응답하여, 메모리(110)에 데이터가 프로그래밍 되도록 메모리(110)를 제어할 수 있다.

[0043] 도 2a 및 도 2b는 일 실시예에 따른 메모리 셀 어레이 및 전류 특성을 설명하기 위한 도면이다.

[0044] 도 2a 및 도 2b를 참조하면, 일 실시예에 따르면, 메모리(예: 도 1의 메모리(110))는 메모리 셀들을 포함하는 메모리 셀 어레이(예: 메모리 셀 어레이(200))를 포함할 수 있다. 메모리 셀 어레이(200)는 메모리(110)의 코어 어레이(core array)일 수 있다. 메모리 셀 어레이(200)는 메모리 셀들(예: 내장형 플래시 메모리 셀들(eFlash memory cells))을 포함할 수 있다. 메모리 셀들은 다중 레벨 메모리 셀을 포함할 수 있다. 예를 들어, 각 메모리 셀은 n비트(단, n은 2 이상의 자연수)의 데이터를 저장할 수 있다. 메모리 셀 어레이(200)에 포함된 메모리 셀들은 행(row) 및 열(column)에 의해 주소(address)가 지정될 수 있다. 메모리 셀 어레이(200)의 각 열(column)(예: 열(210), 열(250))은 레퍼런스 메모리 셀(reference cell)(예: 레퍼런스 메모리 셀(215))을 포함할 수 있다. 하나의 열(예: 열(210))에 포함된 메모리 셀에 흐르는 전류는 레퍼런스 메모리 셀(예: 레퍼런스 메모리 셀(215))에 흐르는 전류의 크기에 수렴할 수 있다. CIM에서 각 메모리 셀에 일정한 크기의 전류가 흐르는 것은 연산의 정확도를 위해 중요할 수 있다. 예를 들어, 그래프(220)의 기울기(slope)에 대응하는 크기의 전류(current)가 메모리 셀에 흐르는 경우에 이상적인(ideal) CIM 연산 결과를 도출할 수 있다. 각 열은 공정에서의 변동(variation)에 따라 전류 이득(gain)에 오차(error)를 가질 수 있다. 메모리 컨트롤러(예: 도 1의 메모리 컨트롤러(120))가 메모리(110)에 데이터를 프로그래밍하기 위해 제어하는 경우, 읽기 회로(readout circuit)의 오프셋(offset)으로 인해 각 열의 목표 임계 전압(target threshold voltage)이 변동될 수 있고, 그에 따라 열들 간의 전류 이득 오차가 발생할 수 있다. 예를 들어, 각 열(예: 열(210), 열(250))에 대응하는 그래프(221), 그래프(225)와 같이 공정 과정에서 발생하는 변동으로 인해 각 열의 메모리 셀에 흐르는 전류의 크기는 달라질 수 있다. 공정에서 발생할 수 있는 변동은 메모리 소자의 물리적 특성, 구조적 차이에 의한 것일 수 있다. 예를 들어, 온도, 전압과 같은 환경의 변화에 따른 공정 변동에 의해 각 메모리 셀에 프로그래밍 및 읽기 작업 수행시에 오차가 발생할 수 있다. 각 열의 전류 이득의 오차를 줄이는 것은 CIM 연산 정확도를 높이기 위해 중요할 수 있다.

[0046] 도 3은 일 실시예에 따른 룩업 테이블을 설명하기 위한 도면이다.

[0047] 도 3을 참조하면, 일 실시예에 따르면, 룩업 테이블(LUT(look-up table))(300)은 호스트(예: 도 1의 호스트(130))에 저장될 수 있다. 메모리 컨트롤러(예: 도 1의 메모리 컨트롤러(120))는 메모리(예: 도 1의 메모리(110))를 제어할 수 있다. 메모리 컨트롤러(120)는 호스트(130)로부터 메모리(110)의 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))의 각 열(예: 열(210), 열(250))에 대응하는 전압 정보(voltage information)를 획득할(obtain) 수 있다. 메모리 컨트롤러(120)는 호스트(130)로부터 룩업 테이블(300)을 수신할(receive) 수 있다. 메모리 컨트롤러(120)는 룩업 테이블(300)에 포함된 전압 정보를 획득할 수 있다. 룩업 테이블(300)은 메모리 셀 어레이(200)의 각 열에 포함된 레퍼런스 메모리 셀(예: 레퍼런스 메모리 셀(215))의 특성에 따라 결정되는 전압 정보를 포함할 수 있다. 전압 정보는 레퍼런스 메모리 셀(예: 레퍼런스 메모리 셀(215))에 대한 전

류를 보정(correct)하기 위한 보정 정보(correcting information)를 포함할 수 있다. 룩업 테이블(300)의 행(row)(예: 행(330))은 메모리 셀 어레이(200)의 각 열에 대응될 수 있다. 룩업 테이블(300)의 열(column)(310)은 메모리 셀 어레이(200)의 각 열에 인가되는 전압의 크기에 대응될 수 있다. 룩업 테이블(300)은 메모리 셀 어레이(200)의 각 열의 인가된 전압에 따른 메모리 셀에 흐르는 전류에 대한 정보를 포함할 수 있다. 룩업 테이블(300)은 메모리 컨트롤러(120)가 호스트(130)로부터 데이터 프로그래밍 요청을 수신하여, 메모리(110)에 데이터를 프로그래밍하는 경우에, 각 열에 인가할 전압에 대한 정보를 포함할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 메모리(110)의 1번 열에 570에 대응하는 전압을 인가하여 데이터를 프로그래밍하도록 제어할 수 있다.

- [0049] 도 4는 일 실시예에 따른 룩업 테이블 기반 프로그램-검증 알고리즘을 설명하기 위한 흐름도이다.
- [0050] 도 4를 참조하면, 일 실시예에 따르면, 동작 410 내지 동작 490은 도 1 내지 도 3을 참조하여 설명한 도 1의 메모리 컨트롤러(120)가 수행하는 동작일 수 있다.
- [0051] 동작 410에서, 메모리 컨트롤러(120)는 메모리(예: 도 1의 메모리(110))에 저장된 데이터를 초기화(initialize)할 수 있다. 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍 된 데이터를 소거(erase)하여 데이터를 초기화할 수 있다.
- [0052] 동작 420에서, 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍할 입력 데이터를 수신할 수 있다. 메모리 컨트롤러(120)는 호스트(130)로부터 메모리(110)에 데이터의 프로그래밍 요청을 수신할 수 있다.
- [0053] 동작 430에서, 메모리 컨트롤러(120)는 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))의 각 열의 레퍼런스 메모리 셀(예: 레퍼런스 메모리 셀(215))을 설정할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 프로그래밍할 데이터에 대응되도록 레퍼런스 메모리 셀(215)의 전류를 설정할 수 있다.
- [0054] 동작 440에서, 메모리 컨트롤러(120)는 데이터 버퍼(buffer)를 설정할 수 있다. 메모리 컨트롤러(120)는 프로그래밍할 데이터에 대응되도록 데이터 버퍼를 설정할 수 있다.
- [0055] 동작 450에서, 메모리 컨트롤러(120)는 메모리(110)에 데이터를 프로그래밍 할 수 있다. 메모리 컨트롤러(120)는 메모리(110)의 각 메모리 셀에 데이터가 프로그래밍 되도록 메모리(110)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))의 각 행(row)을 프로그래밍하기 위해, 데이터가 프로그래밍 되어야 하는 메모리 셀과 프로그래밍 금지 셀(programming inhibited cell)을 설정할 수 있다.
- [0056] 동작 460에서, 메모리 컨트롤러(120)는 데이터를 읽어낼 수 있다. 메모리 컨트롤러(120)는 메모리(110)에 데이터가 맞게 프로그래밍 되었는지 검증(verify)하기 위해 메모리(110)에 프로그래밍 된 데이터를 읽어낼 수 있다.
- [0057] 동작 465에서, 메모리 컨트롤러(120)는 룩업 테이블(예: 도 3의 룩업 테이블(300))을 참조(refer to)할 수 있다. 메모리 컨트롤러(120)는 메모리 셀 어레이(200)의 각 열에 대한 전압 정보를 참조할 수 있다. 메모리 컨트롤러(120)는 룩업 테이블(300)을 참조하여 프로그래밍 동작 및 검증 동작을 수행함으로써, 메모리 셀 어레이(200)의 각 열(예: 열(210), 열(250)) 간의 전류 이득 오차를 보정할 수 있다.
- [0058] 동작 470에서, 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍 된 데이터를 검증할 수 있다. 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍하고자 하는 데이터와 읽어낸 데이터가 동일한지 여부를 검증하고, 검증 결과에 따라 다음 동작을 수행할 수 있다. 메모리 컨트롤러(120)는 검증 결과가 통과(pass)인 경우, 동작 480을 수행할 수 있다. 메모리 컨트롤러(120)는 검증 결과, 데이터 간의 차이가 있다고 판단한 경우, 동작 450을 수행할 수 있다.
- [0059] 동작 480에서, 메모리 컨트롤러(120)는 메모리 셀의 인덱스를 증가할 수 있다. 메모리 컨트롤러(120)는 각 메모리 셀의 행 및/또는 열의 인덱스를 증가하여, 다음 순서의 메모리 셀에 대해 프로그래밍 동작을 수행할 수 있다.
- [0060] 동작 490에서, 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종(final) 인덱스인지 여부를 판단할 수 있다. 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종 인덱스라고 판단한 경우, 동작을 종료할 수 있다. 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종 인덱스가 아니라고 판단한 경우(예: 프로그래밍 되어야 할 메모리 셀이 남았다고 판단한 경우), 동작 440을 수행할 수 있다.
- [0061] 동작 410 내지 동작 490은 순차적으로 수행될 수 있지만, 이에 한정되는 것은 아니다. 예를 들어, 둘 이상의

동작들이 병렬적으로 수행될 수도 있다.

- [0063] 도 5는 일 실시예에 따른 방법을 설명하기 위한 흐름도이다.
- [0064] 도 5를 참조하면, 일 실시예에 따르면, 동작 510 및 동작 530은 도 1 내지 도 4를 참조하여 설명한 도 1의 메모리 컨트롤러(120)가 수행하는 동작일 수 있다.
- [0065] 동작 510에서, 메모리 컨트롤러(120)는, 호스트(예: 도 1의 호스트(130))로부터 메모리 장치(예: 도 1의 메모리(110))의 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))의 각 열(예: 열(210), 열(250))에 대응하는 전압 정보를 획득할 수 있다. 메모리 컨트롤러(120)는 호스트(130)로부터 록업 테이블(예: 도 3의 록업 테이블(300))을 수신할 수 있다. 메모리 컨트롤러(120)는 록업 테이블(300)에 포함된 전압 정보를 획득할 수 있다.
- [0066] 동작 530에서, 메모리 컨트롤러(120)는 전압 정보에 기초하여, 각 열에 포함된 메모리 셀들에 각 열에 대응하는 전압을 인가할(apply) 수 있다. 메모리 컨트롤러(120)는 록업 테이블(300)에 포함된 레퍼런스 메모리 셀에 대한 전류를 보정하기 위한 보정 정보를 참조하여, 각 열에 포함된 메모리 셀들에 각 열에 대응하는 전압을 인가할 수 있다.
- [0067] 동작 510 및 동작 550은 순차적으로 수행될 수 있지만, 이에 한정되는 것은 아니다. 예를 들어, 둘 이상의 동작들이 병렬적으로 수행될 수도 있다.
- [0069] 도 6a 및 도 6b는 일 실시예에 코어 셀에 인가되는 전압을 설명하기 위한 도면이다.
- [0070] 도 6a 및 도 6b를 참조하면, 일 실시예에 따르면, 메모리 셀(600)은 도 1의 메모리(110)의 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))에 포함된 메모리 셀의 일 예를 도시한 것일 수 있다. 메모리 셀(600)은 내장형 플래시 메모리 셀일 수 있다. 메모리 셀(600)은 n개의(예: n은 1보다 큰 자연수로, 5일 수 있음) 트랜지스터들(transistors)(예: 모스 전계 효과 트랜지스터(MOSFET(metal oxide silicon field effect transistor)))을 포함할 수 있다. 예를 들어, 메모리 셀(600)은 트랜지스터 M1 내지 M5를 포함할 수 있다. 트랜지스터 M1의 폭(width)은 트랜지스터 M2 및 트랜지스터 M3보다 넓을 수 있다. 예를 들어, 향상된 프로그래밍 및 소거 성능을 위해, 트랜지스터 M1의 폭은 트랜지스터 M2 및 트랜지스터 M3의 폭보다 8배 넓을 수 있다. 메모리 셀 어레이(200)의 메모리 셀들 각각은 비트라인(BL(bit line)) 및 워드라인(WL(word line))에 연결될(connect) 수 있다. 비트라인 및 워드라인은 메모리 셀(600)이 동작하기 위해 메모리 셀(600)에 포함된 트랜지스터들에 전압을 인가하기 위한 것일 수 있다. 워드라인은 호스트(예: 도 1의 호스트(130))로부터 수신한 프로그래밍, 읽기, 및/또는 소거 요청에 따라 메모리 컨트롤러(예: 도 1의 메모리 컨트롤러(120))가 메모리 셀(600)을 제어하는 데에 사용되는 것일 수 있다. 예를 들어, 워드라인은 메모리 셀(600)에 데이터가 프로그래밍되기 위해 사용되는 PWL(program word line), 데이터가 읽어지기 위해 사용되는 RWL(read word line), 데이터가 소거되기 위해 사용되는 EWL(erase word line), 데이터가 메모리 셀(600)에 쓰여지기 위해 사용되는 WWL(write word line)을 포함할 수 있다. 메모리 셀들 각각은 비트라인에 연결되는 제1 트랜지스터(예: 트랜지스터 M5)를 포함할 수 있다. 제1 트랜지스터(예: 트랜지스터 M5)는 스위치(switch)로서 작동할 수 있다. 연산 장치(예: 도 1의 연산 장치(100))는 워드라인에 인가되는 전압을 제어하기 위해, 제1 트랜지스터를 완전히 켜거나 끌 수 있는 스위치로 사용할 수 있다. 제1 트랜지스터가 스위치로 작동하는 경우, 비트라인에 인가되는 전압에 의해, 메모리 셀(600)에 상당한 전류 변동이 발생할 수 있다. 예를 들어, 메모리 셀(600)이 작동하는 트랜지스터(예: 트랜지스터 M3)의 포화 영역(예: 그래프(650)의 영역(652))에서 최대 20%까지의 전류 변동이 발생하는 비선형성 문제가 발생할 수 있다. 전류 변동이 발생하는 경우, CIM의 연산 정확도가 떨어지는 문제점이 발생할 수 있다.
- [0072] 도 7a 및 도 7b는 일 실시예에 따른 전압 인가 방법을 설명하기 위한 도면이다.
- [0073] 도 7a 및 도 7b를 참조하면, 일 실시예에 따르면, 메모리 컨트롤러(예: 도 1의 메모리 컨트롤러(120))는 비트라인 전압에 의한 제1 트랜지스터의 전류 변동을 감소시키기 위해, 제1 트랜지스터에 인가되는 게이트 전압을 비트라인에 인가되는 전압보다 낮게 인가할 수 있다. 메모리 컨트롤러(120)는 제1 트랜지스터의 게이트 전압(예: RWL에 인가되는 전압(예: 1.0V))을 비트라인의 전압(예: 1.2V)보다 낮은 전압으로 인가함으로써, 제1 트랜지스터가 캐스코드(cascode) 단계로 동작하도록 제어할 수 있다. 메모리 셀(예: 도 6의 메모리 셀(600))은 포화 영역(saturation area)이 넓어지고, 전류 변동이 줄어들 수 있다. 예를 들어, 메모리 컨트롤러(120)가 제1 트랜지스터의 게이트 전압을 비트라인의 전압보다 낮은 전압으로 인가함으로써, 메모리 셀(600)의 전류 변동이 3%까지 줄어들 수 있다. 메모리 셀(600)의 포화 영역이 넓어짐에 따라(예: 그래프(750)), 연산 장치(예: 도 1의 연산 장치(100))의 CIM 연산 정확도가 향상될 수 있다.

- [0075] 도 8은 일 실시예에 따른 프로그램-검증 알고리즘을 설명하기 위한 흐름도이다.
- [0076] 도 8을 참조하면, 일 실시예에 따르면, 동작 810 내지 동작 860은 도 1 내지 도 7을 참조하여 설명한 도 1의 메모리 컨트롤러(120)가 수행하는 동작일 수 있다.
- [0077] 동작 810에서, 메모리 컨트롤러(120)는 데이터 버퍼(buffer)를 설정할 수 있다. 메모리 컨트롤러(120)는 메모리(예: 도 1의 메모리(110))에 프로그래밍할 데이터에 대응되도록 데이터 버퍼를 설정할 수 있다.
- [0078] 동작 820에서, 메모리 컨트롤러(120)는 메모리(110)에 데이터를 프로그래밍 할 수 있다. 메모리 컨트롤러(120)는 메모리(110)의 각 메모리 셀에 데이터가 프로그래밍 되도록 메모리(110)를 제어할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))의 각 행(row)을 프로그래밍하기 위해, 데이터가 프로그래밍 되어야 하는 메모리 셀과 프로그래밍 금지 셀(programming inhibited cell)을 설정할 수 있다.
- [0079] 동작 830에서, 메모리 컨트롤러(120)는 데이터를 읽어낼 수 있다. 메모리 컨트롤러(120)는 메모리(110)에 데이터가 맞게 프로그래밍 되었는지 검증(verify)하기 위해 메모리(110)에 프로그래밍 된 데이터를 읽어낼 수 있다.
- [0080] 동작 840에서, 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍 된 데이터를 검증할 수 있다. 메모리 컨트롤러(120)는 메모리(110)에 데이터를 프로그래밍하고 검증하는 동작을 반복함으로써, 메모리 셀(예: 도 6의 메모리 셀(600))에 임계 값(threshold value) 이상의 전류가 흐르는지 여부를 확인할 수 있다. 메모리 컨트롤러(120)가 메모리 셀(600)에 흐르는 전류의 양을 판단하는 동작에 대해서는 이후 도 9 및 도 10을 참조하여 자세히 설명하도록 한다. 메모리 컨트롤러(120)는 메모리(110)에 프로그래밍하고자 하는 데이터와 읽어낸 데이터가 동일한지 여부를 검증하고, 검증 결과에 따라 다음 동작을 수행할 수 있다. 메모리 컨트롤러(120)는 검증 결과가 통과(pass)인 경우, 동작 850을 수행할 수 있다. 메모리 컨트롤러(120)는 검증 결과, 데이터 간의 차이가 있다고 판단한 경우, 동작 820을 수행할 수 있다.
- [0081] 동작 850에서, 메모리 컨트롤러(120)는 메모리 셀의 인덱스를 증가할 수 있다. 메모리 컨트롤러(120)는 각 메모리 셀의 행 및/또는 열의 인덱스를 증가하여, 다음 순서의 메모리 셀에 대해 프로그래밍 동작을 수행할 수 있다.
- [0082] 동작 860에서, 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종(final) 인덱스인지 여부를 판단할 수 있다. 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종 인덱스라고 판단한 경우, 동작을 종료할 수 있다. 메모리 컨트롤러(120)는 메모리 셀의 인덱스가 최종 인덱스가 아니라고 판단한 경우(예: 프로그래밍 되어야 할 메모리 셀이 남았다고 판단한 경우), 동작 810을 수행할 수 있다.
- [0083] 동작 810 내지 동작 860은 순차적으로 수행될 수 있지만, 이에 한정되는 것은 아니다. 예를 들어, 둘 이상의 동작들이 병렬적으로 수행될 수도 있다.
- [0085] 도 9는 일 실시예에 따른 검증 동작을 설명하기 위한 도면이다.
- [0086] 도 9를 참조하면, 일 실시예에 따르면, 비휘발성 메모리(NVM)의 일종인 내장형 플래시 메모리(예: NAND 플래시 메모리)는 프로그램-검증 알고리즘(program-verify algorithm)이 수행될 수 있다. 프로그램-검증 알고리즘은 메모리(예: 도 1의 메모리(110))에 데이터가 프로그래밍 된 후, 설정에 따라 메모리 셀 어레이(예: 도 2의 메모리 셀 어레이(200))에 대해 스캐닝(scanning)하여, 프로그래밍이 정상적으로 수행되었는지 확인하는 알고리즘이다. 메모리 컨트롤러(예: 메모리 컨트롤러(120))는 메모리(110)에 저장된 모든 데이터를 소거(erase)하여 초기화시킬 수 있다. 메모리 컨트롤러(120)는 메모리 셀(600)에 데이터를 프로그래밍하기 위해 전압을 인가할 수 있다. 전압이 인가된 메모리 셀(600)에는 전류가 흐르고, 메모리 컨트롤러(120)는 데이터가 정상적으로 프로그래밍 되었는지 검증하기 위해 메모리 셀(600)에 흐르는 전류의 양을 측정할 수 있다. 메모리 컨트롤러(120)는 측정한 전류의 양이 미리 결정된(pre-determined) 임계 값에 미치지 못하는 경우, 데이터 프로그래밍 및 검증 동작을 반복하여 수행할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 그래프(911) 내지 그래프(913)에서, 메모리 셀(600)에 흐르는 전류의 양이 임계 값을 초과하여 검증을 통과할 때까지 검증 동작을 반복하여 수행할 수 있다. 검증 결과는 통과(pass) 또는 실패(fail)로 나타낼 수 있다. 메모리 셀(600)에 흐르는 전류의 크기가 미리 결정된 임계 값을 초과한 경우, 검증 결과는 통과로 판단될 수 있다. 그래프(911) 내지 그래프(913)는 메모리 셀(600)과 연결된 비트라인 전압과 임계 값(예: 레퍼런스 비트라인 전압) 간의 차이를 도시한 것으로, 메모리 셀(600)에 흐르는 전류의 양에 대응되는 것일 수 있다.
- [0088] 도 10은 일 실시예에 따른 방법에 따른 검증 결과를 설명하기 위한 도면이다.

- [0089] 도 10을 참조하면, 일 실시예에 따르면, 메모리 컨트롤러(예: 도 1의 메모리 컨트롤러(120))는 프로그램-검증 알고리즘을 수행함에 있어, 검증 시간을 다르게 할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 일반적인 프로그램-검증 알고리즘에서의 검증 시간보다 긴 시간을 들여 검증 동작을 수행할 수 있다. 일 실시예에 따르면, 그래프(1011) 내지 그래프(1013)는 검증 시간이 미리 결정된 기준 시간보다 짧고, 노이즈(noise)가 없는 경우의 검증 결과를, 그래프(1021) 내지 그래프(1023)는 검증 시간이 미리 결정된 기준 시간보다 짧고(예: 2ns), 노이즈가 있는 경우의 검증 결과를, 그래프(1031) 내지 그래프(1033)는 검증 시간이 미리 결정된 기준 시간보다 길고(예: 4ns), 노이즈가 있는 경우의 검증 결과를 나타낸 것일 수 있다. 미리 결정된 기준 시간은 시스템 관리자의 설정 및 회로의 종류에 따라 달라질 수 있는 것이며, 특정한 값으로 한정되는 것이 아님에 유의한다. 메모리 컨트롤러(120)가 검증 동작을 수행하는 경우에 노이즈가 있는 경우, 그래프(1021) 내지 그래프(1023)과 같이 임계 전압의 분포가 넓어져 검증의 정확도가 떨어질 수 있다. 메모리 컨트롤러(120)가 검증 동작을 미리 결정된 기준 시간보다 길게 수행하는 경우, 메모리 셀(예: 도 6의 메모리 셀(600))에 의해 생성되는 전압 신호의 크기가 증가하여, 노이즈의 영향이 감소될 수 있다. 메모리 셀(600)에 의해 생성되는 전압 신호의 크기가 증가함에 따라, 신호 대 노이즈 비율(SNR(signal to noise ratio))가 감소하게 됨으로써, 검증 동작을 수행함에 있어 노이즈의 영향이 감소될 수 있다.
- [0091] 도 11은 일 실시예에 따른 전자 장치의 개략적인 블록도이다.
- [0092] 도 11을 참조하면, 일 실시예에 따르면, 전자 장치(1100)(예: 도 1의 연산 장치(100))는 메모리(1140) 및 프로세서(1120)를 포함할 수 있다.
- [0093] 메모리(1140)는 프로세서(1120)에 의해 실행가능한 인스트럭션(instruction)들(또는 프로그램)을 저장할 수 있다. 예를 들어, 인스트럭션들은 프로세서(1120)의 동작 및/또는 프로세서(1120)의 각 구성의 동작을 실행하기 위한 인스트럭션들을 포함할 수 있다.
- [0094] 메모리(1140)는 하나 이상의 컴퓨터 판독 가능한 저장 매체(computer-readable storage media)를 포함할 수 있다. 메모리(1140)는 비휘발성 저장 소자들(예: 자기 하드 디스크(magnetic hard disc), 광 디스크(optical disc), 플로피 디스크(floppy disc), 플래시 메모리(flash memory), EPROM(electrically programmable memories), EEPROM(electrically erasable and programmable))을 포함할 수 있다.
- [0095] 메모리(1140)는 비일시적 매체(non-transitory media)일 수 있다. "비일시적"이라는 용어는 저장 매체가 반송파 또는 전파된 신호로 구현되지 않음을 나타낼 수 있다. 단, "비일시적"이라는 용어는 메모리(1140)가 움직일 수 없는 것으로 해석되어서는 안 된다.
- [0096] 프로세서(1120)는 메모리(1140)에 저장된 데이터를 처리할 수 있다. 프로세서(1120)는 메모리(1140)에 저장된 컴퓨터로 읽을 수 있는 코드(예를 들어, 소프트웨어) 및 프로세서(1120)에 의해 유발된 인스트럭션들을 실행할 수 있다.
- [0097] 프로세서(1120)는 목적하는 동작들(desired operations)을 실행시키기 위한 물리적인 구조를 갖는 회로를 가지는 하드웨어로 구현된 데이터 처리 장치일 수 있다. 예를 들어, 목적하는 동작들은 프로그램에 포함된 코드(code) 또는 인스트럭션들을 포함할 수 있다.
- [0098] 예를 들어, 하드웨어로 구현된 데이터 처리 장치는 마이크로프로세서(microprocessor), 중앙 처리 장치(central processing unit), 프로세서 코어(processor core), 멀티-코어 프로세서(multi-core processor), 멀티프로세서(multiprocessor), ASIC(Application-Specific Integrated Circuit), FPGA(Field Programmable Gate Array)를 포함할 수 있다.
- [0099] 프로세서(1140)는 메모리(1120)에 저장된 코드 및/또는 인스트럭션들을 실행함으로써, 전자 장치(1100)로 하여금 하나 이상의 동작들을 수행하도록 할 수 있다. 전자 장치(1100)에 의해 수행되는 동작들은 도 1 내지 도 10을 참조하여 설명한 연산 장치(100)에 의해 수행되는 동작들과 실질적으로 동일할 수 있다. 이에 중복되는 설명은 생략하도록 한다.
- [0101] 이상에서 설명된 실시예들은 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치, 방법 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 범용 컴퓨터 또는 특수 목적 컴퓨터를

이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0102] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 저장될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0103] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 저장할 수 있으며 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.

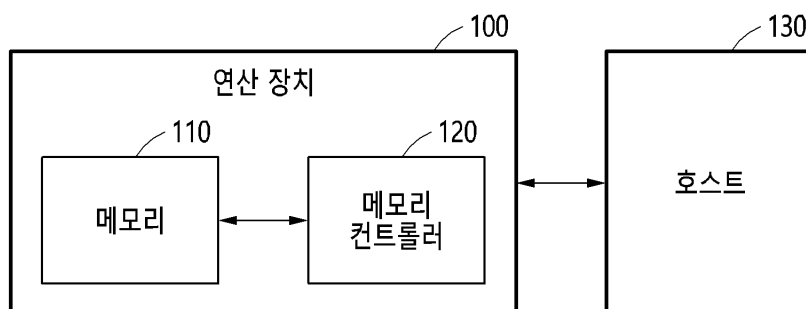
[0104] 위에서 설명한 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 또는 복수의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0105] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

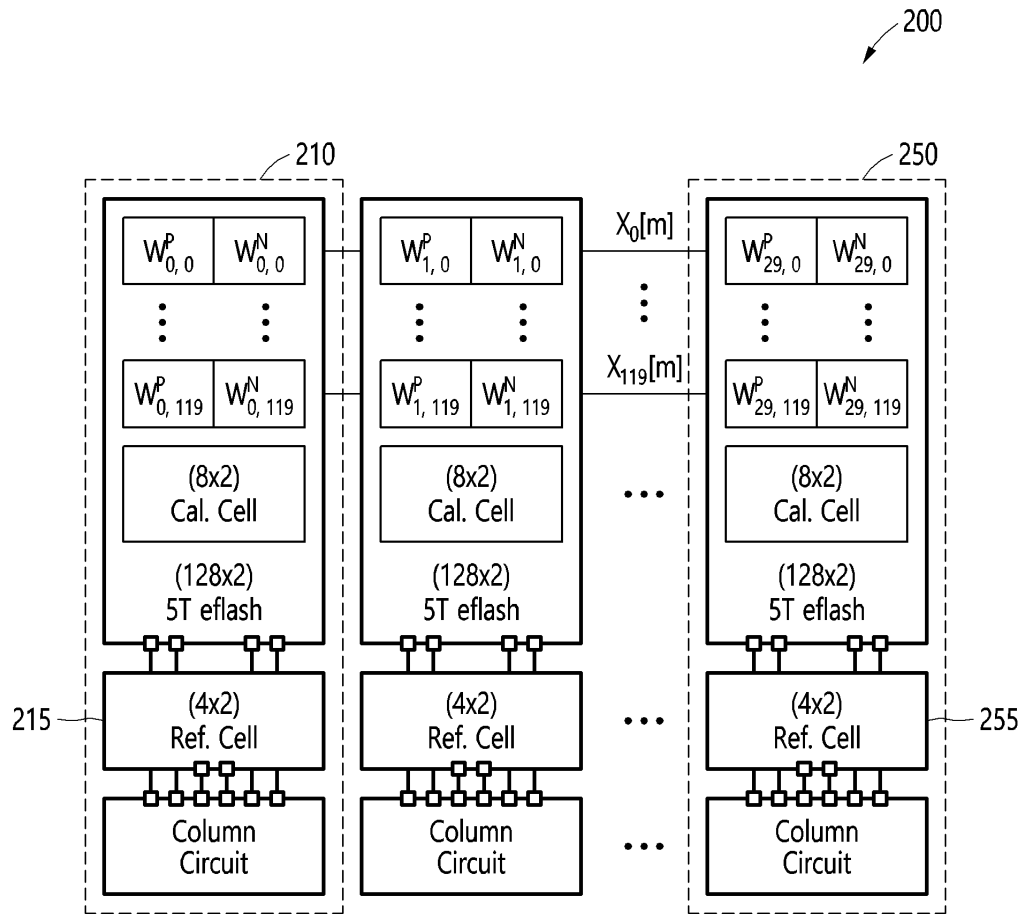
[0106] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

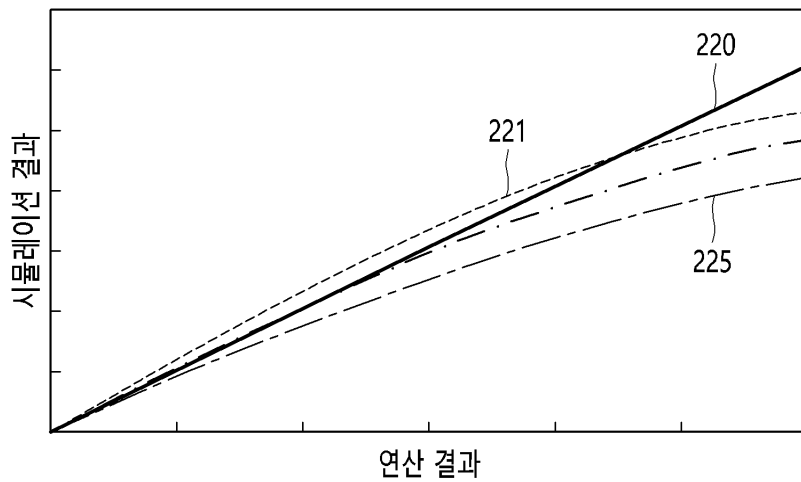
도면1



도면2a



도면2b



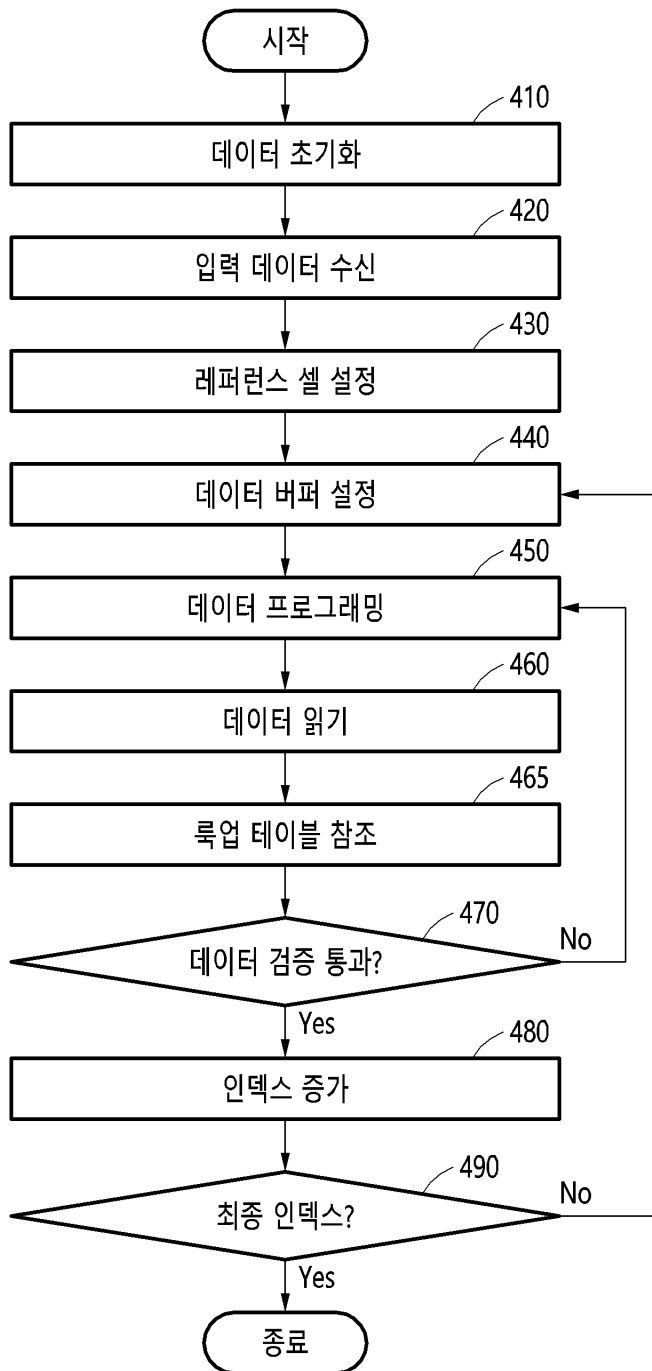
도면3

300

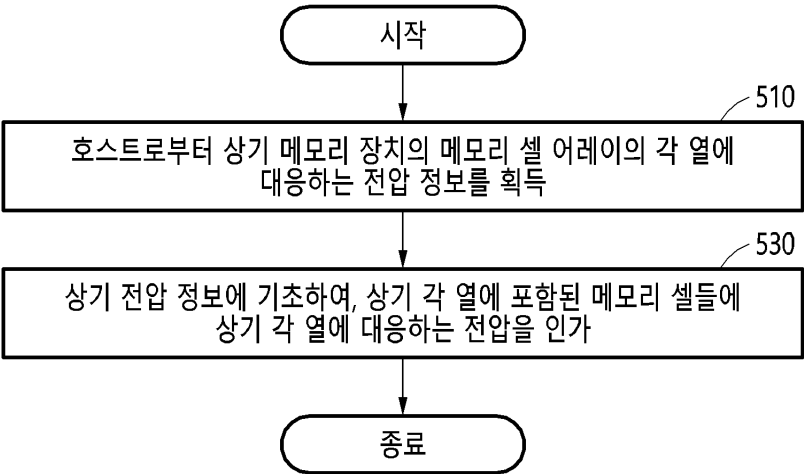
310	V_{FG}	#0	#1	...	#31
	580	0	0	...	0
	574	0	1	...	0
	570	1	1	...	0
	566	1	1	...	1
	...			...	
	520	1	1	...	1

330

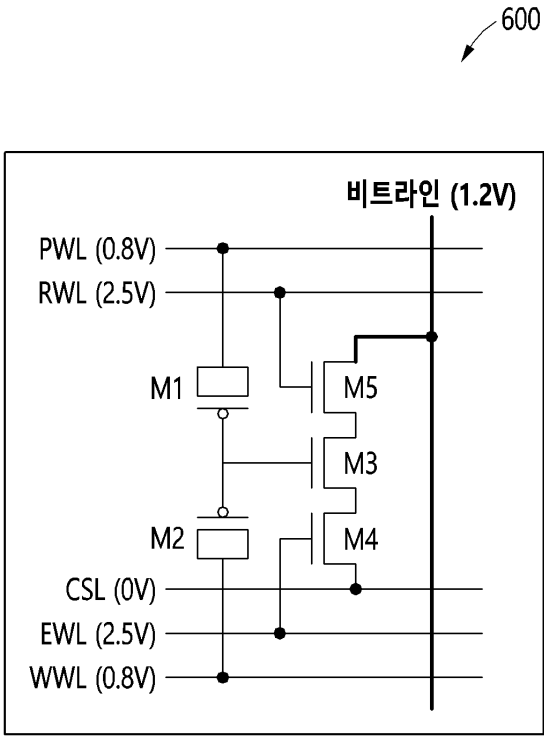
도면4



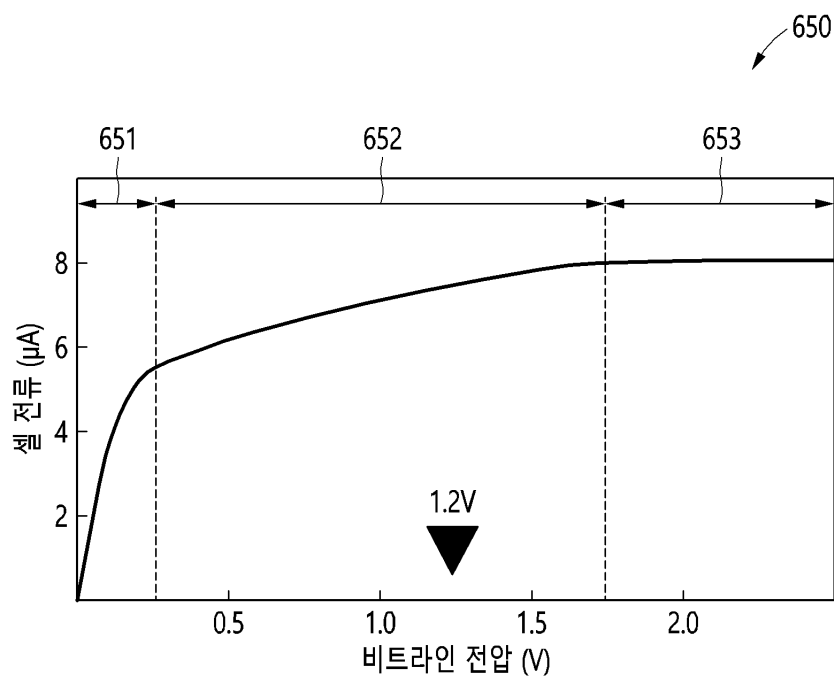
도면5



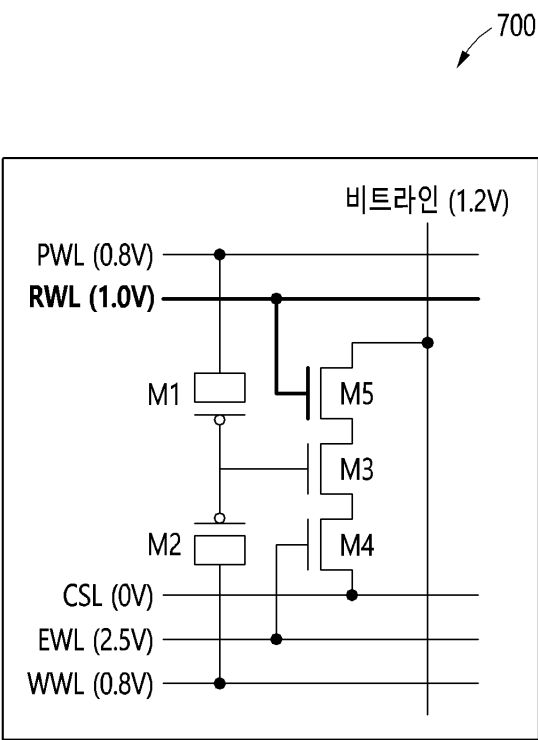
도면6a



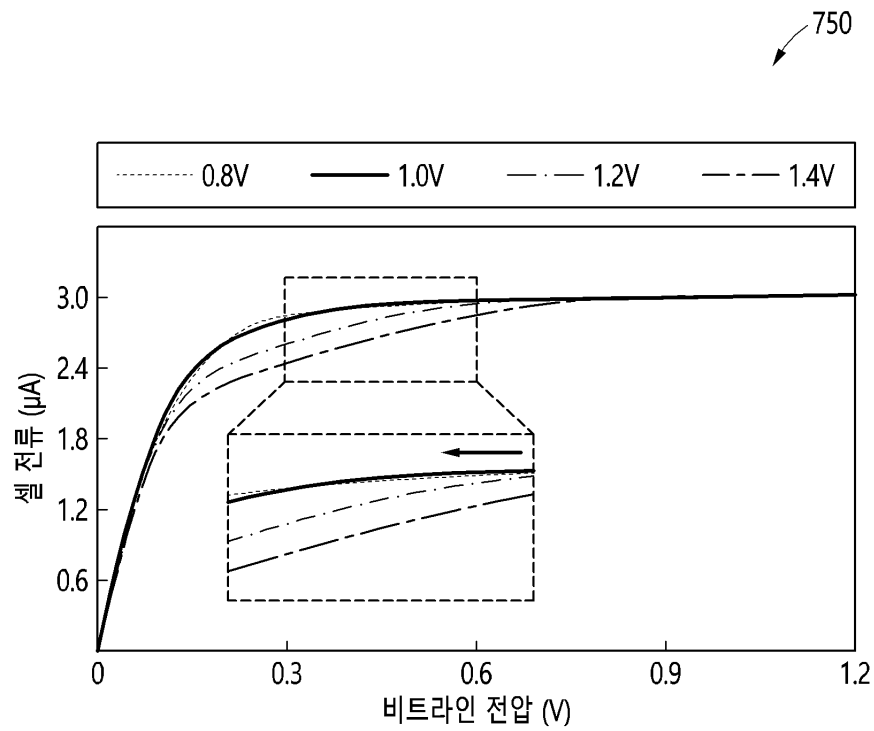
도면6b



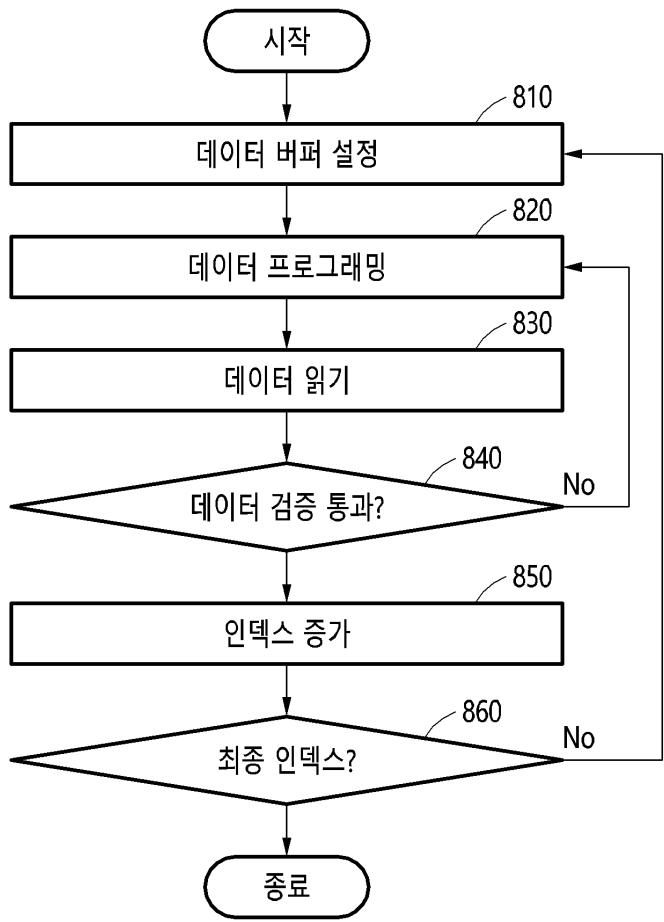
도면7a



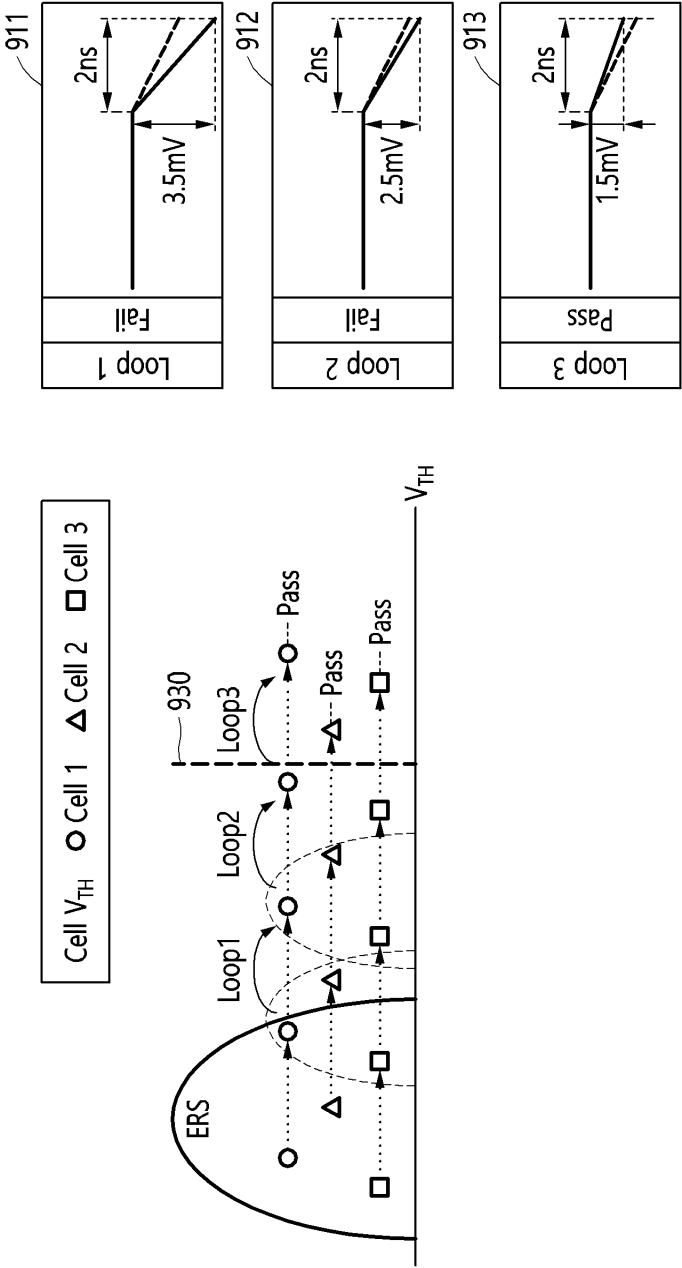
도면7b



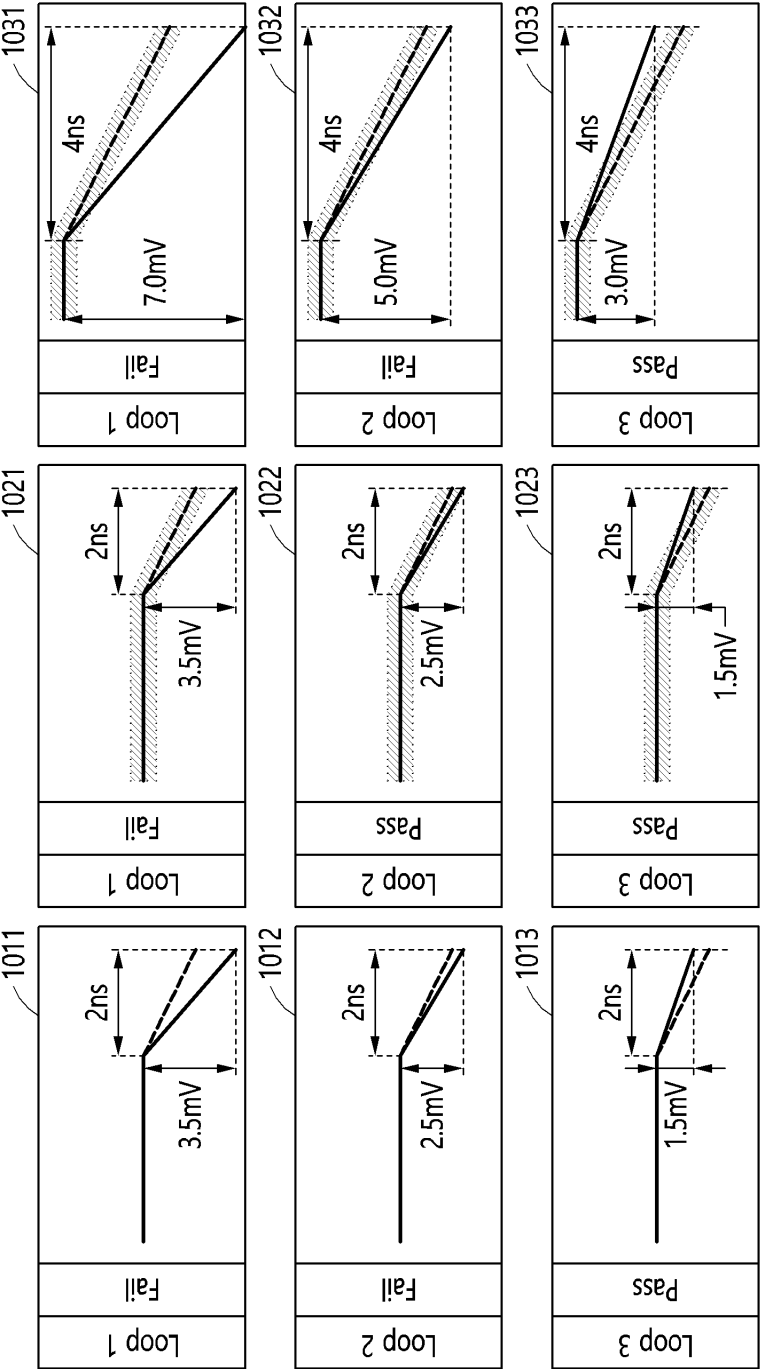
도면8



도면9



도면10



도면11

