

(12) **Österreichische Patentanmeldung**

(21) Anmeldenummer: **A 9503/2007**
PCT/US2007/085722
(22) Anmeldetag: **28.11.2007**
(43) Veröffentlicht am: **15.10.2009**

(51) Int. Cl.⁸: **H01L 21/336** (2006.01),
H01L 27/06 (2006.01),
H01L 29/78 (2006.01),
H01L 29/872 (2006.01)

(30) Priorität:

06.12.2006 US 60/868884 beansprucht.
11.05.2007 US 11/747847 beansprucht.

(73) Patentinhaber:

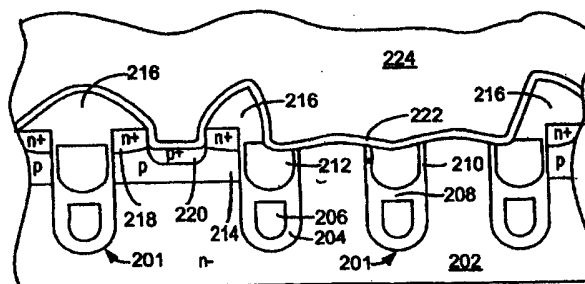
FAIRCHILD SEMICONDUCTOR
CORPORATION
04106 SOUTH PORTLAND (US)

(72) Erfinder:

SESSION FRED
SANDY (US)

(54) **AUFBAU UND VERFAHREN ZUM AUSBILDEN EINES PLANAREN SCHOTTKY-KONTAKTS**

(57) Ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, umfassen mehrere Gräben, die sich in ein FET-Gebiet und ein Schottky-Gebiet einer Halbleiterschicht erstrecken. Ein Graben in dem Schottky-Gebiet umfasst eine Dielektrumschicht, die die Grabenseitenwände auskleidet, und eine leitende Elektrode mit einer Oberseite, die im Wesentlichen koplanar mit einer Oberseite der Halbleiterschicht benachbart zu dem Graben ist. Eine Verbindungsschicht steht elektrisch mit der Halbleiterschicht in dem Schottky-Gebiet in Kontakt, um einen Schottky-Kontakt mit der Halbleiterschicht auszubilden.



Zusammenfassung

Ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind,
5 umfassen mehrere Gräben, die sich in ein FET-Gebiet und ein Schottky-
Gebiet einer Halbleiterschicht erstrecken. Ein Graben in dem Schottky-
Gebiet umfasst eine Dielektrikumschicht, die die Grabenseitenwände
auskleidet, und eine leitende Elektrode mit einer Oberseite, die im We-
sentlichen koplanar mit einer Oberseite der Halbleiterschicht benachbart
10 zu dem Graben ist. Eine Verbindungsschicht steht elektrisch mit der
Halbleiterschicht in dem Schottky-Gebiet in Kontakt, um einen Schottky-
Kontakt mit der Halbleiterschicht auszubilden.

AUFBAU UND VERFAHREN ZUM AUSBILDEN EINES PLANAREN
SCHOTTKY-KONTAKTS

QUERVERWEIS AUF VERWANDTE ANMELDUNGEN

5

Diese Anmeldung beansprucht die Priorität der vorläufigen US-Anmeldung Nr. 60/868,884, die am 6. Dezember 2006 eingereicht wurde und deren Offenbarungsgehalt hierin durch Bezugnahme vollständig mit eingeschlossen ist.

10

Diese Anmeldung ist mit der an den Rechtsinhaber der vorliegenden Erfindung übertragenen US-Anmeldung Nr. 11/026,276 verwandt, die am 29. Dezember 2004 eingereicht wurde und deren Offenbarungsgehalt hierin durch Bezugnahme vollständig mit eingeschlossen ist.

15

HINTERGRUND DER ERFINDUNG

20

Die vorliegende Erfindung bezieht sich auf die Halbleiterleistungsvorrichtungstechnologie und insbesondere auf monolithisch integrierte Trench-FET- und Schottky-Diodenvorrichtungen sowie Trench-MOS-Barrier-Schottky-Gleichrichter (TMBS-Gleichrichter) und Verfahren zum Herstellen dieser.

25

Bei Leistungsvorrichtungsaufbauten, bei denen eine Schottky-Diode mit einem Trench-Gate-Aufbau integriert ist (z.B. TMBS-Gleichrichter oder monolithisch integrierte Vorrichtungen mit FET mit Trench-Gate und Schottky-Diode), erzeugen bekannte Schottky-Kontaktätztechniken Topologien, die zu einer schlechten Barrierenmetallstufenabdeckung und einem hohen Leckstrom führen. Diese Techniken basieren auf Standard-

30

Kontaktätzprozessen, bei denen eine Selektivität hinsichtlich des darunter

liegenden Materials erwünscht ist. Solch eine Technik ist in Fig. 1A-1B gezeigt.

Wie es in Fig. 1A und 1B gezeigt ist, wird in dem Schottky-Diodengebiet der Vorrichtung ein selektives Dielektrikumätzen ausgeführt, um die Schottky-Kontaktöffnung wie durch verbleibende Dielektrikumabschnitte 116 definiert auszubilden. Da die resultierende Topographie in dem Schottky-Gebiet nicht zum Ausbilden des Barrierenmetalls geeignet ist, wird ein selektives weiches Ätzen (soft etch) des Siliziums ausgeführt, um die Topologie zu verbessern. Allerdings umfasst der Weichätzprozess folgendes: (1) er fügt einen weiteren Prozessschritt hinzu, (2) er führt zu einem Untergraben eines Source-Kontakts 132, wodurch das Source-Metall näher an das Kanalgebiet gebracht wird, und (3) er beeinflusst die Metallfülleigenschaften des Source-Kontakts nachteilig. Wie es in Fig. 1B auch zu sehen ist, weist das Barrierenmetall 122, obwohl die Topographie durch das weiche Ätzen in gewisser Weise verbessert wird, weiterhin eine schlechte Stufenabdeckung auf.

Somit wird eine Technik benötigt, die die Topographie in einem Schottky-Kontaktbereich erheblich verbessert und den Leckstrom minimiert.

KURZZUSAMMENFASSUNG DER ERFINDUNG

Gemäß einer Ausführungsform der Erfindung umfassen ein Trench-FET und eine Schottky-Diode, die monolithisch integriert sind, mehrere Gräben, die sich in ein FET-Gebiet und ein Schottky-Gebiet einer Halbleiterschicht erstrecken. Ein Graben in dem Schottky-Gebiet umfasst eine Dielektrikumschicht, die die Grabenseitenwände auskleidet, und eine leitende Elektrode mit einer Oberseite, die im Wesentlichen koplanar mit einer Oberseite des Halbleitergebiets benachbart zu dem Graben ist. Eine Verbindungsschicht steht elektrisch mit der Halbleiterschicht in dem

Schottky-Gebiet in Kontakt, um einen Schottky-Kontakt mit der Halbleiterschicht auszubilden.

Bei einer Ausführungsform umfasst ein Graben in dem FET-Gebiet eine
5 Abschirmdielektrikumschicht, die die unteren Seitenwände und die Unterseite des Grabens auskleidet, eine Abschirmelektrode, die in einem unteren Abschnitt des Grabens angeordnet ist, eine Zwischenelektroden-Dielektrikumschicht über der Abschirmelektrode und eine Gate-Dielektrikumschicht, die die oberen Grabenseitenwände auskleidet. Die Gate-
10 Dielektrikumschicht ist dünner als die Abschirmdielektrikumschicht. Der Graben in dem FET-Gebiet umfasst ferner eine Gate-Elektrode über der Zwischenelektroden-Dielektrikumschicht.

Bei einer anderen Ausführungsform umfasst ein Graben in dem Schottky-
15 Gebiet nur eine leitende Elektrode.

Gemäß einer anderen Ausführungsform der Erfindung umfasst ein Verfahren zum Ausbilden eines Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, die folgenden Schritte. Es werden mehrere
20 Gräben in einem FET-Gebiet und einem Schottky-Gebiet einer Halbleiterschicht ausgebildet. In jedem Graben wird eine vertiefte leitende Elektrode ausgebildet. Durch Entfernen mindestens eines Abschnitts der Halbleiterschicht und eines Abschnitts einer vertieften leitenden Elektrode in einem Graben, so dass eine Oberseite der vertieften leitenden Elektrode und eine
25 Oberseite der Halbleiterschicht in dem Schottky-Gebiet im Wesentlichen koplanar sind, wird eine Kontaktöffnung in dem Schottky-Gebiet ausgebildet.

Bei einer Ausführungsform wird nach dem Ausbilden der Kontaktöffnung
30 eine Verbindungsschicht, die elektrisch mit Flächen der Halbleiterschicht

in Kontakt steht, ausgebildet, um einen Schottky-Kontakt mit der Halbleiterschicht auszubilden.

5 Bei einer anderen Ausführungsform wird vor dem Ausbilden der Kontaktöffnung eine Dielektrikumschicht über der Halbleiterschicht ausgebildet, und der Schritt des Ausbildens einer Kontaktöffnung umfasst ferner das Entfernen eines Abschnitts des Dielektrikummaterials.

10 Bei noch einer anderen Ausführungsform werden der Abschnitt der Dielektrikumschicht, der mindestens einen Abschnitt der Halbleiterschicht und der Abschnitt einer leitenden Elektrode in einem Graben alle unter Verwendung eines Ätzprozesses entfernt, der die Dielektrikumschicht und das Halbleitersubstrat mit im Wesentlichen der gleichen Rateätzt.

15 Bei noch einer anderen Ausführungsform werden der Abschnitt der Dielektrikumschicht, der mindestens einen Abschnitt der Halbleiterschicht und der Abschnitt einer leitenden Elektrode in einem Graben alle unter Verwendung eines Ätzprozesses entfernt, der eine geringe Selektivität zwischen der Dielektrikumschicht und der Halbleiterschicht aufweist.

20

Bei noch einer anderen Ausführungsform wird vor dem Ausbilden einer Kontaktöffnung eine Schutzschicht über der Dielektrikumschicht ausgebildet, worauf das Entfernen mindestens eines Abschnitts der Schutzschicht folgt, um die Kontaktöffnung zu definieren.

25

Ein weiteres Verständnis der Natur und der Vorteile der hierin offenbarten Erfindung kann durch Bezugnahme auf die verbleibenden Teile der Beschreibung und die beigefügten Zeichnungen erfolgen.

30

KURZBESCHREIBUNG DER ZEICHNUNGEN

- Fig. 1A - 1B sind vereinfachte Querschnittsansichten, die eine bekannte Schottky-Kontaktätztechnik zeigen;
- 5 Fig. 2A - 2F sind vereinfachte Querschnittsansichten verschiedener Stufen eines Prozesses zum Ausbilden eines FET mit abgeschirmtem Gate und einer Schottky-Diode, die monolithisch integriert sind, gemäß einer Ausführungsform der Erfindung;
- 10 Fig. 3 zeigt eine vereinfachte Querschnittsansicht eines FET mit Trench-Gate und einer Schottky-Diode, die monolithisch integriert sind, wobei die Schottky-Kontaktätztechnik gemäß einer Ausführungsform der Erfindung verwendet wird, um in dem Schottky-Gebiet eine im
- 15 Wesentlichen planare Verbindungsschicht zu erhalten;
- Fig. 4 zeigt eine vereinfachte Querschnittsansicht eines TMBS-Gleichrichters, wobei das Schottky-Kontaktätzen gemäß einer Ausführungsform der Erfindung
- 20 verwendet wird, um eine im Wesentlichen planare Verbindungsschicht zu erhalten; und
- Fig. 5 ist ein Graph, der den Drain-Source-Leckstrom für monolithisch integrierte Vorrichtungen mit FET mit
- 25 Trench-Gate und Schottky-Diode, die unter Verwendung der Ätztechnik mit geringer Selektivität gemäß einer Ausführungsform der Erfindung hergestellt wurden, mit dem für monolithisch integrierte Vorrichtungen mit FET mit Trench-Gate und Schottky-Diode, die
- 30 unter Verwendung von herkömmlichen Ätztechniken hergestellt wurden, vergleicht.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

Gemäß einer Ausführungsform der Erfindung wird ein Schottky-Kontakt-
5 ätzprozess mit wesentlich reduzierter Dielektrikum-Silizium-Selektivität
offenbart, der die Notwendigkeit von Zwischenschritten (wie beispielsweise
ein weiches Ätzen) beseitigt. Die reduzierte Selektivität führt zu einer
planarisierteren Fläche (d.h. reduzierte Topologie). Diese reduzierte Topo-
logie führt wiederum zu einer Ausbildung eines im Wesentlichen planaren
10 Barrierenmetalls, was eine erhebliche Reduzierung des Drain-Source-
Leckstroms liefert (bei einer Ausführungsform 10-fach). Weitere Merkmale
und Vorteile der Erfindung werden nachstehend offenbart.

Fig. 2A - 2F sind vereinfachte Querschnittsansichten bei verschiedenen
15 Stufen eines Prozesses zum Ausbilden eines FET mit abgeschirmtem Gate
und einer Schottky-Diode, die monolithisch integriert sind, gemäß einer
Ausführungsform der Erfindung. In Fig. 2A - 2F ist das Schottky-Dioden-
gebiet auf der rechten Seite der Figuren gezeigt und ist das FET-Gebiet auf
der linken Seite gezeigt. Es ist zu verstehen, dass nur ein kleiner Ab-
20 schnitt des aktiven Gebiets der Vorrichtung in Fig. 2A - 2F gezeigt ist und
dass viele Wege zum Integrieren der Schottky-Diode und des FET möglich
sind. Typischerweise sind viele Schottky-Gebiete, ähnlich den in Fig. 2A -
2F gezeigten, über das aktive Gebiet der Vorrichtung mit einer vorbe-
stimmten Häufigkeit verteilt, die teilweise von dem gewünschten Prozent-
25 anteil des Schottky-Diodenbereichs abhängt. Während in einem gegebene-
nen Schottky-Gebiet drei Gräben gezeigt sind, können in dem Schottky-
Gebiet mehr oder weniger Gräben ausgebildet sein.

In Fig. 2A erstrecken sich Gräben 201 in ein Halbleitergebiet 202. Bei
30 einer Ausführungsform ist das Halbleitergebiet eine niedrig dotierte n-
leitende Epitaxieschicht, die über einem stark dotierten Substrat (nicht

gezeigt) ausgebildet ist, und enden die Gräben 201 in der Epitaxieschicht. Bei einer anderen Ausführungsform erstrecken sich die Gräben 201 in das Substrat und enden in diesem. In Fig. 2A wird eine Abschirmdielektrikumschicht 204 (die z.B. Oxid umfasst), die die Grabenseitenwände und
5 -unterseite auskleidet, unter Verwendung von bekannten Techniken ausgebildet. Dann wird eine Abschirmelektrode 206 (die z.B. dotiertes oder nicht dotiertes Polysilizium umfasst) in einem unteren Abschnitt jedes Grabens unter Verwendung von herkömmlichen Verfahren ausgebil-
det.

10

In Fig. 2B wird unter Verwendung von bekannten Verfahren in jedem Graben über der Abschirmelektrode 206 ein Zwischenelektroden-
Dielektrikum 208 (das z.B. Oxid umfasst) ausgebildet. In Fig. 2C wird
unter Verwendung von herkömmlichen Techniken in jedem Graben über
15 dem Zwischenelektroden-Dielektrikum 208 eine vertiefte Gate-Elektrode
212 (die z.B. dotiertes oder nicht dotiertes Polysilizium umfasst) ausgebil-
det. In Fig. 2D wird über dem Aufbau eine Dielektrikumschicht 216 (die
z.B. BPSG und/oder nicht dotiertes Oxid und/oder PSG umfasst) ausge-
bildet. In dem FET-Gebiet werden unter Verwendung von bekannten
20 Maskierungstechniken in der Dielektrikumschicht 216 Source-Kontakt-
öffnungen 232 ausgebildet. Die durch die Source-Kontaktöffnungen freige-
legten Siliziumflächen werden dann vertieft, um Heavy-Body-Kontakt-
öffnungen auszubilden, wie es gezeigt ist.

25 In Fig. 2E wird eine Maskierungsschicht 226 (die z.B. ein Fotoresist um-
fasst), die nur über Schottky-Gebieten Öffnungen aufweist, unter Verwen-
dung von herkömmlichen Techniken ausgebildet. Die Maskierungsschicht
226 deckt somit alle FET-Gebiete ab. Unter Verwendung eines Ätzprozes-
ses, der die Dielektrikumschicht 216 mit im Wesentlichen der gleichen
30 Rate ätzt wie er das darunter liegende Silizium ätzen würde, werden die
freigelegten Abschnitte der Dielektrikumschicht 216 und ein Abschnitt des

darunter liegenden Siliziums entfernt, so dass in dem Schottky-Gebiet eine planare Fläche erhalten wird. Gemäß einer Ausführungsform der Erfindung, bei der die Dielektrikumschicht 216 BPSG umfasst, ist der Ätzprozess in Fig. 2E derart entworfen, dass er eine minimale oder keine Selektivität zwischen Silizium und Oxid aufweist. Wie es zu sehen ist, erfordert der in Fig. 2E gezeigte Ätzprozess kein separates Planarisierungsmedium (wie beispielsweise Spin-on-Glass) und kein CMP, und handelt es sich um ein lokalisiertes Ätzen (d.h. auf die Schottky-Gebiete beschränkt) und somit nicht um ein globales Ätzen.

10

Die Reduzierung der Dielektrikum-Silizium-Selektivität kann auf eine Anzahl von Arten erreicht werden. Bei einer Ausführungsform werden die Gasverhältnisse modifiziert, um die Polymerisierungsgase zu minimieren oder zu beseitigen, die die Siliziumätzrate blockieren. Bei einer anderen Ausführungsform wird die Konzentration von freiem Fluor in dem Plasma erhöht, um die Siliziumätzrate zu verbessern. Dies kann unter Verwendung von Gasadditiven, wie beispielsweise Sauerstoff, SF₆ (Schwefelhexafluorid) und/oder NF₃ (Stickstofftrifluorid), erreicht werden. Die Konzentration von freiem Fluor kann auch durch Erhöhen der HF-Übermittlungsfrequenz erhöht werden, um das Ätzmittelgas besser zu dissoziieren. Bei noch einer anderen Ausführungsform werden der Druck und die Leistung geändert, um das Ätzen zu einem weniger physikalischen und chemischen Prozess zu machen. Dies kann durch Reduzieren der HF-Vorspannung an dem Wafer erreicht werden. Es kann eine beliebige oder eine Kombination dieser Techniken verwendet werden, um die Dielektrikum-Silizium-Selektivität zu reduzieren. Bei einigen Ausführungsformen werden verschiedene Kombinationen von HF-Übermittlungsfrequenzen zwischen 10 kHz und 3 GHz (beispielsweise ein Nennwert von 400 kHz), Prozessdrücken zwischen 10 mTorr und 1 Torr (beispielsweise ein Nennwert von 600 mTorr), Eingangsleistungen zwischen 100 Watt und 2000 Watt (beispielsweise ein Nennwert von 400 Watt), einem Hauptätzmittel-

25
30

gasfluss zwischen 40 sccm und 100 sccm (beispielsweise ein Nennwert von 80 sccm) und Sauerstoff-, Stickstoff- oder Fluorzusätzen zwischen 0 sccm und 100 sccm (beispielsweise ein Nennwert von 20 sccm) und Prozesstemperaturen von 0°C bis 100°C (beispielsweise ein Nennwert von 20°C) verwendet, um die gewünschte Selektivität zu erreichen.

In Fig. 2F wird unter Verwendung von bekannten Techniken über dem Aufbau eine konforme Barrierenmetallschicht 222 ausgebildet. Wie es zu sehen ist, ist das Barrierenmetall 222 in dem Schottky-Gebiet im Wesentlichen planar. Bei einer Ausführungsform umfasst das Barrierenmetall 222 eine Doppelschicht aus Titan-Wolfram und Titan-Silizid. Dann wird über dem Barrierenmetall 222 eine leitende Schicht 224 (die z.B. Aluminium umfasst) ausgebildet. Zusammen mit der Barrierenmetallschicht 222 bildet die leitende Schicht 224 die Source-Verbindung. Wie es zu sehen ist, steht die Source-Verbindung mit dem Heavy-Body-Gebiet 220 und den Source-Gebieten 218 elektrisch in Kontakt, ist sie jedoch von den Gate-Elektroden 212 in dem FET-Gebiet isoliert. In dem Schottky-Gebiet wird an den Stellen, an denen die Source-Verbindung zwischen den Gräben mit den Mesa-Gebieten 202 in Kontakt steht, eine Schottky-Diode ausgebildet. Die Source-Verbindung steht auch mit den Gate-Elektroden 212 in den Schottky-Gebiet-Gräben in Kontakt. Somit werden die Gate-Elektroden 212 in dem Schottky-Gebiet während des Betriebs mit dem Source-Potential elektrisch vorgespannt.

Die verschiedenen Gebiete des FET, die das Body-Gebiet 214, das Heavy-Body-Gebiet 220 und die Source-Gebiete 218 umfassen, sind in Fig. 2F nur umfasst, um die vollständige Vorrichtung darzustellen und reflektieren somit nicht die Prozessreihenfolge, in der sie ausgebildet werden. Das heißt, das Body-Gebiet, das Heavy-Body-Gebiet und die Source-Gebiete können in jeder beliebigen geeigneten Stufe des Prozesses ausgebildet werden.

Fig. 3 ist eine vereinfachte Querschnittsansicht eines FET mit Trench-Gate bzw. Graben-Gate und einer Schottky-Diode, die monolithisch integriert sind, wobei die Schottky-Kontaktätztechnik gemäß einer Ausführungsform der Erfindung vorteilhaft verwendet wird, um in dem Schottky-Gebiet eine im Wesentlichen planare Barrierenmetallschicht zu erhalten. Gräben 301, die eine Gate-Elektrode 312 ohne darunter liegende Abschirmelektrode umfassen, enden in einem Driftgebiet 302. Alternativ können sich die Gräben 301 in ein stark dotiertes Substrat (nicht gezeigt) erstrecken und in diesem enden, welches unter dem Driftgebiet 302 liegt. Wie es gezeigt ist, umfasst jeder Graben 301 ein Dielektrikum für eine dicke Unterseite (das z.B. Oxid umfasst) entlang eines unteren Abschnitts des Grabens, um die Gate-Drain-Kapazität zu reduzieren, und ein dünneres Gate-Dielektrikum (das z.B. ein Gate-Oxid umfasst), das die Grabenseitenwände auskleidet. Alternativ erstreckt sich eine Gate-Dielektrikumschicht mit relativ einheitlicher Dicke entlang den Seitenwänden und der Unterseite des Grabens. Der Schottky-Kontaktätzprozess und seine Abwandlungen, die in Verbindung mit der vorstehenden Ausführungsform beschrieben wurden, werden verwendet, um in dem Schottky-Gebiet eine im Wesentlichen planare Fläche zu erreichen. Somit wird in dem Schottky-Gebiet ein im Wesentlichen planares Barrierenmetall 322 erhalten.

Es sei angemerkt, dass, während die durch Fig. 2A - 2F und 3 gezeigten Ausführungsformen n-Kanal-FETs zeigen, durch Umkehren der Polarität der verschiedenen Halbleitergebiete p-Kanal-FETs erhalten werden können. Ferner werden bei der Ausführungsform, bei der die Driftgebiete 202 und 302 eine Epitaxieschicht sind, die sich über einem Substrat erstreckt, MOSFETs erhalten, wenn das Substrat und die Epitaxieschicht den gleichen Leitfähigkeitstyp aufweisen, und werden IGBTs erhalten, wenn das Substrat den gegenteiligen Leitfähigkeitstyp in Bezug auf den der Epitaxieschicht aufweist. Dies sind nur einige Trench-FET-Vorrichtungen, bei

denen das Schottky-Kontaktätzen gemäß der Erfindung verwendet wird, um planare Flächen und ein besseres Leckstromleistungsvermögen zu erhalten. Die Schottky-Kontaktätztechnik und ihre Abwandlungen, die hierin offenbart sind, können beim Ausbilden vieler anderer Typen von Aufbauten und Vorrichtungen verwendet werden, um ähnliche Vorteile und Merkmale zu erhalten. Beispielsweise sind verschiedene Typen und Aufbauten von Leistungsvorrichtungen in der oben erwähnten am 29.

Dezember 2004 eingereichten US-Patentanmeldung Nr. 11/026,276 offenbart. Ein Fachmann würde erkennen, wie in diese Vorrichtungen,

insbesondere in die Vorrichtungen mit Trench-Gate, mit abgeschirmtem Gate und die Ladungsausgleichsvorrichtungen, die beispielsweise in Fig. 1, 2A, 3A, 3B, 4A, 4C, 5C, 9B, 9C, 10 - 12 und 24 der US-Patentanmeldung Nr. 11/026,276 gezeigt sind, eine Schottky-Diode integriert

wird. Ein Fachmann würde ferner erkennen, wie das Schottky-Kontaktätzen oder seine Abwandlungen, die hierin offenbart sind, beim Ausbilden solcher integrierter FET- und Schottky-Diodenvorrichtungen im Hinblick auf diese Offenbarung einzubeziehen sind.

Fig. 4 zeigt eine vereinfachte Querschnittsansicht eines TMBS-Gleichrichters, wobei die oben beschriebene Schottky-Kontaktätztechnik verwendet wird, um eine im Wesentlichen planare Barrierenmetallschicht 408 zu erhalten. Jeder Graben 401 ist mit einer Isolierschicht 406 (die z.B. Oxid umfasst) ausgekleidet und ist mit einer leitenden Elektrode 406 (die z.B. dotiertes oder nicht dotiertes Polysilizium umfasst) gefüllt. Die leitenden Elektroden 406 sind elektrisch verbunden und somit mit dem gleichen Potential vorgespannt wie die Verbindungsschicht der Oberseite, die einen Leiter 410 (der z.B. Aluminium umfasst) und eine Barrierenmetallschicht 408 (die z.B. eine Doppelschicht aus Titan-Wolfram und Titan-Silizid umfasst) umfasst. Der Betrieb der in Fig. 2F, 3 und 4 gezeigten Vorrichtungen ist in der Technik weithin bekannt und wird somit nicht beschrieben.

Fig. 5 ist ein Graph, der den Drain-Source-Leckstrom für monolithisch integrierte Vorrichtungen mit FET mit Trench-Gate und Schottky-Diode, die unter Verwendung der Ätztechnik mit geringer Selektivität gemäß einer Ausführungsform der Erfindung hergestellt wurden, mit dem für monolithisch integrierte Vorrichtungen mit FET mit Trench-Gate und Schottky-Diode vergleicht, die unter Verwendung von herkömmlichen Ätztechniken hergestellt wurden. Die vertikale Achse in dem Graph von Fig. 5 stellt den Source-Drain-Leckstrom dar, und die horizontale Achse stellt die verschiedenen Gruppen von Vorrichtungen dar. Die Datenpunkte für Vorrichtungen, die unter Verwendung eines Ätzens mit geringer Selektivität ausgebildet wurden, sind eingekreist. Wie es zu sehen ist, ist der Source-Drain-Leckstrom von Vorrichtungen mit Verwendung eines Ätzens mit geringer Selektivität im Vergleich zu den Vorrichtungen mit Verwendung von herkömmlichen Ätztechniken wesentlich geringer (um einen Faktor von 6 oder mehr).

Die nachstehende Tabelle stellt Source-Drain-Leckstromwerte für drei herkömmliche Vorrichtungen, bei denen kein weiches Ätzen verwendet wird, ein weiches Ätzen von 10 Sekunden verwendet wird und ein weiches Ätzen von 20 Sekunden verwendet wird, tabellarisch dar. In der Tabelle sind auch entsprechende Source-Drain-Leckstromwerte für eine Vorrichtung gezeigt, die unter Verwendung der Ätztechnik mit geringer Selektivität gemäß einer Ausführungsform der Erfindung hergestellt wurde. Wie es zu sehen ist, liefert der Ätzprozess mit geringer Selektivität sogar, wenn ein weiches Ätzen von 20 Sekunden ausgeführt wird, ein weit besseres Leckstromleistungsvermögen.

	SE 0 s	10 s	20 s
Kontrolle	667 μ A	180 μ A	158 μ A
Prozess mit geringer Selektivität	38 μ A	35 μ A	35 μ A

Somit wurden Ätztechniken mit geringer Selektivität zum Planarisieren eines Schottky-Kontaktaufbaus beschrieben, die keine Zwischenschritte, wie beispielsweise ein Verwenden eines Planarisierungsmediums (z.B.

- 5 Spin-on-Glass) oder CMP, erfordern. Das Dielektrikum (z.B. Oxid) wird mit oder nahe der gleichen Rate geätzt wie das darunter liegende Silizium, um die Topologie in dem Schottky-Kontaktbereich zu reduzieren. Die reduzierte Topologie führt zu einer besseren Barrierenmetallstufenabdeckung. Somit wird ohne die Notwendigkeit eines weichen Ätzens ein wesentlich
- 10 geringerer Source-Drain-Leckstrom erreicht.

- Obwohl hierin eine Anzahl von spezifischen Ausführungsformen gezeigt und beschrieben ist, sind die Ausführungsformen der Erfindung nicht darauf begrenzt. Beispielsweise ist, während Fig. 2A - 2F zeigen, dass der
- 15 Aufbau der Schottky-Gebiet-Gräben mit dem der FET-Gebiet-Gräben identisch ist, die Erfindung nicht darauf beschränkt. Bei einer Ausführungsform werden die Schottky-Gebiet-Gräben unter Verwendung von bekannten Techniken derart ausgebildet, dass sie nur eine leitende Elektrode umfassen (z.B. eine Abschirmelektrode, die sich nahe der Oberseite
- 20 des Grabens erstreckt). Daher sollte der Schutzzumfang der vorliegenden Erfindung nicht in Bezug auf die obige Beschreibung bestimmt werden, sondern sollte er stattdessen mit Bezugnahme auf die beigefügten Ansprüche, zusammen mit dem vollen Schutzzumfang der Äquivalente, bestimmt werden.

Patentansprüche

1. Trench-FET und Schottky-Diode, die monolithisch integriert sind, umfassend:

5 mehrere Gräben, die sich in ein FET-Gebiet und ein Schottky-Gebiet einer Halbleiterschicht erstrecken, wobei ein Graben in dem Schottky-Gebiet eine Dielektrikumschicht, die die Grabenseitenwände auskleidet, und eine leitende Elektrode mit einer Oberseite aufweist, die mit einer Oberseite der Halbleiterschicht benachbart zu dem Graben im Wesentlichen koplanar ist; und

10 eine Verbindungsschicht, die mit der Halbleiterschicht in dem Schottky-Gebiet elektrisch in Kontakt steht, um mit der Halbleiterschicht einen Schottky-Kontakt auszubilden.

- 15 2. Trench-FET und Schottky-Diode, die monolithisch integriert sind, nach Anspruch 1, wobei ein Graben in dem FET-Gebiet eine Dielektrikumschicht, die die Grabenseitenwände auskleidet, und eine leitende Elektrode umfasst, und wobei die Verbindungsschicht mit der leitenden Elektrode in dem Graben in dem Schottky-Gebiet elektrisch in Kontakt steht, jedoch von der leitenden Elektrode in dem Graben in dem FET-Gebiet elektrisch isoliert ist.

- 20 3. Trench-FET und Schottky-Diode, die monolithisch integriert sind, nach Anspruch 1, wobei eine Fläche der Halbleiterschicht in dem Schottky-Gebiet relativ zu einer Fläche der Halbleiterschicht in dem FET-Gebiet niedriger ist.

- 25 4. Trench-FET und Schottky-Diode, die monolithisch integriert sind, nach Anspruch 1, wobei ein Graben in dem FET-Gebiet eine Dielektrikumschicht, die die Grabenseitenwände auskleidet, und eine leitende Elektrode mit einer Oberseite umfasst, die höher ist als eine

30

Oberseite der leitenden Elektrode in dem Graben in dem Schottky-Gebiet.

5. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
5 nach Anspruch 1, wobei das FET-Gebiet umfasst:
ein Wannengebiet, das sich in der Halbleiterschicht erstreckt;
Source-Gebiete in dem Wannengebiet benachbart zu dem
Graben in dem FET-Gebiet, wobei die Source-Gebiete und das Wan-
nengebiet einen gegenteiligen Leitfähigkeitstyp aufweisen; und
10 ein Heavy-Body-Gebiet in dem Wannengebiet, wobei das Hea-
vy-Body-Gebiet den gleichen Leitfähigkeitstyp wie das Wannenge-
biet, jedoch eine höhere Dotierungskonzentration als dieses auf-
weist,
wobei die Verbindungsschicht mit den Source- und Heavy-
15 Body-Gebieten elektrisch in Kontakt steht.
6. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
nach Anspruch 5, wobei der Trench-FET ein Trench-MOSFET ist,
die Halbleiterschicht eine Epitaxieschicht umfasst, die sich über ei-
nem Substrat erstreckt, die Epitaxieschicht eine niedrigere Dotie-
20 rungskonzentration aufweist als die Epitaxieschicht, sich das Wan-
nengebiet in der Epitaxieschicht erstreckt und einen Leitfähigkeits-
typ aufweist, der zu dem der Epitaxieschicht und dem Substrat ge-
genteilig ist.
7. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
nach Anspruch 5, wobei der Trench-FET ein Trench-IGBT ist, die
Halbleiterschicht eine Epitaxieschicht umfasst, die sich über einem
Substrat erstreckt, die Epitaxieschicht eine niedrigere Dotierungs-
30 konzentration aufweist als die Epitaxieschicht, sich das Wannenge-
biet in der Epitaxieschicht erstreckt und einen Leitfähigkeitstyp

aufweist, der zu dem der Epitaxieschicht gegenteilig ist, und das Wannengebiet und das Substrat den gleichen Leitfähigkeitstyp aufweisen.

- 5 8. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
nach Anspruch 1, wobei ein Trench in dem FET-Gebiet umfasst:
 eine Abschirmdielektrikumschicht, die die unteren Seiten-
wände und die Unterseite des Grabens auskleidet;
 eine Abschirmelektrode, die in einem unteren Abschnitt des
10 Grabens angeordnet ist;
 eine Zwischenelektroden-Dielektrikumschicht über der Ab-
schirmelektrode;
 eine Gate-Dielektrikumschicht, die die oberen Grabenseiten-
wände auskleidet, wobei die Gate-Dielektrikumschicht dünner ist
15 als die Abschirmdielektrikumschicht; und
 eine Gate-Elektrode über der Zwischenelektroden-Dielektri-
kumschicht.
- 20 9. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
nach Anspruch 8, wobei der Graben in dem Schottky-Gebiet nur ei-
ne leitende Elektrode umfasst.
- 25 10. Trench-FET und Schottky-Diode, die monolithisch integriert sind,
nach Anspruch 1, wobei jeder der mehreren Gräben in dem FET-
Gebiet und dem Schottky-Diodengebiet umfasst:
 eine Abschirmdielektrikumschicht, die die unteren Seiten-
wände und die Unterseite des Grabens auskleidet;
 eine Abschirmelektrode, die in einem unteren Abschnitt des
Grabens angeordnet ist;
30 eine Zwischenelektroden-Dielektrikumschicht über der Ab-
schirmelektrode;

eine Gate-Dielektrikumschicht, die die oberen Grabenseitenwände auskleidet, wobei die Gate-Dielektrikumschicht dünner ist als die Abschirmdielektrikumschicht; und

eine Gate-Elektrode über jeder Zwischenelektroden-Dielektrikumschicht.

11. Trench-FET und Schottky-Diode, die monolithisch integriert sind, nach Anspruch 1, wobei ein Graben in dem FET-Gebiet umfasst:

eine Dielektrikumschicht, die die Grabenseitenwände und -unterseite auskleidet, wobei die Dielektrikumschicht entlang der Grabenunterseite dicker ist als entlang den Grabenseitenwänden; und

eine vertiefte Gate-Elektrode.

12. Halbleiteraufbau, umfassend:

einen ersten Graben in einem ersten Gebiet einer Halbleiterschicht, wobei der erste Graben eine leitende Elektrode darin aufweist, wobei eine Oberseite der leitenden Elektrode relativ zu einer Oberseite des ersten Gebiets der Halbleiterschicht vertieft ist; und

einen zweiten Graben in einem zweiten Gebiet der Halbleiterschicht, wobei der zweite Graben eine leitende Elektrode darin aufweist, wobei die leitende Elektrode in dem zweiten Graben eine Oberseite aufweist, die mit einer Oberseite des zweiten Gebiets der Halbleiterschicht im Wesentlichen koplanar ist,

wobei eine Oberseite des ersten Gebiets der Halbleiterschicht höher ist als eine Oberseite des zweiten Gebiets der Halbleiterschicht.

13. Halbleiter nach Anspruch 12, wobei das erste Gebiet der Halbleiterschicht einen Trench-FET unterbringt und das zweite Gebiet der Halbleiterschicht einen Gleichrichter unterbringt.

14. Verfahren zum Ausbilden eines Trench-FET und einer Schottky-Diode, die monolithisch integriert sind, wobei das Verfahren umfasst, dass

5 mehrere Gräben in einem FET-Gebiet und einem Schottky-Gebiet einer Halbleiterschicht ausgebildet werden;
 in jedem Graben eine vertiefte leitende Elektrode ausgebildet wird; und

 eine Kontaktöffnung in dem Schottky-Gebiet durch Entfernen
10 mindestens eines Abschnitts der Halbleiterschicht und eines Abschnitts einer vertieften leitenden Elektrode in einem Graben ausgebildet wird, so dass eine Oberseite der vertieften leitenden Elektrode und eine Oberseite der Halbleiterschicht in dem Schottky-Gebiet im Wesentlichen koplanar sind.

15

15. Verfahren nach Anspruch 14, das ferner umfasst, dass
 nach dem Schritt des Ausbildens einer Kontaktöffnung eine Verbindungsschicht ausgebildet wird, die mit Flächen der Halbleiterschicht elektrisch in Kontakt steht, um einen Schottky-Kontakt
20 mit der Halbleiterschicht auszubilden.

20

16. Verfahren nach Anspruch 15, wobei die Verbindungsschicht derart ausgebildet wird, dass sie mit der vertieften leitenden Elektrode in einem oder mehreren Gräben in dem Schottky-Gebiet elektrisch in
25 Kontakt steht, von der vertieften leitenden Elektrode in einem oder mehreren Gräben in dem FET-Gebiet jedoch elektrisch isoliert ist.

25

17. Verfahren nach Anspruch 14, wobei nach dem Schritt des Ausbildens einer Kontaktöffnung resultiert, dass eine Fläche der Halbleiterschicht in dem Schottky-Gebiet relativ zu einer Fläche der Halbleiterschicht in dem FET-Gebiet niedriger ist.

30

18. Verfahren nach Anspruch 14, wobei nach dem Schritt des Ausbil-
dens einer Kontaktöffnung eine Oberseite einer vertieften leitenden
Elektrode in einem Graben in dem FET-Gebiet höher ist als eine
5 Oberseite einer vertieften leitenden Elektrode in einem Graben in
dem Schottky-Gebiet.
19. Verfahren nach Anspruch 14, das ferner umfasst, dass
vor dem Schritt des Ausbildens einer Kontaktöffnung eine Die-
10 lektrikumschicht über der Halbleiterschicht ausgebildet wird,
wobei der Schritt des Ausbildens einer Kontaktöffnung ferner
umfasst, dass ein Abschnitt des Dielektrikummaterials entfernt
wird.
- 15 20. Verfahren nach Anspruch 19, wobei der Abschnitt der Dielektri-
kumschicht, der mindestens eine Abschnitt der Halbleiterschicht
und der Abschnitt einer leitenden Elektrode in einem Graben alle
unter Verwendung eines Ätzprozesses entfernt werden, der die Di-
elektrikumschicht und das Halbleitersubstrat mit im Wesentlichen
20 der gleichen Rate ätzt.
21. Verfahren nach Anspruch 19, wobei der Abschnitt der Dielektri-
kumschicht, der mindestens eine Abschnitt der Halbleiterschicht
und der Abschnitt einer leitenden Elektrode in einem Graben alle
25 unter Verwendung eines Ätzprozesses entfernt werden, der eine ge-
ringe Selektivität zwischen der Dielektrikumschicht und der Halblei-
terschicht aufweist.
22. Verfahren nach Anspruch 19, das ferner umfasst, dass vor dem
30 Schritt des Ausbildens einer Kontaktöffnung

eine Schutzschicht über der Dielektrikumschicht ausgebildet wird; und

mindestens ein Abschnitt der Schutzschicht entfernt wird, um die Kontaktöffnung zu definieren.

5

23. Verfahren nach Anspruch 20, das ferner umfasst, dass
vor dem Schritt des Ausbildens einer Schutzschicht eine Source-Kontaktöffnung in einem Abschnitt der Dielektrikumschicht ausgebildet wird, der sich in dem FET-Gebiet erstreckt.

10

24. Verfahren nach Anspruch 14, das ferner umfasst, dass
ein Wannengebiet in dem FET-Gebiet der Halbleiterschicht ausgebildet wird;

15

Source-Gebiete in dem Wannengebiet benachbart zu einem Graben in dem FET-Gebiet ausgebildet werden, wobei die Source-Gebiete und das Wannengebiet einen gegenteiligen Leitfähigkeitstyp aufweisen; und

20

ein Heavy-Body-Gebiet in dem Wannengebiet ausgebildet wird, wobei das Heavy-Body-Gebiet den gleichen Leitfähigkeitstyp wie das Wannengebiet, jedoch eine höhere Dotierungskonzentration als dieses, aufweist.

25

25. Verfahren nach Anspruch 14, das ferner umfasst, dass
eine Abschirmdielektrikumschicht ausgebildet wird, die die unteren Seitenwände und die Unterseite eines ersten Grabens in dem FET-Gebiet auskleidet;
eine Abschirmelektrode ausgebildet wird, die in einem unteren Abschnitt des ersten Grabens angeordnet ist;
eine Gate-Dielektrikumschicht ausgebildet wird, die die oberen Grabenseitenwände des ersten Grabens auskleidet, wobei die

30

Gate-Dielektrikumschicht dünner ist als die Abschirmdielektrikumschicht; und

über der Abschirmelektrode eine Gate-Elektrode ausgebildet wird.

5

26. Verfahren nach Anspruch 14, das ferner umfasst, dass
eine Abschirmdielektrikumschicht ausgebildet wird, die die unteren Seitenwände und die Unterseite jedes eines ersten Grabens in dem FET-Gebiet und eines zweiten Grabens in dem Schottky-Gebiet auskleidet;

10

eine Abschirmelektrode ausgebildet wird, die in einem unteren Abschnitt jedes des ersten und des zweiten Grabens angeordnet ist;

eine Gate-Dielektrikumschicht ausgebildet wird, die die oberen Seitenwände jedes des ersten und des zweiten Grabens auskleidet, wobei die Gate-Dielektrikumschicht dünner ist als die Abschirmdielektrikumschicht; und

15

über der Abschirmelektrode eine Gate-Elektrode ausgebildet wird.

20

27. Verfahren zum Ausbilden eines Halbleiteraufbaus, das umfasst, dass

mehrere Gräben in einer Halbleiterschicht ausgebildet werden;

eine Dielektrikumschicht ausgebildet wird, die die Grabenseitenwände und -unterseite auskleidet;

25

in jedem Graben eine leitende Elektrode ausgebildet wird;

über der Halbleiterschicht eine Dielektrikumschicht ausgebildet wird;

30

eine Kontaktöffnung durch Entfernen eines Abschnitts der Dielektrikumschicht, eines Abschnitts der Halbleiterschicht und eines Abschnitts jeder von einer oder mehreren leitenden Elektroden

in den mehreren Gräben ausgebildet wird, so dass eine Oberseite der einen oder mehreren leitenden Elektroden und eine Oberseite der Halbleiterschicht in der Kontaktöffnung im Wesentlichen koplanar sind; und

5 eine Verbindungsschicht ausgebildet wird, die mit der einen oder den mehreren leitenden Elektroden und der Halbleiterschicht über die Kontaktöffnung elektrisch in Kontakt steht, so dass die Verbindungsschicht einen Schottky-Kontakt mit der Halbleiterschicht ausbildet.

10

28. Verfahren nach Anspruch 27, wobei der Abschnitt der Dielektrikumschicht, der Abschnitt der Halbleiterschicht und der Abschnitt jeder der einen oder mehreren leitenden Elektroden alle unter Verwendung eines Ätzprozesses entfernt werden, der die Dielektrikumschicht und das Halbleitersubstrat mit im Wesentlichen der gleichen

15

Rate ätzt.

29. Verfahren nach Anspruch 27, wobei der Abschnitt der Dielektrikumschicht, der Abschnitt der Halbleiterschicht und der Abschnitt jeder der einen oder mehreren leitenden Elektroden alle unter Verwendung eines Ätzprozesses entfernt werden, der eine geringe Selektivität zwischen der Dielektrikumschicht und der Halbleiterschicht aufweist.

20

1/5

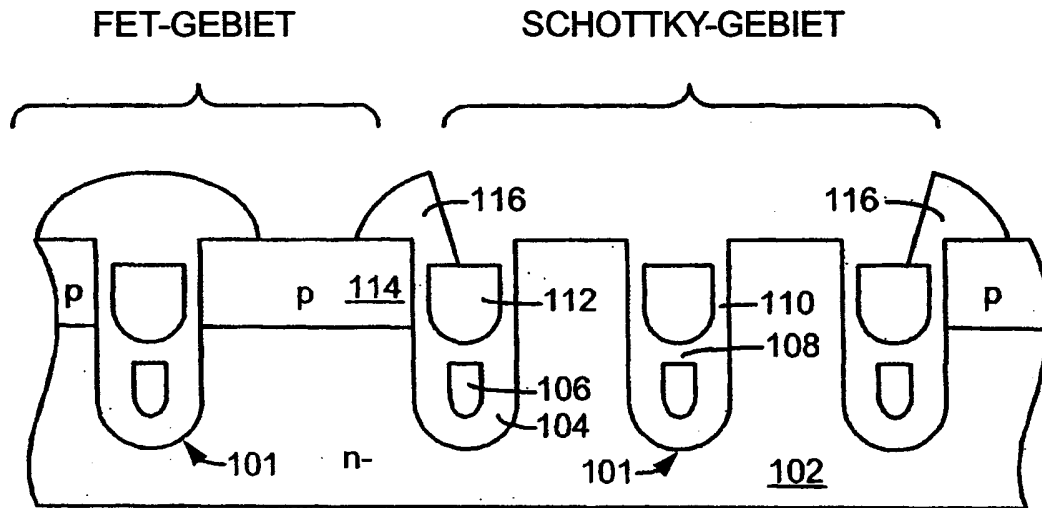


FIG. 1A
(STAND DER TECHNIK)

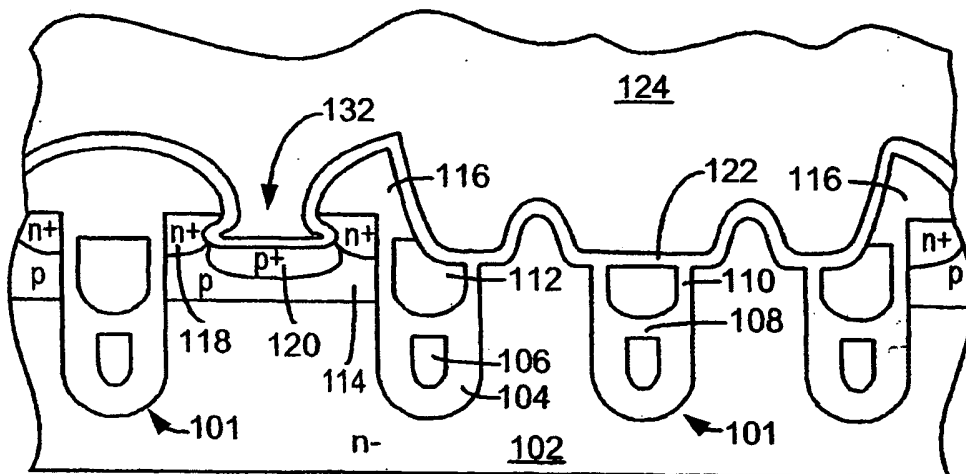


FIG. 1B
(STAND DER TECHNIK)

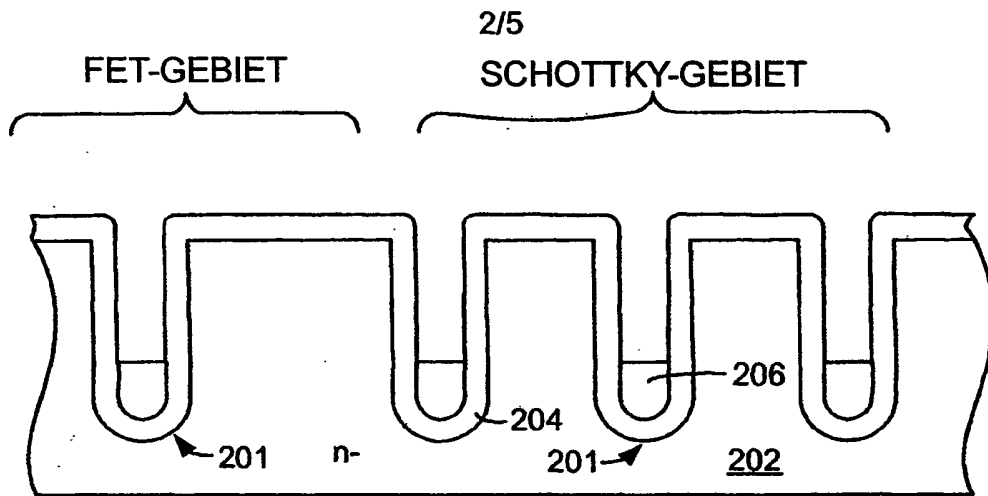


FIG. 2A

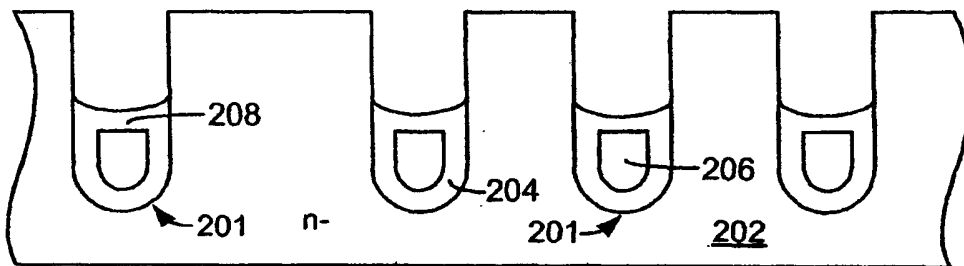


FIG. 2B

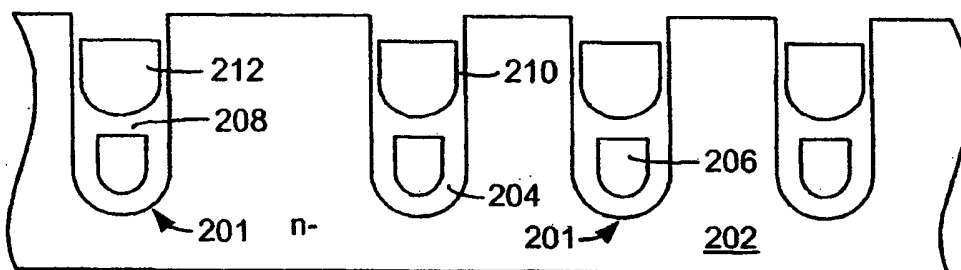


FIG. 2C

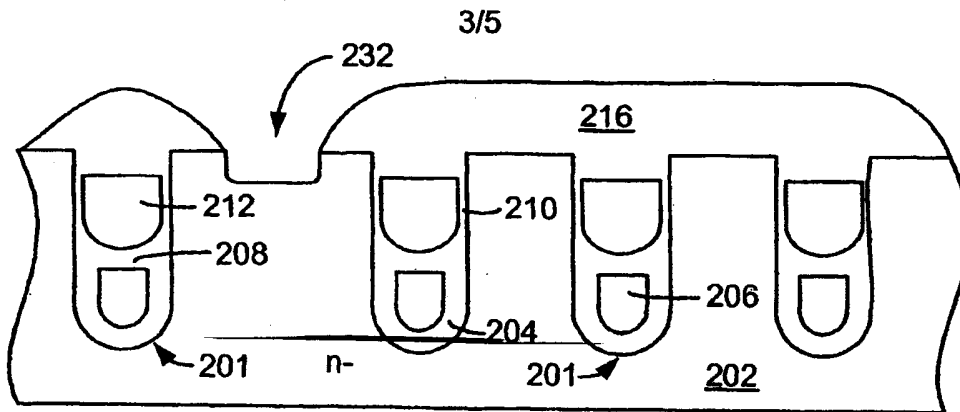


FIG. 2D

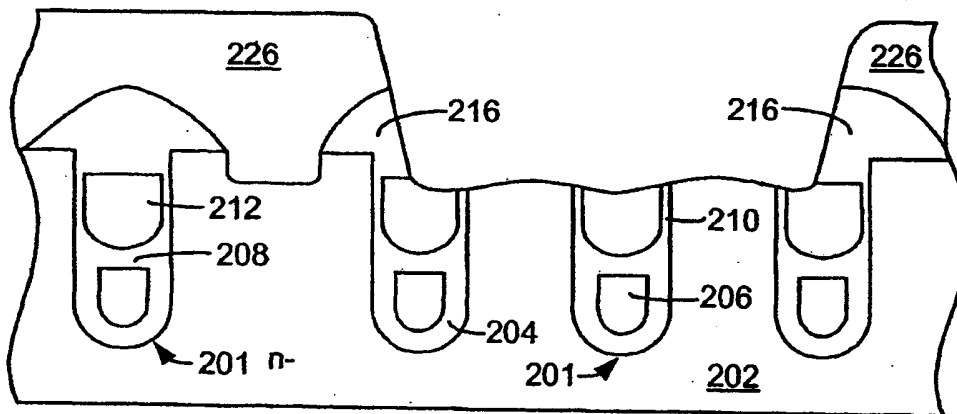


FIG. 2E

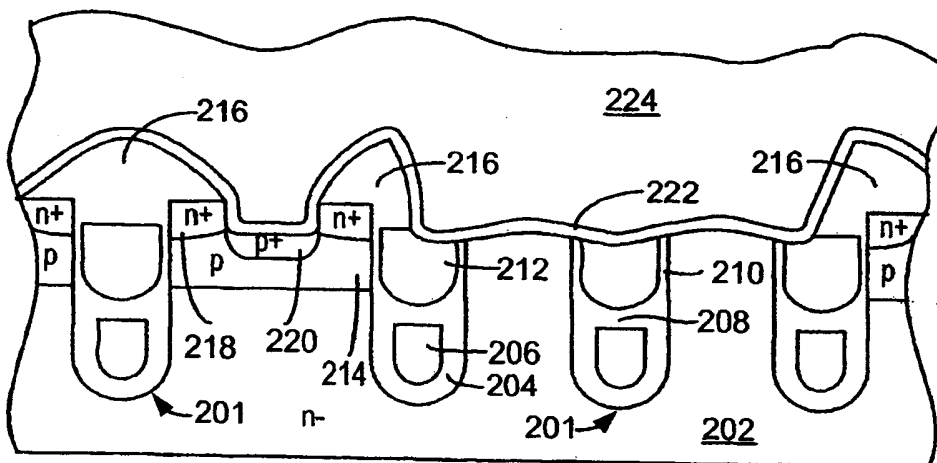
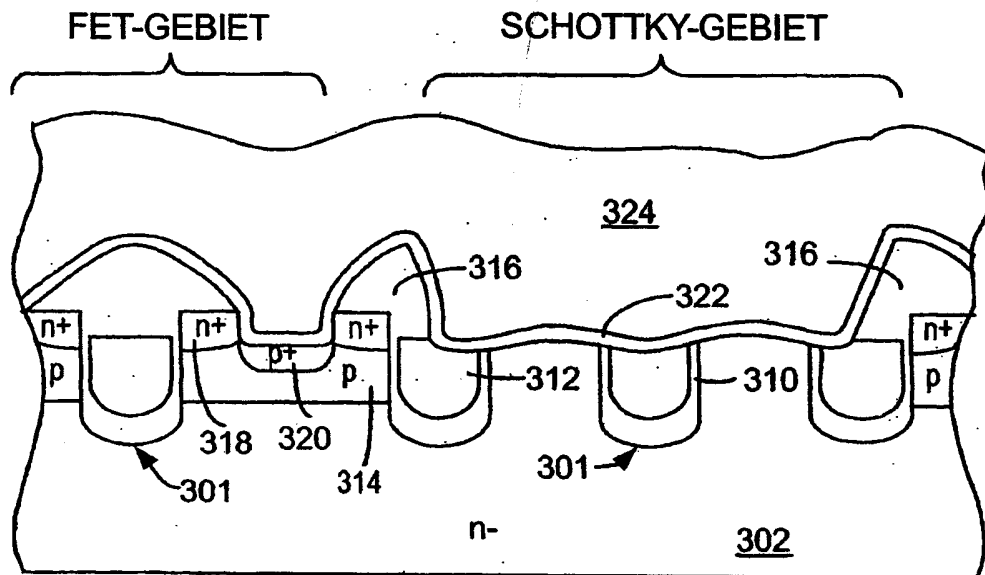
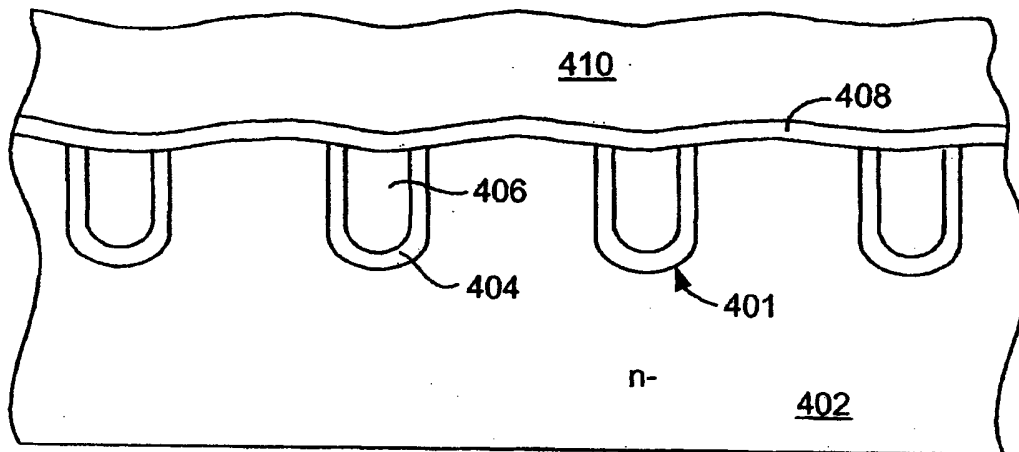


FIG. 2F

4/5

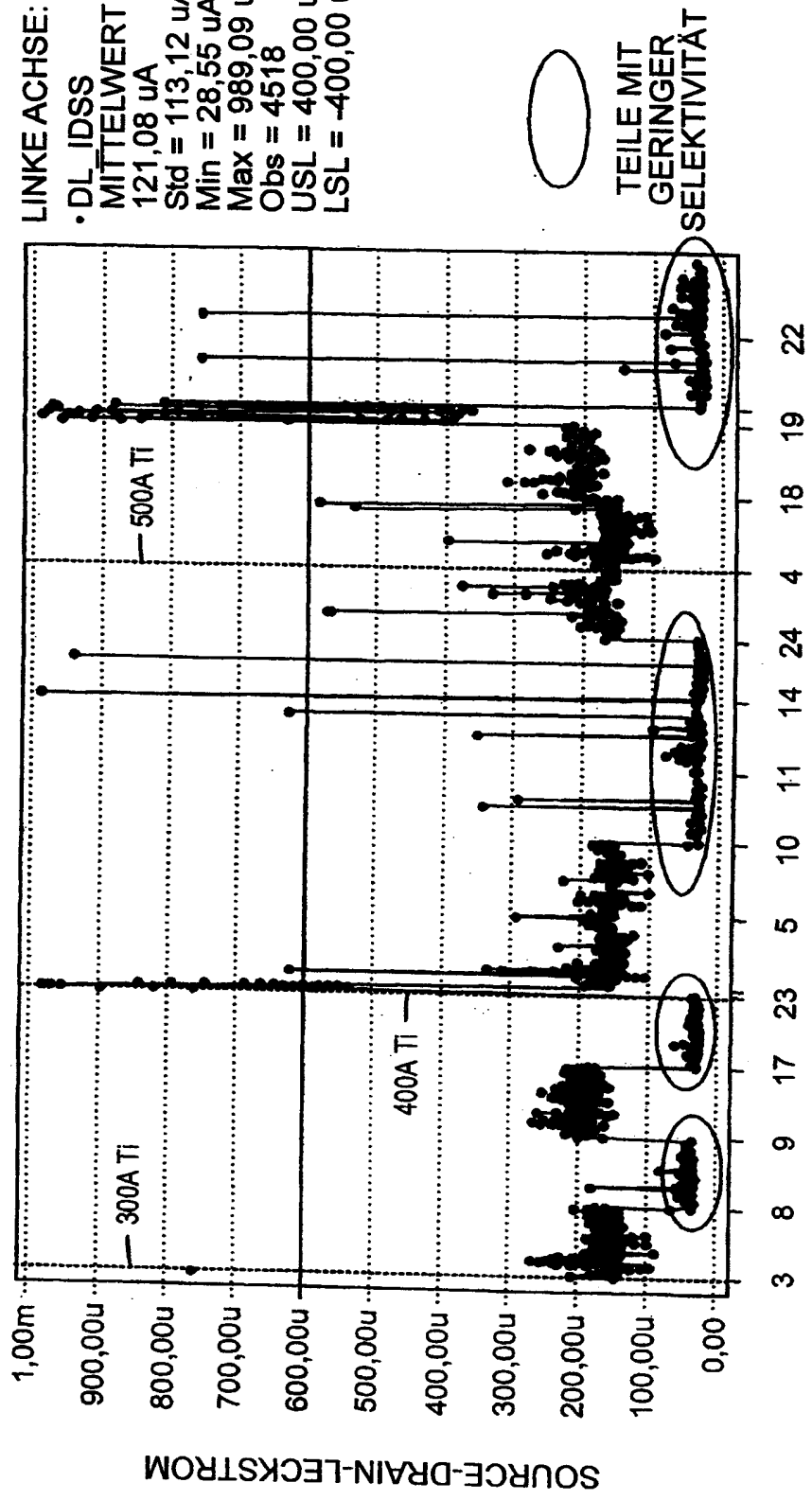
**FIG. 3****FIG. 4**

005738

1

5/5

LINKE ACHSE:
• DL_IDSS
MITTELWERT =
121,08 uA
Std = 113,12 uA
Min = 28,55 uA
Max = 989,09 uA
Obs = 4518
USL = 400,00 uA
LSL = -400,00 uA



WAFER, GRUPPIERT DURCH WAFER

FIG. 5