



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 11 2004 001 041 B4 2010.04.29**

(12)

Patentschrift

(21) Deutsches Aktenzeichen: **11 2004 001 041.1**
 (86) PCT-Aktenzeichen: **PCT/US2004/017724**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2004/112105**
 (86) PCT-Anmeldetag: **05.06.2004**
 (87) PCT-Veröffentlichungstag: **23.12.2004**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **20.04.2006**
 (45) Veröffentlichungstag
 der Patenterteilung: **29.04.2010**

(51) Int Cl.⁸: **H01L 21/336 (2006.01)**
H01L 21/302 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
10/459,495 12.06.2003 US

(73) Patentinhaber:
Advanced Micro Devices, Inc., Sunnyvale, Calif., US

(74) Vertreter:
Grünecker, Kinkeldey, Stockmair & Schwanhäusser, 80802 München

(72) Erfinder:
Achuthan, Krishnashree, San Ramon, Calif., US;
Ahmed, Shibly S., San Jose, Calif., US; Wang,
Haihong, Milpitas, Calif., US; Yu, Bin, Cupertino,
Calif., US

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:

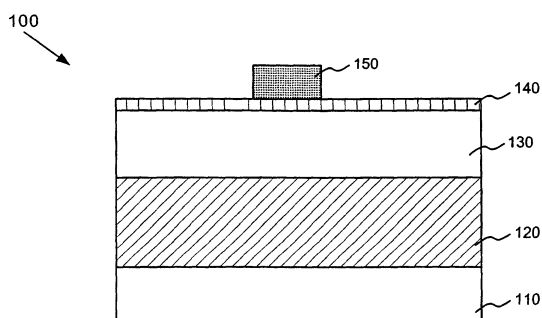
DE	199 32 829	A1
US	64 58 662	B1

(54) Bezeichnung: **Verfahren zur Herstellung eines Halbleiterbauelements umfassend ein chemisch-mechanisches Mehrschrittpolierverfahren für einen Gatebereich in einem FINFET**

(57) Hauptanspruch: Verfahren zur Herstellung eines Halbleiterbauelements, mit:

Bilden einer Stegstruktur (210) auf einem Isolator (120);
 Bilden einer Gatestruktur (320) über zumindest einem Teil der Stegstruktur (210) und einem Teil des Isolators (120);
 Einebnen der Gatestruktur (320) durch Ausführen eines chemischen-mechanischen Polierens (CMP) der Gatestruktur unter Anwendung eines ersten Poliermittels;
 gekennzeichnet durch:

Einebnen der Gatestruktur (320) in einer zweiten Einebnung durch Ausführen eines CMP der Gatestruktur unter Anwendung eines zweiten Poliermittels, das sich von dem ersten Poliermittel unterscheidet und Verbindungen enthält, die dazu neigen, an unteren Bereichen der Gatestruktur (320) zu haften, so dass die zweite Einebnung der Gatestruktur (320) eine Höhe der Gatestruktur (320) über der Stegstruktur (210) in einem Kanalgebiet des Halbleiterbauelements reduziert, während eine Höhe der Gatestruktur (320), die die Stegstruktur (210) umgibt, erhöht wird.



Beschreibung

TECHNISCHES GEBIET

[0001] Die vorliegende Erfindung betrifft Halbleiterbauelemente und Verfahren zur Herstellung von Halbleiterbauelementen. Die vorliegende Erfindung dient insbesondere zur Anwendung in Doppelgate-Bauelementen.

HINTERGRUND DER ERFINDUNG

[0002] Die zunehmende Anforderung für hohe Packungsdichte und Leistungsfähigkeit im Zusammenhang mit integrierten Halbleiterbauelementen äußerst hoher Integrationsstufe erfordert Strukturelemente, etwa Gate-Längen, die unter 100 Nanometer (nm) liegen, eine hohe Zuverlässigkeit und einen erhöhten Fertigungsdurchsatz. Die Reduzierung der Strukturelementgrößen unter 100 nm stellt eine Herausforderung hinsichtlich der Grenzen konventioneller Verfahrenstechniken dar.

[0003] Wenn beispielsweise die Gate-Länge eines konventionellen planaren Metall-Oxid-Halbleiter-Feldeffekttransistors (MOSFET) unter 100 nm verringert wird, sind Probleme, die mit den Kurzkanaleffekten, etwa einem erhöhten Leckstrom zwischen dem Source und Drain verknüpft sind, zunehmend schwieriger zu bewältigen. Ferner macht es die Beeinträchtigung der Ladungsträgerbeweglichkeit und eine Reihe von Prozessproblemen ebenso schwierig, konventionelle MOSFETS in der Größe zu reduzieren, die zunehmend kleinere Strukturelemente enthalten. Es werden daher neue Bauteilstrukturen erforscht, um das Leistungsvermögen der FET's zu verbessern und um eine weitere Bauteilgrößenreduzierung zu ermöglichen.

[0004] Doppelgate-MOSFETS repräsentieren neue Strukturen, die als Kandidaten für die Nachfolge bestehender planarer MOSFETS geeignet erscheinen. In gewissen Aspekten bieten Doppelgate-MOSFETS bessere Eigenschaften als die konventionellen Siliziumvollsubstrat-MOSFETS. Diese Verbesserungen ergeben sich dadurch, dass der Doppelgate-MOSFET eine Gateelektrode an beiden Seiten des Kanals statt lediglich auf einer Seite aufweist, wie dies in konventionellen MOSFETS der Fall ist. Wenn es zwei Gatestrukturen gibt, wird das von dem Drain erzeugte elektrische Feld besser von dem Sourceende des Kanals abgeschirmt. Ferner können zwei Gates annähernd zwei mal so viel Strom als ein einzelnes Gate steuern, wodurch sich ein stärkeres Schaltsignal ergibt.

[0005] Ein FINFET ist eine neuartige Doppelgate-Struktur, die ein gutes Kurzkanalverhalten aufweist. Ein FINFET umfasst einen Kanal, der in einem vertikalen Steg ausgebildet ist. Die FINFET-Struktur

kann unter Anwendung von Schaltungsanordnungen und Prozessverfahren hergestellt werden, wie sie ähnlich für konventionelle planare MOSFETS verwendet werden, wie dies beispielsweise beschrieben ist in Hisomoto, et. al. „FINFET – ein selbstjustierter Doppel-Gate-MOSFET, der auf 20 nm skalierbar ist“, IEEE-Transaktionen über elektronische Bauelemente, Band 47, Nr. 12, Dezember 2000.

[0006] US 5,458,662 B1 offenbart ein Verfahren zur Herstellung eines Halbleiterbauelements, das einen asymmetrischen Doppelgatesilizium-Germanium-Kanal-MOSFET ergibt. Es wird ein einzelner chemisch-mechanischer Polierschritt (CMP) angewendet, um die Gatestruktur anzuebnen.

[0007] Ein Verfahren zur Herstellung eines Halbleiterbauteils mit einem MOSFET mit asymmetrischem Dual-Gate-Kanal wird in der US 6 458 662 B1 beschrieben.

[0008] Die DE 199 32 829 A1 offenbart ein chemisch-mechanisches Polierverfahren mit zwei Polierschritten unter Verwendung eines verdampften Schleifmittels im ersten und eines kolloidalen Schleifmittels im zweiten Polierschritt.

ÜBERBLICK ÜBER DIE ERFINDUNG

[0009] Ausführungsformen der vorliegenden Erfindung stellen ein Doppelgate-MOSFET-Bauelement mit einem sensibel gesteuerten Gatebereich bereit.

[0010] Ein Aspekt der Erfindung richtet sich an ein Verfahren zur Herstellung eines Halbleiterbauelements. Das Verfahren umfasst das Bilden einer Stegstruktur auf einem Isolator und Ausbilden einer Gatestruktur über zumindest einem Teil der Stegstruktur und einem Teil des Isolators. Das Verfahren umfasst ferner das Einebnen der Gatestruktur durch Ausführen eines chemisch-mechanischen Poliervorgangs (CMP) für die Gatestruktur unter Anwendung eines ersten Poliermittels und Einebnen der Gatestruktur durch Ausführen eines CMP-Prozesses für die Gatestruktur unter Anwendung eines zweiten Poliermittels, das sich von dem ersten Poliermittel unterscheidet. Die zweite Einebnung der Gatestruktur reduziert eine Höhe der Gatestruktur über der Stegstruktur, während die Höhe der Gatestruktur, die die Stegstruktur umgibt, erhöht wird.

[0011] Ein weiterer Aspekt der Erfindung richtet sich an ein Verfahren zur Herstellung eines MOSFET. Das Verfahren umfasst das Bilden eines Source, eines Drains und einer Stegstruktur auf einer isolierenden Schicht. Bereiche der Stegstruktur dienen als ein Kanal für den MOSFET. Das Verfahren umfasst ferner das Bilden einer dielektrischen Schicht an Seitenflächen der Stegstruktur und das Abscheiden einer Polysiliziumschicht um die dielektrische Schicht herum.

Die Polysiliziumschicht dient als ein Gatebereich für den MOSFET. Ferner umfasst das Verfahren das Einneben der Polysiliziumschicht mit einer ersten Rate und das weitere Einneben der Polysiliziumschicht mit einer zweiten Rate, die kleiner als die erste Rate ist.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0012] ES wird auf die begleitenden Zeichnungen Bezug genommen, in denen Elemente mit den gleichen Bezugszeichen durchwegs gleiche Elemente benennen.

[0013] [Fig. 1](#) ist eine Ansicht, die den Querschnitt eines Halbleiterbauelements zeigt;

[0014] [Fig. 2a](#) ist eine Ansicht, die eine Draufsicht auf eine Stegstruktur zeigt, die in dem in [Fig. 1](#) gezeigten Halbleiterbauelement gebildet ist;

[0015] [Fig. 2b](#) ist eine Ansicht, die einen Querschnitt entlang der Linie A-A' in [Fig. 2a](#) zeigt;

[0016] [Fig. 3](#) ist eine Ansicht, die einen Querschnitt einer Gatedielektrikumsschicht und eines Gatematerials über dem in [Fig. 2b](#) gezeigten Steg zeigt;

[0017] [Fig. 4a](#) ist eine Querschnittsansicht, die das Einneben des Gatematerials gemäß einem beispielhaften Einnebnungsprozess gemäß der vorliegenden Erfindung zeigt;

[0018] [Fig. 4b](#) ist eine Querschnittsansicht, die das weitere Einneben des Gatematerials entsprechend einem beispielhaften Einnebnungsprozess gemäß der vorliegenden Erfindung zeigt;

[0019] [Fig. 5](#) ist eine Ansicht, die schematisch eine Draufsicht eines FINFET's zeigt, wobei eine Gaestruktur dargestellt, die aus dem in [Fig. 3](#) gezeigten Gatematerial hergestellt ist;

[0020] [Fig. 6a](#) und 6b sind Ansichten, die Polierkissen zeigen;

[0021] [Fig. 7](#) ist eine Querschnittsansicht, die einen FINFET mit Platzhalterstegen zeigt; und

[0022] [Fig. 8a](#) und [Fig. 8b](#) sind Querschnittsansichten, die das Einneben einer TEOS-Schicht zeigen, die auf einer Polysiliziumschicht abgeschieden ist.

AUSFÜHRUNGSBEISPIELE DER ERFINDUNG

[0023] Die folgende detaillierte Beschreibung der Erfindung bezieht sich auf die begleitenden Zeichnungen. Gleiche Bezugszeichen werden in unterschiedlichen Zeichnungen verwendet, um gleiche oder ähnliche Elemente zu benennen. Die folgende detaillierte Beschreibung soll die Erfindung nicht be-

schränken. Vielmehr ist der Schutzbereich der Erfindung durch die angefügten Patentansprüche und deren Äquivalente definiert.

[0024] Ein FINFET bezeichnet in dem hierin verwendeten Sinne eine Art eines MOSFETS, in welchem ein leitender Kanal in einen vertikalen Si-„Steg“ gebildet wird. FINFETs sind im Stand der Technik generell bekannt.

[0025] [Fig. 1](#) zeigt den Querschnitt eines Halbleiterbauelements **100**, das gemäß einer Ausführungsform der vorliegenden Erfindung gebildet ist. In [Fig. 1](#) umfasst das Halbleiterbauelement **100** eine Silizium-auf-Isolator-(SOI)Struktur, die ein Siliziumsubstrat **110**, eine vergrabene Oxidschicht **120** und eine Siliziumschicht **130** aufweist, die auf der vergrabenen Oxidschicht **120** gebildet ist.

[0026] Die vergrabene Oxidschicht **120** und die Siliziumschicht **130** können auf dem Substrat **110** in konventioneller Weise hergestellt sein. In einer beispielhaften Ausführungsform umfasst die vergrabene Oxidschicht **120** eine Siliziumoxidschicht und kann eine Dicke im Bereich von ungefähr 100 nm bis ungefähr 300 nm aufweisen. Die Siliziumschicht **130** kann ferner monokristallines oder polykristallines Silizium aufweisen. Die Siliziumschicht **130** wird zur Herstellung einer Stegstruktur für einen Doppelgatetransistor verwendet, wie dies nachfolgend detaillierter beschrieben ist.

[0027] In alternativen Ausführungsformen gemäß der vorliegenden Erfindung können das Substrat **110** und die Schicht **130** andere halbleitende Materialien, etwa Germanium, oder Kombinationen aus halbleitenden Materialien, etwa Silizium-Germanium aufweisen. Die vergrabene Oxidschicht **120** kann ferner andere dielektrische Materialien aufweisen.

[0028] Eine dielektrische Schicht **140**, etwa eine Siliziumnitridschicht oder Siliziumoxidschicht (beispielsweise SiO₂) ist über der Siliziumschicht **130** ausgebildet, um als eine Schutzschicht während nachfolgender Ätzprozesse zu dienen. In einer beispielhaften Ausführungsform wird die dielektrische Schicht **140** mit einer Dicke im Bereich von ungefähr 15 nm bis ungefähr 70 nm aufgewachsen. Anschließend wird ein Photolackmaterial abgeschieden, um eine Photolackmaske **150** für die nachfolgende Bearbeitung zu bilden. Der Photolack kann in einer beliebigen konventionellen Weise abgeschieden und strukturiert werden.

[0029] Das Halbleiterbauelement **100** kann dann geätzt werden und die Photolackmaske **150** wird entfernt. In einer beispielhaften Ausführungsform kann die Siliziumschicht **130** in konventioneller Weise geätzt werden, wobei das Ätzen an der vergrabenen Oxidschicht **120** anhält, um damit einen Steg zu bil-

den. Nach der Herstellung des Steges werden Source- und Draingebiete benachbart zu den entsprechenden Enden des Stegs gebildet. Beispielsweise wird in einer anschaulichen Ausführungsform eine Schicht aus Silizium, Germanium oder eine Mischung aus Silizium und Germanium abgeschieden, strukturiert und in konventioneller Weise geätzt, um Source- und Draingebiete zu bilden. In anderen Ausführungsformen wird die Siliziumschicht **130** strukturiert und geätzt, um Source- und Draingebiete gleichzeitig mit dem Steg herzustellen.

[0030] [Fig. 2a](#) zeigt schematisch die Draufsicht einer Stegstruktur in dem Halbleiterbauelement **100**, die auf diese Art hergestellt ist. Ein Sourcegebiet **220** und ein Draingebiet **230** sind benachbart zu den Enden des Stegs **210** auf der vergrabenen Oxidschicht **120** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung ausgebildet.

[0031] [Fig. 2b](#) ist ein Querschnitt entlang der Linie A-A' in [Fig. 2a](#), wobei die Herstellung der Stegstruktur **210** gezeigt ist. Wie zuvor beschrieben ist, können die dielektrische Schicht **140** und die Siliziumschicht **130** geätzt werden, um den Steg **210** mit einer dielektrischen Abdeckung **140** zu bilden.

[0032] [Fig. 3](#) ist eine Querschnittsansicht, die die Herstellung einer Gatedielektrikumsschicht und eines Gatematerials über dem Steg **210** gemäß einer beispielhaften Ausführungsform der vorliegenden Erfindung zeigt. Eine dielektrische Schicht wird auf dem Steg **210** gebildet. Beispielsweise wird eine dünne Oxidopferschicht **310** thermisch auf dem Steg **210** aufgewachsen, wie dies in [Fig. 3](#) gezeigt ist. Die Oxidschicht **310** kann bis zu einer Dicke von ungefähr 5 nm bis ungefähr 10 nm aufgewachsen werden und kann an den freigelegten Seitenflächen des Stegs **210** gebildet werden.

[0033] Eine Gatematerialschicht **320** wird über dem Halbleiterbauelement **100** nach dem Herstellen der Oxidschicht **310** abgeschieden. In einer beispielhaften Ausführungsform weist die Gatematerialschicht **320** Polysilizium auf, das unter Anwendung konventioneller chemischer Dampfabsciede-(CVD)Verfahren oder anderer gut bekannter Techniken abgeschieden wird. Das Gatematerial **320** kann mit einer Dicke im Bereich von ungefähr 50 nm bis ungefähr **280** abgeschieden werden. Alternativ können andere halbleitende Materialien, etwa Germanium oder Verbindungen aus Silizium und Germanium oder diverse Metalle als das Gatematerial verwendet werden. Die Gatematerialschicht **320** bildet das leitende Gate des FINFET **100**.

[0034] Das Gatematerial **320**, wie es in [Fig. 3](#) gezeigt ist, erstreckt sich vertikal in den Bereich über dem Steg **320**. In einer beispielhaften Ausführungsform erstreckt sich die Gatematerialschicht **320** um

eine Strecke l_1 , die im Bereich von ungefähr 50 nm bis 150 liegen kann.

[0035] Das Gatematerial **320** wird eingeebnet. Gemäß einem Aspekt der Erfindung wird das Gatematerial **320** in einem Mehrschichtenebnungsprozess eingeebnet.

[0036] Das chemisch-mechanische Polieren (CMP) ist eine gut bekannte Einebnungstechnik, die allgemein verwendet wird, um eine Halbleiteroberfläche einzuebnen. In dem CMP-Prozess wird eine Scheibe nach unten weisend auf einem rotierenden Teller angeordnet. Die Scheibe, die von einem Träger gehalten wird, dreht sich in der gleichen Richtung wie der Teller. Auf der Oberfläche des Tellers ist ein Polierkissen aufgebracht, auf welchem ein Poliermittel oder einer Poliermittelbrei vorhanden ist. Das Poliermittel kann eine kolloidale Lösung aus Siliziumoxid (Silikateilchen) in einer Trägerlösung aufweisen. Die chemische Zusammensetzung und der pH-Wert des Poliermittels beeinflussen das Verhalten des CMP-Prozesses.

[0037] [Fig. 4a](#) ist eine Querschnittsansicht, die das Einebnen des Gatematerials **320** gemäß einem ersten Schritt eines beispielhaften Einebnungsprozess gemäß der vorliegenden Erfindung zeigt. In diesem Schritt kann eine „grobe“ Einebnung ausgeführt werden. Anders ausgedrückt, es wird ein Prozess mit einer relativ großen Abtragsrate für das Gatematerial **320** angewendet, um rasch einen Teil des Gatematerials **320** zu polieren. In einer beispielhaften Ausführungsform wird ein Teil des Gatematerials **320** während der groben Einebnung abgetragen, wie dies in [Fig. 4a](#) gezeigt ist. Beispielsweise kann eine Menge des Gatematerials **320** so entfernt werden, dass die Strecke l_2 im Bereich von 0 nm bis 150 nm liegt. Die Strecke l_3 kann von 0 nm bis 50 nm reichen. Dieser grobe Einebnungsschritt kann die Höhe des Gatematerials sowohl im Bereich über dem Steg **210** als auch in den umgebenden Bereichen des Gatematerials **320** reduzieren.

[0038] Das Poly-Poliermittel, das in dem in [Fig. 4a](#) gezeigten Einebnungsprozess verwendet wird, kann einen pH-Wert im Bereich von ungefähr 10,5 bis 11,5 aufweisen. Das Poliermittel kann ein gepuffertes Poliermittel auf der Grundlage von Silika (Siliziumdioxid) sein, das eine zusätzliche alkalische Komponente aufweist, die hinzugefügt ist, etwa TMAH, Ammoniakhydroxid oder Kaliumhydroxid mit Konzentrationen im Bereich von ungefähr 0,1% bis 4,0%.

[0039] [Fig. 4b](#) ist ein Querschnitt, der das Einebnen des Gatematerials **320** gemäß einem zweiten Schritt eines anschaulichen Einebnungsprozesses der vorliegenden Erfindung zeigt. In diesem Schritt wird eine feinere Einebnung ausgeführt. Anders ausgedrückt, es wird ein Prozess mit einer reduzierten Einebn-

nungsrate im Vergleich zu dem ersten Polierschritt ausgeführt. Beispielsweise kann ein Prozess angewendet werden, der ungefähr 20 nm/Minute der Gatematerialschicht **320** entfernt. Dieser Prozess kann ausgeführt werden, um das Gatematerial **320** zu polieren, bis ungefähr 30 nm des Gatematerials **320** über dem Steg **210** verbleiben, wie in [Fig. 4b](#) gezeigt ist. Diese Strecke bzw. dieser Abstand ist in [Fig. 4b](#) als I_4 dargestellt.

[0040] Im zweiten Einebnungsprozess kann das Poliermittel so gewählt werden, dass zusätzlich zum Erreichen einer geringeren Poliertrate das Poliermittel an dem unteren Bereichen des Gatematerials **320** haftet. Beispielsweise kann das Poliermittel Komponenten mit großem Molekulargewicht mit hydrophoben molekularen Gruppen enthalten, die dazu neigen, an dem Polysilizium in der Gatematerialschicht **320** anzuhaften. Dieser Einebnungsprozess neigt dazu, die tiefer liegenden Bereiche der Gatematerialschicht **320** relativ anzuheben, wodurch eine verbesserte Einebnung der Gatematerialschicht **320** erreicht wird. Die resultierende Gatematerialschicht **320** ist relativ eben und besitzt eine relativ gute Oberflächengleichförmigkeit.

[0041] Das in der zweiten Einebnung verwendete Poliermittel besitzt einen pH-Wert im Bereich von ungefähr 10,5 bis 11,5. Das Poliermittel kann ein gepuffertes Poliermittel auf Silika-Basis sein mit einer zusätzlichen alkalischen Komponente, etwa TMAH, Ammoniakhydroxid oder Kaliumhydroxid mit Konzentrationen im Bereich von ungefähr 0,1% bis 1,0%.

[0042] Die zuvor erläuterten mehreren Einebnungsschritte ermöglichen einen äußerst steuerbaren CMP-Prozess, der nur bis zu 30 nm der Gatematerialschicht **320** über dem Steg **210** zurücklassen kann. Der erste Schritt ist ein Prozess mit relativ hoher Abtragsrate, wobei ein erster Bereich der Gatematerialschicht **320** eingeebnet wird, und der zweite Schritt besitzt eine verringerte Abtragsrate, um die gewünschte Menge an Gatematerialschicht **320** über dem Steg **210** zu erhalten. Obwohl hierin ein zweistufiger CMP-Prozess beschrieben ist, erkennt der Fachmann, dass mehr als zwei Schritte ebenso angewendet werden können.

[0043] [Fig. 5](#) zeigt schematisch die Draufsicht des Halbleiterbauelements **100**, wobei eine Gatestruktur **510** gezeigt ist, die aus der Gatematerialschicht **320** hergestellt ist. Die Gatestruktur **510** wird nach dem Ende des CMP-Prozesses strukturiert und geätzt. Die Gatestruktur **510** erstreckt sich über ein Kanalgebiet des Stegs **210**. Die Gatestruktur **510** umfasst einen Gatebereich, der in der Nähe der Seiten des Stegs **210** liegt und ferner einen größeren Elektrodenbereich, der von dem Steg **210** beabstandet ist. Der Elektrodenbereich der Gatestruktur **510** stellt einen zugänglichen elektrischen Kontakt für das Vor-

spannen oder anderweitige Steuern des Gatesbereichs bereit.

[0044] Sodann können die Source/Draingebiete **220** und **230** dotiert werden. Z. B. können n- oder p-Verunreinigungen in die Source/Draingebiete **220** und **230** implantiert werden. Die speziellen Implantationsdosiswerte und Energien können auf der Grundlage der speziellen Erfordernissen des fertigen Bauteils ausgewählt werden. Der Fachmann ist in der Lage, die Source/Drain-Implantation auf der Grundlage der Schaltungserfordernisse zu optimieren, und daher sind derartige Handlungen hierin nicht offenbart, um das Wesen der vorliegenden Erfindung hier nicht unnötig zu verdunkeln. Ferner können Seitenwandabstandselemente (nicht gezeigt) optional vor der Source/Drain-Ionenimplantation gebildet werden, um die Lage der Source/Drain-Übergänge auf der Grundlage der speziellen Schaltungserfordernisse zu steuern. Eine Aktivierungsausheizung kann dann ausgeführt werden, um die Source/Drain-Gebiete **220** und **230** zu aktivieren.

ANDERE AUSFÜHRUNGSFORMEN

[0045] Wie zuvor erläutert ist, kann in CMP-Prozessen ein Polierkissen an der Oberfläche des Tellers angebracht werden, um das Poliermittel zu verteilen und zu bewegen. Die Polierkissen können eine Oberflächenbeschaffenheit aufweisen, die den Einebnungsprozess beeinflusst. Konventionellerweise werden Polierkissen in „harte“ Kissen, die als Typ A-Kissen bezeichnet werden, und als „weiche“ Kissen, die als Typ B-Kissen bezeichnet werden, eingeteilt. Die Typ A-Kissen sind insbesondere für die schnelle Einebnung geeignet und die Typ B-Kissen werden im Allgemeinen verwendet, um eine gleichförmige Einebnung bereitzustellen.

[0046] Um eine hohe Einebnung und Gleichförmigkeit mit einem einzelnen Kissen zu erreichen, kann ein Kissen geschaffen werden, das sowohl Typ A als auch Typ B Merkmale aufweist. [Fig. 6a](#) ist eine Ansicht eines derartigen Kissens. Wie gezeigt ist, enthält das eine Kissen **601** mehrere Abschnitte (beispielsweise 6 Abschnitte sind in [Fig. 6a](#) gezeigt), die abwechselnd Typ A-Abschnitte **602** und Typ B-Abschnitt **603** repräsentieren. Das einzelne Kissen **601** kann verwendet werden, um gleichzeitig eine effektive Abtragung und eine effektive Gleichförmigkeit zu erreichen.

[0047] Das Kissen **601** ist aus 50% Typ A-Material **602** und 50% Typ-Material **603** hergestellt. Durch Variieren der Anteile des Typ A-Materials **602** und des Typ-Materials **603** können Polierkissen geschaffen werden, die ein unterschiedliches Maß an Einebnung und Gleichförmigkeit bereitstellen. Wenn beispielsweise vier der Abschnitte im Kissen **601** Typ A-Abschnitte sind und zwei Typ B-Abschnitte sind, dann

wird die Eigenschaft des Kissens in Richtung von 67% Einebnung und 33% Gleichförmigkeit verschoben.

[0048] Fig. 6b ist eine Ansicht einer Polierkissengestaltung in einer weiteren Ausführungsform. Das Kissen **610** enthält einen inneren Bereich **611** eines ersten Kissentyps (beispielsweise Typ A) und einen äußeren Ring **612** eines zweiten Kissentyps (beispielsweise Typ B). Das Kissen **610** liefert eine hohe Abtragsrate, wobei eine Steuerung der Gleichförmigkeit am Rand gegeben ist. Diese Wirkung kann unter Anwendung konventioneller separater Kissen nur schwer erreicht werden.

[0049] Wie zuvor mit Bezug zu [Fig. 3](#), [Fig. 4a](#) und [Fig. 4b](#) erläutert ist, bildet die Gatematerialschicht **320**, wenn sie über dem Steg **210** abgeschieden wird, Erhebungen aus, die über dem Steg **210** angeordnet sind. Der mehrstufige CMP-Einebnungsprozess, der zuvor beschrieben ist, ebnet die Gatematerialschicht **320** ein, um eine gleichförmige Oberfläche für die Gatematerialschicht **320** zu schaffen. In einigen Ausführungsformen können zusätzliche Platzhalterstegstrukturen in der Nähe des Stegs **210** angeordnet werden, um unterstützend zu wirken, so dass im Einebnungsprozess eine gleichförmigere Gatematerialschicht **320** geschaffen wird.

[0050] [Fig. 7](#) ist eine Querschnittsansicht, in der Platzhalterstege dargestellt sind. [Fig. 7](#) ist im Allgemeinen ähnlich zum Querschnitt, der in [Fig. 3](#) gezeigt ist, mit der Ausnahme, dass in [Fig. 7](#) Platzhalterstege **701** und **702** benachbart zu dem eigentlichen Steg **210** ausgebildet sind. Die Platzhalterstege **701** und **702** spielen keine Rolle für die Funktion des FINFET. Durch Anordnen der Stege **701** und **702** in der Nähe des Stegs **210** kann sich jedoch in der Gatematerialschicht **320** eine gleichförmigere Verteilung einstellen, wenn diese anfänglich abgeschieden wird. D. h., die Platzhalterstege **701** und **702** bewirken, dass der tiefste Punkt in der Gatematerialschicht **320** in den Bereichen benachbart zu dem Steg **210** höher liegen als im Falle, wenn die Platzhalterstege **701** und **702** nicht vorhanden sind. Somit beginnt in der in [Fig. 7](#) gezeigten Ausführungsform das Gatematerial **320** in einem gleichförmigeren Zustand als ohne die Platzhalterstege **701** und **702**. Dies kann zu einer besseren Gleichförmigkeit nach der Einebnung führen.

[0051] Die Platzhalterstege **701** und **702** können in einer Vielzahl unterschiedlicher Formen und an vielen Positionen auf der vergrabenen Oxidschicht **120** gebildet werden. Beispielsweise können die Platzhalterstege **701** und **702** im Muster eines Quadrats einer länglichen Form, einer Krapfenform oder einer anderen Form, etwa einer mehr angewinkelten Form angeordnet sein. In einigen FINFET-Ausführungsformen wird eine oxidbasierte Schicht (beispielsweise eine Tetraethylorthosilikat „TEOS“ Schicht) über ei-

ner Polysiliziumgateschicht aufgetragen. Die Platzhalterstege **701** und **702** können auch in diesen Ausführungsformen vorteilhaft sein.

[0052] In einigen CMP-Anwendungen wird eine TEOS-Schicht bis zu einer Polyschicht hinab poliert. [Fig. 8a](#) zeigt eine Situation, in der eine TEOS-Schicht **801** über einer Polysiliziumstruktur **802** abgeschieden wird. [Fig. 8b](#) zeigt die TEOS-Schicht **801** und die Polysiliziumstruktur **802** nach dem Einebnen der TEOS-Schicht **801** bis hinab zu einem Niveau der Polysiliziumstruktur **802**. Es kann ein hoch selektives Poliermittel (größer als 60:1) für diesen Einebnungsprozess verwendet werden.

[0053] Durch Hinzufügen von Oberflächenmitteln und durch Ändern des pH-Wertes der Poliermittel kann jedoch die Selektivität zwischen Oxid und Polysilizium verändert werden. Insbesondere können pluronische, kationische und nicht ionische Oberflächenmittel verwendet werden, um effizientere Poliermittel zu schaffen.

SCHLUSSFOLGERUNG

[0054] Hierin ist ein FINFET beschrieben, der mit einem mehrstufigen CMP-Prozess geschaffen wird. Der mehrstufige CMP-Prozess liefert eine effektive und gut steuerbare Einebnung des Gatepolysiliziums des FINFETs.

[0055] In der vorhergehenden Beschreibung wurden zahlreiche spezielle Details dargelegt, etwa spezielle Materialien, Strukturen, Chemikalien, Prozesse, etc., um ein gründliches Verständnis der vorliegenden Erfindung zu ermöglichen. Jedoch kann die vorliegende Erfindung auch ohne Bezugnahme auf die speziellen Details, wie sie hierin dargelegt sind, praktiziert werden. In anderen Fällen sind gut bekannte Prozessstrukturen nicht detailliert beschrieben, um nicht unnötig den Grundgedanken der vorliegenden Erfindung zu verdunkeln.

[0056] Die dielektrischen und leitenden Schichten, die bei der Herstellung eines Halbleitersbauelements gemäß der vorliegenden Erfindung verwendet werden, können durch konventionelle Abscheidungsverfahren aufgebracht werden. Beispielsweise können Metallisierungstechniken, etwa diverse Arten der chemischen Dampfabcheidung (CVD) einschließlich der chemischen Dampfabcheidung bei geringem Druck (LPCVD) und die verstärkte chemische Dampfabcheidung (ECVD) eingesetzt werden.

[0057] Die vorliegende Erfindung ist anwendbar bei der Herstellung von Halbleiterbauelementen und insbesondere bei Halbleiterbauelementen mit Strukturgrößen von 100 nm und darunter, woraus sich eine größere Transistor- und Schaltungsgeschwindigkeit und eine verbesserte Zuverlässigkeit ergibt. Die vor-

liegende Erfindung ist auf die Herstellung diverser Arten von Halbleiterbauelementen anwendbar und daher wurden Details nicht aufgeführt, um nicht den Grundgedanken der vorliegenden Erfindung zu verdunkeln. Bei der Anwendung der vorliegenden Erfindung werden konventionelle photolithographische Techniken und Ätzverfahren eingesetzt, und damit sind die Details derartiger Verfahren nicht detailliert hierin dargestellt.

Patentansprüche

1. Verfahren zur Herstellung eines Halbleiterbauelements, mit:

Bilden einer Stegstruktur (**210**) auf einem Isolator (**120**);

Bilden einer Gatestruktur (**320**) über zumindest einem Teil der Stegstruktur (**210**) und einem Teil des Isolators (**120**);

Einebnen der Gatestruktur (**320**) durch Ausführen eines chemischen-mechanischen Polierens (CMP) der Gatestruktur unter Anwendung eines ersten Poliermittels;

gekennzeichnet durch:

Einebnen der Gatestruktur (**320**) in einer zweiten Einebnung durch Ausführen eines CMP der Gatestruktur unter Anwendung eines zweiten Poliermittels, das sich von dem ersten Poliermittel unterscheidet und Verbindungen enthält, die dazu neigen, an unteren Bereichen der Gatestruktur (**320**) zu haften, so dass die zweite Einebnung der Gatestruktur (**320**) eine Höhe der Gatestruktur (**320**) über der Stegstruktur (**210**) in einem Kanalgebiet des Halbleiterbauelements reduziert, während eine Höhe der Gatestruktur (**320**), die die Stegstruktur (**210**) umgibt, erhöht wird.

2. Verfahren nach Anspruch 1, wobei das CMP der Gatestruktur (**320**) unter Anwendung des ersten Poliermittels so wirkt, dass Gatematerial mit einer höheren Abtragsrate als bei dem CMP der Gatestruktur unter Anwendung des zweiten Poliermittels entfernt wird.

3. Verfahren nach Anspruch 1 oder 2, wobei nach dem Bilden der Gatestruktur (**320**) über mindestens einem Teil der Stegstruktur die Gatestruktur (**320**) sich um 50 nm bis ungefähr 150 nm über die Stegstruktur (**210**) in einem Kanalgebiet eines Halbleiterbauelements hinaus erstreckt.

4. Verfahren nach einem der Ansprüche 1 bis 3, wobei nach dem Einebnen der Gatestruktur (**320**) durch Ausführen eines CMP der Gatestruktur (**320**) unter Anwendung des zweiten Poliermittels die Gatestruktur sich ungefähr 30 nm über die Stegstruktur (**210**) in dem Kanalgebiet des Halbleiterbauelements hinaus erstreckt.

5. Verfahren nach einem der Ansprüche 1 bis 4, wobei das Halbleiterbauelement ein FINFET ist.

6. Verfahren nach einem der Ansprüche 1 bis 5, wobei das erste Poliermittel ein gepuffertes Poliermittel auf Silika-Basis mit einem pH-Wert im Bereich von ungefähr 10,5 bis 11,5 ist und eine alkalische Komponente mit einer Konzentration im Bereich von ungefähr 0,1% bis 4% enthält.

7. Verfahren nach einem der Ansprüche 1 bis 6, wobei das zweite Poliermittel ein gepuffertes Poliermittel auf Silika-Basis mit einem pH-Wert im Bereich von ungefähr 10,5 bis 11,5 ist und eine alkalische Komponente mit einer Konzentration im Bereich von ungefähr 0,1% bis 1% enthält.

8. Verfahren nach einem der Ansprüche 1 bis 7, wobei das zweite Poliermittel Verbindungen mit einem hohen Molekulargewicht mit hydrophoben molekularen Gruppen enthält.

9. Verfahren zur Herstellung eines Halbleiterbauelements nach Anspruch 1, das ferner umfasst:

Bilden einer Source (**220**) und eines Drains (**230**) auf dem Isolator (**120**), und

Bilden einer dielektrischen Schicht (**310**, **140**) um die Stegstruktur (**210**) herum vor dem Bilden der Gatestruktur (**320**); wobei:

Bilden der Gatestruktur (**320**) Abscheiden einer Polysiliziumschicht (**320**) über der Stegstruktur (**210**) umfasst;

Einebnen der Gatestruktur (**320**) unter Anwendung eines ersten Poliermittels Einebnen der Polysiliziumschicht (**320**) mit einer ersten Rate umfasst, und Einebnen der Gatestruktur (**320**) in einer zweiten Einebnung der Polysiliziumschicht (**320**) mit einer zweiten Rate, die kleiner als die erste Rate ist, umfasst; wobei das Halbleiterbauelement ein MOSFET-Bauelement ist, in welchem Bereiche der Stegstruktur (**210**) als ein Kanal für den MOSFET dienen.

Es folgen 9 Blatt Zeichnungen

Anhängende Zeichnungen

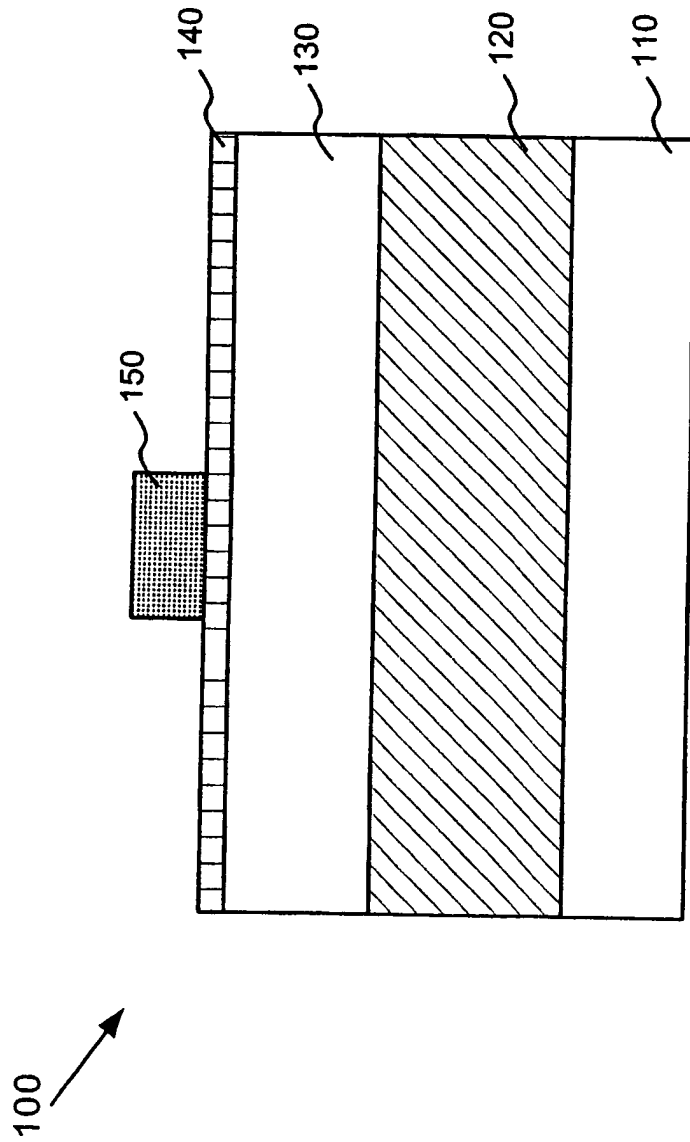


Fig. 1

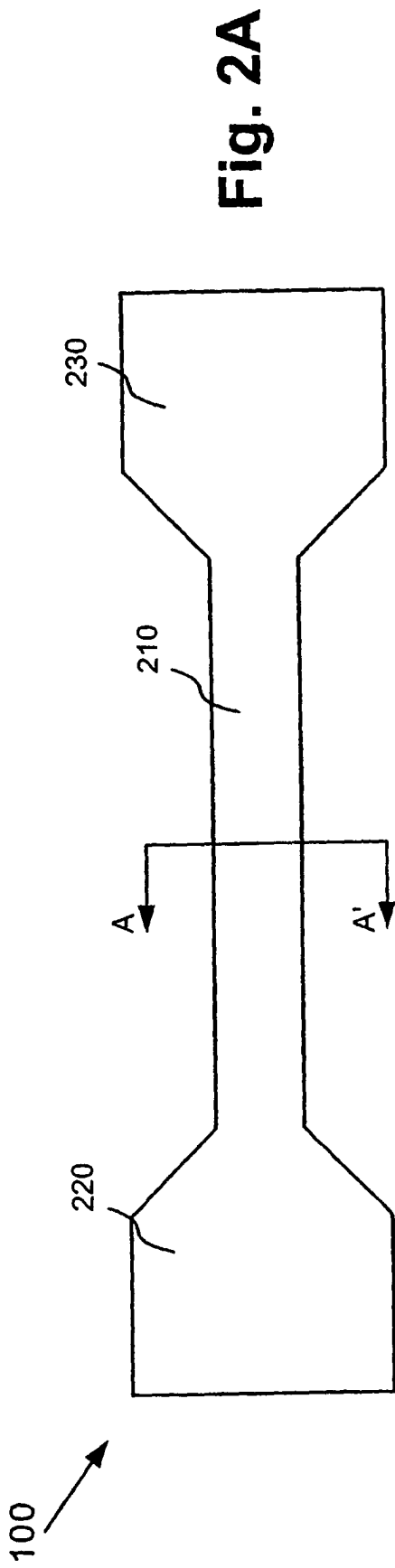


Fig. 2A

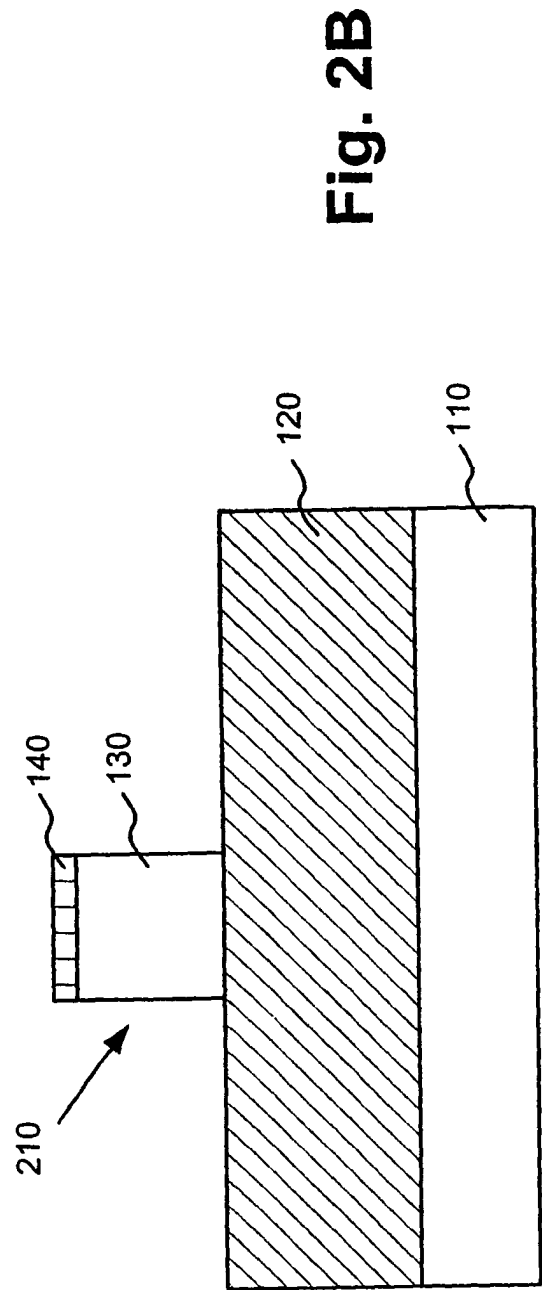


Fig. 2B

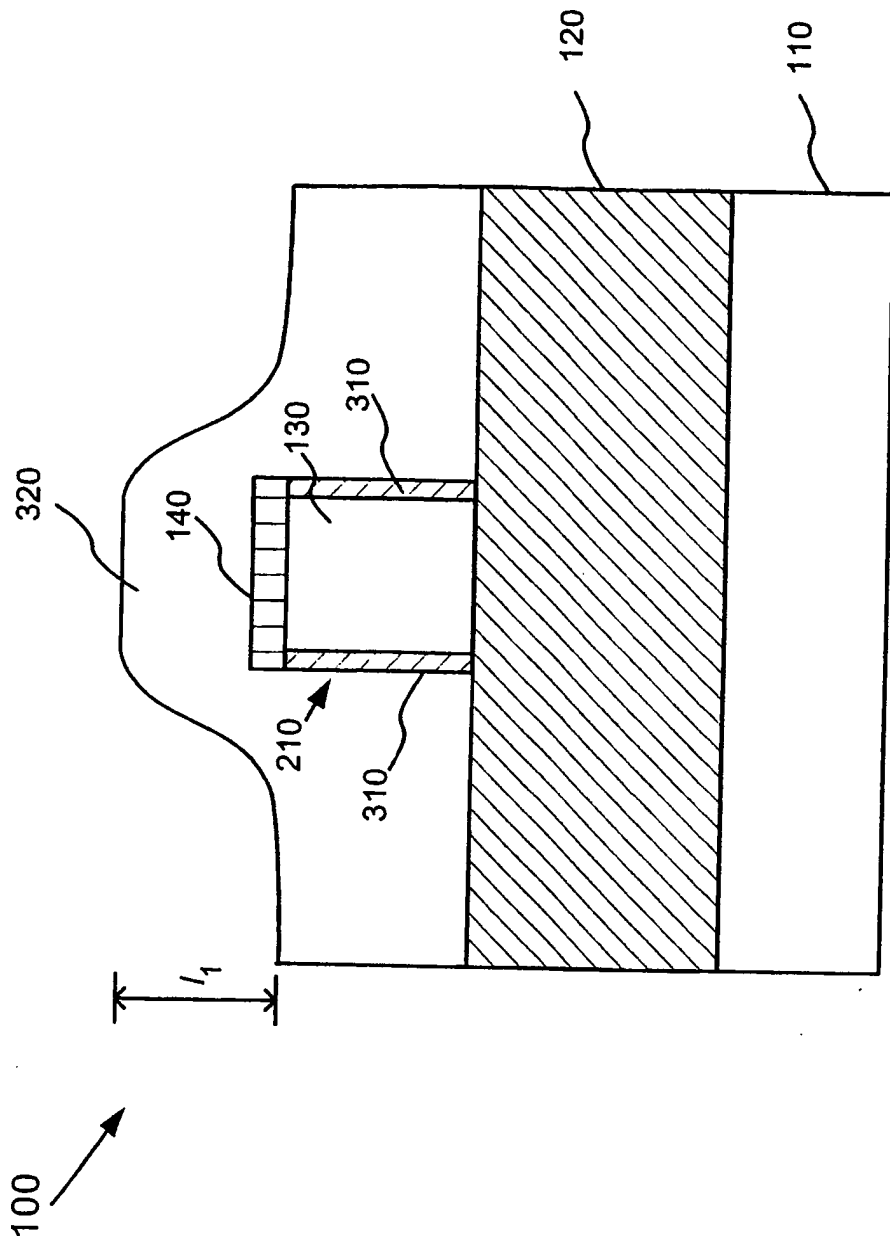


Fig. 3

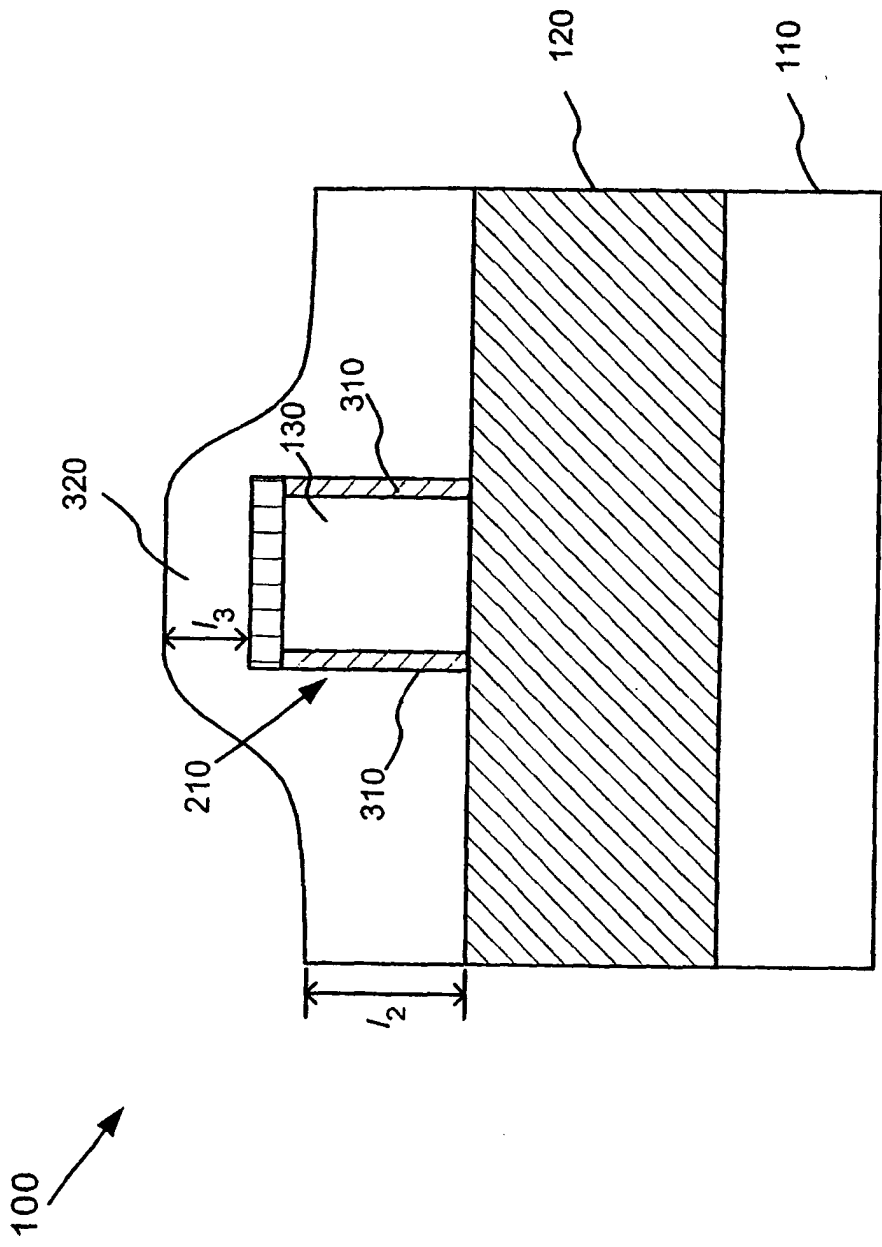


Fig. 4A

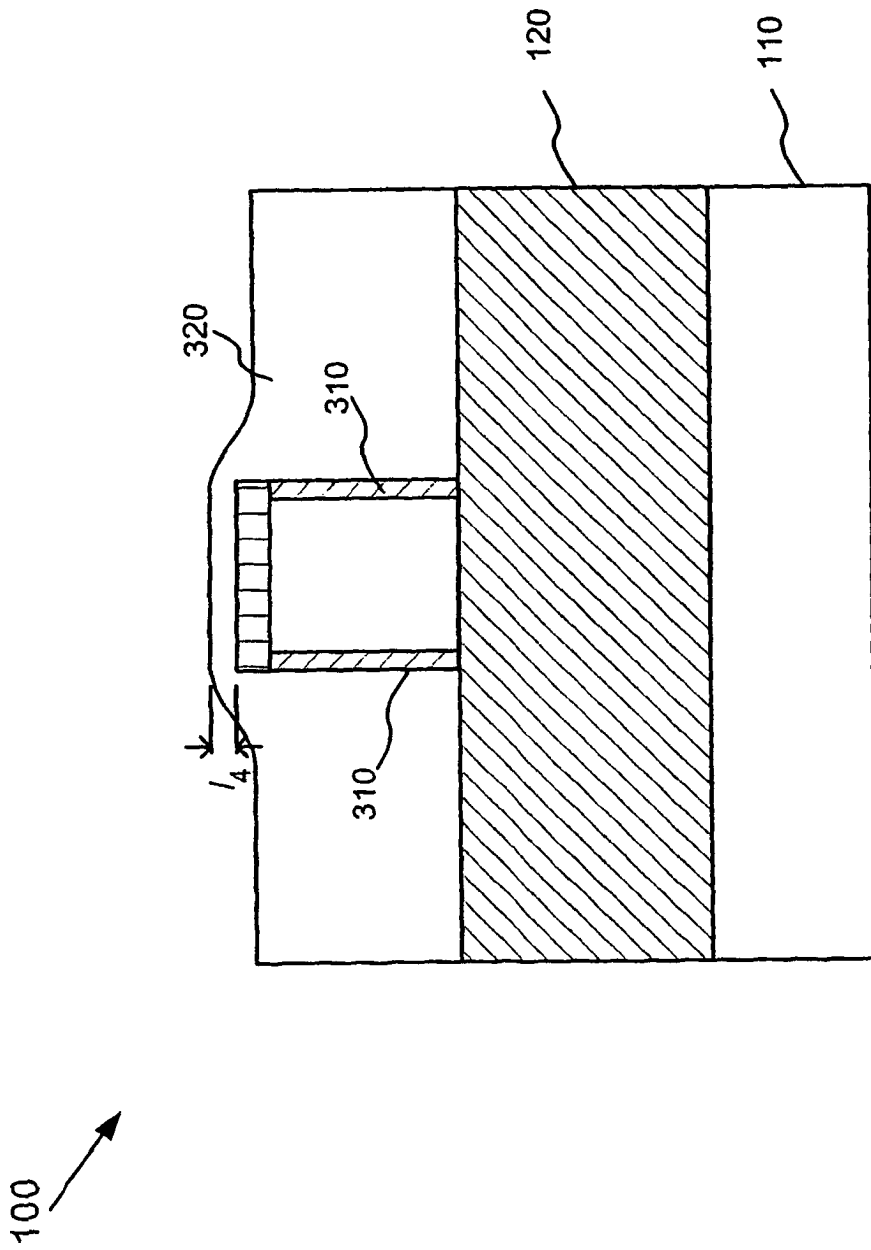


Fig. 4B

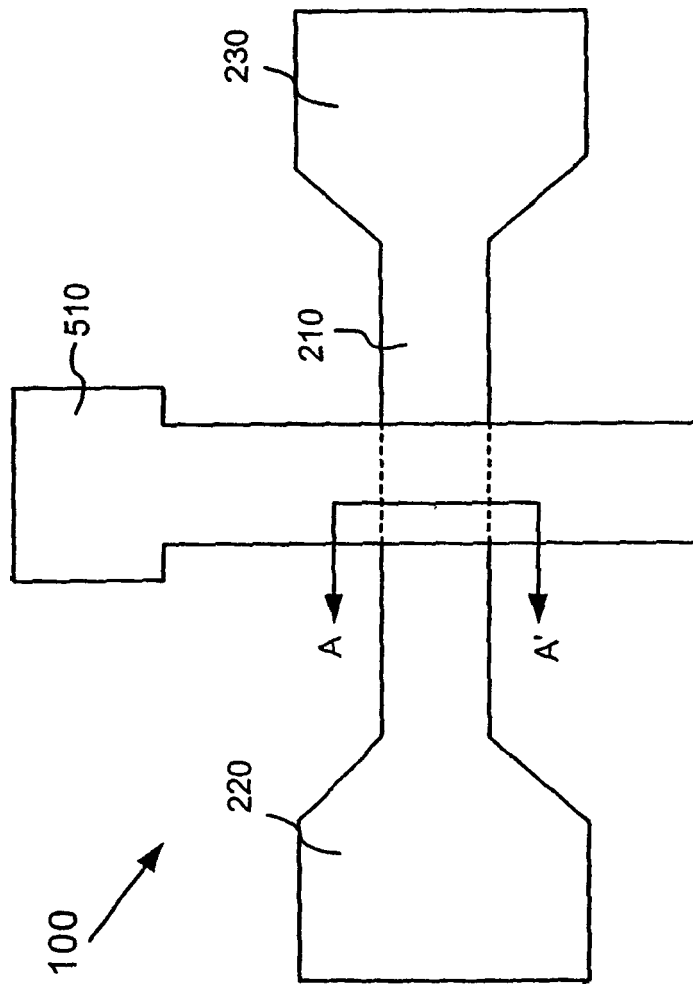


Fig. 5

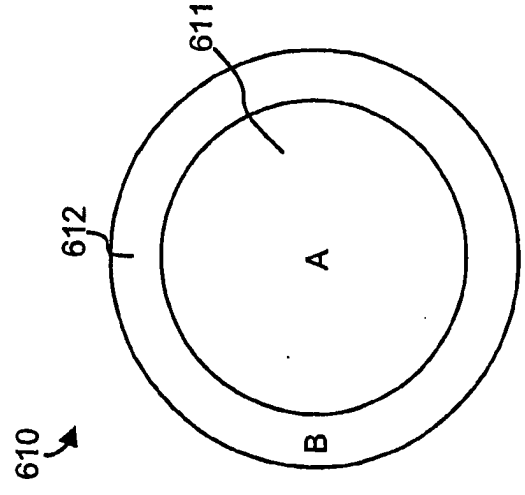


Fig. 6A

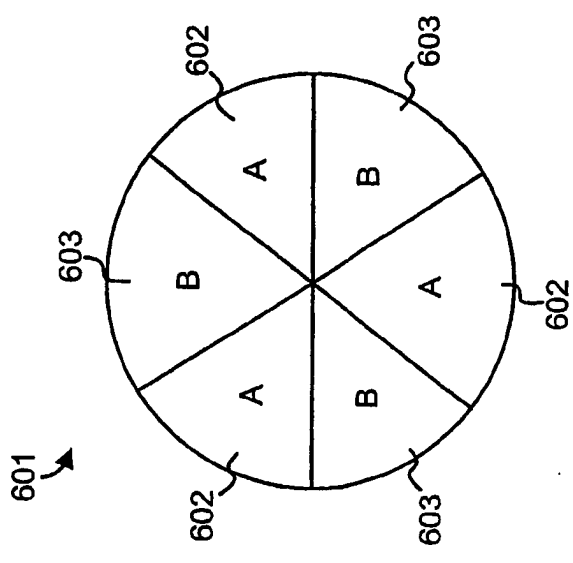


Fig. 6B

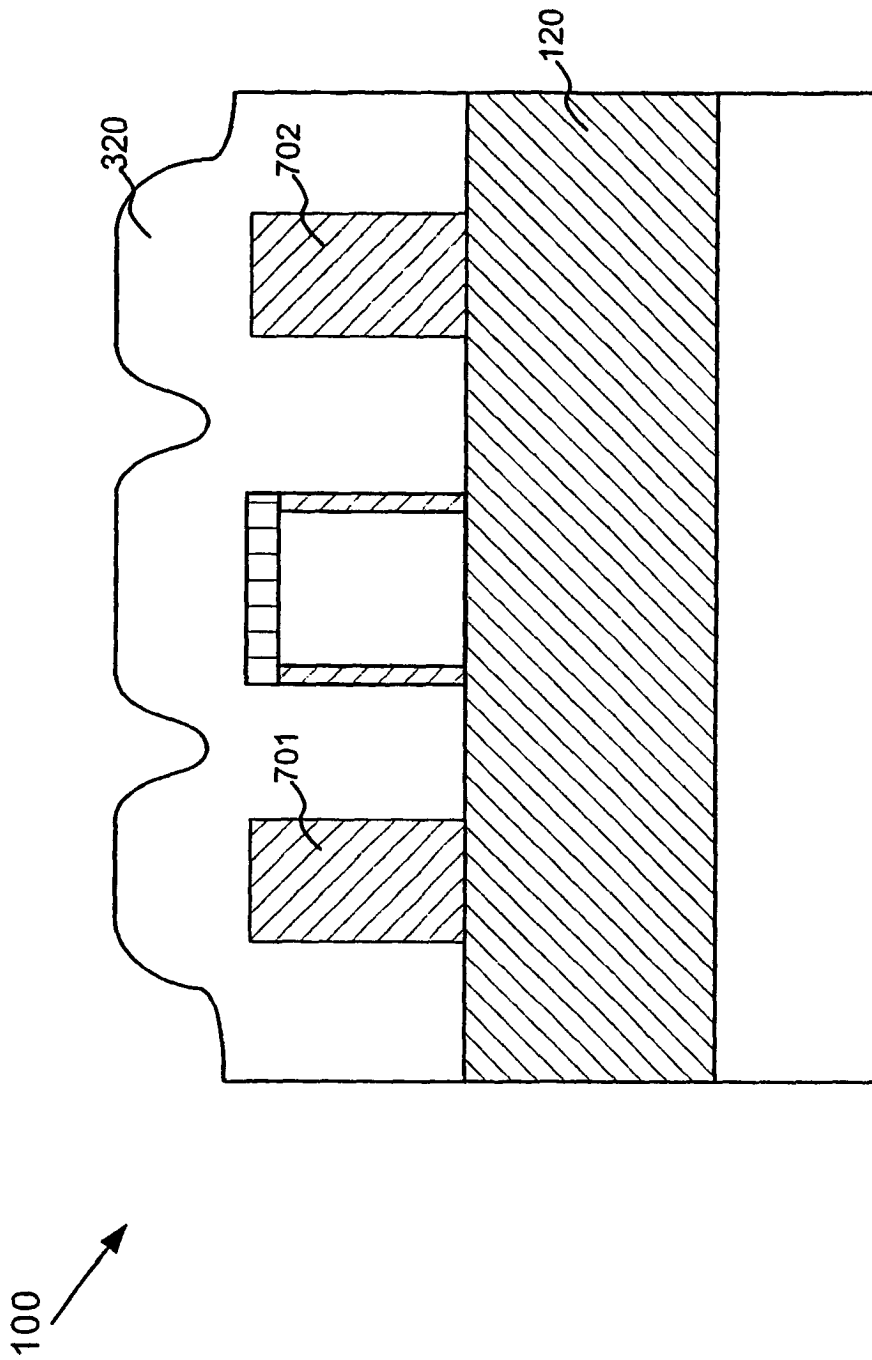


Fig. 7

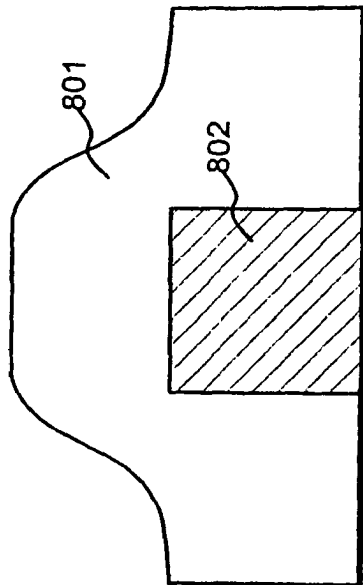


Fig. 8A

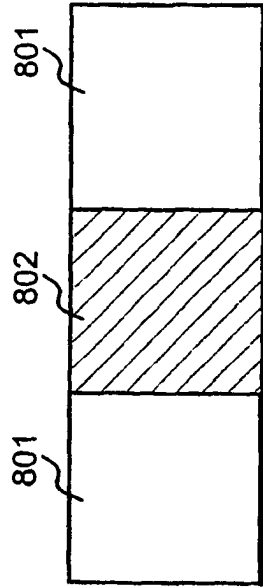


Fig. 8B