

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月27日(27.08.2020)



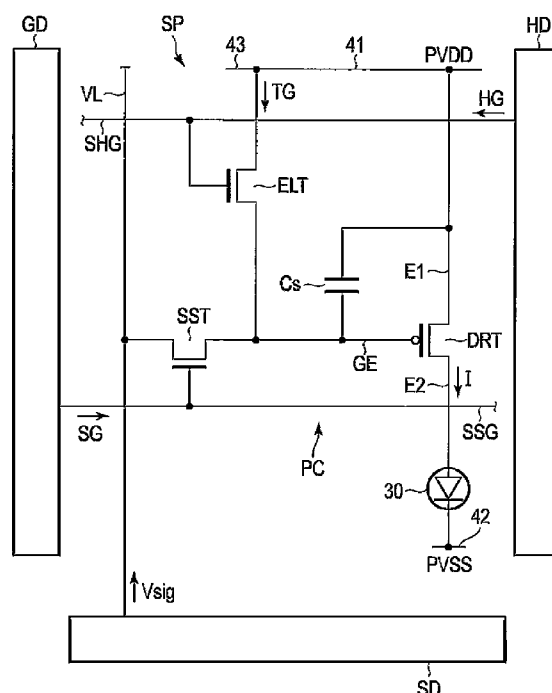
(10) 国際公開番号

WO 2020/170529 A1

- (51) 国際特許分類:
G09G 3/32 (2016.01) *H01L 33/00* (2010.01)
G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2019/045329
- (22) 国際出願日: 2019年11月19日(19.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-028330 2019年2月20日(20.02.2019) JP
- (71) 出願人:株式会社ジャパンディスプレイ(JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).
- (72) 発明者: 原 田 勉 (HARADA, Tsutomu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 尾崎 匡史(OZAKI, Tadafumi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 富沢 一成(TOMIZAWA, Kazunari); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
- (74) 代理人: 特許業務法人スズエ国際特許事務所 (S & S INTERNATIONAL PPC); 〒1050001 東京都港区虎ノ門一丁目12番9号 スズエ・アンド・スズエビル Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: Provided is a display device having excellent display quality. The display device is provided with a first power source line, a second power source line, a reset line, a plurality of pixels, a plurality of gate lines, a plurality of control wires, a plurality of source lines, a first driver, and a second driver. Each of the pixels has a driving transistor, a light-emitting element, a pixel switch, a retention capacitor, and a reset switch. The reset switch is connected between the reset line and a gate electrode and switched between the ON and OFF states by a second control signal applied via

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the control wires.

(57) 要約: 表示品位に優れた表示装置を提供する。表示装置は、第1電源線と、第2電源線と、リセット線と、複数の画素と、複数のゲート線と、複数の制御配線と、複数のソース線と、第1ドライバと、第2ドライバと、を備える。各々の前記画素は、駆動トランジスタと、発光素子と、画素スイッチと、保持容量と、リセットスイッチと、を有する。前記リセットスイッチは、前記リセット線とゲート電極との間に接続され、制御配線を介して与えられる第2制御信号によりオン状態又はオフ状態に切替えられる。

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本発明の実施形態は、表示装置に関する。

背景技術

[0002] 表示装置として、自発光素子である発光ダイオード（LED : Light Emitting Diode）を用いたLED表示装置が知られている。近年では、より高精細な表示装置として、マイクロLEDと称される微小な発光ダイオードをアレ
イ基板に実装した表示装置（以下、マイクロLED表示装置と称する）が開
発されている。

[0003] マイクロLED表示装置は、従来の液晶表示装置や有機エレクトロルミネ
ッセンス（EL）表示装置と異なり、表示領域に、チップ状の多数のマイク
ロLEDが実装されて形成されるため、高精細化と大型化の両立が容易であ
り、次世代の表示装置として注目されている。

先行技術文献

特許文献

[0004] 特許文献1 : 特開2018-14475号公報

発明の概要

発明が解決しようとする課題

[0005] 本実施形態は、表示品位に優れた表示装置を提供する。

課題を解決するための手段

[0006] 一実施形態に係る表示装置は、

第1電源線と、第2電源線と、リセット線と、行方向及び列方向に配置さ
れた複数の画素と、複数のゲート線であって、各々の前記ゲート線は前記行
方向に並んだ複数の画素で共用される、前記複数のゲート線と、複数の制御
配線であって、各々の前記制御配線は前記行方向に並んだ複数の画素で共用
される、前記複数の制御配線と、複数のソース線であって、各々の前記ソー

ス線は前記列方向に並んだ複数の画素で共用される、前記複数のソース線と、前記複数のゲート線に第1制御信号を与える第1ドライバと、前記複数の制御配線に第2制御信号を与える第2ドライバと、を備え、各々の前記画素は、前記第1電源線と前記第2電源線との間で直列に接続された駆動トランジスタ及び発光素子と、前記複数のソース線のうち対応するソース線と前記駆動トランジスタのゲート電極との間に接続され、前記複数のゲート線のうち対応するゲート線を介して与えられる前記第1制御信号によりオン状態又はオフ状態に切替えられる画素スイッチと、前記ゲート電極に接続された保持容量と、前記リセット線と前記ゲート電極との間に接続され、前記複数の制御配線のうち対応する制御配線を介して与えられる前記第2制御信号によりオン状態又はオフ状態に切替えられるリセットスイッチと、を有する。

[0007] また、一実施形態に係る表示装置は、

第1電源線と、第2電源線と、リセット線と、行方向及び列方向に配置された複数の画素と、複数のゲート線であって、各々の前記ゲート線は前記行方向に並んだ複数の画素で共用される、前記複数のゲート線と、複数のソース線であって、各々の前記ソース線は前記列方向に並んだ複数の画素で共用される、前記複数のソース線と、前記複数のゲート線に第1制御信号及び第2制御信号を与える第1ドライバと、を備え、各々の前記画素は、前記第1電源線と前記第2電源線との間で直列に接続された駆動トランジスタ及び発光素子と、前記複数のソース線のうち対応するソース線と前記駆動トランジスタのゲート電極との間に接続され、前記複数のゲート線のうち対応するゲート線を介して与えられる前記第1制御信号又は前記第2制御信号によりオン状態又はオフ状態に切替えられる画素スイッチと、前記ゲート電極に接続された保持容量と、を有し、前記第1ドライバは、前記列方向に連続する複数のゲート線に接続された第1回路と、前記列方向に連続する残りの複数のゲート線に接続された第2回路と、を有し、任意の期間に、前記第1回路は対応するゲート線に前記第1制御信号及び前記第2制御信号の一方の信号を与え、前記第2回路は対応するゲート線に前記第1制御信号及び前記第2制

御信号の他方の信号を与える。

図面の簡単な説明

[0008] [図1]図1は、第1の実施形態に係る表示装置の構成を示す斜視図である。

[図2]図2は、上記表示装置の回路構成を示す平面図である。

[図3]図3は、上記表示装置を示す断面図である。

[図4]図4は、上記表示装置の変形例を示す断面図である。

[図5]図5は、上記表示装置の構成の一例について説明するための回路図である。

[図6]図6は、図5などに示したゲートドライバの一部と、いくつかのゲート線とを示す回路図である。

[図7]図7は、図5などに示した消去ドライバの一部と、いくつかの制御配線とを示す回路図である。

[図8]図8は、上記表示装置の表示領域に画像を表示している状態を示す平面図である。

[図9]図9は、上記表示装置の表示領域が複数の制御領域に分類されている状態を示す平面図である。

[図10]図10は、図8に示した画像を表示する際の、上記表示装置の表示動作の一例を示すタイミングチャートである。

[図11]図11は、第2の実施形態に係る表示装置の消去ドライバの一部と、いくつかの制御配線とを示す回路図である。

[図12]図12は、上記第2の実施形態に係る表示装置の表示動作の一例を示すタイミングチャートである。

[図13]図13は、第3の実施形態に係る表示装置の構成の一例について説明するための回路図である。

[図14]図14は、図13に示したゲートドライバと、いくつかのゲート線とを示す回路図である。

[図15]図15は、上記第3の実施形態に係る表示装置の表示動作の一例を示すタイミングチャートである。

発明を実施するための形態

[0009] 以下に、本発明の実施の形態について、図面を参照しつつ説明する。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0010] (第1の実施形態)

まず、第1の実施形態について説明する、図1は、本実施形態に係る表示装置1の構成を示す斜視図である。図1は、第1方向Xと、第1方向Xに垂直な第2方向Yと、第1方向X及び第2方向Yに垂直な第3方向Zによって規定される三次元空間を示している。なお、第1方向X及び第2方向Yは、互いに直交しているが、90°以外の角度で交差していてもよい。また、本実施形態において、第3方向Zを上と定義し、第3方向Zと反対側の方向を下と定義する。「第1部材の上の第2部材」及び「第1部材の下の第2部材」とした場合、第2部材は、第1部材に接していてもよく、第1部材から離れて位置していてもよい。

[0011] 以下、本実施形態においては、表示装置1が自発光素子であるマイクロ発光ダイオード（以下、マイクロLED (Light Emitting Diode) と称する）を用いたマイクロLED表示装置である場合について主に説明する。

[0012] 図1に示すように、表示装置1は、表示パネル2、第1回路基板3及び第2回路基板4等を備えている。

表示パネル2は、一例では矩形の形状を有している。図示した例では、表示パネル2の短辺EXは、第1方向Xと平行であり、表示パネル2の長辺EYは、第2方向Yと平行である。第3方向Zは、表示パネル2の厚さ方向に相当する。表示パネル2の主面は、第1方向Xと第2方向Yとにより規定さ

れるX-Y平面に平行である。表示パネル2は、表示領域DA、及び表示領域DAの外側の非表示領域NDAを有している。非表示領域NDAは、端子領域MTを有している。図示した例では、非表示領域NDAは、表示領域DAを囲んでいる。

[0013] 表示領域DAは、画像を表示する領域であり、第1方向X及び第2方向Yにマトリクス状に配置された複数の主画素PXを備えている。本実施形態において、第1方向Xは行方向であり、第2方向Yは列方向である。

端子領域MTは、表示パネル2の短辺EXに沿って設けられ、表示パネル2を外部装置などと電氣的に接続するための端子を含んでいる。

[0014] 第1回路基板3は、端子領域MTの上に実装され、表示パネル2と電氣的に接続されている。第1回路基板3は、例えばフレキシブルプリント回路基板である。第1回路基板3は、表示パネル2を駆動する駆動ICチップ（以下、パネルドライバと表記）5などを備えている。なお、図示した例では、パネルドライバ5は、第1回路基板3の上に配置されているが、第1回路基板3の下に配置されていてもよい。又は、パネルドライバ5は、第1回路基板3以外に実装されていてもよく、例えば第2回路基板4に実装されていてもよい。第2回路基板4は、例えばフレキシブルプリント回路基板である。第2回路基板4は、第1回路基板3の例えば下方において第1回路基板3と接続されている。

[0015] 上記したパネルドライバ5は、例えば第2回路基板4を介して制御基板（図示せず）と接続されている。パネルドライバ5は、例えば制御基板から出力される画像信号（例えば、映像信号）に基づいて複数の主画素PXを駆動することによって表示パネル2に画像を表示する制御を実行する。

[0016] なお、表示パネル2は、斜線を付して示す折り曲げ領域BAを有しているもよい。折り曲げ領域BAは、表示装置1が電子機器等の筐体に収容される際に折り曲げられる領域である。折り曲げ領域BAは、非表示領域NDAのうち端子領域MT側に位置している。折り曲げ領域BAが折り曲げられた状態において、第1回路基板3及び第2回路基板4は、表示パネル2と対向す

るように、表示パネル 2 の下方に配置される。

[0017] 図 2 は、表示装置 1 の回路構成を示す平面図である。

図 2 に示すように、表示装置 1 は、アクティブマトリクス型の表示パネル 2 を備えている。表示パネル 2 は、絶縁基板 2 1、絶縁基板 2 1 の上に配置された複数の主画素 P X、各種の配線、ゲートドライバ G D、消去ドライバ H D、及びソースドライバ S D を有している。本実施形態において、ゲートドライバ G D は第 1 ドライバとして機能し、消去ドライバ H D は第 2 ドライバとして機能している。

[0018] 各々の主画素 P X は、複数の画素 S P を有している。本実施形態において、主画素 P X は、第 1 色を呈する第 1 画素 S P R、第 2 色を呈する第 2 画素 S P G、及び第 3 色を呈する第 3 画素 S P B の 3 種類の画素を含んでいる。ここでは、第 1 色は赤色であり、第 2 色は緑色であり、第 3 色は青色である。複数の画素 S P は、表示領域 D A にて第 1 方向 X 及び第 2 方向 Y にマトリクス状に配置されている。

[0019] 画素 S P は、発光素子（マイクロ L E D）と、発光素子に駆動電流を供給し発光素子を駆動するための画素回路と、を含んでいる。上記画素回路は、後述する駆動トランジスタ及び各種のスイッチング素子などを含んでいる。ここで、本実施形態において、主画素 P X、及び画素 S P の用語で説明したが、主画素 P X を画素と言い換えることが可能である。この場合、画素 S P は副画素である。

[0020] 上記各種の配線は、表示領域 D A にて延在し、非表示領域 N D A に引き出されている。図 2 には、各種の配線の一部として、複数本のゲート線 S S G と、複数本の制御配線 S H G と、複数本のソース線 V L と、を例示している。各々のゲート線 S S G は、第 1 方向 X に並んだ複数の画素 S P で共用されている。各々の制御配線 S H G は、第 1 方向 X に並んだ複数の画素 S P で共用されている。各々のソース線 V L は、第 2 方向 Y に並んだ複数の画素 S P で共用されている。

[0021] ゲートドライバ G D、消去ドライバ H D、及びソースドライバ S D は、非

表示領域NDAに位置している。表示領域DAにおいて、ゲート線SSG、制御配線SHG及びソース線VLは、画素SPに接続されている。ゲート線SSGは、非表示領域NDAにてゲートドライバGDに接続されている。制御配線SHGは、非表示領域NDAにて消去ドライバHDに接続されている。本実施形態において、ゲートドライバGD及び消去ドライバHDは、第1方向Xに表示領域DAを挟んでいる。ソース線VLは、非表示領域NDAにてソースドライバSDに接続されている。

ゲートドライバGD、消去ドライバHD、及びソースドライバSDには、パネルドライバ5から各種の信号や電圧が与えられる。

[0022] 図3は、上記表示装置を示す断面図である。ここでは、上記のマイクロLEDと称される微小な発光ダイオードが発光素子として画素電極上に実装された例について説明する。図3においては、表示領域DA及び非表示領域NDAについて主に示している。なお、非表示領域NDAは、折り曲げられる折り曲げ領域BAと、端子領域MTと、を含んでいる。

[0023] 図3に示すように、表示パネル2のアレイ基板ARは、絶縁基板21を備えている。絶縁基板21としては、主に、石英、無アルカリガラス等のガラス基板、またはポリイミド等の樹脂基板を用いることができる。絶縁基板21の材質は、TFT (Thin Film Transistor) を製造する際の処理温度に耐える材質であればよい。絶縁基板21が可撓性を有する樹脂基板である場合、表示装置1をシートディスプレイとして構成することができる。樹脂基板としては、ポリイミドに限らず、他の樹脂材料を用いてもよい。なお、絶縁基板21にポリイミドなどを用いる場合、絶縁基板21を有機絶縁層又は樹脂層と称した方が適当な場合があり得る。

[0024] 絶縁基板21上には、三層積層構造のアンダーコート層22が設けられている。アンダーコート層22は、シリコン酸化物(SiO₂)で形成された第1層22a、シリコン窒化物(SiN)で形成された第2層22b、及びシリコン酸化物(SiO₂)で形成された第3層22cを有している。最下層の第1層22aは基材である絶縁基板21との密着性向上のため、中間層

の第2層22bは外部からの水分及び不純物のブロック膜として、最上層の第3層22cは第2層22b中に含有する水素原子が後述する半導体層SC側に拡散しないようにするブロック膜として、それぞれ設けられている。なお、アンダーコート層22は、この構造に限定されるものではない。アンダーコート層22は、更に積層があってもよいし、単層構造あるいは二層構造であってもよい。例えば、絶縁基板21がガラスである場合、シリコン窒化膜は比較的密着性がよいため、当該絶縁基板21上に直接シリコン窒化膜を形成しても構わない。

[0025] 遮光層23は、絶縁基板21の上に配置されている。遮光層23の位置は、後にTFTを形成する箇所に合わせられている。本実施形態において、遮光層23は、金属で形成されている。但し、遮光層23は、黒色層など、遮光性を有する材料で形成されていればよい。また、本実施形態において、遮光層23は、第1層22aの上に設けられ、第2層22bで覆われている。なお、本実施形態と異なり、遮光層23は、絶縁基板21の上に設けられ、第1層22aで覆われていてもよい。遮光層23によれば、TFTのチャネル層の裏面への光の侵入を抑制することができるため、絶縁基板21側から入射され得る光に起因したTFT特性の変化を抑制することが可能である。また、遮光層23を導電層で形成した場合には、当該遮光層23に所定の電位を与えることで、TFTにバックゲート効果を付与することが可能である。

[0026] 上記したアンダーコート層22上には、駆動トランジスタDRTなどの薄膜トランジスタ（TFT：Thin Film Transistor）が形成されている。TFTとしては半導体層SCにポリシリコンを利用するポリシリコンTFTを例としている。本実施形態において、低温ポリシリコンを利用して半導体層SCが形成されている。ここでは、駆動トランジスタDRTは、Pチャネル型のTFT（PchTFT）である。PchTFTの半導体層SCは、第1領域と、第2領域と、第1領域及び第2領域の間のチャネル領域と、チャネル領域及び第1領域の間並びにチャネル領域及び第2領域の間にそれぞれ設け

られた低濃度不純物領域と、を有している。第1及び第2領域の一方がソース領域として機能し、第1及び第2領域の他方がドレイン領域として機能している。なお、アレイ基板ARは、PchTFTだけではなくNチャンネル型のTFT(NchTFT)を含んでいてもよい。その場合、NchTFTとPchTFTを同時に形成してもよい。また、半導体層SCは、アモルファスシリコン、酸化物半導体など、ポリシリコン以外の半導体を利用してもよい。

[0027] ゲート絶縁膜G1はシリコン酸化膜を用い、ゲート電極GEはMoW（モリブデン・タングステン）で形成されている。なお、ゲート電極GEなど、ゲート絶縁膜G1の上に形成される配線や電極を、1st配線、又は1stメタルと称する場合がある。ゲート電極GEは、TFTのゲート電極としての機能に加え、後述する保持容量電極としての機能も有している。ここではトップゲート型のTFTを例として説明しているが、TFTはボトムゲート型のTFTであってもよい。

[0028] ゲート絶縁膜G1及びゲート電極GEの上には、層間絶縁膜24が設けられている。層間絶縁膜24は、ゲート絶縁膜G1及びゲート電極GEの上に、例えば、シリコン窒化膜及びシリコン酸化膜を順に積層して構成されている。ゲート絶縁膜G1及び層間絶縁膜24は、折り曲げ領域BAに設けられていない。そのため、折り曲げ領域BAを含む絶縁基板21上の全領域に、ゲート絶縁膜G1及び層間絶縁膜24を形成した後、ゲート絶縁膜G1及び層間絶縁膜24にパターニングを行って、ゲート絶縁膜G1及び層間絶縁膜24のうち少なくとも折り曲げ領域BAに相当する箇所を除去している。更に、層間絶縁膜24などの除去によってアンダーコート層22が露出するため、当該アンダーコート層22についてもパターニングを行って折り曲げ領域BAに相当する箇所を除去している。アンダーコート層22を除去した後は、絶縁基板21を構成する例えばポリイミドが露出する。なお、アンダーコート層22のエッチングを通じて、絶縁基板21の上面が一部浸食された膜減りを生ずる場合がある。

- [0029] この場合、層間絶縁膜 24 の端部における段差部分及びアンダーコート層 22 の端部における段差部分のそれぞれの下層に図示しない配線パターンを形成しておいても良い。これによれば、引き回し配線 LL が段差部分を横切って形成される際に、引き回し配線 LL は配線パターンの上を通る。層間絶縁膜 24 とアンダーコート層 22 との間にはゲート絶縁膜 G1 があり、アンダーコート層 22 と絶縁基板 21 との間には例えば遮光層 23 があるので、それらの層を利用して配線パターンを形成することができる。
- [0030] 層間絶縁膜 24 の上に、第 1 電極 E1、第 2 電極 E2、及び引き回し配線 LL が設けられている。第 1 電極 E1、第 2 電極 E2、及び引き回し配線 LL は、それぞれ三層積層構造 (Ti 系 / Al 系 / Ti 系) が採用され、Ti (チタン)、Ti を含む合金など Ti を主成分とする金属材料からなる下層と、Al (アルミニウム)、Al を含む合金など Al を主成分とする金属材料からなる中間層と、Ti、Ti を含む合金など Ti を主成分とする金属材料からなる上層と、を有している。なお、第 1 電極 E1 など、層間絶縁膜 24 の上に形成される配線や電極を、2nd 配線、又は 2nd メタルと称する場合がある。
- [0031] 第 1 電極 E1 は半導体層 SC の第 1 領域に接続され、第 2 電極 E2 は半導体層 SC の第 2 領域に接続されている。例えば、半導体層 SC の第 1 領域がソース領域として機能する場合、第 1 電極 E1 はソース電極であり、第 2 電極 E2 はドレイン電極である。第 1 電極 E1 は、層間絶縁膜 24、及び TFT のゲート電極 (保持容量電極) GE とともに保持容量 Cs を形成している。引き回し配線 LL は、絶縁基板 21 の周縁の端部まで延在され、第 1 回路基板 3 やパネルドライバ (駆動 IC) 5 を接続する端子を形成する。
- [0032] なお、引き回し配線 LL は、折り曲げ領域 BA を横切って端子部に到達するように形成されるため、層間絶縁膜 24 及びアンダーコート層 22 の段差を横切る。上記したように段差部分には遮光層 23 による配線パターンが形成されているため、引き回し配線 LL が段差の凹部で段切れを生じたとしても、下の配線パターンにコンタクトすることで導通を維持することが可能で

ある。

[0033] 平坦化膜 25 は、層間絶縁膜 24、第 1 電極 E 1、第 2 電極 E 2、及び引き回し配線 LL の上に形成され、TFT 及び引き回し配線 LL を覆っている。平坦化膜 25 としては感光性アクリル等の有機絶縁材料が多く用いられる。平坦化膜 25 は、CVD (chemical-vapor deposition) 等により形成される無機絶縁材料に比べ、配線段差のカバレッジ性や、表面の平坦性に優れている。

[0034] 平坦化膜 25 は、画素コンタクト部及び周辺領域では除去される。平坦化膜 25 の上に、導電層 26 が設けられている。導電層 26 は、酸化物導電層として、例えばITOで形成されている。導電層 26 は、例えば、平坦化膜 25 の除去により第 1 電極 E 1 及び引き回し配線 LL が露出した箇所を被覆する導電層 26a を含んでいる。導電層 26a は、製造工程で第 1 電極 E 1 や引き回し配線 LL の露出部がダメージを負わないようにバリア膜として設けることを目的の一つとしている。平坦化膜 25 及び導電層 26 は、絶縁層 27 で被覆されている。例えば、絶縁層 27 はシリコン窒化膜で形成されている。

[0035] 絶縁層 27 の上に、画素電極 28 が形成されている。画素電極 28 は、絶縁層 27 の開口を介して導電層 26a にコンタクトし、第 1 電極 E 1 に電氣的に接続されている。ここでは、画素電極 28 は、発光素子 30 を実装するための接続端子となる。画素電極 28 は、単一の導電層、又は二層以上の導電層を含む積層体で形成されている。本実施形態において、画素電極 28 は、二層積層構造 (Al 系/Mo 系) が採用され、Mo、Mo を含む合金など Mo を主成分とする金属材料からなる下層と、Al、Al を含む合金など Al を主成分とする金属材料からなる上層と、を有している。なお、上記導電層 26 は、端子部の表面を形成する導電層 26c を含んでいる。

[0036] 絶縁層 27 及び画素電極 28 の上に絶縁層 29 が設けられている。絶縁層 29 は、例えばシリコン窒化物で形成されている。絶縁層 29 は、画素電極 28 の端部等を絶縁すると共に、画素電極 28 の表面の一部に発光素子 (マ

イクロLED) 30を実装するための開口を有している。絶縁層29の開口の大きさは、発光素子30の実装工程における実装ずれ量等を考慮し、発光素子30よりも一回り大きめの開口とする。例えば発光素子30が実質的に $10\mu\text{m} \times 10\mu\text{m}$ の実装面積である場合、上記開口は実質的に $20\mu\text{m} \times 20\mu\text{m}$ は確保されることが好ましい。

[0037] 表示領域DAにおいて、アレイ基板ARの上に、発光素子30が実装される。発光素子30は、第1電極としての陽極ANと、第2電極としての陰極CAと、光を放出する発光層L1と、を有している。発光素子30は、R、G、Bの発光色を有するものがそれぞれ用意されており、対応する画素電極28に陽極側端子が接触し固定されている。発光素子30の陽極ANと画素電極28との間の接合は、両者の間で良好な導通が確保でき、かつ、アレイ基板ARの形成物を破損しないものであれば特に限定されない。例えば低温溶融のはんだ材料を用いたりフロー工程や、導電ペーストを介して発光素子30をアレイ基板AR上に載せた後に焼成結合する等の手法、あるいは画素電極28の表面と、発光素子の陽極ANとに同系材料を用い、超音波接合等の固相接合の手法を採用することができる。

[0038] 発光素子30は、画素電極28に電氣的に接続されている陽極ANの反対側に陰極CAを有している。画素電極28及び絶縁層29の上には、発光素子30が実装された後、素子絶縁層31が設けられている。素子絶縁層31は、絶縁層29の上で、発光素子30の間の空隙部に充填された樹脂材料で形成されている。素子絶縁層31は、発光素子30のうち陰極CAの表面を露出させている。

[0039] 対向電極32は、少なくとも表示領域DAに位置し、全ての画素の発光素子30を覆っている。対向電極32は、全ての陰極CAの対向電極32側の表面と素子絶縁層31の上に配置され、全ての陰極CAに接触し、全ての陰極CAと電氣的に接続されている。対向電極32は、全ての画素で共用されている。対向電極32は、表示領域DAの外側に設けられた陰極コンタクト部でアレイ基板AR側に設けられた配線（後述する第2電源線42）と接続

されている。そのため、対向電極 32 は、第 2 電源線 42 の電位と同一の定電位に保持され、第 2 電源線 42 と全ての発光素子 30 の陰極 CA とを電氣的に接続している。

[0040] 対向電極 32 は、発光素子 30 からの出射光を取り出すために、透明電極として形成する必要がある、透明導電材料として例えば ITO を用いて形成される。なお、ITO で形成される上記導電層 26 を 1st ITO と称する場合があります、ITO で形成される対向電極 32 を 2nd ITO と称する場合があります。

[0041] 一方、発光素子 30 の側壁部分が保護膜等で絶縁されている場合は、必ずしも樹脂材料等で間隙を充填する必要はなく、樹脂材料は、陽極 AN と、陽極 AN から露出した画素電極 28 の表面とを少なくとも絶縁できればよい。この場合、図 4 に示すように発光素子 30 の陰極 CA まで達しないような膜厚で素子絶縁層 31 を形成し、続けて上記対向電極 32 を形成する。対向電極 32 が形成される表面には発光素子 30 の実装に伴う凹凸の一部が残存しているが、対向電極 32 を形成する材料が段切れすることなく連続的に覆うことができればよい。

[0042] 上記のように、アレイ基板 AR は、絶縁基板 21 から対向電極 32 までの構造を有している。本実施形態に係る発光素子 30 を表示素子として用いる表示装置 1 は、例えば以上のように構成されている。なお、必要に応じて、対向電極 32 の上にカバーガラスなどのカバー部材やタッチパネル基板等が設けられてもよい。このカバー部材やタッチパネル基板は、表示装置 1 との空隙を埋めるために樹脂等を用いた充填剤を介して設けられてもよい。

[0043] 次に、図 5 を参照して、表示装置 1 の回路構成について説明する。図 5 は、表示装置 1 の構成の一例について説明するための回路図である。上記した複数の画素 SP は、同様に構成されている。そこで、図 5 においては、複数の画素 SP のうちの 1 つの画素 SP を代表して説明する。

図 5 に示すように、ゲートドライバ GD は、複数のゲート線 SSG に第 1 制御信号 SG を与えるように構成されている。消去ドライバ HD は、複数の

制御配線 S H G に第 2 制御信号 H G を与えるように構成されている。

[0044] 画素 S P は、発光素子 3 0 と、発光素子 3 0 に駆動電流を供給する画素回路 P C と、を有している。画素回路 P C は、図 3 に示した画素電極 2 8 に電気的に接続されている。画素回路 P C は、複数の素子として、駆動トランジスタ D R T、画素スイッチ S S T、保持容量 C s、及びリセットスイッチ E L T を含んでいる。図 5 において、駆動トランジスタ D R T は P c h T F T であり、画素スイッチ S S T 及びリセットスイッチ E L T はそれぞれ N c h T F T である。

[0045] なお、画素スイッチ S S T 及びリセットスイッチ E L T は、それぞれトランジスタで構成されていなくともよい。画素スイッチ S S T 及びリセットスイッチ E L T は、それぞれオンオフが切替えられるスイッチとして機能するものであればよい。

[0046] 以下の説明においては、トランジスタのソース電極及びドレイン電極の一方を第 1 電極、他方を第 2 電極とする。また、容量素子の一方の電極を第 1 電極、他方の電極を第 2 電極とする。

[0047] 駆動トランジスタ D R T、画素電極 2 8（図 3）、及び発光素子 3 0 は、第 1 電源線 4 1 と第 2 電源線 4 2 との間で直列に接続されている。第 1 電源線 4 1 は定電位に保持され、第 2 電源線 4 2 は第 1 電源線 4 1 の電位と異なる定電位に保持されている。本実施形態において、第 1 電源線 4 1 の電位 P V D D は、第 2 電源線 4 2 の電位 P V S S より高い。

[0048] 駆動トランジスタ D R T は、第 1 電源線 4 1 に接続された第 1 電極 E 1 と、発光素子 3 0（図 3 の陽極 A N）に接続された第 2 電極 E 2 と、ゲート電極 G E と、を有している。駆動トランジスタ D R T は、発光素子 3 0 への電流値を制御するように構成されている。

[0049] 発光素子 3 0 は、駆動トランジスタ D R T の第 2 電極 E 2 と、第 2 電源線 4 2 との間に接続されている。

[0050] 画素スイッチ S S T は、複数のソース線 V L のうち対応するソース線 V L と駆動トランジスタ D R T のゲート電極 G E との間に接続されている。画素

スイッチ SST のゲート電極は、複数のゲート線 SSG のうち対応するゲート線 SSG に接続されている。画素スイッチ SST は、対応するゲート線 SSG を介して与えられる第1制御信号 SG によりオン状態又はオフ状態に切替えられる。本実施形態において、画素スイッチ SST は、ロウ (L) レベルの第1制御信号 SG によりオフ状態に維持され、ハイ (H) レベルの第1制御信号 SG によりオン状態に切替えられる。

[0051] 保持容量 C_s は、駆動トランジスタ DRT のゲート電極 GE に接続されている。本実施形態において、保持容量 C_s は、駆動トランジスタ DRT のゲート電極 GE と第1電極 (ソース電極) E_1 との間に接続されている。

画素スイッチ SST がオン状態に切替えられることで、ソース線 VL から画素スイッチ SST を介してゲート電極 GE に画像信号 $Vsig$ 書き込まれ、かつ、保持容量 C_s に画像信号 $Vsig$ が保持される。これにより、駆動トランジスタ DRT を流れる電流量は調整される。

[0052] リセットスイッチ ELT は、リセット線 43 とゲート電極 GE との間に接続されている。本実施形態において、リセット線 43 は、第1電源線 41 である。リセットスイッチ ELT のゲート電極は、複数の制御配線 SHG のうち対応する制御配線 SHG に接続されている。リセットスイッチ ELT は、対応する制御配線 SHG を介して与えられる第2制御信号 HG によりオン状態又はオフ状態に切替えられる。本実施形態において、リセットスイッチ ELT は、Lレベルの第2制御信号 HG によりオフ状態に維持され、Hレベルの第2制御信号 HG によりオン状態に切替えられる。

[0053] リセットスイッチ ELT がオフ状態に維持されることで、保持容量 C_s は画像信号 $Vsig$ を保持した状態を維持し、駆動トランジスタ DRT を流れる電流量は維持される。

[0054] リセットスイッチ ELT がオン状態に切替えられることで、リセット線 43 からリセットスイッチ ELT を介してゲート電極 GE 及び保持容量 C_s にリセット信号 TG が与えられ、ゲート電極 GE の電位及び保持容量 C_s の電荷量はリセットされる。その場合、駆動トランジスタ DRT は電流を流さな

い。

[0055] なお、駆動トランジスタDRTがNc h T F Tであってもよく、この場合、保持容量Csは、駆動トランジスタDRTのゲート電極GEと第2電極（ソース電極）E2との間に接続されていればよい。リセット線43は、第2電源線42であってもよい。

又は、駆動トランジスタDRTがNc h T F Tである場合、本実施形態とは逆向きに、発光素子30に電流が流れるように構成されていればよい。

[0056] なお、図5において説明した回路構成は一例であり、上記した駆動トランジスタDRT、画素スイッチSST、保持容量Cs、及びリセットスイッチELTを含むものであれば、表示装置1の回路構成は他の構成であっても構わない。例えば図5において説明した回路構成に他の構成が追加されても構わない。

[0057] 次に、各々の画素SPにおいて、1フレーム期間毎の第1動作と、連続する第1動作の間の第2動作とについて説明する。第1動作は、書込み動作及び発光動作を含んでいる。第2動作は、発光期間制御動作を含んでいる。

各々の画素SPにおいて、第1動作を行うための第1動作期間に、第1制御信号SGはLレベルからHレベルに切替わり、第2制御信号HGはLレベルに維持される。これにより、画素スイッチSSTはオン状態に切替えられ、リセットスイッチELTはオフ状態に維持される。その際、ソースドライバSDにより、画像信号Vsigは、対応するソース線VL及び画素スイッチSSTを介して駆動トランジスタDRTのゲート電極GEに書き込まれ、かつ、保持容量Csに保持される。言い換えると、ソース線VL及び画素スイッチSSTを介して画像信号Vsigに応じた電流が保持容量Cs等に流れ、保持容量Csには画像信号Vsigに応じた電荷が蓄積される。これにより、画素SPへの書込み動作が完了する。本実施形態において、書込み動作が完了すると、直ぐに発光動作に移行する。

[0058] 発光動作に移行すると、各々の画素SPにおいて、第1制御信号SGはHレベルからLレベルに切替わり、第2制御信号HGはLレベルに維持される

。これにより、画素スイッチ SST はオフ状態に切替えられ、リセットスイッチ ELT はオフ状態に維持される。上記書込み動作において、駆動トランジスタ DRT を流れる電流量は調整されている。そのため、発光動作において、画像信号 $Vsig$ に基づいて決定される電流値に従って発光素子 30 に電流 I が流れることにより、発光素子 30 が発光（点灯）する。言い換えると、上記書込み動作によって書込まれた駆動トランジスタ DRT のゲート電極 GE の電位に応じた電流 I が、駆動トランジスタ DRT を通り、発光素子 30 に流れ、発光素子 30 が発光する。

[0059] ここで、本願発明者らが発光素子 30 の発光動作を調査したところ、電流 I の制御のみで階調を制御する場合、電流 I が微小な電流である場合の発光素子 30 の発光動作が不安定となることが分かった。そのため、暗い階調（低階調）に対応するように発光素子 30 の発光動作を制御することが困難であった。

[0060] そこで、本実施形態では、連続する第1動作の間に第2動作を行い、発光素子 30 の発光期間の制御を行うものである。電流 I の制御と、発光素子 30 の発光期間の制御とを組合せることで、暗い階調（低階調）においても、発光素子 30 の発光動作を安定させることができるものである。例えば、電流 I を微小の電流としなくとも、発光素子 30 の発光期間を短く設定することにより、低階調に対応できるものである。

[0061] 発光素子 30 の発光期間を制御する際、第1動作を行ってから次の第1動作を行うまでの間における発光素子 30 の発光期間を2種類以上に設定することができる。これにより、例えば、表示領域 DA を画像の階調に応じて複数の制御領域に分類し、制御領域毎に、複数の発光素子 30 の発光期間を設定することができる。例えば、発光素子 30 の発光期間を2種類に設定する場合、1画面の中、画像の明るい制御領域に位置する発光素子 30 の発光期間を正規の期間に設定し、画像の暗い制御領域に位置する発光素子 30 の発光期間を正規の期間より短い期間に設定することができる。

[0062] 次に、発光素子 30 の発光期間を正規の期間に設定する場合における第2

動作について説明する。対象の画素SPにおいて、第2動作を行うための第2動作期間に、第1制御信号SGはLレベルに維持され、第2制御信号HGはLレベルに維持される。これにより、画素スイッチSSTはオフ状態に維持され、リセットスイッチELTはオフ状態に維持される。その際、保持容量Csは画像信号Vsigを保持した状態を維持するため、駆動トランジスタDRTを流れる電流量は維持され、発光素子30の発光が維持される。そのため、第2動作を経た後も、次の第1動作が開始されるまで、発光素子30は発光するものである。

[0063] 次に、発光素子30の発光期間を正規の期間より短い期間に設定する場合における第2動作について説明する。対象の画素SPにおいて、第2動作を行うための第2動作期間に、第1制御信号SGはLレベルに維持され、第2制御信号HGはLレベルからHレベルに切替わる。これにより、画素スイッチSSTはオフ状態に維持され、リセットスイッチELTはオン状態に切替えられる。その際、駆動トランジスタDRTのゲート電極GEの電位及び保持容量Csの電荷量はリセット線43及びリセットスイッチELTを介して与えられるリセット信号TGによりリセットされる。駆動トランジスタDRTは電流を流さないため、発光素子30は消灯する。そのため、第1動作を経た後から第2動作が開始されるまで発光素子30は発光するが、第2動作を経た後に発光素子30は消灯するものである。

[0064] 次に、本実施形態のゲートドライバGDについて説明する。図6は、図5などに示したゲートドライバGDの一部と、いくつかのゲート線SSGとを示す回路図である。

図6に示すように、ゲートドライバGDは、順序回路SEC1を備えている。順序回路SEC1は、複数の第1シフトレジスタSR1を有している。複数の第1シフトレジスタSR1は、直列に接続されている。ゲート線SSGは、第1シフトレジスタSR1に一对一で接続されている。

[0065] ゲートドライバGDには、パネルドライバ5からゲートスタートパルス信号GST及びゲートクロック信号GCKが与えられる。ゲートスタートパル

ス信号G S TのレベルがLレベルからHレベルに切替わるタイミングで第1動作が開始される。そして、ゲートスタートパルス信号G S TのレベルがHレベルとなる期間、ゲートドライバG Dは、ゲートクロック信号G C Kの取り込みを開始する。ゲートドライバG Dは、ゲートクロック信号G C Kに同期して複数のゲート線S S Gを走査する。すなわち、ゲートドライバG Dは、1行目のゲート線S S Gから最終行目のゲート線S S Gまで、順にHレベルの第1制御信号S Gを出力する。

[0066] 次に、本実施形態の消去ドライバH Dについて説明する。図7は、図5などに示した消去ドライバH Dの一部と、いくつかの制御配線S H Gを示す回路図である。

図7に示すように、消去ドライバH Dは、順序回路S E C 2と、マスク配線W Rと、複数の第1論理回路O C 1と、を備えている。順序回路S E C 2は、消去回路として機能している。順序回路S E C 2は、複数の第2シフトレジスタS R 2を有している。複数の第2シフトレジスタS R 2は、直列に接続されている。

[0067] 第1論理回路O C 1は、第2シフトレジスタS R 2に一对一で接続されている。本実施形態において、第1論理回路O C 1は、論理積回路（AND回路）である。なお、上記リセットスイッチE L TがP c h T F Tである場合、第1論理回路O C 1は、否定論理積回路（NAND回路）である。第1論理回路O C 1は、第1入力端子T I 1と、第2入力端子T I 2と、出力端子T Oと、を含んでいる。第1入力端子T I 1は、対応する第2シフトレジスタS R 2に接続されている。第2入力端子T I 2は、マスク配線W Rに接続されている。出力端子T Oは、対応する1本の制御配線S H Gに接続されている。

[0068] 本実施形態において、マスク配線W Rには第2論理回路O C 2が接続されている。第2論理回路O C 2は、論理否定回路（NOT回路）である。マスク信号M Gは第2論理回路O C 2を介してマスク配線W Rに入力される。そのため、マスク信号M Gは、第2論理回路O C 2の第2入力端子T I 2にレ

ベルが反転して入力される。

なお、第1論理回路OC1の構成次第では、第2論理回路OC2を用いなくともよい。その場合、マスク信号MGは、レベル反転されること無しに、マスク配線WRを介して第2入力端子T12に入力される。

[0069] 第1論理回路OC1において、第2シフトレジスタSR2から第1入力端子T11に与えられる入力信号INがHレベルであり、マスク信号MGがLレベルである場合、出力端子TOから制御配線SHGにHレベルの第2制御信号HGを出力する。ここで言うHレベルの第2制御信号HGとは、上記リセットスイッチELTをオン状態に切替える信号である。

[0070] 一方、入力信号INがHレベルであっても、マスク信号MGがHレベルである場合、第2論理回路OC2は、出力端子TOから制御配線SHGにLレベルの第2制御信号HGを出力する。また、入力信号INがLレベルである場合、マスク信号MGのレベルにかかわらず、第2論理回路OC2は、出力端子TOから制御配線SHGにLレベルの第2制御信号HGを出力する。ここで言うLレベルの第2制御信号HGとは、上記リセットスイッチELTをオフ状態に維持する信号である。

[0071] 消去ドライバHDには、パネルドライバ5から消去スタートパルス信号EST、消去クロック信号ECK、及びマスク信号MGが与えられる。消去スタートパルス信号ESTのレベルがLレベルからHレベルに切替わるタイミングで第2動作が開始される。そして、消去スタートパルス信号ESTのレベルがHレベルとなる期間、消去ドライバHDは、消去クロック信号ECKの取り込みを開始する。消去ドライバHDは、消去クロック信号ECKに同期して複数の制御配線SHGを走査する。すなわち、順序回路SEC2は、1行目の制御配線SHGに接続された第1論理回路OC1から最終行目の制御配線SHGに接続された第1論理回路OC1まで、順にHレベルの入力信号INを出力する。そして、消去ドライバHDは、1行目の制御配線SHGから最終行目の制御配線SHGまで、順にHレベル又はLレベルの第2制御信号HGを出力する。

[0072] 上述したゲートスタートパルス信号G S TがHレベルに切替わるタイミングと、消去スタートパルス信号E S TがHレベルに切替わるタイミングとは、交互に設定されている。ゲートスタートパルス信号G S TがHレベルに切替わってから消去スタートパルス信号E S TがHレベルに切替わるまでの期間と、消去スタートパルス信号E S TがHレベルに切替わってからゲートスタートパルス信号G S TがHレベルに切替わるまでの期間とは、同一の長さであってもよく、互いに異なる長さであってもよい。

[0073] 次に、表示装置1の表示動作について説明する。図8は、表示装置1の表示領域D Aに画像を表示している状態を示す平面図である。

図8に示すように、画像の階調値は、領域毎に異なっている。そこで、表示領域D Aを画像の階調に応じて複数の制御領域Aに分類している。複数の制御領域Aは、第2方向Yに分けられている。明るい階調に対応する領域を第1制御領域A 1とし、相対的に暗い階調に対応する領域を第2制御領域A 2としている。本実施形態において、最大階調値が閾値である領域及び最大階調値が閾値より高い領域を第1制御領域A 1とし、最大階調値が閾値より低い領域を第2制御領域A 2としている。

[0074] 図9は、表示装置1の表示領域D Aが複数の制御領域Aに分類されている状態を示す平面図である。

図9に示すように、本実施形態において、表示領域D Aは、複数の第1制御領域A 1 a, A 1 bと、複数の第2制御領域A 2 a, A 2 b, A 2 cと、に分類されている。図中、第2制御領域A 2 a, A 2 b, A 2 cには斜線を付している。第1制御領域A 1に位置する発光素子30の発光期間は、正規の期間に設定される。一方、第2制御領域A 2に位置する発光素子30の発光期間は、正規の期間より短い期間に設定される。

[0075] 図10は、図8に示した画像を表示する際の、表示装置1の表示動作の一例を示すタイミングチャートである。ここでは、図10の表示動作を利用して図8のように画像を表示する際の表示動作について説明する。

図10に示すように、1フレームの開始時に、ゲートスタートパルス信号

G S T が立ち上がる。言い換えると、ゲートスタートパルス信号 G S T が H レベルに切替わる。すなわち、この例では、ゲートスタートパルス信号 G S T が立ち上がってから、再び立ち上がるまでの期間が 1 フレーム期間 P_f に相当する。例えば 60 Hz で表示装置 1 を駆動する場合、1 フレーム期間 P_f は約 16.7 ms である。ゲートスタートパルス信号 G S T が立ち上がるタイミングと、消去スタートパルス信号 E S T が立ち上がるタイミングとは、交互に設定されている。

[0076] ゲートスタートパルス信号 G S T が立ち上がるタイミングで第 1 動作が開始されると、ゲートドライバ G D は、1 行目のゲート線 S S G から最終行目のゲート線 S S G まで、順に H レベルの第 1 制御信号 S G を出力する。画素スイッチ S S T がオン状態に切替えられることで、ソース線 V L から画素スイッチ S S T を介してゲート電極 G E に画像信号 V s i g 書き込まれ、かつ、保持容量 C s に画像信号 V s i g が保持される。これにより、駆動トランジスタ D R T を流れる電流量は調整される。

[0077] 第 1 動作の途中に、消去スタートパルス信号 E S T が立ち上がるタイミングで第 2 動作が開始されると、消去ドライバ H D は、1 行目の制御配線 S H G から最終行目の制御配線 S H G まで、順に H レベル又は L レベルの第 2 制御信号 H G を出力する。この例では、消去ドライバ H D は、第 2 制御領域 A 2 a、第 2 制御領域 A 2 b、及び第 2 制御領域 A 2 c の制御配線 S H G に H レベルの第 2 制御信号 H G を出力し、第 1 制御領域 A 1 a 及び第 1 制御領域 A 1 b の制御配線 S H G に L レベルの第 2 制御信号 H G を出力する。

[0078] 消去ドライバ H D が H レベルの第 2 制御信号 H G を出力する期間にてマスク信号 M G は L レベルに維持され、消去ドライバ H D が L レベルの第 2 制御信号 H G を出力する期間にてマスク信号 M G は H レベルに切替わっている。これにより、第 1 制御領域 A 1 と第 2 制御領域 A 2 とで発光素子 30 の発光期間を異ならせることができる。なお、図中、第 2 制御領域 A 2 のうち、発光素子 30 を消灯する期間にはドットパターンを付している。

[0079] 上記のように構成された第 1 の実施形態に係る表示装置 1 によれば、電流

I の制御と、消去ドライバHDなどを用いた第2動作による発光素子30の発光期間の制御と、を組合せることができる。そのため、低階調の画像であっても良好に表示することができる。また、電流Iを微小の電流としなくとも低階調の画像を良好に表示することができるため、発光素子30の発光動作を安定させることができる。

上記のことから、表示品位に優れた表示装置1を得ることができる。

[0080] (第2の実施形態)

次に、第2の実施形態について説明する。本第2の実施形態の表示装置1は、上述した第1の実施形態と比較して、消去ドライバHDの構成に関して相違している。図11は、本第2の実施形態に係る表示装置1の消去ドライバHDの一部と、いくつかの制御配線SHGを示す回路図である。

[0081] 図11に示すように、消去ドライバHDは、順序回路SEC2と、順序回路SEC3と、第1マスク配線WR1と、第2マスク配線WRと、複数の第1論理回路OC1と、を備えている。順序回路SEC2は第1消去回路として機能し、順序回路SEC3は第2消去回路として機能している。順序回路SEC2は、複数の第2シフトレジスタSR2を有している。複数の第2シフトレジスタSR2は、直列に接続されている。順序回路SEC3は、複数の第3シフトレジスタSR3を有している。複数の第3シフトレジスタSR3は、直列に接続されている。

[0082] 第1論理回路OC1は、第1マスク配線WR1及び第2マスク配線WRに接続され、さらに、第2シフトレジスタSR2に一对一で接続され、第3シフトレジスタSR3に一对一で接続されている。第1論理回路OC1は、第1入力端子T11と、第2入力端子T12と、第3入力端子T13と、第4入力端子T14と、出力端子TOと、を含んでいる。第1入力端子T11は、対応する第2シフトレジスタSR2に接続されている。第2入力端子T12は、対応する第3シフトレジスタSR3に接続されている。第3入力端子T13は、第1マスク配線WR1に接続されている。第4入力端子T14は、第2マスク配線WR2に接続されている。出力端子TOは、対応する1本

の制御配線SHGに接続されている。

[0083] 本実施形態において、第1マスク配線WR1には第2論理回路OC2が接続され、第2マスク配線WR2には第3論理回路OC3が接続されている。第2論理回路OC2及び第3論理回路OC3は、それぞれ、論理否定回路（NOT回路）である。第1マスク信号MG1は第2論理回路OC2を介して第1マスク配線WR1に入力される。そのため、第1マスク信号MG1は、第2論理回路OC2の第3入力端子T13にレベルが反転して入力される。第2マスク信号MG2は第3論理回路OC3を介して第2マスク配線WR2に入力される。そのため、第2マスク信号MG2は、第2論理回路OC2の第4入力端子T14にレベルが反転して入力される。

[0084] なお、第1論理回路OC1の構成次第では、第2論理回路OC2及び第3論理回路OC3を用いなくともよい。その場合、第1マスク信号MG1はレベル反転されること無しに第1マスク配線WR1を介して第3入力端子T13に入力され、第2マスク信号MG2はレベル反転されること無しに第2マスク配線WR2を介して第4入力端子T14に入力される。

[0085] 第1論理回路OC1において、第2シフトレジスタSR2から第1入力端子T11に入力信号IN1が与えられ、第3シフトレジスタSR3から第2入力端子T12に入力信号IN2が与えられ、第1マスク配線WR1から第3入力端子T13に第1マスク信号MG1が与えられ、第2マスク配線WR2から第4入力端子T14に第2マスク信号MG2が与えられている。

[0086] 第1論理回路OC1の出力端子TOから制御配線SHGに出力される第2制御信号HGのレベルは、入力信号IN1、入力信号IN2、第1マスク信号MG1、及び第2マスク信号MG2に基づいて決定される。

[0087] 第1論理回路OC1は、通常は、制御配線SHGにLレベルの第2制御信号HGを出力し、上記リセットスイッチELTをオフ状態に維持している。但し、次に列挙する条件の場合、第1論理回路OC1は、制御配線SHGにHレベルの第2制御信号HGを出力し、上記リセットスイッチELTをオン状態に切替えている。

[0088] ・第1マスク信号MG1がLレベルである期間のうち、入力信号IN1がHレベルに切替わっている期間。

・第2マスク信号MG2がLレベルである期間のうち、入力信号IN2がHレベルに切替わっている期間。

[0089] パネルドライバ5から消去ドライバHDには、第1マスク信号MG1及び第2マスク信号MG2の他、第1消去スタートパルス信号EST1、第2消去スタートパルス信号EST2、及び消去クロック信号ECKが与えられている。

[0090] 本実施形態における画素SPの動作としては、1フレーム期間毎の第1動作と、連続する第1動作の間の第2動作及び第3動作と、を含んでいる。第2動作及び第3動作は、それぞれ、発光期間制御動作を含んでいる。

[0091] 第1消去スタートパルス信号EST1のレベルがLレベルからHレベルに切替わるタイミングで第2動作が開始される。そして、第1消去スタートパルス信号EST1のレベルがHレベルとなる期間、順序回路SEC2は、消去クロック信号ECKの取り込みを開始する。順序回路SEC2は消去クロック信号ECKに同期して入力信号IN1を順に出力し、消去ドライバHDは複数の制御配線SHGを走査する。すなわち、順序回路SEC2は、1行目の制御配線SHGに接続された第1論理回路OC1から最終行目の制御配線SHGに接続された第1論理回路OC1まで、順にHレベルの入力信号IN1を出力する。そして、消去ドライバHDは、1行目の制御配線SHGから最終行目の制御配線SHGまで、順にHレベル又はLレベルの第2制御信号HG1を出力する。

[0092] 第2消去スタートパルス信号EST2のレベルがLレベルからHレベルに切替わるタイミングで第3動作が開始される。そして、第2消去スタートパルス信号EST2のレベルがHレベルとなる期間、順序回路SEC3は、消去クロック信号ECKの取り込みを開始する。順序回路SEC3は消去クロック信号ECKに同期して入力信号IN2を順に出力し、消去ドライバHDは複数の制御配線SHGを走査する。すなわち、順序回路SEC3は、1行

目の制御配線 S H G に接続された第 1 論理回路 O C 1 から最終行目の制御配線 S H G に接続された第 1 論理回路 O C 1 まで、順に H レベルの入力信号 I N 2 を出力する。そして、消去ドライバ H D は、1 行目の制御配線 S H G から最終行目の制御配線 S H G まで、順に H レベル又は L レベルの第 2 制御信号 H G 2 を出力する。

[0093] 上述したゲートスタートパルス信号 G S T、第 1 消去スタートパルス信号 E S T 1、及び第 2 消去スタートパルス信号 E S T 2 は、順に H レベルに切替わるように設定されている。ゲートスタートパルス信号 G S T が H レベルに切替わってから第 1 消去スタートパルス信号 E S T 1 が H レベルに切替わるまでの期間と、第 1 消去スタートパルス信号 E S T 1 が H レベルに切替わってから第 2 消去スタートパルス信号 E S T 2 が H レベルに切替わるまでの期間と、第 2 消去スタートパルス信号 E S T 2 が H レベルに切替わってからゲートスタートパルス信号 G S T が H レベルに切替わるまでの期間とは、同一の長さであってもよく、互いに異なる長さであってもよい。

[0094] 順序回路 S E C 2 及び順序回路 S E C 3 には、消去クロック信号 E C K が同期して入力されている。但し、順序回路 S E C 2 及び順序回路 S E C 3 には、消去クロック信号 E C K が同期すること無しに入力されてもよい。又は、順序回路 S E C 2 及び順序回路 S E C 3 には、互いにパルス波形の異なるクロック信号が入力されてもよい。

[0095] 次に、表示装置 1 の表示動作について説明する。図 1 2 は、本第 2 の実施形態に係る表示装置 1 の表示動作の一例を示すタイミングチャートである。ここでは、表示領域 D A が、第 1 制御領域 A 1 と、複数の第 2 制御領域 A 2 a, A 2 b と、複数の第 3 制御領域 A 3 a, A 3 b と、に分類されている際の表示動作について説明する。後述するが、第 1 制御領域 A 1 に位置する発光素子 3 0 の発光期間は、正規の期間に設定され、第 2 制御領域 A 2 に位置する発光素子 3 0 の発光期間は、正規の期間より短い期間に設定され、第 3 制御領域 A 3 に位置する発光素子 3 0 の発光期間は、最も短い期間に設定されるものである。

[0096] 図12に示すように、1フレームの開始時に、ゲートスタートパルス信号GSTが立ち上がる。この例では、ゲートスタートパルス信号GSTが立ち上がってから、再び立ち上がるまでの期間が1フレーム期間Pfに相当する。ゲートスタートパルス信号GSTが立ち上がるタイミングと、第1消去スタートパルス信号EST1が立ち上がるタイミングと、第2消去スタートパルス信号EST2が立ち上がるタイミングとは、順に設定されている。

[0097] ゲートスタートパルス信号GSTが立ち上がるタイミングで第1動作が開始されると、ゲートドライバGDは、1行目のゲート線SSGから最終行目のゲート線SSGまで、順にHレベルの第1制御信号SGを出力する。画素スイッチSSTがオン状態に切替えられることで、ソース線VLから画素スイッチSSTを介してゲート電極GEに画像信号Vsig書き込まれ、かつ、保持容量Csに画像信号Vsigが保持される。これにより、駆動トランジスタDRTを流れる電流量は調整される。

[0098] 第1動作の途中に、第1消去スタートパルス信号EST1が立ち上がるタイミングで第2動作が開始されると、消去ドライバHD（順序回路SEC2）は、1行目の制御配線SHGから最終行目の制御配線SHGまで、順にHレベル又はLレベルの第2制御信号HG1を出力する。この例では、消去ドライバHDは、第3制御領域A3a及び第3制御領域A3bにHレベルの第2制御信号HG1を出力し、第1制御領域A1、第2制御領域A2a、及び第2制御領域A2bにLレベルの第2制御信号HG1を出力する。

[0099] 消去ドライバHDがHレベルの第2制御信号HG1を出力する期間にて第1マスク信号MG1はLレベルに維持され、消去ドライバHDがLレベルの第2制御信号HG1を出力する期間にて第1マスク信号MG1はHレベルに切替わっている。これにより、第1制御領域A1及び第2制御領域A2と、第3制御領域A3とで発光素子30の発光期間を異ならせることができる。

[0100] また、第2動作の途中に、第2消去スタートパルス信号EST2が立ち上がるタイミングで第3動作が開始されると、消去ドライバHD（順序回路SEC3）は、1行目の制御配線SHGから最終行目の制御配線SHGまで、

順にHレベル又はLレベルの第2制御信号HG2を出力する。この例では、消去ドライバHDは、第2制御領域A2a、第2制御領域A2b、第3制御領域A3a、及び第3制御領域A3bにHレベルの第2制御信号HG2を出力し、第1制御領域A1にLレベルの第2制御信号HG2を出力する。

[0101] 消去ドライバHDがHレベルの第2制御信号HG2を出力する期間にて第2マスク信号MG2はLレベルに維持され、消去ドライバHDがLレベルの第2制御信号HG2を出力する期間にて第2マスク信号MG2はHレベルに切替わっている。これにより、第2制御領域A2と第3制御領域A2とでも、発光素子30の発光期間を異ならせることができる。なお、図中、第2制御領域A2及び第3制御領域A3のうち、発光素子30を消灯する期間にはドットパターンを付している。

[0102] 上記のように構成された第2の実施形態に係る表示装置1においても、上述した第1の実施形態と同様の効果を得ることができる。本第2の実施形態では、消去ドライバHDは、順序回路SEC2（第1消去回路）及び順序回路SEC3（第2消去回路）の2個の回路を備えている。そのため、発光素子30の発光期間を3種類から選択することができる。

[0103] （第3の実施形態）

次に、第3の実施形態について説明する。図13は、本第3の実施形態に係る表示装置1の構成の一例について説明するための回路図である。

図13に示すように、本第3の実施形態の表示装置1は、上述した第1の実施形態と比較して、表示装置1が消去ドライバHD、制御配線SHG、及びリセットスイッチELT無しに形成されている点で相違している。ゲートドライバGDは、ゲート線SSGに第1制御信号SG及び第2制御信号PGを与えるように構成されている。

[0104] ソース線VLにはスイッチSW1が接続されている。スイッチSW1は、制御信号SS1に基づいてソース線VLとソースドライバSDとを接続する状態と、ソース線VLとリセット線43とを接続する状態と、の何れかに切替えられる。制御信号SS1として、例えば、ゲートクロック信号GCKを

挙げることができる。ゲートクロック信号GCKがHレベルのときにソース線VLはソースドライバSDに接続され、ゲートクロック信号GCKがLレベルのときにソース線VLはリセット線43に接続される。本第3の実施形態では、リセット線43は、定電位に保持される配線である。リセット線43の電位は、Hレベルの電位であり、例えば第1電源線41の電位PVDDと同一である。リセット線43からスイッチSW1を介してソース線VLにHレベルの信号であるリセット信号TGが与えられる。

[0105] 図14は、図13に示したゲートドライバGDと、いくつかのゲート線SSGとを示す回路図である。

図14に示すように、ゲートドライバGDの構成も、上述した第1の実施形態と相違している。ゲートドライバGDは、順序回路SEC1と、マスク配線WIと、複数の第4論理回路OC4と、を備えている。順序回路SEC1は、複数の第1シフトレジスタSR1を有している。複数の第1シフトレジスタSR1は、直列に接続されている。ゲートドライバGDは、連続する複数の第1シフトレジスタSR1を含む第1回路C11と、残りの連続する複数の第1シフトレジスタSR1を含む第2回路C12と、を有している。

[0106] 第1回路C11は、それぞれ第4論理回路OC4を介し、第2方向Yに連続する複数のゲート線SSGに接続されている。第2回路C12は、それぞれ第4論理回路OC4を介し、第2方向Yに連続する残りの複数のゲート線SSGに接続されている。本実施形態において、第1回路C11に接続されているゲート線SSGの本数と、第2回路C12に接続されているゲート線SSGの本数とは等しい。

[0107] 第4論理回路OC4は、第1シフトレジスタSR1に一对一で接続されている。第4論理回路OC4は、第1入力端子TL1と、第2入力端子TL2と、出力端子TUと、を含んでいる。第1入力端子TL1は、対応する第1シフトレジスタSR1に接続されている。第2入力端子TL2は、マスク配線WIに接続されている。出力端子TUは、対応する1本のゲート線SSGに接続されている。

- [0108] マスク配線W1にはスイッチSW2が接続されている。スイッチSW2は、制御信号SS2に基づいてマスク配線W1と第3電源線44とを接続する状態と、マスク配線W1と第5論理回路OC5とを接続する状態と、の何れかに切替えられる。制御信号SS2として、例えば、ゲートクロック信号GCKを挙げることができる。制御信号SS2（ゲートクロック信号GCK）がHレベルのときにマスク配線W1は第3電源線44に接続され、制御信号SS2（ゲートクロック信号GCK）がLレベルのときにマスク配線W1は第5論理回路OC5に接続される。本第3の実施形態では、第3電源線44は、Hレベルの定電位に保持される配線である。
- [0109] スwitchSW2がマスク配線W1と第3電源線44とを接続した状態において、第3電源線44からスイッチSW2を介してマスク配線W1にHレベルの信号である入力信号I44が与えられる。
- [0110] 本実施形態において、第5論理回路OC5は、NOT回路である。スイッチSW2がマスク配線W1と第5論理回路OC5とを接続した状態において、マスク信号MAGは第5論理回路OC5及びスイッチSW2を介してマスク配線W1に入力される。そのため、マスク信号MAGは、第4論理回路OC4の第2入力端子TL2にレベルが反転して入力される。
- [0111] ゲートドライバGDには、パネルドライバ5から、ゲートスタートパルス信号GST、消去スタートパルス信号EST、及びゲートクロック信号GCKが与えられる。さらに、第1回路C11には第1制御入力信号（第1イネーブル信号）EG1が与えられ、第2回路C12には第2制御入力信号（第2イネーブル信号）EG2が与えられる。
- [0112] ゲートスタートパルス信号GSTのレベルがLレベルからHレベルに切替わるタイミングで第1動作が開始される。第1動作は、各水平走査期間のうち第1期間に行われる。なお、第1動作において、第1制御入力信号EG1及び第2制御入力信号EG2は、ゲートクロック信号GCKと同一のパルス波形を有し、第1期間にHレベルとなり、第2期間にLレベルとなる。
- [0113] ゲートスタートパルス信号GSTのレベルがHレベルとなる期間、ゲート

ドライバG Dは、ゲートクロック信号G C Kの取り込みを開始する。順序回路S E C 1は、1行目のゲート線S S Gに接続された第4論理回路O C 4から最終行目のゲート線S S Gに接続された第4論理回路O C 4まで、順にHレベルの入力信号I Iを出力する。全ての第1期間において、第4論理回路O C 4の第2入力端子T L 2にHレベルの入力信号I 4 4が入力される。本実施形態において、第4論理回路O C 4はA N D回路である。そのため、ゲートドライバG Dは、入力信号I I及び入力信号I 4 4に基づき、第1期間毎に複数のゲート線S S Gを順に走査する。ゲートドライバG Dは、1行目のゲート線S S Gから最終行目のゲート線S S Gまで、順にHレベルの第1制御信号S Gを出力する。本実施形態において、全ての第1期間において、第4論理回路O C 4が出力する第1制御信号S Gのレベルは、入力信号I Iのレベルと同一である。

[0114] 一方、消去スタートパルス信号E S TのレベルがLレベルからHレベルに切替わるタイミングで第2動作が開始される。第2動作は、各水平走査期間のうち第1期間に続く第2期間に行われる。なお、第2動作において、第1制御入力信号E G 1及び第2制御入力信号E G 2は、ゲートクロック信号G C Kの反転信号であり、第1期間にLレベルとなり、第2期間にHレベルとなる。

[0115] 消去スタートパルス信号E S TのレベルがHレベルとなる期間、ゲートドライバG Dは、ゲートクロック信号G C Kの取り込みを開始する。順序回路S E C 1は、1行目のゲート線S S Gに接続された第4論理回路O C 4から最終行目のゲート線S S Gに接続された第4論理回路O C 4まで、順にHレベルの入力信号I Iを出力する。第2期間毎に、第4論理回路O C 4にマスク信号M A Gは入力される。そのため、ゲートドライバG Dは、入力信号I I及びマスク信号M A Gの反転信号に基づき、第2期間毎に複数のゲート線S S Gを順に走査する。ゲートドライバG Dは、1行目のゲート線S S Gから最終行目のゲート線S S Gまで、順にHレベル又はLレベルの第2制御信号P Gを出力する。

[0116] 上述したゲートスタートパルス信号G S TがHレベルに切替わるタイミングと、消去スタートパルス信号E S TがHレベルに切替わるタイミングとは、交互に設定されている。ゲートスタートパルス信号G S TがHレベルに切替わってから消去スタートパルス信号E S TがHレベルに切替わるまでの期間と、消去スタートパルス信号E S TがHレベルに切替わってからゲートスタートパルス信号G S TがHレベルに切替わるまでの期間とは、同一の長さである。但し、第1回路C I 1に接続されているゲート線S S Gの本数と、第2回路C I 2に接続されているゲート線S S Gの本数とが異なる場合、上記の2つの期間は、互いに異なる長さである。

[0117] 上述したことから、任意の期間に、第1回路C I 1は対応するゲート線S S Gに第1制御信号S G及び第2制御信号P Gの一方の信号を与え、第2回路C I 2は対応するゲート線S S Gに第1制御信号S G及び第2制御信号P Gの他方の信号を与えるように構成されている。

[0118] ここで、各々の画素S Pに注目する。

第1動作において、第1期間に、画像信号V s i gが対応するソース線V Lに与えられ、第1制御信号S Gに基づいて画素スイッチS S Tがオン状態に切替えられる。その際、画像信号V s i gは、対応するソース線V L及び画素スイッチS S Tを介して駆動トランジスタD R Tのゲート電極G Eに書き込まれ、かつ、保持容量C sに保持される。そして、駆動トランジスタD R Tを流れる電流量は調整される。

[0119] 第2動作において、第2期間に、リセット信号T Gが対応するソース線V Lに与えられ、第2制御信号P Gに基づいて画素スイッチS S Tがオフ状態に維持されたと仮定する。その際、保持容量C sは画像信号V s i gを保持した状態を維持し、駆動トランジスタD R Tを流れる電流量は維持される。

[0120] 一方、第2動作において、第2期間に、リセット信号T Gが対応するソース線V Lに与えられ、第2制御信号P Gに基づいて画素スイッチS S Tがオン状態に切替えられたと仮定する。その際、ゲート電極G Eの電位及び保持容量C sの電荷量はソース線V L及び画素スイッチS S Tを介して与えられ

るリセット信号TGによりリセットされる。そして、駆動トランジスタDRTは電流を流さない。

[0121] 次に、表示装置1の表示動作について説明する。図15は、本第3の実施形態に係る表示装置1の表示動作の一例を示すタイミングチャートである。ここでは、表示領域DAが、第1制御領域A1と、複数の第2制御領域A2a、A2bと、に分類されている際の表示動作について説明する。第1制御領域A1に位置する発光素子30の発光期間は、正規の期間に設定され、第2制御領域A2に位置する発光素子30の発光期間は、正規の期間より短い期間に設定される。

[0122] 図15に示すように、1フレームの開始時に、ゲートスタートパルス信号GSTが立ち上がる。この例では、ゲートスタートパルス信号GSTが立ち上がってから、再び立ち上がるまでの期間が1フレーム期間Pfに相当する。1フレーム期間Pfは、複数の水平走査期間Phを有している。各々の水平走査期間Phは、第1期間P1と、第1期間P1に続く第2期間P2とを含んでいる。

[0123] ゲートスタートパルス信号GSTが立ち上がるタイミングと、消去スタートパルス信号ESTが立ち上がるタイミングとは、順に設定されている。

ゲートスタートパルス信号GSTが立ち上がると、第1制御入力信号EG1はゲートクロック信号GCKと同期しゲートクロック信号GCKと同一の波形のパルス信号となり、第2制御入力信号EG2はゲートクロック信号GCKの反転信号となる。その後、消去スタートパルス信号ESTが立ち上がると、第1制御入力信号EG1及び第2制御入力信号EG2のそれぞれの波形は反転する。その後、ゲートスタートパルス信号GSTが再び立ち上がる際も、第1制御入力信号EG1及び第2制御入力信号EG2のそれぞれの波形は、再度、反転する。

[0124] ゲートスタートパルス信号GSTが立ち上がるタイミングで第1動作が開始されると、ゲートドライバGDは、複数の第1期間P1において、1行目のゲート線SSGから最終行目のゲート線SSGまで、順にHレベルの第1

制御信号SGを出力する。画素スイッチSSTがオン状態に切替えられることで、ソース線VLから画素スイッチSSTを介してゲート電極GEに画像信号Vsig書き込まれ、かつ、保持容量Csに画像信号Vsigが保持される。これにより、駆動トランジスタDRTを流れる電流量は調整される。

[0125] 第1動作の途中に、消去スタートパルス信号ESTが立ち上がるタイミングで第2動作が開始されると、ゲートドライバGDは、1行目のゲート線SSGから最終行目のゲート線SSGまで、順にHレベル又はLレベルの第2制御信号PGを出力する。この例では、ゲートドライバGDは、第2制御領域A2a及び第2制御領域A2bにHレベルの第2制御信号PGを出力し、第1制御領域A1にLレベルの第2制御信号PGを出力する。

[0126] ゲートドライバGDがHレベルの第2制御信号PGを出力する期間にてマスク信号MAGはLレベルに維持され、ゲートドライバGDがLレベルの第2制御信号PGを出力する期間にてマスク信号MAGはHレベルに切替わっている。これにより、第1制御領域A1と、第2制御領域A2とで発光素子30の発光期間を異ならせることができる。なお、図中、第2制御領域A2のうち、発光素子30を消灯する期間にはドットパターンを付している。

[0127] 次に、1フレーム期間Pfのうちの1水平走査期間Ph1に注目する。

1水平走査期間Ph1の第1期間P1において、第2回路C12は、k行目の各々の画素SPにおいて、第1制御信号SGに基づいて画素スイッチSSTをオン状態に切替え、画像信号Vsigはゲート電極GEに書き込まれかつ保持容量Csに保持される。第2回路C12は、対応する残りの行の各々の画素SPにおいて、第1制御信号SGに基づいて画素スイッチSSTをオフ状態に維持する。

同じ第1期間P1において、第1回路C11は、対応する複数の画素SPの全てにおいて、第2制御信号PGに基づいて画素スイッチSSTをオフ状態に維持する。

[0128] 次いで、1水平走査期間Ph1の第2期間P2において、第2回路C12は、対応する複数の画素SPの全てにおいて、第1制御信号SGに基づいて

画素スイッチ SST をオフ状態に維持する。

同じ第2期間 $P2$ において、第1回路 $C11$ は、対応する複数の画素 SP の全てにおいて、第2制御信号 PG に基づいて画素スイッチ SST をオフ状態に維持する。

[0129] 次に、1フレーム期間 Pf のうちの別の1水平走査期間 $Ph2$ に注目する。

1水平走査期間 $Ph2$ の第1期間 $P1$ において、第2回路 $C12$ は、 j 行目の各々の画素 SP において、第1制御信号 SG に基づいて画素スイッチ SST をオン状態に切替え、画像信号 $Vsig$ はゲート電極 GE に書き込まれかつ保持容量 Cs に保持される。第2回路 $C12$ は、対応する残りの行の各々の画素 SP において、第1制御信号 SG に基づいて画素スイッチ SST をオフ状態に維持する。

同じ第1期間 $P1$ において、第1回路 $C11$ は、対応する複数の画素 SP の全てにおいて、第2制御信号 PG に基づいて画素スイッチ SST をオフ状態に維持する。

[0130] 次いで、1水平走査期間 $Ph2$ の第2期間 $P2$ において、第2回路 $C12$ は、対応する複数の画素 SP の全てにおいて、第1制御信号 SG に基づいて画素スイッチ SST をオフ状態に維持する。

同じ第2期間 $P2$ において、第1回路 $C11$ は、 h 行目の各々の画素 SP において、第2制御信号 PG に基づいて画素スイッチ SST をオン状態に切替え、ゲート電極 GE の電位及び保持容量 Cs の電荷量はリセットされ、駆動トランジスタ DRT は電流を流さない。第1回路 $C11$ は、対応する残りの行の各々の画素 SP において、第2制御信号 PG に基づいて画素スイッチ SST をオフ状態に維持する。

[0131] 上記のように構成された第3の実施形態に係る表示装置1においても、上述した第1の実施形態と同様の効果を得ることができる。本第3の実施形態では、消去ドライバ HD 無しに、ゲートドライバ GD を使用し、発光素子30の発光期間を設定することができる。

[0132] 本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

[0133] 例えば、上記の実施形態においては、発光素子としてマイクロLEDを用いたマイクロLED表示装置について主に説明した。しかしながら、本実施形態に係る表示装置1は、発光素子として有機エレクトロルミネッセンス（EL）素子を用いた有機EL表示装置等であってもよい。

請求の範囲

[請求項1]

第1電源線と、
第2電源線と、
リセット線と、
行方向及び列方向に配置された複数の画素と、
複数のゲート線であって、各々の前記ゲート線は前記行方向に並んだ複数の画素で共用される、前記複数のゲート線と、
複数の制御配線であって、各々の前記制御配線は前記行方向に並んだ複数の画素で共用される、前記複数の制御配線と、
複数のソース線であって、各々の前記ソース線は前記列方向に並んだ複数の画素で共用される、前記複数のソース線と、
前記複数のゲート線に第1制御信号を与える第1ドライバと、
前記複数の制御配線に第2制御信号を与える第2ドライバと、を備え、
各々の前記画素は、
前記第1電源線と前記第2電源線との間で直列に接続された駆動トランジスタ及び発光素子と、
前記複数のソース線のうち対応するソース線と前記駆動トランジスタのゲート電極との間に接続され、前記複数のゲート線のうち対応するゲート線を介して与えられる前記第1制御信号によりオン状態又はオフ状態に切替えられる画素スイッチと、
前記ゲート電極に接続された保持容量と、
前記リセット線と前記ゲート電極との間に接続され、前記複数の制御配線のうち対応する制御配線を介して与えられる前記第2制御信号によりオン状態又はオフ状態に切替えられるリセットスイッチと、
を有する、表示装置。

[請求項2]

前記各々の画素において、
前記画素スイッチがオン状態であり、前記リセットスイッチがオ

フ状態である際、画像信号は前記対応するソース線及び前記画素スイッチを介して前記ゲート電極に書き込まれかつ前記保持容量に保持され、前記駆動トランジスタを流れる電流量は調整され、

前記画素スイッチがオフ状態に切替えられ、前記リセットスイッチが前記オフ状態に維持された際、前記保持容量は前記画像信号を保持した状態を維持し、前記駆動トランジスタを流れる電流量は維持される、請求項 1 に記載の表示装置。

[請求項3] 前記各々の画素において、

前記画素スイッチがオン状態であり、前記リセットスイッチがオフ状態である際、画像信号は前記対応するソース線及び前記画素スイッチを介して前記ゲート電極に書き込まれかつ前記保持容量に保持され、前記駆動トランジスタを流れる電流量は調整され、

前記画素スイッチがオフ状態に切替えられ、前記リセットスイッチがオン状態に切替えられた際、前記ゲート電極の電位及び前記保持容量の電荷量は前記リセット線及び前記リセットスイッチを介して与えられるリセット信号によりリセットされ、前記駆動トランジスタは電流を流さない、請求項 1 に記載の表示装置。

[請求項4] 前記第 2 ドライバは、順序回路と、マスク配線と、複数の論理回路と、を有し、

各々の前記論理回路は、前記順序回路に接続された第 1 入力端子と、前記マスク配線に接続された第 2 入力端子と、前記複数の制御配線のうち対応する制御配線に接続された出力端子と、を含んでいる、請求項 1 に記載の表示装置。

[請求項5] 前記リセットスイッチは、

N チャネル型のトランジスタであり、前記対応する制御配線に接続されたゲート電極を有し、

ロウレベルの前記第 2 制御信号によりオフ状態に維持され、

ハイレベルの前記第 2 制御信号によりオン状態に切替えられる、

請求項 1 に記載の表示装置。

[請求項6]

第 1 電源線と、

第 2 電源線と、

リセット線と、

行方向及び列方向に配置された複数の画素と、

複数のゲート線であって、各々の前記ゲート線は前記行方向に並んだ複数の画素で共用される、前記複数のゲート線と、

複数のソース線であって、各々の前記ソース線は前記列方向に並んだ複数の画素で共用される、前記複数のソース線と、

前記複数のゲート線に第 1 制御信号及び第 2 制御信号を与える第 1 ドライバと、を備え、

各々の前記画素は、

前記第 1 電源線と前記第 2 電源線との間で直列に接続された駆動トランジスタ及び発光素子と、

前記複数のソース線のうち対応するソース線と前記駆動トランジスタのゲート電極との間に接続され、前記複数のゲート線のうち対応するゲート線を介して与えられる前記第 1 制御信号又は前記第 2 制御信号によりオン状態又はオフ状態に切替えられる画素スイッチと、

前記ゲート電極に接続された保持容量と、を有し、

前記第 1 ドライバは、前記列方向に連続する複数のゲート線に接続された第 1 回路と、前記列方向に連続する残りの複数のゲート線に接続された第 2 回路と、を有し、

任意の期間に、前記第 1 回路は対応するゲート線に前記第 1 制御信号及び前記第 2 制御信号の一方の信号を与え、前記第 2 回路は対応するゲート線に前記第 1 制御信号及び前記第 2 制御信号の他方の信号を与える、表示装置。

[請求項7]

前記各々の画素において、

画像信号が前記対応するソース線に与えられ、前記第 1 制御信号

に基づいて前記画素スイッチがオン状態に切替えられた際、前記画像信号は前記対応するソース線及び前記画素スイッチを介して前記ゲート電極に書き込まれかつ前記保持容量に保持され、前記駆動トランジスタを流れる電流量は調整され、

リセット信号が前記対応するソース線に与えられ、前記第2制御信号に基づいて前記画素スイッチがオフ状態に維持された際、前記保持容量は前記画像信号を保持した状態を維持し、前記駆動トランジスタを流れる電流量は維持される、請求項6に記載の表示装置。

[請求項8]

1 水平走査期間の第1期間において、

前記第2回路は、

k行目の各々の前記画素において、前記第1制御信号に基づいて前記画素スイッチをオン状態に切替え、前記画像信号は前記ゲート電極に書き込まれかつ前記保持容量に保持され、

対応する残りの行の各々の前記画素において、前記第1制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記第1回路は、対応する複数の画素の全てにおいて、前記第2制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記1水平走査期間の前記第1期間に続く第2期間において、

前記第2回路は、対応する複数の画素の全てにおいて、前記第1制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記第1回路は、対応する複数の画素の全てにおいて、前記第2制御信号に基づいて前記画素スイッチをオフ状態に維持する、請求項7に記載の表示装置。

[請求項9]

前記各々の画素において、

画像信号が前記対応するソース線に与えられ、前記第1制御信号に基づいて前記画素スイッチがオン状態に切替えられた際、前記画像信号は前記対応するソース線及び前記画素スイッチを介して前記ゲート電極に書き込まれかつ前記保持容量に保持され、前記駆動トランジ

スタを流れる電流量は調整され、

リセット信号が前記対応するソース線に与えられ、前記第2制御信号に基づいて前記画素スイッチがオン状態に切替えられた際、前記ゲート電極の電位及び前記保持容量の電荷量は前記ソース線及び前記画素スイッチを介して与えられる前記リセット信号によりリセットされ、前記駆動トランジスタは電流を流さない、請求項6に記載の表示装置。

[請求項10]

1 水平走査期間の第1期間において、

前記第2回路は、

j行目の各々の前記画素において、前記第1制御信号に基づいて前記画素スイッチをオン状態に切替え、前記画像信号は前記ゲート電極に書き込まれかつ前記保持容量に保持され、

対応する残りの行の各々の前記画素において、前記第1制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記第1回路は、対応する複数の画素の全てにおいて、前記第2制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記1水平走査期間の前記第1期間に続く第2期間において、

前記第2回路は、対応する複数の画素の全てにおいて、前記第1制御信号に基づいて前記画素スイッチをオフ状態に維持し、

前記第1回路は、

h行目の各々の前記画素において、前記第2制御信号に基づいて前記画素スイッチをオン状態に切替え、前記ゲート電極の電位及び前記保持容量の電荷量はリセットされ、前記駆動トランジスタは電流を流さなく、

対応する残りの行の各々の前記画素において、前記第2制御信号に基づいて前記画素スイッチをオフ状態に維持する、請求項9に記載の表示装置。

[請求項11]

前記リセット線は、前記第1電源線である、請求項1又は6に記載

の表示装置。

[請求項12] 前記駆動トランジスタは、Pチャネル型のトランジスタであり、前記第1電源線に接続されたソース電極と、前記発光素子に接続されたドレイン電極と、を有し、

前記発光素子は、前記ドレイン電極と前記第2電源線との間に接続され、

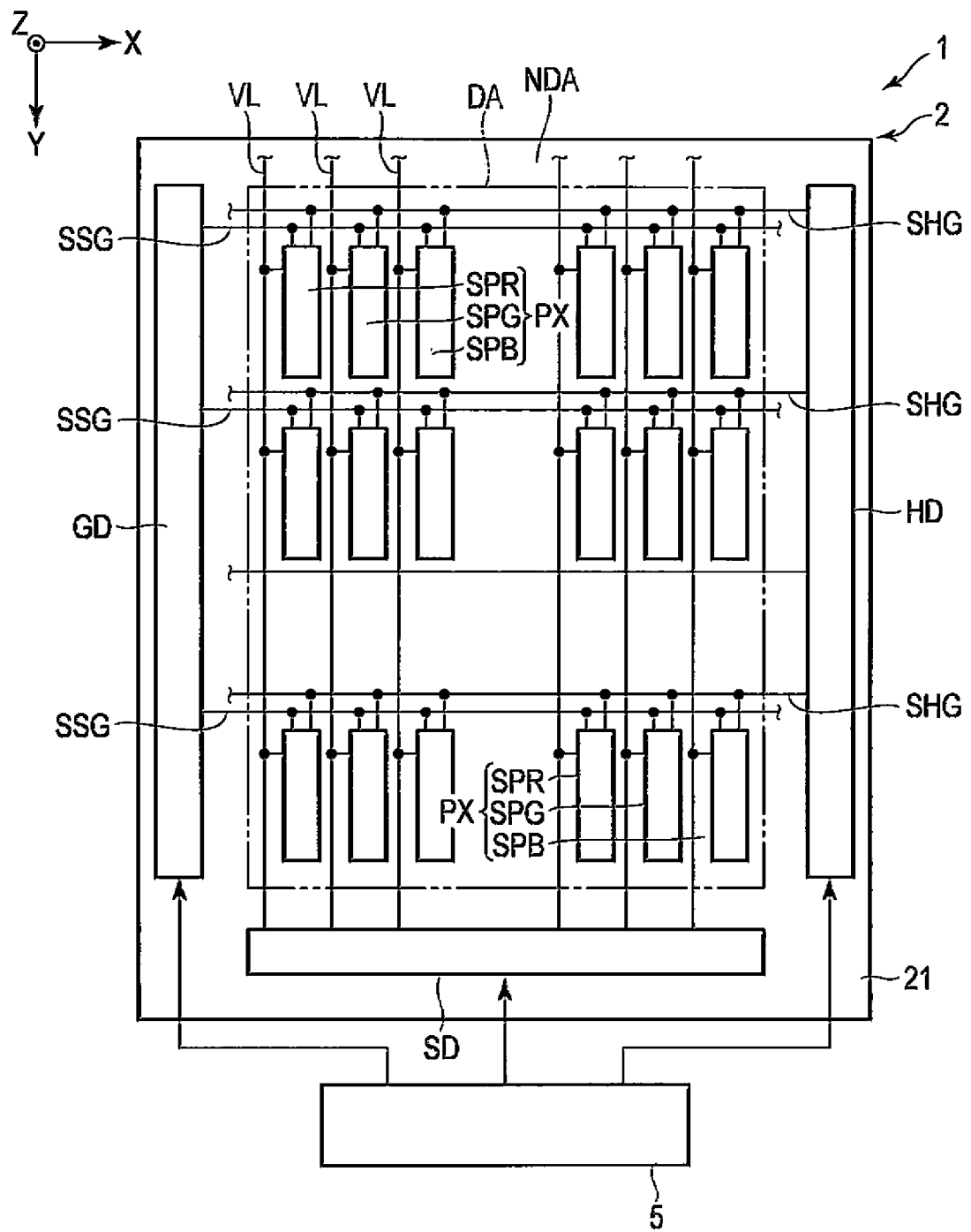
前記第2電源線は、定電位に保持され、

前記第1電源線は、前記第2電源線より高い定電位に保持され、

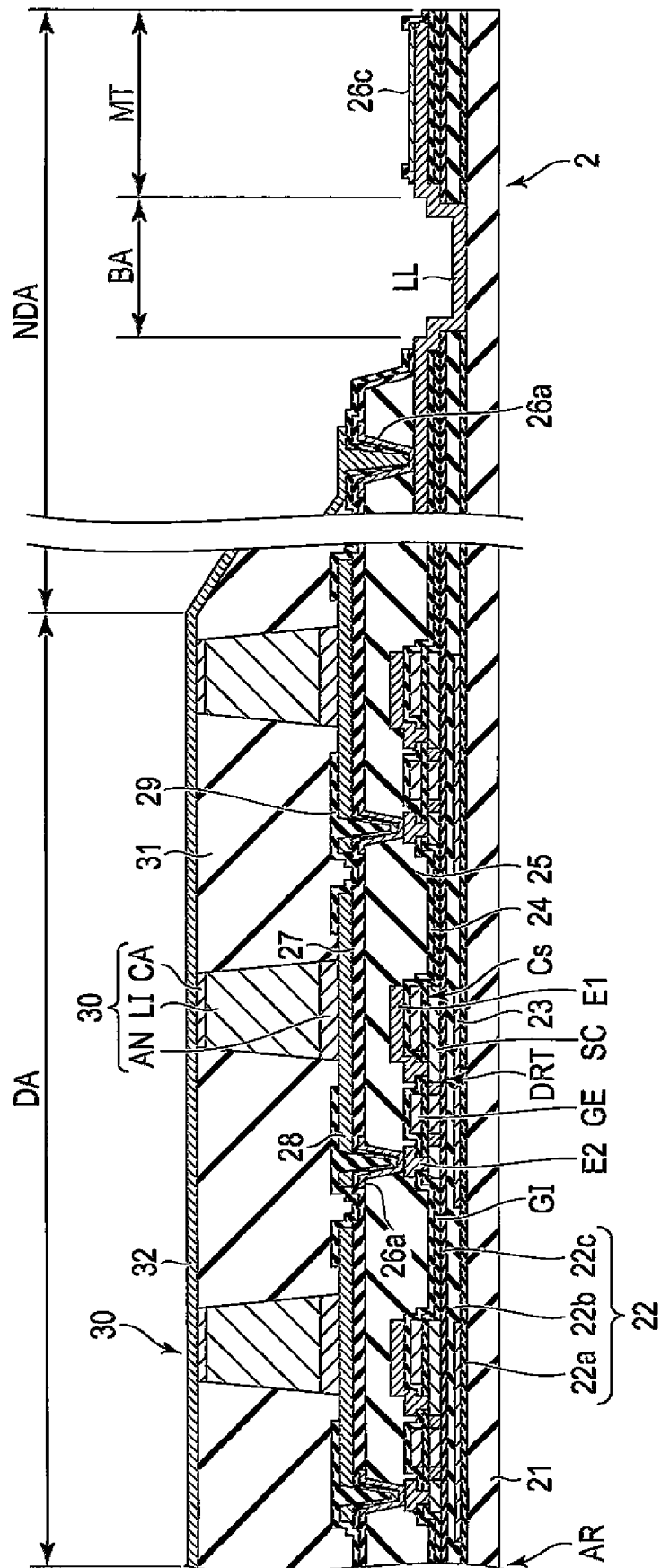
前記保持容量は、前記ゲート電極と前記ソース電極との間に接続されている、請求項11に記載の表示装置。

[請求項13] 前記発光素子は、マイクロ発光ダイオードである、請求項1又は6に記載の表示装置。

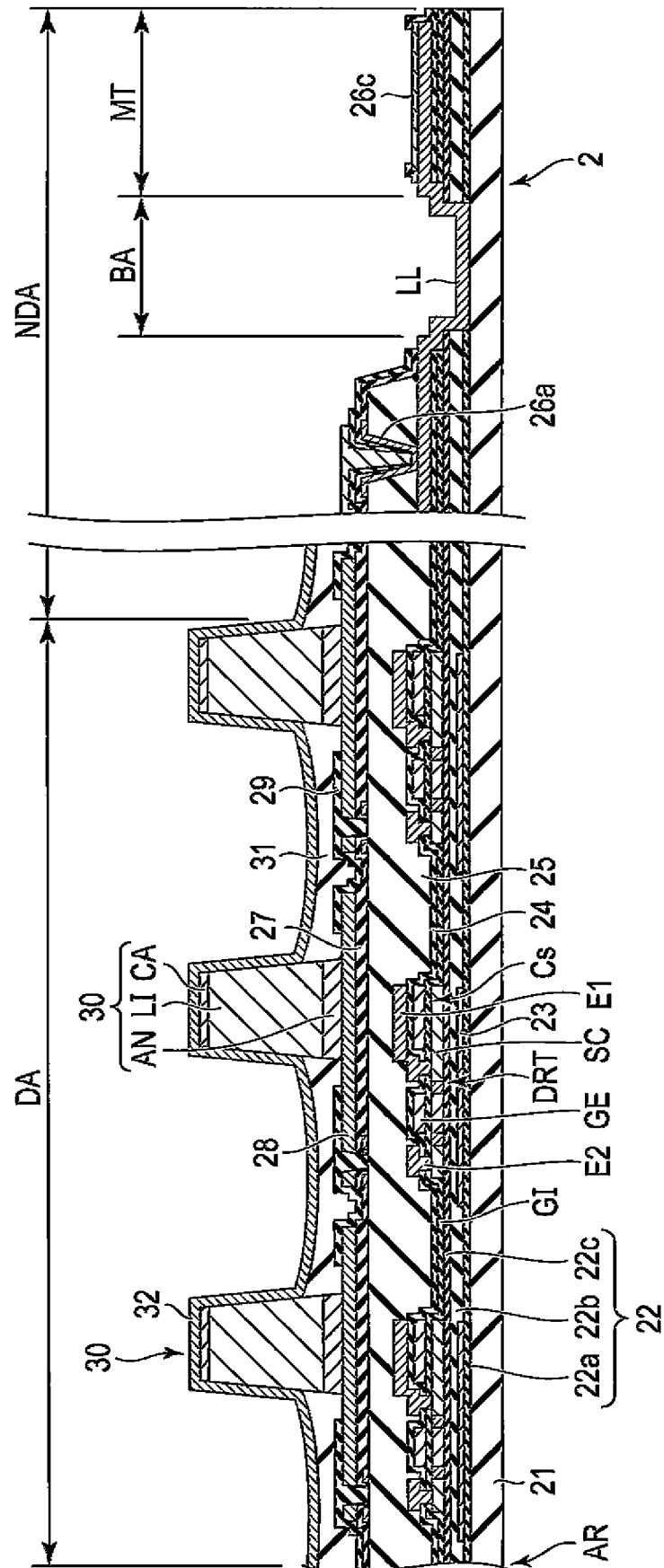
[図2]



[図3]

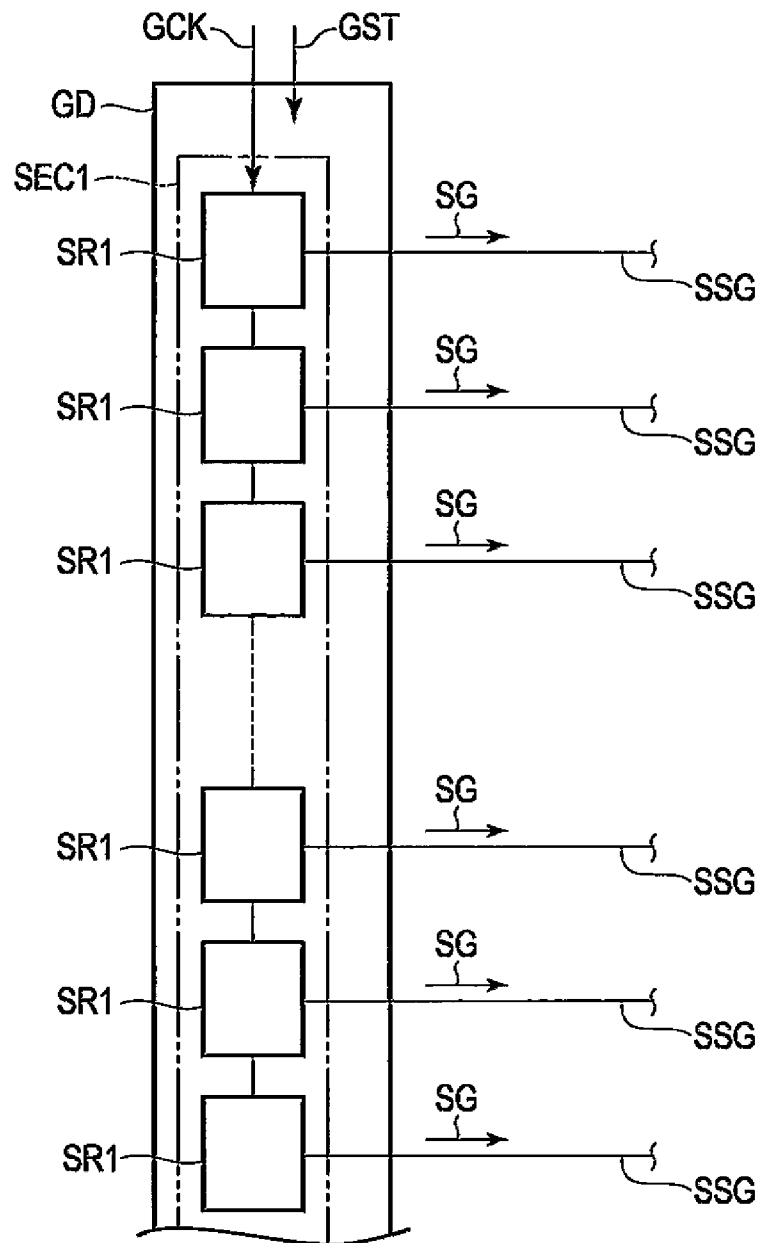


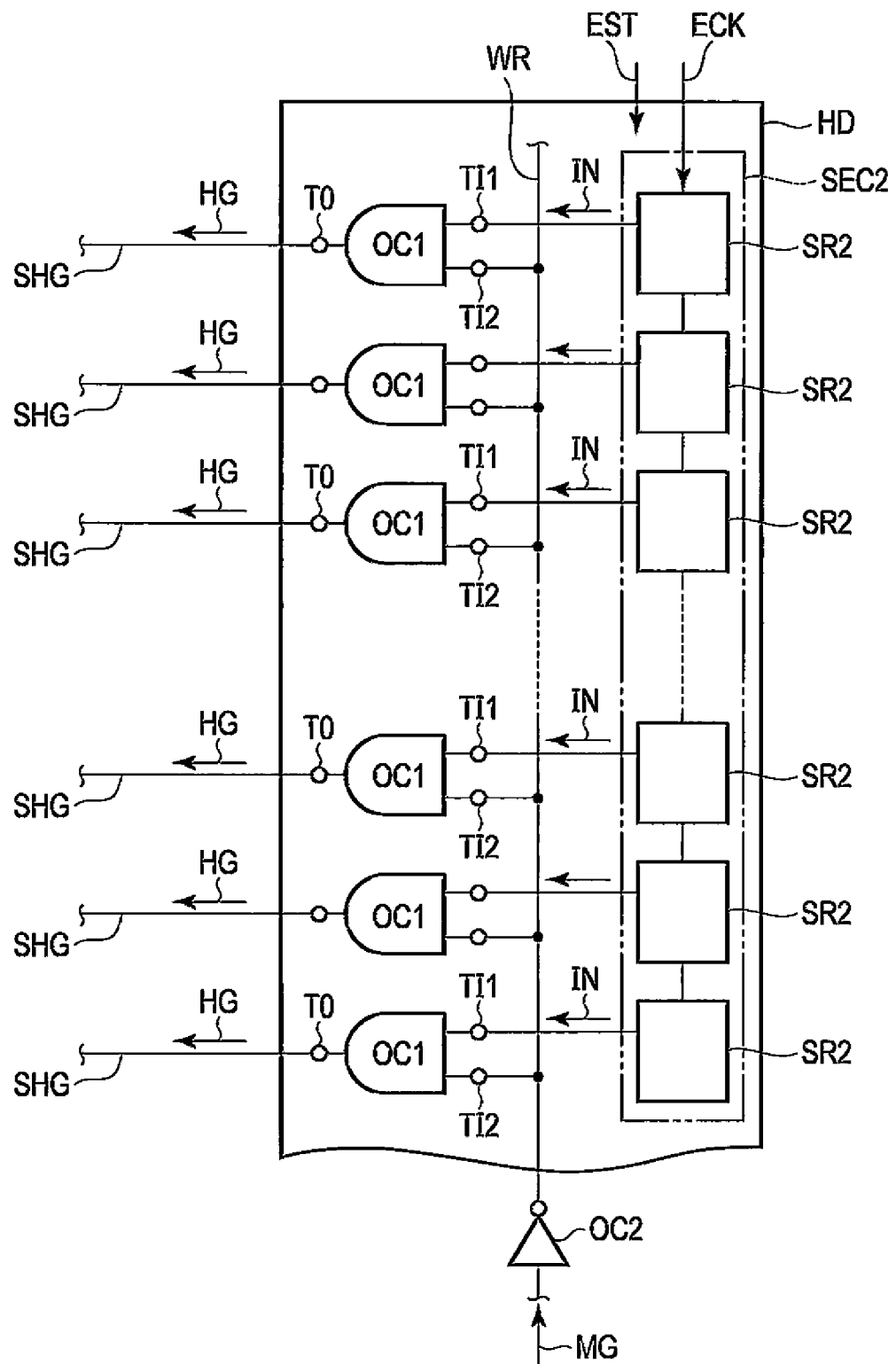
[図4]



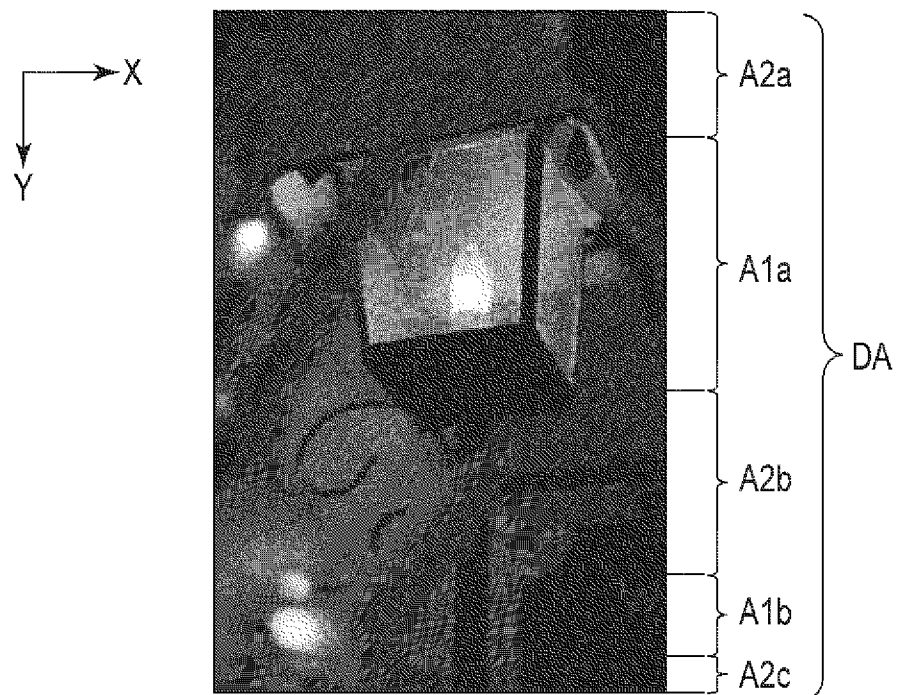
The diagram illustrates a pixel circuit within a crossbar array. The array is defined by gate drivers (GD) and data drivers (HD) connected to vertical and horizontal lines. The horizontal lines are labeled VL and HG, and the vertical lines are labeled SG and PC. The pixel circuit includes a switching transistor (SST) connected to the SG line, a storage capacitor (Cs) connected to the PC line, a driving transistor (DRT) connected to the HG line, and a light-emitting diode (ELT) connected to the VL line. The circuit is controlled by signals SP, TG, and PC. The current I flows through the DRT and ELT, and the voltage Vsig is applied to the gate of the SST. The circuit is connected to PVDD and PVSS.

[図6]

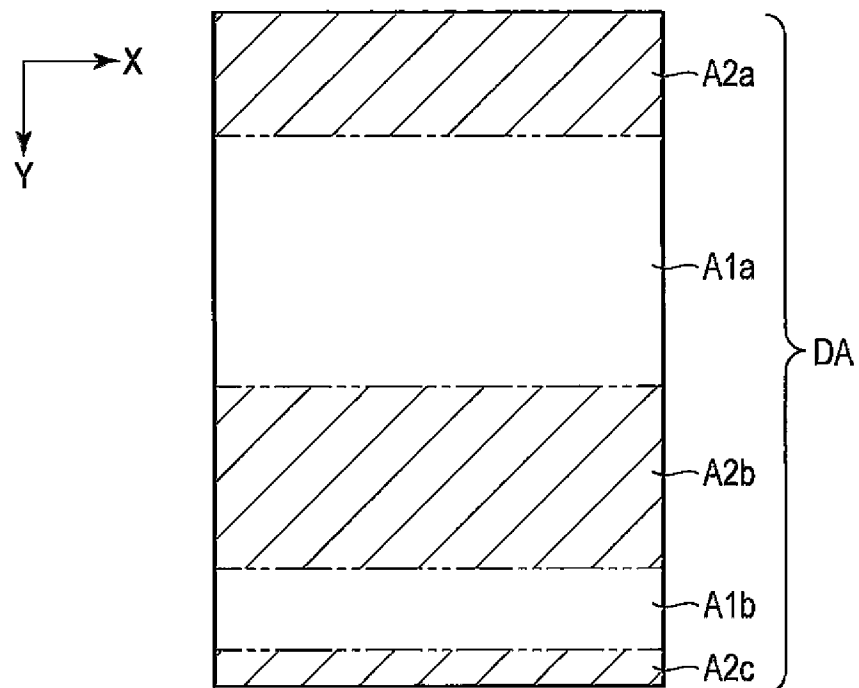




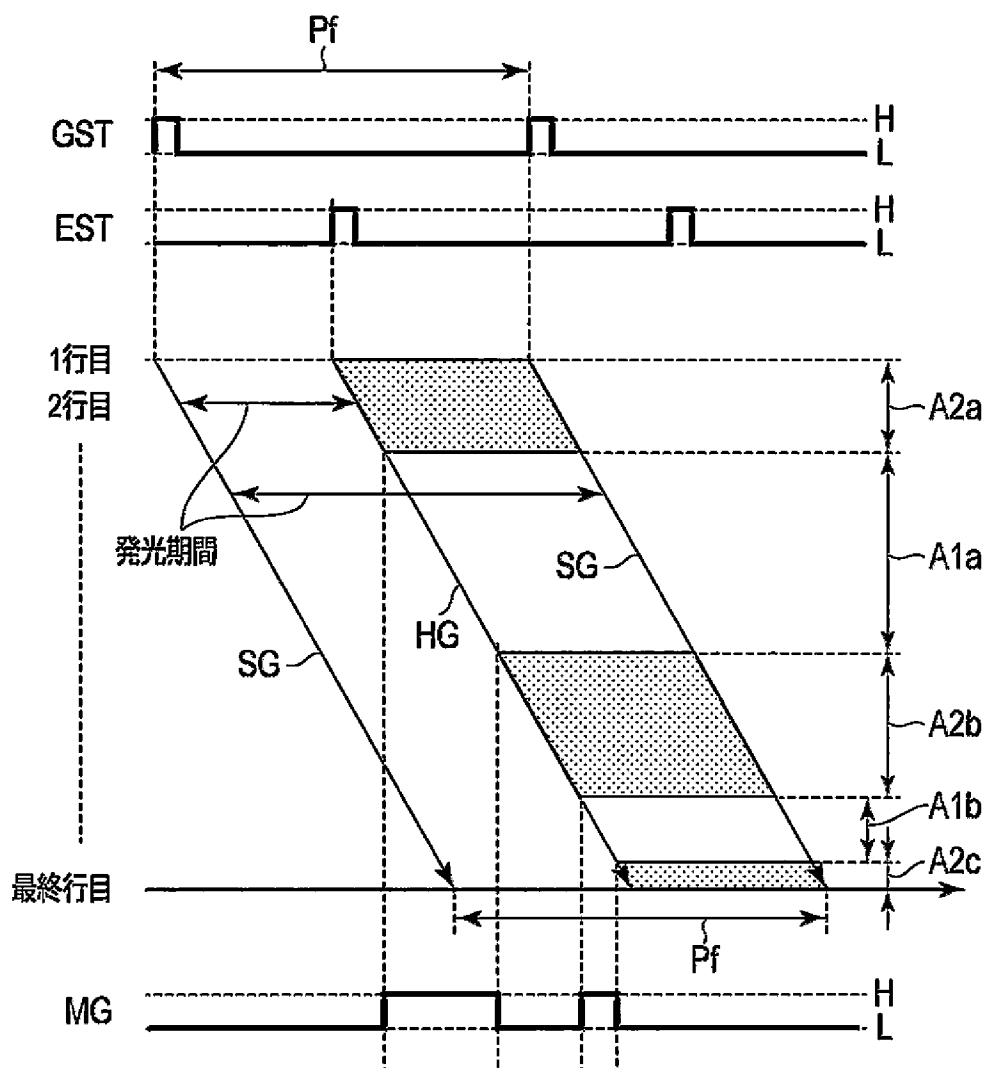
[図8]



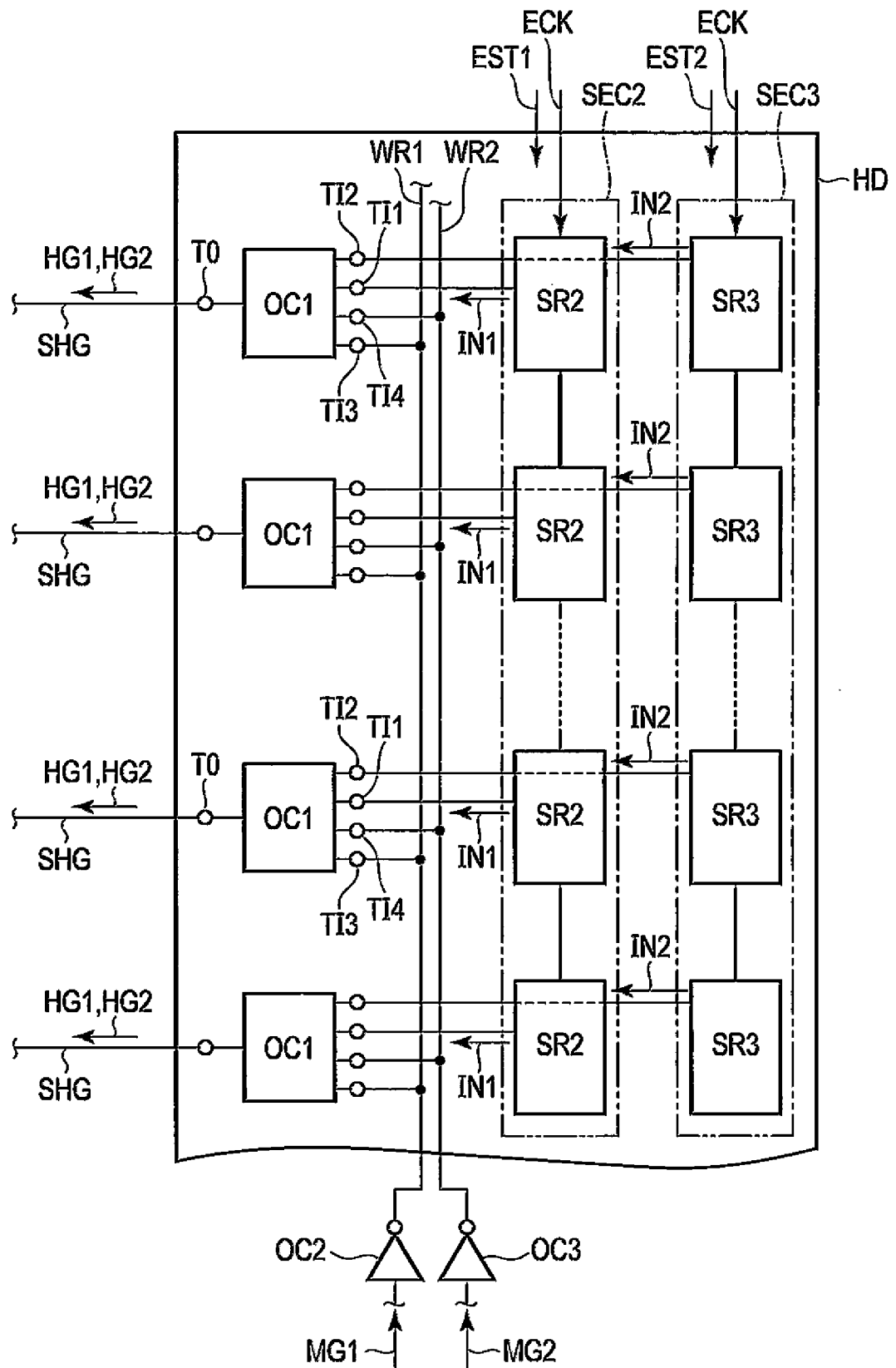
[図9]



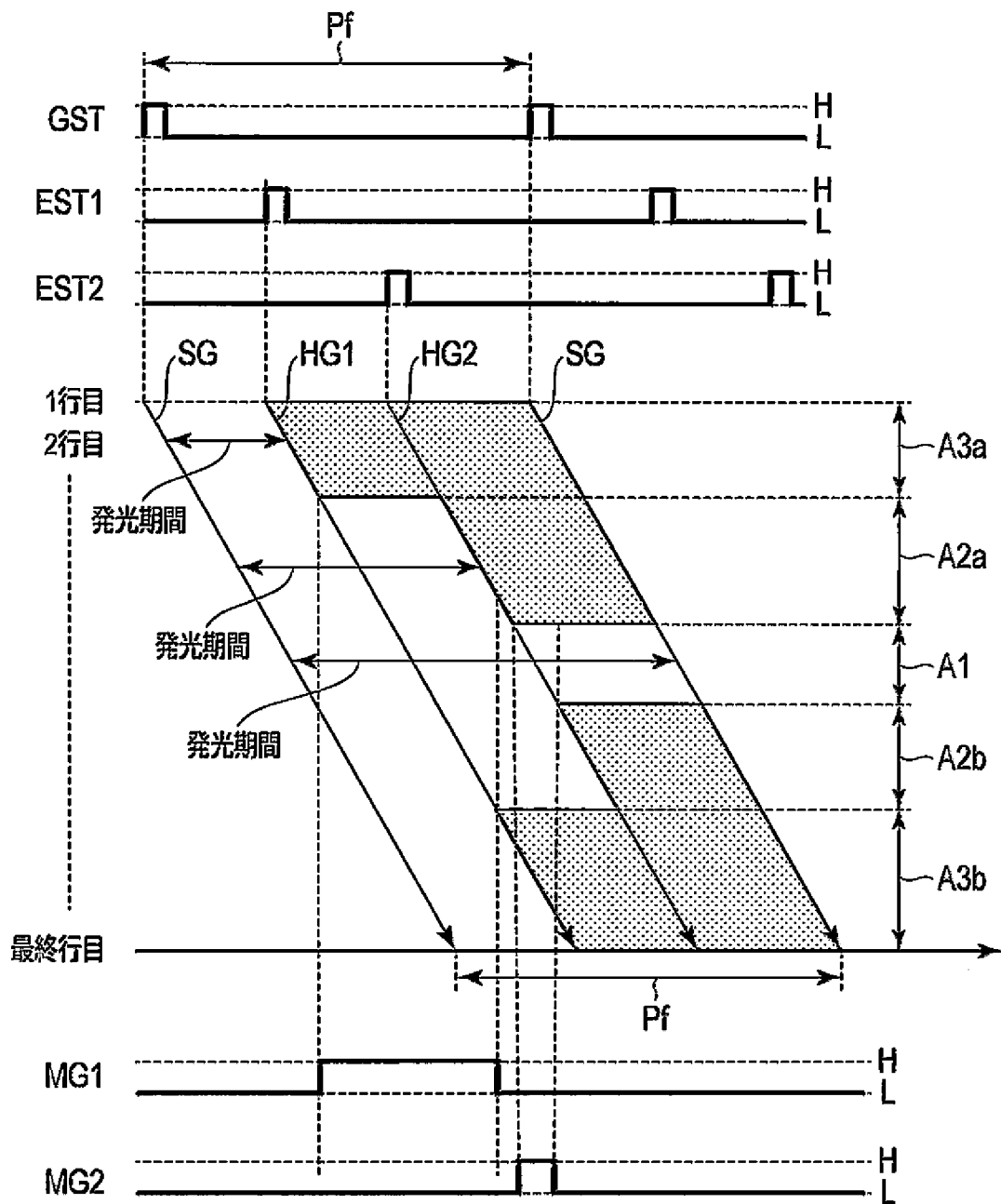
[図10]



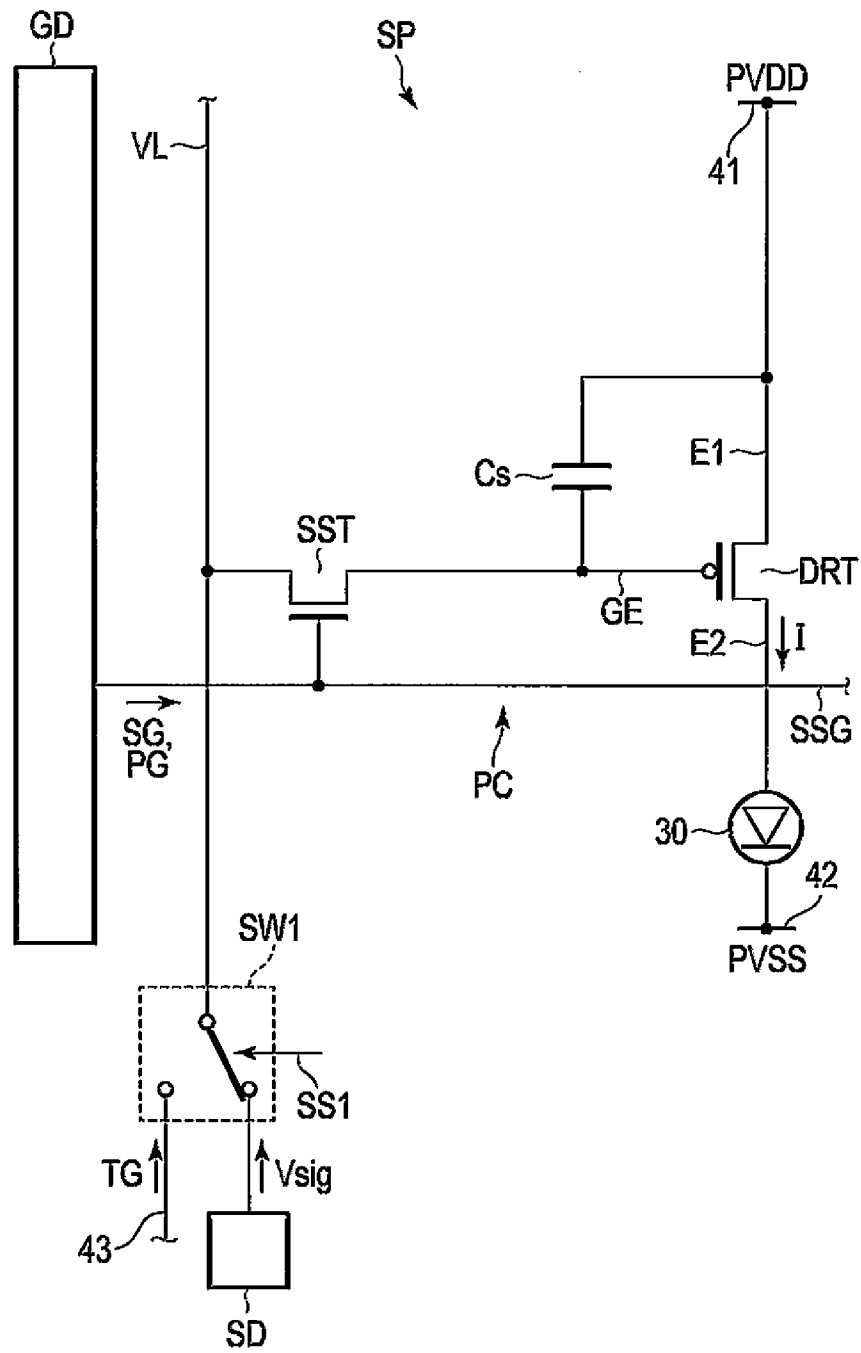
[図11]



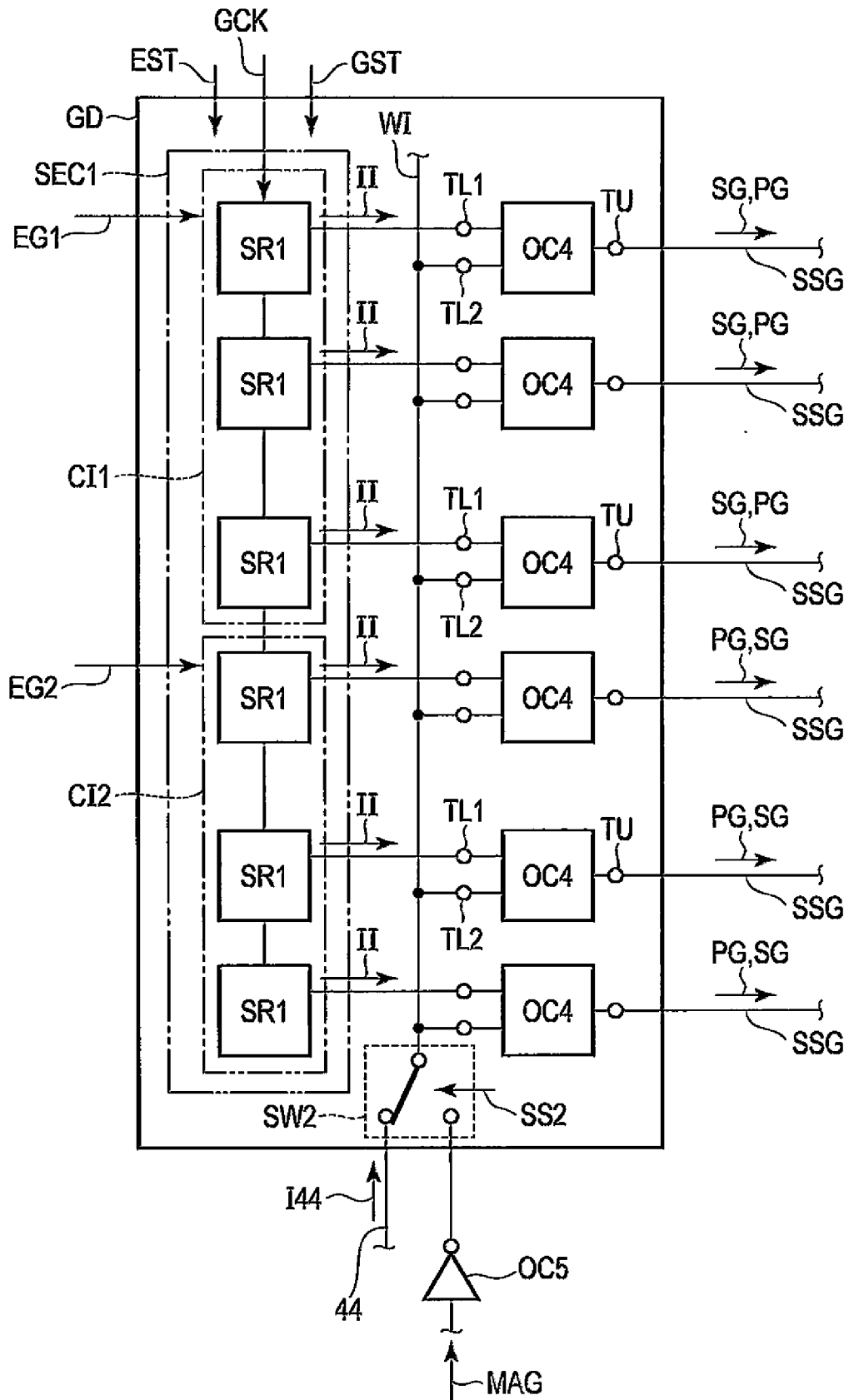
[図12]



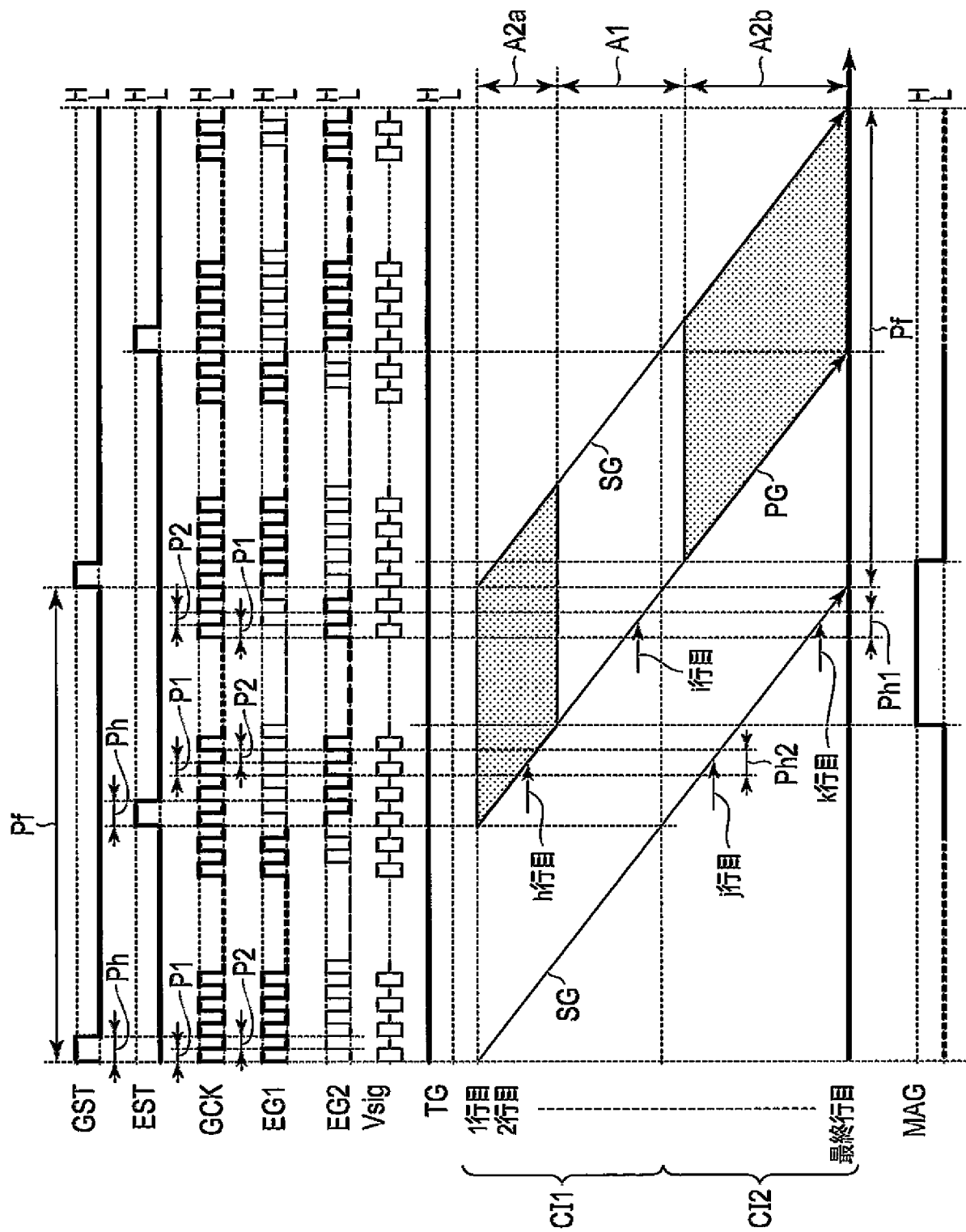
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045329

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09G3/32 (2016.01) i, G09G3/20 (2006.01) i, H01L33/00 (2010.01) i
FI: G09G3/32 A, G09G3/20 624B, G09G3/20 641T, G09G3/20 641S, G09G3/20 621M,
G09G3/20 621A, G09G3/20 622K, H01L33/00 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09G3/32, G09G3/20, H01L33/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007-293264 A (SEIKO EPSON CORP.) 08 November	1-5, 11, 12
Y	2007, paragraphs [0001]-[0124], fig. 1-16, paragraphs [0001]-[0124], fig. 1-16	6-13
Y	JP 2004-70293 A (SEIKO EPSON CORP.) 04 March 2004, paragraphs [0001]-[0092], fig. 1-14	6-13
Y	JP 2018-97363 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 June 2018, paragraphs [0001]-[0351], fig. 1-32	6-13
Y	JP 2015-96906 A (SONY CORP.) 21 May 2015, paragraphs [0001]-[0119], fig. 1-21	13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/045329

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-534613 A (APPLE INC.) 22 November 2018, paragraph [0044], fig. 3	13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/045329

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2007-293264 A	08.11.2007	US 2007/0229413 A1 paragraphs [0001]- [0194], fig. 1-16C CN 101046937 A KR 10-2007-0097330 A	
JP 2004-70293 A	04.03.2004	US 2004/0036664 A1 paragraphs [0001]- [0160], fig. 1-14 EP 1372136 A1 CN 1471069 A KR 10-2005-0107319 A KR 10-2005-0107320 A KR 10-0625626 B1	
JP 2018-97363 A	21.06.2018	WO 2018/104831 A1 paragraphs [0001]- [0351], fig. 1-32	
JP 2015-96906 A	21.05.2015	US 2019/0279590 A1 US 2015/0138253 A1 paragraphs [0001]- [0192], fig. 1-21 US 2017/0243544 A1 US 2019/0156762 A1	
JP 2018-534613 A	22.11.2018	KR 10-2015-0056451 A US 2018/0204889 A1 paragraph [0045], fig. 3 US 2019/0148465 A1 WO 2017/172375 A1 CN 108352151 A KR 10-2018-0050372 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/32(2016.01)i; G09G 3/20(2006.01)i; H01L 33/00(2010.01)i FI: G09G3/32 A; G09G3/20 624B; G09G3/20 641T; G09G3/20 641S; G09G3/20 621M; G09G3/20 621A; G09G3/20 622K; H01L33/00 L		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/32; G09G3/20; H01L33/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2007-293264 A（セイコーエプソン株式会社）08.11.2007（2007-11-08） [0001]-[0124], 図1-16	1-5, 11, 12
Y	[0001]-[0124], 図1-16	6-13
Y	JP 2004-70293 A（セイコーエプソン株式会社）04.03.2004（2004-03-04） [0001]-[0092], 図1-14	6-13
Y	JP 2018-97363 A（株式会社半導体エネルギー研究所）21.06.2018（2018-06-21） [0001]-[0351], 図1-32	6-13
Y	JP 2015-96906 A（ソニー株式会社）21.05.2015（2015-05-21） [0001]-[0119], 図1-21	13
Y	JP 2018-534613 A（アップル インコーポレイテッド）22.11.2018（2018-11-22） [0044], 図3	13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 07.02.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 越川 康弘 21 9605 電話番号 03-3581-1101 内線 3273

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/045329

引用文献			公表日	パテントファミリー文献			公表日
JP	2007-293264	A	08.11.2007	US	2007/0229413	A1	
					[0001]-[0194], 図1-16C		
				CN	101046937	A	
				KR	10-2007-0097330	A	
JP	2004-70293	A	04.03.2004	US	2004/0036664	A1	
					[0001]-[0160], 図1-14		
				EP	1372136	A1	
				CN	1471069	A	
				KR	10-2005-0107319	A	
				KR	10-2005-0107320	A	
				KR	10-0625626	B1	
JP	2018-97363	A	21.06.2018	WO	2018/104831	A1	
					[0001]-[0351], 図1-32		
				US	2019/0279590	A1	
JP	2015-96906	A	21.05.2015	US	2015/0138253	A1	
					[0001]-[0192], 図1-21		
				US	2017/0243544	A1	
				US	2019/0156762	A1	
				KR	10-2015-0056451	A	
JP	2018-534613	A	22.11.2018	US	2018/0204889	A1	
					[0045], 図3		
				US	2019/0148465	A1	
				WO	2017/172375	A1	
				CN	108352151	A	
				KR	10-2018-0050372	A	