



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월20일
(11) 등록번호 10-1296701
(24) 등록일자 2013년08월08일

(51) 국제특허분류(Int. Cl.)
H01L 23/28 (2006.01) H01L 23/02 (2006.01)
(21) 출원번호 10-2008-7009842
(22) 출원일자(국제) 2006년10월18일
심사청구일자 2011년10월17일
(85) 번역문제출일자 2008년04월24일
(65) 공개번호 10-2008-0065980
(43) 공개일자 2008년07월15일
(86) 국제출원번호 PCT/US2006/040869
(87) 국제공개번호 WO 2007/050420
국제공개일자 2007년05월03일
(30) 우선권주장
11/257,802 2005년10월24일 미국(US)
(56) 선행기술조사문헌
US5785789 A
US6455606 B1
US6794481 B2

(73) 특허권자
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501
(72) 발명자
콘디 브라이언 더블유.
미국 애리조나 85204, 메사, 이. 어윈 애비뉴
2707
마하링엠 마리
미국 애리조나 85254-2387, 스코츠데일, 엔. 55번
지 플레이스14825
샤 마헤쉬 케이.
미국 애리조나 85258, 스코츠데일, 엔. 비아 델
솔 7806
(74) 대리인
장훈

전체 청구항 수 : 총 5 항

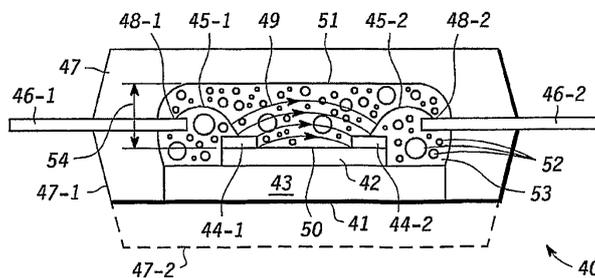
심사관 : 정성중

(54) 발명의 명칭 **감소된 패키지 크로스-토크 및 손실을 갖는 반도체디바이스**

(57) 요약

감소된 패키지 크로스-토크 및 손실을 갖는 플라스틱 캡슐화된 반도체 디바이스들에 대한 구조 및 방법이 제공된다. 반도체 다이(42)는 먼저 플라스틱 캡슐보다 낮은 유전 상수 및 낮은 손실 탄젠트를 갖는 버퍼 영역(51)으로 코팅된다. 캡슐(47)은 단단한 구조를 제공하는 버퍼 영역으로 둘러싸인다. 하부의 버퍼 영역은 공전 커패시턴스를 감소시키고 따라서 다이 상의 또는 다이에 결합된 전극들 사이의 크로스-토크를 감소시킨다. 하부의 버퍼 영역은 캡슐화에서 기생 손실을 감소시킨다. 낮은 및/또는 버퍼 영역들은 저 밀도의 유기물 및/또는 무기물을 이용하여 달성할 수 있다. 다른 방법은 버퍼 영역에 공동 미소 구체 또는 다른 필러들(52)을 분산시키는 것이다. 상기 버퍼 영역과 상기 캡슐 사이에 형성된 선택적인 밀봉 층은 입의의 버퍼 층 공극물을 완화할 수 있다. 상기 버퍼 영역은 약 3.0 보다 작은 및/또는 0.005 보다 작은 것이 바람직하다.

대표도 - 도3



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

반도체 다이를 캡슐화하는 방법에 있어서:

리드-프레임(lead-frame) 상에 상기 다이를 장착하는 단계;

수지(resin)에 필러의 입자들을 부가하는 단계로서, 상기 필러의 입자들은 필러 사이즈들의 혼합을 구비하고, 상기 필러의 입자들은 상기 수지 내에 패킹(packaging)되는, 상기 필러의 입자들 부가 단계;

제 1 유전 상수 및 제 1 손실 탄젠트의 버퍼 영역으로 상기 다이의 일부를 커버하는 단계로서, 상기 버퍼 영역은 상기 수지 및 상기 수지 내에 패킹된 상기 필러를 포함하는, 상기 다이의 일부를 커버하는 단계;

상기 다이 및 버퍼 영역과 함께 상기 리드-프레임을 플라스틱 캡슐화를 위한 몰드(mold) 내에 배치하는 단계로서, 상기 다이 및 버퍼 영역은 상기 몰드의 캐비티(cavity)에 위치되는, 상기 몰드 내에 배치하는 단계; 및

제 2 유전 상수 및 제 2 손실 탄젠트의 플라스틱 재료로 상기 리드 프레임, 다이 및 버퍼 영역 주위의 상기 몰드의 캐비티를 채우기 위해 상기 몰드의 캐비티에 플라스틱 캡슐제를 배치하는 단계로서, 상기 제 2 유전 상수는 상기 제 1 유전 상수보다 크고, 상기 제 2 손실 탄젠트는 상기 제 1 손실 탄젠트보다 큰, 상기 플라스틱 캡슐제 배치 단계를 포함하는, 반도체 다이 캡슐화 방법.

청구항 14

삭제

청구항 15

제 13 항에 있어서,

상기 다이의 일부를 커버하는 단계 후에, 상기 버퍼 영역을 경화하는(curing) 단계를 더 포함하는, 반도체 다이 캡슐화 방법.

청구항 16

제 13 항에 있어서,

상기 다이의 일부를 커버하는 단계는 내부에 공동 마이크로스피어들(hollow microspheres)을 포함하는 상기 필러를 갖는 버퍼 영역 재료로 상기 다이의 일부를 커버하는 단계를 포함하는, 반도체 다이 캡슐화 방법.

청구항 17

제 16 항에 있어서,

상기 다이의 일부를 커버하는 단계는 상기 제 2 유전 상수의 80%보다 작은 제 1 유전 상수를 갖는 버퍼 영역 재료로 상기 다이의 일부를 커버하는 단계를 포함하는, 반도체 다이 캡슐화 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

제 13 항에 있어서,

상기 다이의 일부를 커버하는 단계는 상기 필러를 갖는 버퍼 영역 재료로 상기 다이의 일부를 커버하는 단계를 포함하고, 상기 필러는 300 마이크로-미터 이하의 입자들을 갖는 필러를 내부에 포함하는, 반도체 다이 캡슐화 방법.

명세서

기술분야

[0001] 본 발명은 일반적으로 반도체 디바이스들에 관한 것이고 특히, 하부의 패키지 크로스-토크(cross-talk) 및 손실을 갖는 플라스틱 캡슐화된 반도체 디바이스들에 관한 것이다.

배경기술

[0002] 반도체(SC) 디바이스들은 종종 몰딩된 플라스틱(molded plastic)에 캡슐화된다(encapsulated). 몰딩된 플라스틱은 반도체 다이를 둘러싸고 보호하고, 본딩 배선들 및 외부 리드들(leads)을 지지하고 디바이스에 울퉁불퉁함(ruggedness) 및 충격 저항을 부여한다. 플라스틱 패키징된 디바이스들은 광범위하게 이용된다. 도 1은 반도체

(SC) 다이(22)를 포함하는 종래기술의 몰딩된 플라스틱 패키지(20)의 단순화된 단면 개략도를 도시한다. SC 다이(22)는 편리하게 그러나 반드시 히트싱크(23)에 장착되어야하는 것은 아니다. 금속 접촉 영역들(24-1, 24-2(집합적으로 24))은 외부 리드들(26-1, 26-2(집합적으로 26))이 배선 본딩 또는 다른 수단(25-1, 25-2(집합적으로 25))을 통해 결합된 SC 다이(22) 상에 제공된다. 플라스틱 캡슐제(plastic encapsulant; 27)는 SC 다이(22), 배선 본딩(25) 및 외부 리드들(26)의 내부 부분(28-1, 28-2(집합적으로 28)) 주변에 몰딩되어, 본예에서, 히트싱크(23)의 하부 표면(21)이 패키지(20)의 하부 면 상에 노출된 채로 남지만, 노출된 표면(21)을 갖는 것이 필수적이지는 않다. 도 1에 도시되고 동등한 바와 같이, 플라스틱 캡슐이 광범위하게 이용되지만, 기술분야에 널리 알려진 다수의 단점들 및 한계들을 겪는다. 이들 중에서 SC 다이(22) 및 리드들(25 및 28)을 둘러싸는 플라스틱 재료(27)은 대기 중이나 진공에서보다 높은 유전 상수(ϵ) 및 손실 탄젠트(δ)를 갖는다. 예를 들어, 반도체 디바이스들에 공통으로 이용된 플라스틱 캡슐제들은 관심 있는 동작 주파수에서 3.5 내지 5.0의 범위의 상대적인 유전 상수(ϵ) 및 0.005 내지 0.015 범위의 손실 탄젠트(δ)를 갖는다. 이들은 특히 고 주파수 및 고 전압에서, 둘러싸는 플라스틱 캡슐제(27)로 신장하는 프린징 전계(fringing electric field; 29)로 인해, 다양한 다이 금속 영역들, 본딩 배선들 및 다른 리드들 사이에서 플라스틱 캡슐제를 통한 전기적 크로스-토크로부터, 성능에서 현저한 저하를 결과하는데 중요하다. 커패시티브 결합 및 프린징 전계(29)와 연관된 손실은 캡슐제(27)의 유전 상수(ϵ) 및 손실 탄젠트(δ)가 증가함에 따라 증가한다.

발명의 상세한 설명

[0003] 종래 기술에서, 커패시티브 결합 및 SC 다이의 외부로 신장하는 프린징 전계와 연관된 손실은 예를 들어, (i) 다이 및/또는 배선 본딩 상에 패러데이 차폐(Faraday shield)를 이용함으로써, 및/또는 (ii) 다이 표면 위 및 배선 본딩과 내부 패키지 리드들 주변에 대기 중 또는 진공 공간을 제공하는 공동(hollow) 세라믹 및/또는 금속 패키지들을 이용함으로써 완화되거나 회피되었다. 패러데이 차폐(Faraday Shield)는 프린징 전계를 발생시키지만 부가적인 금속 및 마스크 층을 필요로 하기 때문에 다이 복잡도를 부가시킨다. 도 2에 도시된 진공 또는 대기 패키지는 다이(32)를 둘러싸는 대기 또는 진공 공간(37)을 갖는 공동(hollow) 패키지(30)를 도시한다. 다이(32)는 예를 들어, 금속, 세라믹 또는 플라스틱 베이스(33) 상에 장착되고, 외부 리드들(36-1, 36-2(집합적으로 36))이 부착된다. 배선 본딩 또는 다른 접속들(35-1, 35-2(집합적으로 35))은 다이(32) 상의 접속 패드들(34-1, 34-2(집합적으로 34))을 패키지 리드들(36-1, 36-2(집합적으로 36))의 내부 부분(38-1, 38-2(집합적으로 38))에 결합한다. 캡(31)은 기관(34), 다이(32), 배선 본딩 또는 다른 접속들(35) 및 패키지 리드들(36)의 내부 부분(38) 위에 위치된다. 다이(32) 및 리드들(35, 38) 주변에 대기 또는 진공 공간(37)을 갖는다는 것은 프린징 전계(39)가 어떠한 캡슐제와도 접촉하지 않는다는 것을 의미한다. 따라서, 다이 표면 및 배선 본딩 및/또는 내부 리드들과 접촉하는 플라스틱 캡슐제에 의한 커플링 커패시턴스의 증가 및/또는 감소가 없다. 대기 및 진공의 유전 상수(ϵ_0) 및 손실 탄젠트(δ_0)가 낮고 따라서 크로스-토크 및 유전 손실이 최소화된다. 그러나, 이러한 대기 또는 진공 공동 패키지들은 상당히 더 비싸고 종종 플라스틱 캡슐제만큼 울퉁불퉁하지 않다. 배선 본딩 또는 다른 접속들(35)은 완성된 디바이스가 가속 힘을 증가시키려고 하면 분리될 수 있다.

[0004] 이에 따라, 개선된 반도체 디바이스들 및 감소된 크로스-토크 및 손실을 갖는 플라스틱 캡슐화된 디바이스들을 제공하는 방법에 대한 필요성이 존재한다. 따라서, 다이 표면, 다이 리드들 및/또는 본딩 배선들 중 일부 또는 모두와 접촉하는 낮은 유전 상수(ϵ) 및 손실 탄젠트(δ) 재료를 갖는 플라스틱 캡슐제와 함께 개선된 반도체 디바이스들을 제공하는 것이 바람직하다. 또한, 개선된 플라스틱 캡슐 재료, 구조 및 방법들은 실질적으로 견고한 구조가 반도체 다이, 다이 리드들 및 본딩 배선들 주변에 형성되도록 하여 기계적으로 울퉁불퉁한 패키지를 제공할 수 있도록 하는 것이 바람직하다. 개선된 디바이스들은 이미 사용가능하거나 전형적인 반도체 디바이스 제조 라인에 쉽게 부가되어 제조 공정의 단지 조금의 변형만이 필요한 제조 기술을 이용하여 성취되는 것이 또한 바람직하다. 본 발명의 다른 바람직한 특징들 및 특성들은 첨부된 도면들 및 상기한 배경 기술, 기술 분야 및 상세한 설명과 조합하여, 후속하는 실시예들 및 첨부된 청구항들로부터 명백해질 것이다.

[0005] 본 발명은 동일한 번호가 동일한 소자를 나타내는 이하의 도면들과 조합하여 이하에 기술될 것이다.

실시예

[0013] 이하 상세한 기술은 단순히 예시적인 것이며 본 발명이나 본 발명의 적용 및 이용을 제한하는 것으로 의도되지 않는다. 또한, 상기한 기술분야, 배경 기술, 상세한 설명 또는 이하의 상세한 기술에 제시된 이론을 임의로 표현하거나 포함함으로써 구속하려는 의도는 없다.

[0014] 예시의 간결성 및 명확성을 위해, 도면들은 구성의 일반적인 방식으로 예시되고, 잘 알려진 특징들 및 기술들의

기술들 및 상세들은 발명을 불필요하게 모호하게 하는 것을 피하기 위해 생략될 수 있다. 또한, 도면들의 소자들은 축척대로 도시될 필요는 없다. 예를 들어, 도면들에서 어떤 소자들 또는 영역은 본 발명의 실시예들의 향상된 이해를 돕기 위해 다른 소자들 또는 영역들에 비해 과장될 수 있다.

[0015] 기술들 및 청구항들에서 용어 "제 1", "제 2", "제 3", "제 4" 등은 유사한 소자들 사이를 구별하기 위해 이용될 수 있고 특정하게 연속적이거나 연대순의 순서를 기술하는 것은 아니다. 이렇게 이용되는 용어들이 본원에 기술된 본 발명의 실시예들이 예를 들어, 기술된 것과 다른 순서 또는 본원에 기술된 것과 다르게 동작할 수 있는 것과 같은 적절한 환경에서 교환가능하다는 것이 이해된다. 또한, 용어 "포함하다", "갖다" 및 이들의 임의의 변형들은 이들 소자들로 제한되지 않는 소자들의 리스트를 포함하는 프로세스, 방법, 물품 또는 장치와 같은 것들을 비-제한적으로 포함하는 것을 의도하지만, 명시적으로 리스트되지 않거나 이러한 프로세스, 방법, 물품 또는 장치들에 고유하지 않은 다른 소자들을 포함할 수 있다.

[0016] 기술들 및 청구항들의 "왼쪽", "오른쪽", "안의", "바깥의", "앞의", "뒤의", "위", "아래", "탑(top)", "바텀(bottom)", "위에", "아래에", "위의", "아래의" 등과 같은 용어들은 예시적 목적으로 이용되고 영원한 상대적 위치들을 표현할 필요는 없다. 이렇게 이용되는 용어들이 본원에 기술된 본 발명의 실시예들이 예를 들어, 기술된 것과 다른 순서 또는 본원에 기술된 것과 다르게 동작할 수 있는 것과 같은 적절한 환경에서 교환가능하다는 것이 이해된다. 본원에 이용된 "결합된"이라는 용어는 전기적 또는 비전기적 방식으로 직접적 또는 간접적으로 접속된 것으로 규정된다. 본원에 이용되는 바와 같은 "리드-프레임"은 하나 이상의 개별적인 또는 상호접속된 반도체 다이 상에 장착될 수 있고, 금속, 플라스틱 세라믹, 유리 또는 그 조합들 일 수 있는 임의의 지지 구조들을 포함하는 것으로 의도된다. 본원에 이용된 바와 같은 "반도체 다이" 및 그 약어 "SC 다이"는 개별 디바이스 또는 집적 회로와 같이 디바이스들의 복잡한 어셈블리들에 상관없이 임의의 종류 및 구성의 반도체 디바이스들 또는 반도체 디바이스들의 임의의 다른 구성들을 포함하는 것으로 의도된다. 본원에 이용된 바와 같은 "배선 본딩(wire bonds)" 및 "본딩 배선(bonding wires)"은 SC 다이 상의 본딩 패드들 및/또는 접촉 영역들로 패키지 리드들을 전기적으로 커플링하는 임의의 수단을 포함하는 것으로 의도되고 단순히 배선 등의 이용으로 제한되지 않는다. 다른 전기적 커플링 수단의 비제한적인 예들은 빔 리드들(beam leads), 뿔납 범프(solder bumps), 금속화된 플라스틱 테이프 등이 있다.

[0017] 도 3은 본 발명의 제 1 실시예에 따라, 반도체(SC) 다이(42)를 포함하는 몰딩된 플라스틱 패키징된 디바이스(40)의 단순화된 개략 단면도를 도시한다. 디바이스(40)는 SC 다이 또는 디바이스(42)를 포함하는 것이 바람직하지만 반드시 히트싱크(43) 위에 장착되고 플라스틱 캡슐제(47)에 의해 둘러싸여야 하는 것(히트싱크(43)의 하부 표면은 제외)은 아니다. 플라스틱 캡슐제(47)는 히트싱크(43)의 하부 표면(41)이 외곽선(47-1)에 의해 표시된 바와 같이 노출되게 하거나 하부 표면(41)이 외곽선(47-2)에 의해 표시된 바와 같이 플라스틱 캡슐제(47) 내에 임베딩될 수 있다. 어떠한 배열도 하부 표면(41)에 대해 유용하고 본 발명에서는 중요하지 않다. 그러나, 다이(42)의 상부 표면(50) 및 그에 인접한 둘레는 캡슐제(47)보다 낮은 유전 상수 및/또는 낮은 손실 탄젠트를 갖는 버퍼 영역(51)에 의해 캡슐제(47)로부터 분리된다. 버퍼 영역(51)이 캡슐제(47)보다 낮은 유전 상수를 가질 때, 공전 전계 커패시티브 결합(stray field capacitive coupling)이 감소되고 성능은 향상된다. 버퍼 영역(51)이 캡슐제(47)보다 낮은 손실 탄젠트를 가질 때, 공전 전계 전력 손실이 감소되고 성능이 향상된다. 버퍼 영역(51)의 유전 상수 및 손실 탄젠트 모두 캡슐제(47)보다 낮은 것이 바람직하지만, 필수적인 것은 아니고 개선된 성능은 어느 하나가 캡슐제(47)보다 작으면 얻어진다. 다이(42)는 다이(42)의 상부 표면(50) 상에 본딩 또는 다른 접속 패드들 또는 금속화된 영역들(44-1, 44-2(집합적으로 44))을 갖는다. 배선 본딩 또는 다른 접속들(45-1, 45-2(집합적으로 45))은 다이(42)에 외부의 전기적 결합을 제공하기 위해, 외부 리드들(46-1, 46-2(집합적으로 46))의 내부 부분(48-1, 48-2(집합적으로 48))으로 접속 패드들(44)을 결합한다. 소자들(41, 42, 43, 44, 45, 46 및 48)은 디바이스(20)의 소자들(21, 22, 23, 24, 25, 26 및 28)과 기능적으로 유사하다. 디바이스(40)의 프린팅 전계(49)는 버퍼 영역(51)을 통해 실질적으로 통과한다. 공전 프린팅 전계(49)가 디바이스(40)에 전압이 인가될 때 상이한 전위를 갖는 다이 본딩 패드들(44-1, 44-2) 사이에서 신장하는 것으로 도시되지만, 단지 예시의 편리함을 위해서이고 당업자는 공전 프린팅 전계들이, 예를 들어 이용될 때 상이한 전위를 수신하는 다이(42) 상의 금속 선들(도시되지 않음)과 같은 다른 도전성 영역들 사이의 다이(42)의 표면 위로 신장할 수 있고, 모든 이러한 공전 프린팅 전계들은 본 발명에 의해 완화되는 상술된 성능 저하에 기여한다는 것을 이해할 것이다. 디바이스들(40 및 20)은 디바이스(40)의 캡슐제(47)가, 그 하부 표면은 히트싱크(43)에 본딩된 버퍼 영역(51) 내의 다이(42)와 실질적으로 접촉하지 않는다는 점에서 상이하다. 영역(51)은 다이 표면(50)에 실질적으로 근접한 곳으로 제한되거나(도 5 참조) 또한 도 3 내지 도 4에 도시된 바와 같이, 배선 본딩 또는 접속들(45) 및 리드들(46)의 내부 단부들(48)의 일부 또는 모두를 둘러쌀 수 있다. 어떤 배열도 유용하다.

[0018] 버퍼 영역(51)은 화학적으로 안정하고 전기적 및 화학적으로 SC 다이(42)의 표면(50)과 호환가능하고 SC 다이(42)의 동작을 망치지 않아야 한다. 도 3은 버퍼 영역(51)이 예를 들어, 버퍼 영역(51)의 나머지 부분을 형성하는 바인더 또는 수지(53)보다 낮은 유전 상수 및/또는 손실 탄젠트를 갖는, 충분한 양의 필러(filler; 52)를 갖는 예가 도시된다. 이는 캡슐제(47)와 비교해 영역(51)의 전체 유전 상수(ϵ) 및/또는 손실 탄젠트(δ)를 낮추는 효과를 갖는다. 일반적으로 버퍼 영역(51)이 예컨대, 금속 패드들 또는 트레이스들(44)이 위치된 디바이스 표면(50)에 접촉하거나 근접하는 것이 중요하고, 또한 외부 리드들(46)의 배선 본딩(45) 및 내부 부분들(48)에 접촉하거나 근접하는 것이 필수적인 것은 아니지만 바람직하고, 프린징 전계(49)가 가장 강한 위치에서 전체 유전 상수(ϵ) 및/또는 손실 탄젠트(δ)를 낮추는 최대의 유의한 효과를 갖는다.

[0019] 낮은 유전 상수 및 낮은 손실 필러들(52)의 다양성은 버퍼 영역(51)에 포함하는데 적합하다. 일반적인 필러(52)는 화학적으로 안정하고, 영역(51) 및 몰딩 프로세스에 이용된 바인더 수지(53)와 호환가능하고, 영역(51) 전체에 실질적으로 일정하지만 일반적으로 랜덤한 크기의 분포를 용이하게 하도록 일반적으로 미소 크기로 이용가능해야 한다. 또한, 필러(52)를 추가하는 것이 영역(51) 또는 디바이스(40)의 외부 공극률을 현저하게 증가시키지 않는 것이 바람직하다. 필러(52)가 전체 패키지 강도 및 기밀성(hermeticity)에 최소의 영향을 주면서 가능한 한 많은 영역을 채우도록 바인더 수지(53)에 단단히 팩킹(packed)되도록(이에 따라 버퍼 영역(51)을 형성하는 화합물의 유전 상수 및/또는 손실 탄젠트를 최소로 하면서) 필러 크기들의 혼합물이 이용되는 것이 바람직하다. 미세하게 분할된 스티렌 및 다른 경량 플라스틱 및 유리들, 및 유리 또는 세라믹 파편들 또는 공동(hollow) 유리, 세라믹 또는 플라스틱 미소 구체들(microspheres) 또는 그 조합들이 유용한 재료들이다. 공동 유리 미소 구체들은 바람직한 필러 재료의 비-제한적인 예이고 예를 들어 St. Paul의 3M 사로부터 적절한 크기들의 범위의 MN과 같이 상업적으로 사용가능하다. 공동 미소 구체들 또는 다른 저 밀도 입자들이 전형적인 디바이스 최소 배선펙(feature sizes)(예를 들어, 수 μm)보다 더 작은 크기들 및 예를 들어 영역(51)의 두께(54)의 약 80%보다 크지 않은 최대 크기들을 갖는 것이 바람직하다. 상부 크기 제한은 수분이 들어오게 하는, 영역(51) 내의 원치 않는 약한 부분 또는 분열을 유발하는 하나 이상의 큰 미소 구체들의 파손을 갖는 것을 회피할 수 있어 바람직하다. 미소 구체들 또는 다른 입자들이 약 $300\mu\text{m}$ 이하인 것이 바람직하고, 약 $100\mu\text{m}$ 이하인 것이 더 적절하고 지름 또는 최장 치수가 약 $80\mu\text{m}$ 이하인 것이 더 바람직하다. 다시 말해, 미소 구체들 또는 다른 필러 입자들은 보통 약 0.3 내지 $300\mu\text{m}$ 의 사이즈 범위를 갖고, 약 3 내지 $100\mu\text{m}$ 를 갖는 것이 더 적절하고 약 3 내지 $80\mu\text{m}$ 가 더 바람직하지만, 캡슐화되는 특정 디바이스, 리드-프레임의 크기 및 구조, 이용될 필러 유형 등에 따라 더 크거나 작은 범위들이 또한 이용될 수 있다. 혼합물에서 공동 미소 구체들(또는 다른 필러)의 양은 충분한 강도(robustness) 및 반습성(moisture resistance)을 일관되게 유지하도록 가능한 한 커야한다. 일반적으로, 영역(51)에서 미소 구체들 또는 다른 필러 입자들의 부피 비율은 버퍼 영역(51)을 형성하는 혼합물 또는 화합물에서 보통 부피의 약 50% 이상이고, 부피의 약 60% 이상인 것이 더 적절하고 부피의 약 70% 이상인 것이 바람직하다.

[0020] 도 4는 본 발명의 다른 실시예에 따라, 반도체(SC) 다이(42)를 포함하는 몰딩된 플라스틱 패키징된 디바이스(60)의 단순화된 개략 단면도를 도시한다. 디바이스(60)의 소자들(41, 42, 43, 44, 45, 46, 47, 47-1, 47-2 및 48)은 디바이스(40)에서 유사하게 식별된 소자들과 유사하고, 디바이스(40)과 관련된 기술들이 참조로서 통합된다. 디바이스들(40 및 60)은 다이(42) 주변의 버퍼 영역들(51, 61)의 구성이 상이하다. 디바이스(40)는 필러(52)를 포함하는 낮은 유전 상수 버퍼 영역(51)의 이용을 도시한다. 디바이스(60)는 캡슐제(47)보다 낮은 유전 상수 및/또는 낮은 손실 탄젠트를 제공하는 실질적으로 동종의 버퍼 영역(61)의 이용을 도시한다. 버퍼 영역(61)이 캡슐제(47)보다 낮은 유전 상수를 가질 때, 공전 전계 커패시티브 결합은 감소되고 성능은 향상된다. 버퍼 영역(61)이 캡슐제(47)보다 낮은 손실 탄젠트를 가질 때, 공전 전계 전력 손실은 감소되고 성능은 향상된다. 버퍼 영역(61)의 유전 상수 및 손실 탄젠트 모두 캡슐제(47)보다 작은 것이 바람직하지만, 필수적인 것은 아니고 개선된 성능은 어느 하나가 캡슐제(47)보다 작으면 얻어진다. 버퍼 영역(61)은 화학적으로 안정하고 SC 다이(42)의 표면과 전기적 및 화학적으로 호환가능하여 SC 다이(42)의 동작을 망치지 않아야 한다. 적절한 재료들의 예는 일본 도쿄 Hitachi 사의 폴리이미드 재료, 텔라웨어 윌밍턴 DuPont 사의 Teflon[®] 재료 및 미시간 미들랜드 Dow Chemical 사의 SiLK[®] 재료들이 적절한 재료들의 예이다. 다른 유용한 재료들의 예는 SOL-GELS 및/또는 AERO-GELS로서 알려져 있다. 이러한 재료들은 일반적으로 상업적으로 사용가능하고 당 기술분야에 알려져 있다(예를 들어, www.solgel.com 참조). 이들은 버퍼 영역(51, 61, 71, 81)에 대해 실질적으로 무기 또는 유기 재료들 또는 이들의 조합을 제공할 수 있다.

[0021] 도 4의 디바이스(60)는 버퍼 영역(61)을 커버하는 선택적인 밀봉층(62)의 이용을 도시한다. 밀봉층(62)이 도 4에만 도시되지만, 도 3의 버퍼 영역(51), 도 5의 버퍼 영역(71) 및 도 6 내지 도 7의 버퍼 영역(81)에도 적용가능하다. 따라서, 여기서 이용된 바와 같이, 밀봉층(62)와 관련하여 버퍼 영역(61)에 대한 참조는 버퍼 영역들

(51, 71 및 81)을 포함하는 것으로 의도된다. 밀봉층(62)은 버퍼 영역(61)이 캡슐제(47)에 다공성(porosity)을 도입하는 곳이 바람직하다. 수분 또는 다른 유해한 재료들의 유입을 더 쉽게 허용하는 다공성은 바람직하지 않다. 버퍼 영역(61) 상에 실질적으로 불침투성의(impermeable) 밀봉층(62)을 제공하는 것은 영역(61)에 의해 도입된 다공성의 증가를 완화할 수 있다. 밀봉층(62)에 적절한 재료들의 비-제한적인 예들은: 증착된 실리콘 다이옥사이드 및/또는 실리콘 질화물과 같은 실질적인 무기재료, 폴리이미드 및/또는 파릴렌(parylene)과 같은 실질적인 유기재료, 및 무기 재료와 유기 재료들의 다양한 조합들이다. 대안적으로, 밀봉층(62)은 예를 들어, 실질적으로 수분에 불침투성으로 버퍼 영역(61)(또는, 51, 71 및 81)의 표면층을 렌더링하도록 교차-결합 또는 다른 화학 반응을 촉진하기 위해, 플라즈마 또는 다른 촉매들에 버퍼 영역(61)(또는, 51, 71 및 81)을 노출시킴으로써 그 자리에 생성될 수 있다. 밀봉층(62)이 버퍼 영역들(51, 61, 71 및 81) 및 캡슐제(47)에 대한 물질의 선택에 따라야 하는지에 상관없이, 다이(42)의 수분 센서티비티(moisture sensitivity) 및 완성된 캡슐화된 디바이스의 환경적 명세가 만족될 것으로 예상된다. 이는 상황에 따라 변하고 당업자의 능력 내이다. 당업자는 밀봉층(62)이 필요한지를 결정하는 방법을 이해할 것이다. 밀봉층(62)의 이용이 특별히 도 4의 디바이스(60)에 도시되었지만, 원한다면, 이러한 밀봉층은 또한 도 3의 디바이스(40)의 버퍼 영역(51), 도 5의 디바이스(70)의 버퍼 영역(71) 및 도 6 내지 도 7의 버퍼 영역(81)에 이용될 수 있다. 또한 배리어 층(62)이 수분 유입에 대한 보호에 가장 유용하지만, 이러한 목적에 제한되지 않고 다른 유해한 물질들의 유입을 지체시키거나 완화하는데 또한 이용될 수 있다. 따라서 용어 "밀봉층"은 이러한 기능을 포함하는 것으로 의도된다.

[0022] 도 5는 본 발명의 다른 실시예에 따라, 반도체(SC) 다이(42)를 포함하는 몰딩된 플라스틱 패키징된 디바이스(70)의 단순화된 개략 단면도를 도시한다. 디바이스(70)의 소자들(41, 42, 43, 44, 45, 46, 47, 47-1, 47-2 및 48)은 디바이스들(40 및 60)에서 유사하게 식별된 소자들과 유사하고, 디바이스들(40 및 60)과 관련한 기술들이 참조로서 통합된다. 디바이스들(40, 60 및 70)은 버퍼 영역(51, 61 및 71)의 두께가 상이하다. 도 3 내지 도 4에 도시된 디바이스들(40 및 60)에서, 두께(54)는 버퍼 영역(51, 61)이 다이 표면(50)을 커버할 뿐만 아니라 배선 본딩 또는 다른 접속들(45), 선택적으로 리드들(46)의 단부(48)의 일부에 실질적으로 가깝게 신장하기에 충분하다. 도 5의 디바이스(70)에서, 두께(54)는 버퍼 영역(71)(밀봉층(62)을 갖거나 갖지 않는 버퍼 영역들(51, 61)과 유사하게)이 다이 표면(50) 및 다이 금속화(44)를 커버하기에 충분하지만, 모든 배선 본딩 또는 접속들(45)에 가깝도록 충분히 신장하지는 않는다. 도 5의 배열은 다이 및 패키지 레이아웃이 주로 프린팅 전계(79)가 배선 본딩(45)과 리드 부분(48)의 사이에서가 아니라 다이 표면(50)의 도전체들 및/또는 본딩 패드들 사이에서 신장하도록 하는데 적합하다. 이러한 경우, 더 작은 버퍼 영역(71)의 질량이 패키징된 디바이스(70)에서의 크로스-토크 및 과도한 유전 손실을 감소시키기에 충분하다. 영역들(51, 61)에 대한 것과 동일한 재료들이, 밀봉층(62)을 덮거나 덮지 않고(도 4 참조), 영역(71)에 대해 이용될 수 있다. 어떠한 배열도 유용하다. 따라서, 도 3 내지 도 4와 관련한 이러한 재료들에 대한 논의가 여기에 참조로서 통합된다.

[0023] 도 6은 단순화된 평면도를 도시하고, 도 7은 플라스틱 캡슐제를 제공하기 전에 SC 다이 상 및/또는 주변에 형성되는 도 3 내지 도 5의 버퍼 영역(51, 61, 71)과 유사한 버퍼 영역(81)을 예시하는, 반도체(SC) 다이(42)를 갖는 리드-프레임(80)의 단순화된 절단 측면을 도시하는 도면이다. 도 6 및 도 7의 소자들(42, 43, 44, 45, 46 및 48)은 도 3 내지 도 5에 유사하게 식별된 소자들과 유사하다. 리드-프레임(80)에 도시된 3 개의 실질적으로 대표적인 섹션들(80-1, 80-2, 80-3) 각각은 반도체 다이(42) 등을 수반한다. 점선(84)은 캡슐제(47)가 다이(42), 히트 싱크(43), 본딩 배선들(45), 내부 리드 단부들(48), 버퍼 영역(81) 등의 주변에 형성될 몰드 공동(mold cavity)의 대략적인 위치를 나타낸다. 본 예에서, 다이 본딩 플래그(43)의 하부 표면(41)은 캡슐제(47)에 둘러싸이지만(도 3 내지 도 5 참조), 이는 필수적이지 않고 노출된 채로 남겨질 수 있다. 리드 프레임 부분들(82)은 캡슐제(47) 형성 후에 다듬어져서, 본 예에서, 남겨진 캡슐제(47)로부터 튀어나온 모든 부분들이 리드들(46)이 된다. 리드-프레임 섹션들(80-1 및 80-2)은 부분들(80-1 및 80-2)에 적절한 버퍼 영역(81)을 도시하고 후속하는 캡슐제(47)보다 낮은 유전 상수 및/또는 낮은 손실 탄젠트를 갖는다. 리드-프레임 섹션들(80-1, 80-2) 상의 버퍼 영역들(81)은 버퍼 영역(81)을 형성하는 재료의 성질에 따라 경화되거나(curing) 경화되려고 하고 캡슐제(47)에 둘러싸이려고 한다(도 3 내지 도 5 참조). 리드-프레임 섹션(80-3)은 노즐(86)로부터 다이(42) 등의 위에 적용될 버퍼 영역(81')을 도시한다. (노즐(86)은 다이(42) 아랫부분들이 흐릿하게 보이지 않도록 도 6에서 생략되었다.) 도 7의 본 예에서, 버퍼 영역(81')을 형성하는 재료의 드롭(drop)은 방금 노즐(86)로부터 분출되었고 섹션(80-2 및 80-1)에 도시된 영역(81)을 형성하기 위해 붓겨될 다이(42)(및 연관된 부분들)로 드롭된다. 화살표(88)(또는 반대 방향의 노즐(80))로 표시된 방향으로 리드-프레임(80)을 인덱싱함으로써, 리드프레임(80)의 각각의 섹션(80-1, 80-2, 80-3, ... 80-N)이 노즐(86) 아래에 이르게 되어 버퍼 영역(81)이 원하는 대로 적용될 수 있다. 다수의 노즐(병렬 또는 직렬로)을 이용함으로써, 다수의 다이가 버퍼 영역(81)으로 동시에 코팅되어, 프로세스가 고 자동화되고 저비용으로 수행될 수 있다. 도 4의 층(62)과 유사한 밀봉층은 실질적으로

동일한 방법으로 버퍼 영역(81) 상에 적용되거나 버퍼 영역(81)에 스프레이되는 것이 바람직하고, 그 자리 또는 이미 논의된 바와 같은 임의의 다른 편리한 방법으로 형성된다.

[0024] 저 유전 상수 버퍼 영역들(51, 61, 71, 81)은 보통 캡슐제(47)의 유전 상수의 약 80% 이하이고, 더 적절하게 약 60% 이하이고 바람직하게 캡슐제(47)의 약 60% 이하인 유전 상수를 갖는 것이 바람직하다. 다시 말해, 버퍼 영역(51, 61, 71, 81)은 보통 약 3.0 보다 작고, 더 적절하게 약 2.5보다 작거나 바람직하게 2.0 보다 작은 상대적인 유전 상수를 갖고, 캡슐제(47)의 유전 상수보다 작은 어떤 경우든 바람직하다. 유사하게, 버퍼 영역(51, 61, 71, 81)의 손실 탄젠트는 약 0.005보다 작은 것이 바람직하다.

[0025] 도 8은 SC 다이(42)에 인접하게 버퍼 영역(51, 61, 71, 81)을 제공함으로써, 하부의 패키징 크로스-토크 및 손실을 갖는 플라스틱 캡슐화된 반도체(SC) 디바이스를 형성하기 위해 본 발명의 다른 실시예에 따른 방법을 예시하는 단순화된 플로우 차트(100)를 도시한다. 버퍼 영역(51, 61, 71, 81)은 둘러싸는 캡슐제(47)보다 낮은 유전 상수(ϵ) 및 낮은 손실 탄젠트(δ) 즉, 더 낮은 ϵ 또는 더 낮은 δ 또는 둘 다를 갖고, 요구조건은 ϵ 또는 δ 중 적어도 하나는 캡슐제(47)보다 작아야한다거나 ϵ 및 δ 둘 다가 캡슐제(47)보다 작다는 것을 나타내는 축약형 " ϵ 및 δ "로 도 8에 도시된다. 방법(100)은 하나 이상의 SC 다이(42)가 구비된 시작(102) 및 단계(104)로 시작한다. 단계 106에서 다이(42)는 리드-프레임(80)(상기한 바와 같이, 리드-프레임(80)은 어떠한 유형의 지지부도 가능함) 상에 장착된다. 단계 108에서, 캡슐제(47)보다 낮은 유전 상수(ϵ) 또는 낮은 손실 탄젠트(δ) 또는 둘 다 캡슐제(47)에 비례하는 유전 상수 및 손실 탄젠트를 갖는 재료가 다이(42) 상에 분사되고, 선택적으로 배선 본딩(45), 내부 리드들(48) 등에 분사된다. 더 낮은 ϵ 및 δ 재료는 상술된 임의의 유형 또는 등가물일 수 있다. 선택적인 단계 110에서, 밀봉 코팅(즉, 도 4의 코팅(62))이 적용되거나(또는 적용되지 않거나) 완성된 디바이스의 필요에 따라 형성된다. 선택적인 단계 112에서, 필요하다면 버퍼 영역(51, 61, 71, 81)(및 선택적인 밀봉층(62))이 경화된다. 경화 처리는 버퍼 영역(51, 61, 71, 81)(및 선택적인 밀봉층(62))에 대해 선택된 재료의 유형에 따라 변할 것이고 예를 들어, 이에 제한하는 것으로 의도되지 않는, 촉매 수지가 설정되도록 하는 최소 경과 시간 또는 열경화성 수지인 경우 열처리 또는 이들의 조합 또는 다른 경화 프로세스를 포함할 수 있다. 선택된 재료의 조합에 따라, 버퍼 영역(51, 61, 71, 81)은 밀봉층(62)이 적용되기 전에 경화되거나 버퍼 영역과 밀봉층이 함께 경화되거나 밀봉층(62)이 개별적으로 경화될 수 있다. 대안적으로, 버퍼 영역(51, 61, 71, 81)(및/또는 선택적인 밀봉층(62))은 사용자에 의해 선택된 재료에 따라, 캡슐제(47)와 동시에 경화될 수 있다. 당업자는 그들이 선택한 특정 재료에 따라 적절한 경화 정책을 어떻게 특정시키는지 이해할 것이다. 선택적인 경화 단계 112는 경화가 요구되고 캡슐제 상태에 따라 생략되거나 임의의 다음 단계들 114, 116 및/또는 118과 조합될 수 있다. 단계 114에서, 버퍼 영역(51, 61, 71, 81)이 적용된 리드-프레임(80)이 예를 들어, 도 6에서 점선(84)에 의해 표시된 공동을 갖는 몰드(도시되지 않음)에 삽입되고 단계 116에서, 캡슐제(47)는 낮은 ϵ 및/또는 δ 의 버퍼 영역(51, 61, 71, 81) 및 미처 버퍼 영역(51, 61, 71, 81)으로 덮이지 않은 내부 리드-프레임 부분은 상에 적용된다. 단계 118에서, 캡슐제(47)는 본 기술분야에 잘 알려진 수단을 이용해 적절히 경화된다. 단계 120에서, 캡슐화된 리드-프레임은 몰드로부터 제거된다. 방법(100)은 END로 진행된다. 후속 프로세싱(예를 들어, 정돈(trim), 리드-형성, 검사 등)이 일반적이다.

[0026] 제 1 실시예에 따라, 지지 부재, 상기 지지 부재의 일부에 장착된 반도체 다이, 상기 지지 부재 및 상기 다이의 적어도 일부를 둘러싸는 플라스틱 캡슐제, 및 상기 플라스틱 캡슐제와 상기 다이 사이에 위치한 버퍼 영역을 포함하는, 반도체 디바이스가 제공되고, 상기 버퍼 영역은 상기 플라스틱 캡슐제보다 낮은 유전 상수 또는 상기 플라스틱 캡슐제보다 낮은 손실 탄젠트 또는 둘 다를 갖는다. 다른 실시예에서, 상기 버퍼 영역은 바인더 매트릭스에 공동 미소 구체들을 포함한다. 또 다른 실시예에서, 상기 공동 미소 구체들은 지름이 약 300 μ m 이하의 크기를 갖는 공동 유리 미소 구체들이다. 또 다른 실시예에서, 상기 버퍼 영역은 약 3 이하의 상대적인 유전 상수를 갖는다. 또 다른 실시예에서, 상기 버퍼 영역은 약 0.005 이하의 손실 탄젠트를 갖는다.

[0027] 제 2 실시예에 따라, 플라스틱 캡슐화된 반도체 디바이스로서, 하나 이상의 접속 패드들을 갖는 반도체 다이로서, 상기 접속 패드가 위에 형성되는, 상기 반도체 다이, 상기 반도체 다이들의 하나 이상의 면들을 둘러싸는 플라스틱 캡슐, 및 상기 플라스틱 캡슐과 상기 반도체 다이 사이에 위치하고 적어도 하나 이상의 접속 패드들을 갖는 버퍼 영역으로서, 상기 플라스틱 캡슐보다 낮은 유전 상수 또는 낮은 손실 탄젠트 또는 둘 다를 갖는 상기 버퍼 영역을 포함하는, 플라스틱 캡슐화된 반도체 디바이스가 제공된다. 다른 실시예에서, 상기 버퍼 영역은 상기 반도체 다이의 하나 이상의 면들과 접촉한다. 부가적인 실시예에서, 상기 버퍼 영역은 필러를 포함한다. 또 다른 실시예에서, 상기 필러는 지름이 약 300 μ m 보다 작은 공동 미소 구체를 포함한다. 또 다른 실시예에서, 상기 버퍼 영역은 상기 플라스틱 캡슐의 유전 상수의 약 80% 이하의 유전 상수를 갖는 재료를 포함한다. 또 다른 실시예에서, 상기 버퍼 영역은 다공성 재료를 포함한다. 또 다른 실시예에서, 상기 버퍼 영역과 상기 플라스틱

캡슐 사이에 위치한 모이스처 밀봉 층을 더 포함한다.

[0028] 제 3 실시예에 따라, 반도체 다이를 캡슐화하는 방법으로서, 리드-프레임 상에 다이를 장착하는 단계, 제 1 유전 상수 및 제 1 손실 탄젠트의 버퍼 영역으로 상기 다이의 일부를 커버하는 단계, 상기 다이를 갖는 리드-프레임 및 버퍼 영역을 플라스틱 캡슐에 적절한 몰드에 위치시키는 단계로서, 상기 다이와 버퍼 영역은 상기 몰드의 공동(cavity)에 위치되는, 몰드에 위치시키는 단계, 및 리드 프레임, 다이, 및 제 2 유전 상수 및 제 2 손실 탄젠트의 플라스틱 재료를 갖는 버퍼 영역 주변 몰드의 공동을 실질적으로 채우기 위해 상기 몰드의 공동에 플라스틱 캡슐제를 위치시키는 단계로서, 적어도 상기 제 2 유전 상수는 상기 제 1 유전 상수보다 크거나 상기 제 2 손실 탄젠트가 상기 제 1 손실 탄젠트보다 큰, 플라스틱 캡슐제를 위치시키는 단계를 포함하는, 반도체 다이 캡슐화 방법이 제공된다. 다른 실시예에서, 상기 제 2 유전 상수는 상기 제 1 유전 상수 보다 크고 상기 제 2 손실 탄젠트는 상기 제 1 손실 탄젠트보다 크다. 부가적인 실시예에서, 상기 커버 단계 후에, 상기 버퍼 영역을 적어도 부분적으로 경화하는 단계를 더 포함한다. 또 다른 실시예에서, 상기 커버 단계는 공동 미소 구체를 포함하는 필러를 갖는 버퍼 영역 재료로 상기 다이의 일부를 커버하는 단계를 포함한다. 또 다른 실시예에서, 상기 커버 단계는 상기 제 2 유전 상수의 80%보다 작은 제 1 유전 상수를 갖는 버퍼 영역으로 상기 다이의 일부를 커버하는 단계를 포함한다. 또 다른 실시예에서, 상기 커버 단계와 상기 위치시키는 단계 사이에, 밀봉층을 포함하는 버퍼 영역을 커버하는 단계를 더 포함한다. 또 다른 실시예에서, 상기 커버 단계는 실질적으로 유기 재료로 상기 다이의 일부를 커버하는 단계를 포함한다. 또 다른 실시예에서, 상기 커버 단계는 실질적으로 무기 재료로 상기 다이의 일부를 커버하는 단계를 포함한다.

[0029] 적어도 하나의 예시적인 실시예가 전술한 상세한 설명에 제시되었지만, 다양한 수의 변형들이 존재한다는 것을 이해하여야 한다. 예를 들어, 다양한 더 낮은 유전 상수 및/또는 더 낮은 손실 탄젠트 필러들 및 다른 재료들이 캐리어 또는 바인더와 같은 다양한 수지들과 함께 또는 단독으로 이용될 수 있다. 당업자는 본인의 교훈을 또한 이러한 변형에 적용할 수 있다는 것을 이해할 것이다. 상술한 설명들은 당업자에게 예시적인 실시예 또는 예시적인 실시예들을 구현하는데 편리한 로드 맵을 제공한다. 첨부된 청구항 및 그 법적 등가물에 언급된 바와 같은 본 발명의 범위를 벗어나지 않는 소자들의 기능 및 장치들에 대한 변형들이 가능하다는 것이 이해되어야 한다.

도면의 간단한 설명

[0006] 도 1은 종래 기술을 통해 몰딩된 반도체(SC) 다이를 포함하는 플라스틱 패키징된 디바이스의 단순화된 개략 단면도.

[0007] 도 2는 반도체(SC) 다이를 포함하는 종래 기술의 공동 패키지 디바이스의 단순화된 개략 단면도.

[0008] 도 3은 본 발명의 제 1 실시예에 따른, 반도체(SC) 다이를 포함하는 몰딩된 플라스틱 패키징된 디바이스의 단순화된 개략 단면도.

[0009] 도 4는 본 발명의 다른 실시예에 따른, 반도체(SC) 다이를 포함하는 몰딩된 플라스틱 패키징된 디바이스의 단순화된 개략 단면도.

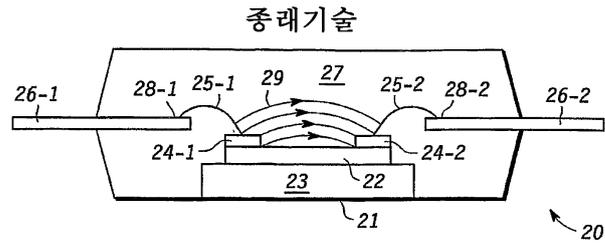
[0010] 도 5는 본 발명의 다른 실시예에 따른, 반도체(SC) 다이를 포함하는 몰딩된 플라스틱 패키징된 디바이스의 단순화된 개략 단면도.

[0011] 도 6은 단순화된 평면도를 도시하고, 도 7은 도 3 내지 도 5에서와 같이 플라스틱 캡슐화되기 전에 SC 다이 상에 형성되는 버퍼 영역을 예시하는, 반도체(SC) 다이를 갖는 리드-프레임의 단순화된 절단 측면을 도시하는 도면.

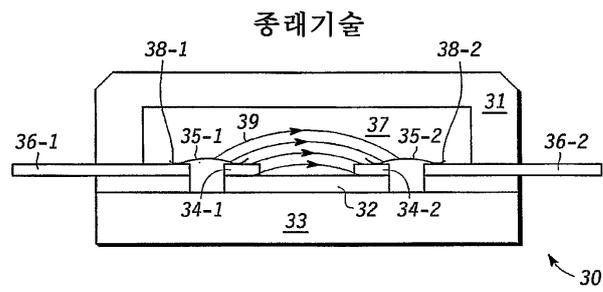
[0012] 도 8은 하부의 패키징 크로스-토크 및 손실을 갖는 플라스틱 캡슐화된 반도체(SC) 디바이스를 형성하기 위해 본 발명의 다른 실시예에 따른 방법을 예시하는 단순화된 플로우 차트를 도시하는 도면.

도면

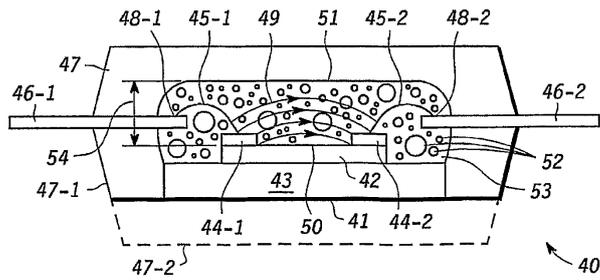
도면1



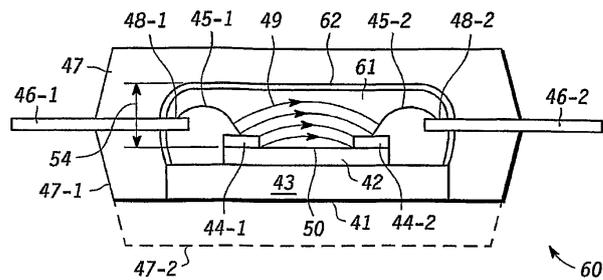
도면2



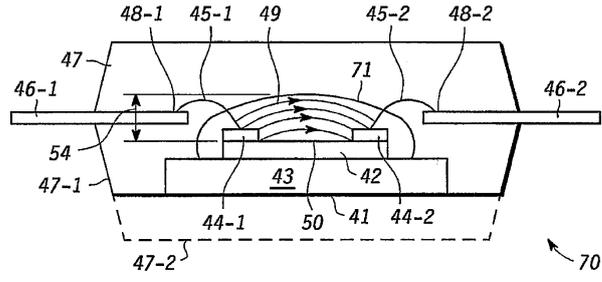
도면3



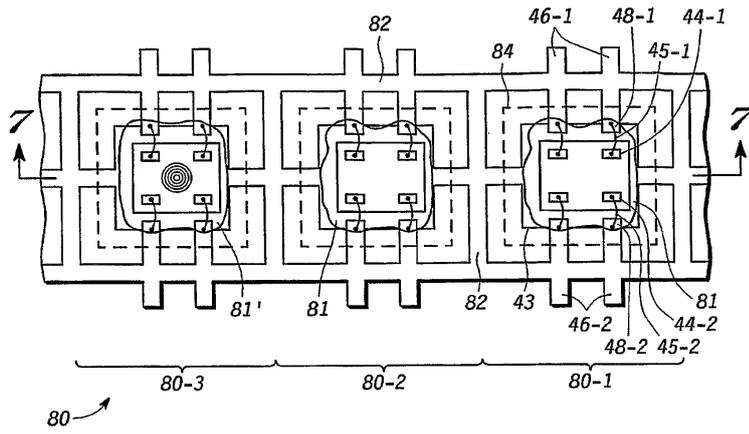
도면4



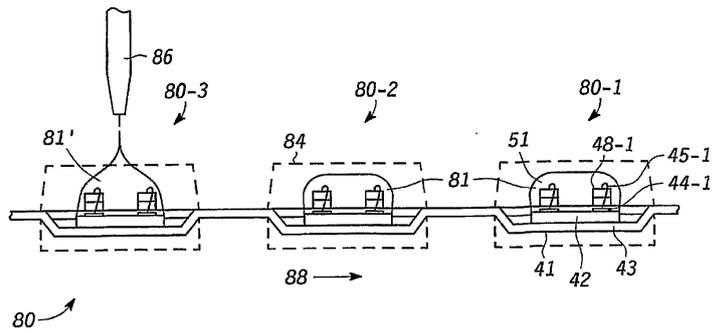
도면5



도면6



도면7



도면8

