

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成27年10月15日 (2015.10.15)

【公開番号】特開2015-122543(P2015-122543A)

【公開日】平成27年7月2日 (2015.7.2)

【年通号数】公開・登録公報2015-042

【出願番号】特願2015-68517(P2015-68517)

【国際特許分類】

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/764 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8249 (2006.01)

H 0 1 L 27/06 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

【F I】

H 0 1 L 21/76 L

H 0 1 L 21/76 A

H 0 1 L 27/08 3 3 1 A

H 0 1 L 27/06 3 2 1 C

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成27年9月1日 (2015.9.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 の半導体層と、前記第 1 の半導体層上に形成され、前記第 1 導電型と逆導電型の第 2 導電型の第 2 の半導体層と、前記第 2 の半導体層上に形成された、前記第 1 導電型の第 3 の半導体層と、を有する半導体基板と、

前記第 3 の半導体層の主表面上にゲート絶縁膜を介して設けられたゲート電極と、前記第 3 の半導体層の前記主表面に前記ゲート電極を挟んで形成されたソース領域とドレイン領域とを有する M O S トランジスタと、

前記 M O S トランジスタの前記ソース領域または前記ドレイン領域の側面と接し、第 1 の溝内に第 1 の絶縁膜が埋め込まれてなる第 1 の分離と、

複数の前記 M O S トランジスタと前記第 1 の分離を含む素子形成領域と、

前記素子形成領域を取り囲む第 2 の溝からなる第 2 の分離と、

前記ゲート電極の上を覆い、前記第 2 の溝内を埋め込む第 2 の絶縁膜と、を備え、

前記第 2 の溝は前記第 1 の溝より深く、

前記第 2 の分離は前記第 2 の半導体層を貫いて前記第 1 の半導体層にまで達し、

前記第 2 の分離には中空が形成されている、半導体装置。

【請求項 2】

前記第 2 の分離の前記中空は、前記中空の底が前記第 1 の半導体層の内部まで達する、請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 の絶縁膜上に形成された配線層と、

前記第 2 の絶縁膜内に形成された導電層と、

をさらに備え、

前記配線層は、前記導電層により、前記 MOS トランジスタの前記ソース領域または前記ドレイン領域に接続される、請求項 1 記載の半導体装置。

【請求項 4】

前記ゲート電極を覆い、前記第 2 の絶縁膜の下に形成された第 3 の絶縁膜をさらに備え、

前記第 2 の絶縁膜は TEOS 膜であり、前記第 3 の絶縁膜はシリコン窒化膜である、請求項 3 記載の半導体装置。

【請求項 5】

前記第 2 の分離は、前記第 1 の分離を貫いて形成される、請求項 1 記載の半導体装置。

【請求項 6】

( a ) 第 1 導電型の第 1 の半導体層と、

前記第 1 の半導体層上に形成され、前記第 1 導電型と逆導電型の第 2 導電型の第 2 の半導体層と、

前記第 2 の半導体層上に形成された、前記第 1 導電型の第 3 の半導体層と、

前記第 3 の半導体層の主表面にゲート絶縁膜を介して設けられたゲート電極と、前記第 3 の半導体層の前記主表面に前記ゲート電極を挟んで形成されたソース領域およびドレイン領域とを有する MOS トランジスタと、

前記ソース領域または前記ドレイン領域の側面と接し、前記第 3 の半導体層の前記主表面に形成された第 1 の溝内を第 1 の絶縁膜で埋め込んだ第 1 の分離と、  
を有する半導体基板を準備する工程と、

( b ) 前記 MOS トランジスタと前記第 1 の分離を含む素子形成領域を平面視において取り囲み、前記第 3 の半導体層および前記第 2 の半導体層を貫いて前記第 1 の半導体層の内部にまで達する第 2 の溝を形成する工程と、

( c ) 前記ゲート電極の上を覆い、前記第 2 の溝の内部を埋め込む第 2 の絶縁膜を形成する工程と、  
を備え、

前記第 2 の溝内には中空が形成される、半導体装置の製造方法。

【請求項 7】

前記 ( c ) 工程の後に、

( d ) 前記第 2 の絶縁膜を貫いて、前記 MOS トランジスタの前記ソース領域または前記ドレイン領域に到達する導電層を形成する工程と、

( e ) 前記第 2 の絶縁膜上に前記導電層に接続する配線層を形成する工程と、  
をさらに備えた、請求項 6 記載の半導体装置の製造方法。

【請求項 8】

前記中空の底は、前記第 1 の半導体層の内部にまで達する、請求項 6 記載の半導体装置の製造方法。

【請求項 9】

前記 ( b ) 工程は、

( b - 1 ) 前記 MOS トランジスタを覆うマスク材を形成する工程と、

( b - 2 ) 前記マスク材上に、前記第 2 の溝に対応する第 1 開口を有するレジストパターンを形成する工程と、

( b - 3 ) 前記半導体基板に異方性エッチングを施し、前記マスク材、前記第 1 の絶縁

膜、および、前記半導体基板に前記第 2 の溝を形成する工程と、  
を有する、請求項 6 記載の半導体装置の製造方法。

【請求項 10】

前記 (b - 3) 工程において、前記半導体基板に前記第 2 の溝を形成する前記異方性エッチングの際に、前記マスク材はマスクとして機能する、請求項 9 記載の半導体装置の製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の一実施例による半導体装置の製造方法は以下の工程を備えている。

MOS トランジスタと第 1 の分離を含む素子形成領域を平面視において取り囲み、第 3 の半導体層および第 2 の半導体層を貫いて第 1 の半導体層の内部にまで達する第 2 の溝が形成される。ゲート電極の上を覆い、第 2 の溝の内部を埋め込む第 2 の絶縁膜が形成される。第 2 の溝内には中空が形成される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本実施例によれば、簡易なプロセスで、高い埋め込み性を確保する必要のない半導体装置およびその製造方法を実現することができる。