

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成27年10月15日(2015.10.15)

【公開番号】特開2015-122543(P2015-122543A)

【公開日】平成27年7月2日(2015.7.2)

【年通号数】公開・登録公報2015-042

【出願番号】特願2015-68517(P2015-68517)

【国際特許分類】

H 01 L	21/76	(2006.01)
H 01 L	21/764	(2006.01)
H 01 L	27/08	(2006.01)
H 01 L	21/8249	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)

【F I】

H 01 L	21/76	L
H 01 L	21/76	A
H 01 L	27/08	3 3 1 A
H 01 L	27/06	3 2 1 C
H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1

【手続補正書】

【提出日】平成27年9月1日(2015.9.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1導電型の第1の半導体層と、前記第1の半導体層上に形成され、前記第1導電型と逆導電型の第2導電型の第2の半導体層と、前記第2の半導体層上に形成された、前記第1導電型の第3の半導体層と、を有する半導体基板と、

前記第3の半導体層の主表面上にゲート絶縁膜を介して設けられたゲート電極と、前記第3の半導体層の前記主表面に前記ゲート電極を挟んで形成されたソース領域とドレイン領域とを有するMOSトランジスタと、

前記MOSトランジスタの前記ソース領域または前記ドレイン領域の側面と接し、第1の溝内に第1の絶縁膜が埋め込まれてなる第1の分離と、

複数の前記MOSトランジスタと前記第1の分離を含む素子形成領域と、

前記素子形成領域を取り囲む第2の溝からなる第2の分離と、

前記ゲート電極の上を覆い、前記第2の溝内を埋め込む第2の絶縁膜と、
を備え、

前記第2の溝は前記第1の溝より深く、

前記第2の分離は前記第2の半導体層を貫いて前記第1の半導体層にまで達し、

前記第2の分離には中空が形成されている、半導体装置。

【請求項2】

前記第2の分離の前記中空は、前記中空の底が前記第1の半導体層の内部まで達する、
請求項1記載の半導体装置。

【請求項3】

前記第2の絶縁膜上に形成された配線層と、
前記第2の絶縁膜内に形成された導電層と、
をさらに備え、

前記配線層は、前記導電層により、前記MOSトランジスタの前記ソース領域または前記ドレイン領域に接続される、請求項1記載の半導体装置。

【請求項4】

前記ゲート電極を覆い、前記第2の絶縁膜の下に形成された第3の絶縁膜をさらに備え
、
前記第2の絶縁膜はTEOS膜であり、前記第3の絶縁膜はシリコン窒化膜である、請求項3記載の半導体装置。

【請求項5】

前記第2の分離は、前記第1の分離を貫いて形成される、請求項1記載の半導体装置。

【請求項6】

(a) 第1導電型の第1の半導体層と、
前記第1の半導体層上に形成され、前記第1導電型と逆導電型の第2導電型の第2の半導体層と、

前記第2の半導体層上に形成された、前記第1導電型の第3の半導体層と、
前記第3の半導体層の主表面上にゲート絶縁膜を介して設けられたゲート電極と、前記第3の半導体層の前記主表面上に前記ゲート電極を挟んで形成されたソース領域およびドレン領域とを有するMOSトランジスタと、

前記ソース領域または前記ドレン領域の側面と接し、前記第3の半導体層の前記主表面上に形成された第1の溝内を第1の絶縁膜で埋め込んだ第1の分離と、
を有する半導体基板を準備する工程と、

(b) 前記MOSトランジスタと前記第1の分離を含む素子形成領域を平面視において取り囲み、前記第3の半導体層および前記第2の半導体層を貫いて前記第1の半導体層の内部にまで達する第2の溝を形成する工程と、

(c) 前記ゲート電極の上を覆い、前記第2の溝の内部を埋め込む第2の絶縁膜を形成する工程と、
を備え、

前記第2の溝内には中空が形成される、半導体装置の製造方法。

【請求項7】

前記(c)工程の後に、
(d) 前記第2の絶縁膜を貫いて、前記MOSトランジスタの前記ソース領域または前記ドレン領域に到達する導電層を形成する工程と、

(e) 前記第2の絶縁膜上に前記導電層に接続する配線層を形成する工程と、
をさらに備えた、請求項6記載の半導体装置の製造方法。

【請求項8】

前記中空の底は、前記第1の半導体層の内部にまで達する、請求項6記載の半導体装置の製造方法。

【請求項9】

前記(b)工程は、
(b-1) 前記MOSトランジスタを覆うマスク材を形成する工程と、
(b-2) 前記マスク材上に、前記第2の溝に対応する第1開口を有するレジストパターンを形成する工程と、
(b-3) 前記半導体基板に異方性エッチングを施し、前記マスク材、前記第1の絶縁

膜、および、前記半導体基板に前記第2の溝を形成する工程と、
を有する、請求項6記載の半導体装置の製造方法。

【請求項10】

前記(b-3)工程において、前記半導体基板に前記第2の溝を形成する前記異方性エッチングの際に、前記マスク材はマスクとして機能する、請求項9記載の半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の一実施例による半導体装置の製造方法は以下の工程を備えている。

MOSトランジスタと第1の分離を含む素子形成領域を平面視において取り囲み、第3の半導体層および第2の半導体層を貫いて第1の半導体層の内部にまで達する第2の溝が形成される。ゲート電極の上を覆い、第2の溝の内部を埋め込む第2の絶縁膜が形成される。第2の溝内には中空が形成される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本実施例によれば、簡易なプロセスで、高い埋め込み性を確保する必要のない半導体装置およびその製造方法を実現することができる。