



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098011
(43) 공개일자 2008년11월06일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>H01L 29/792</i> (2006.01)</p> <p>(21) 출원번호 10-2008-7018457</p> <p>(22) 출원일자 2008년07월25일
심사청구일자 없음
번역문제출일자 2008년07월25일</p> <p>(86) 국제출원번호 PCT/US2006/061850
국제출원일자 2006년12월11일</p> <p>(87) 국제공개번호 WO 2007/111732
국제공개일자 2007년10월04일</p> <p>(30) 우선권주장
11/341,813 2006년01월27일 미국(US)</p> | <p>(71) 출원인
프리스케일 세미컨덕터, 인크.
미합중국 텍사스 (우편번호 78735) 오스틴 윌리암 캐논 드라이브 웨스트 6501</p> <p>(72) 발명자
스위프트, 크레이그 티.
미국, 텍사스 78749, 오스틴, 사우밀 드라이브 3613
친달로르, 고리산카 엘.
미국, 텍사스 78749, 오스틴, 사우텔레 레인 9101</p> <p>(74) 대리인
이범래</p> |
|--|--|

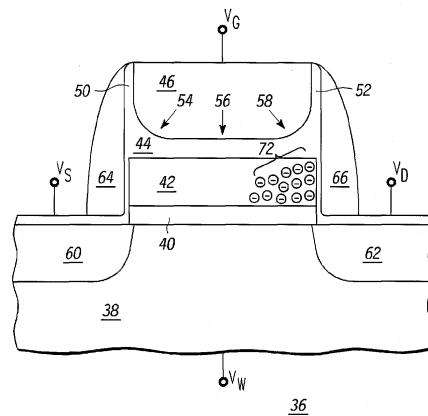
전체 청구항 수 : 총 23 항

(54) 비균일 두께를 갖는 유전체를 이용한 메모리 셀

(57) 요약

메모리 셀(36, 110)은 메모리 셀의 전하 저장층(42, 116)에 전하를 주입하는 것으로 프로그래밍된다. 바람직한 프로그래밍된 전하가 메모리 셀의 채널 영역의 에지부 상의 전하 저장층으로 된다. 바람직하지 않은 프로그래밍된 전하는 채널 영역의 내부 상의 전하 저장층으로 된다. 전하 터널링은 전하 저장층에서 바람직하지 않게 프로그래밍된 전하를 실질적으로 제거하는데 이용된다. 일 형태로, 메모리 셀은 채널 영역을 갖는 기판, 기판 위의 제 1 유전층(40, 114), 및 제 1 유전층 위의 전하 저장층(42, 116)을 갖는다. 전하 저장층 위의 제 2 유전층(44, 130)은 전하 터널링을 선택적으로 제어하기 위해 제 2 부분(106)보다 두꺼운 제 1 부분(58 또는 54; 104 또는 108)을 갖는다.

대표도 - 도7



특허청구의 범위

청구항 1

메모리 셀에 있어서:

채널 영역을 갖는 기판;

상기 기판 위의 제 1 유전층;

상기 제 1 유전층 위의 전하 저장층;

상기 전하 저장층 위의 제 2 유전층으로서, 상기 제 2 유전층은 제 2 부분보다 두꺼운 제 1 부분을 가지고, 상기 제 1 부분은 상기 채널 영역의 적어도 일부 위에 놓이는, 상기 제 2 유전층; 및

상기 제 2 유전층 위 및 상기 채널 영역 위의 게이트 전극으로서, 상기 게이트 전극의 제 1 측벽이 상기 제 2 유전층의 제 1 부분 위에 있는, 상기 게이트 전극을 포함하는, 메모리 셀.

청구항 2

제 1 항에 있어서,

상기 제 2 유전층은 상기 제 2 부분보다 두꺼운 제 3 부분을 갖고, 상기 제 2 부분은 적어도 상기 채널 영역의 일부 위에 위치하고, 상기 제 1 측벽에 대향하는 상기 게이트 전극의 제 2 측벽이 상기 제 1 유전층의 제 2 부분 위에 있는, 메모리 셀.

청구항 3

제 1 항에 있어서,

상기 제 2 유전층의 제 1 부분은 상기 제 2 유전층의 에지에 이웃하여 위치된, 메모리 셀.

청구항 4

제 1 항에 있어서,

상기 제 1 부분은 상기 제 2 부분보다 약 5 내지 10 옹스트롬 더 두꺼운, 메모리 셀.

청구항 5

제 1 항에 있어서,

상기 전하 저장층은 개별 저장 요소들을 포함하는, 메모리 셀.

청구항 6

제 1 항에 있어서,

상기 전하 저장층은 질화물을 포함하는, 메모리 셀.

청구항 7

제 1 항에 있어서,

상기 제 2 유전층의 제 1 부분 아래의 상기 전하 저장층의 제 1 부분이 제 1 값을 저장할 수 있는, 메모리 셀.

청구항 8

제 7 항에 있어서,

상기 전하 저장층의 제 2 부분이 제 2 값을 저장할 수 있는, 메모리 셀.

청구항 9

제 1 항에 있어서,

상기 제 1 유전층은 제 1 부분 및 제 2 부분을 갖고, 상기 제 1 부분은 상기 제 2 부분보다 두껍고, 상기 제 1 부분은 적어도 상기 채널 영역의 일부 위에 놓인, 메모리 셀.

청구항 10

제 1 항에 있어서,

상기 기판은 제 1 소스/드레인 영역 및 제 2 소스/드레인 영역을 더 포함하고, 상기 채널 영역은 상기 제 1 및 제 2 소스/드레인 영역들 사이에 있고, 상기 제 1 소스/드레인 영역은 제 2 메모리 셀과 공유되는, 메모리 셀.

청구항 11

제 10 항에 있어서,

상기 제 1 부분은 적어도 상기 제 2 소스/드레인 영역의 일부 위에 있는, 메모리 셀.

청구항 12

제 1 항에 있어서,

상기 제 2 유전층은 산화물을 포함하는, 메모리 셀.

청구항 13

메모리 셀에 있어서:

채널 영역을 갖는 기판;

상기 기판 위의 제 1 유전층으로서, 상기 제 1 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖고, 상기 제 1 부분은 적어도 상기 채널 영역의 일부 위에 놓인, 상기 제 1 유전층;

상기 제 1 유전층 위의 전하 저장층;

상기 전하 저장층 위의 제 2 유전층; 및

상기 제 1 유전층 위와 상기 채널 영역 위의 게이트 전극으로서, 상기 게이트 전극의 제 1 측벽이 상기 제 2 유전층의 제 1 부분 위에 있는, 상기 게이트 전극을 포함하는, 메모리 셀.

청구항 14

제 13 항에 있어서,

상기 제 2 유전층은 상기 제 2 부분보다 두꺼운 제 3 부분을 갖고, 상기 제 2 부분은 적어도 상기 채널 영역의 일부 위에 놓이고, 상기 제 1 측벽에 대항하는 상기 게이트 전극의 제 2 측벽이 상기 제 2 유전층의 제 2 부분 위에 있는, 메모리 셀.

청구항 15

제 13 항에 있어서,

상기 제 1 유전층의 제 1 부분은 상기 제 1 유전층의 에지에 이웃하여 위치되는, 메모리 셀.

청구항 16

제 13 항에 있어서,

상기 제 1 부분은 상기 제 2 부분보다 약 5 내지 10 옹스트롬 두꺼운, 메모리 셀.

청구항 17

제 13 항에 있어서,

상기 전하 저장층은 개별 저장 요소들을 포함하는, 메모리 셀.

청구항 18

제 13 항에 있어서,

상기 전하 저장층은 질화물을 포함하는, 메모리 셀.

청구항 19

제 13 항에 있어서,

상기 제 1 유전층의 제 1 부분 위의 상기 전하 저장층의 제 1 부분이 제 1 값을 저장할 수 있는, 메모리 셀.

청구항 20

제 19 항에 있어서,

상기 전하 저장층의 제 2 부분이 제 2 값을 저장할 수 있는, 메모리 셀.

청구항 21

메모리 셀 구조에 있어서:

기관;

제 1 게이트 전극, 제 1 전하 저장층, 및 제 1 유전층을 갖는 제 1 메모리 디바이스로서, 상기 제 1 전하 저장층 및 상기 제 1 유전층은 상기 기관 및 상기 제 1 게이트 전극 사이에 있고, 상기 제 1 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖는, 상기 제 1 메모리 디바이스;

상기 제 1 메모리 셀에 이웃한 제 2 메모리 디바이스; 및

상기 제 1 및 상기 제 2 메모리 디바이스에 의해 공유되는 제 1 소스/드레인 영역을 포함하는, 메모리 셀 구조.

청구항 22

제 21 항에 있어서,

상기 제 1 메모리 디바이스에 대응하는 제 2 소스/드레인 영역으로서, 상기 제 1 메모리 디바이스의 채널 영역이 상기 제 1 소스/드레인 영역 및 상기 제 2 소스/드레인 영역 사이에 위치되고, 상기 제 1 유전층의 제 1 부분은 상기 제 1 소스/드레인 영역보다 상기 제 2 소스/드레인 영역에 더 가까운, 상기 제 2 소스/드레인 영역을 더 포함하는, 메모리 셀 구조.

청구항 23

제 21 항에 있어서,

상기 제 2 메모리 디바이스는 제 2 게이트 전극, 제 2 전하 저장층, 및 제 2 유전층을 포함하고, 상기 제 2 유전층 및 상기 제 2 전하 저장층은 상기 기관 및 상기 제 2 게이트 전극 사이에 있고, 상기 제 2 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖는, 메모리 셀 구조.

명세서

기술분야

<1> 본 발명은 일반적으로 반도체 디바이스에 관한 것으로, 특히 비휘발성 메모리 디바이스들 및 제조 방법들에 관한 것이다.

배경기술

<2> 질화물에서 전자 및 정공 트랩들과 같은 개별 전하 저장 요소들을 이용하는 비휘발성 메모리들은 일반적으로 개별 전하 저장 요소들로 전자들을 주입하는 것으로 프로그래밍된다. 저장 매체는 비도전성이기 때문에 저장 매체내의 전자들의 움직임은 없다. 질화물에 전자들을 주입하는 일반적인 가장 효율적인 방법들 중 하나는 핫 캐리어 주입(hot carrier injection; HCI)이다. 이는 비균일 방식으로 질화물에 전자들을 주입하는 데 효과적이다. 전하 밀도는 일반적으로 드레인에 가까운 전자들이 가장 활동적인 곳에서 가장 높다. 이 결과는 전자들이 드레인에 가장 가까운 영역의 질화물에 더 집중된다는 것이다. 이는 검출 가능한 메모리 셀의 문턱 전압의 증

분한 변경을 제공하기 위해 효과적이다.

<3> 다른 기술은 핫 정공 주입(hot hole injection)이다. 이는 질화물의 전자들을 중성화시키기 위해 질화물에 주입할 정공들을 제공한다. 핫 정공들은 또한 PN 접합에 역 바이어스를 제공하고 제어 게이트 상에 네거티브 전압을 제공함으로써 드레인 부근에 생성된다. 이들 바이어스 상태들은 정공/전자 쌍들의 형성을 초래한다. 이들 몇몇 정공들은 드레인 및 기판 사이에서 기판과 질화물 사이에서 전위 장벽(potential barrier)을 극복하기에 충분한 에너지까지 가속된다. 질화물에 도달할 수 있는 정공들은 패턴에 따라 그렇게 행한다. 비록 이러한 패턴이 HCI를 이용하는 프로그래밍에 대한 것과 유사하지만, 동일하지 않다. IEEE Electron Device Letters, Vol. EDL-8, No. 3, 1987년 3월, "A True Single-Transistor Oxide-Nitride-Oxide EEPROM Device"에서 T.Y. Chan 등은 트랜지스터에 대한 포화 상태들을 생성하는 동시의 높은 게이트 전압 및 드레인 전압으로 프로그래밍하는 메모리를 개시한다. 포화 상태에서의 프로그래밍은 비교적 넓은 분포를 가진 드레인에서 국부화되는 전자 분포를 생성한다. 이러한 프로그래밍은 HCI를 이용하고 드레인 부근에서 꼭 하나의 피크를 갖는 것뿐만 아니라 드레인으로부터 약간 멀리에 추가의 피크를 갖는 경향이 있다. 핫 정공 주입(HHI)은 제 2 피크의 일부로서 주입된 전자들이 HHI에 의해 매우 효과적으로 완전하게 중성화되지 않도록 이러한 제 2 피크를 갖는 것이 쉽지 않다. 그러므로, 전자들은 HHI 소거를 이용할 때 질화물에 남겨지기 쉽다. 기록/소거 주기 후, 축적된 전자들은 소거된 문턱치 전압이 증가하게 하여, 메모리 동작에 대하여 부적당한 전압 마진들(voltage margins)을 초래한다.

발명의 상세한 설명

<4> 좁은 전자 분포는 단일 메모리 셀 내에 두 개의 개별 데이터 상태들의 저장을 허용한다. 독립한 데이터 상태는 메모리 셀의 두 개 비트 사이에 실질적인 교차 간섭이 없이 두 개의 소스/드레인 단자들의 각각에 저장된다. 그러나, 좁은 전자 분포들을 생성하기 위해 필요한 높은 프로그램 게이트 전압의 이용은 이러한 높은 게이트 전압들을 조작할 수 있는 큰 주변 트랜지스터들을 요구한다. 10 볼트와 같은 게이트 전압들을 견디기 위해서, 트랜지스터들은 요구되는 주변 회로의 크기를 직접 증가시키는 두꺼운 게이트 산화물을 이용해야 한다. 일반적으로, 국부화된 전하에 대한 충분하게 높은 게이트 바이어스를 갖는 저장 매체층을 이용하는 현존하는 비휘발성 메모리 모듈들은 빠른 판독 액세스 시간이 요구될 때 특히 크기 불이익을 갖는다.

<5> 본 발명은 예로서 예시되고 첨부하는 도면들에 대해 제한되는 것이 아니며, 유사한 참조 번호는 유사한 소자들을 지칭하는 것이다.

실시예

<14> 당업자들은 도면들에서 소자들이 간결함과 명확함을 위해 예시된 것이고 필수적으로 비례하는 것은 아니라는 것을 인식한다. 예를 들면, 몇몇 요소들의 치수들은 본 발명의 실시예들의 이해를 돕기 위해서 다른 요소들에 비해 과장될 수 있다.

<15> NVM(nonvolatile memory) 셀 또는 메모리 셀(10)을 갖는 반도체가 도 1에 도시된다. 메모리 셀(10)은 수 개의 반도체 재료들 중 어떤 것으로 형성되는 기판(12)을 갖는다. 일반적으로 기판(12)은 실리콘이다. 기판(12) 내에는 채널 영역(30)에 의해 분리되는 소스(14) 및 드레인(16)이 있다. 게이트(24)를 갖는 게이트 구조가 채널 영역 위에 놓여 있다. 기저 유전층(18)은 채널 영역(30)와, 소스(14) 및 드레인(16)의 일부 위에 형성된다. 전하 저장층(20)은 기저 유전층(18) 위에 놓인다. 전하 저장층(20)은 복수의 전하 저장 소자들을 갖는다. 이들 전하 저장 소자들에 저장된 전하는 전하 분포 테일(charge distribution tail; 34)을 포함하는 불균형한 분포의 상태로 된다. 일 형태에서, 전하 저장층(20)은 질화물이다. 상부 유전층(22)은 전하 저장층(20) 위에 놓여 있다. 일 형태에서, 기저 유전층(18) 및 상부 유전층(22)은 산화물이다. 게이트(24)는 상부 유전층(22) 위에 놓여 있다. 측벽 스페이서들(26, 28)은 기저 유전층(18)의 일부 위에 놓여 있다. 전기 콘택트(electric contact)는 게이트 전압 V_G 을 인가하기 위해 게이트(24)에 접속되고 전기 콘택트는 드레인 전압 V_D 을 인가하기 위해 드레인(16)에 접속된다.

<16> 메모리 셀(10)이 기판(12)(즉, 장벽(well)) 상의 소스, 드레인, 및 바이어스 상에 고정된 전위를 갖는 게이트 전압을 인가함으로써 핫 캐리어 주입에 의해 프로그래밍될 때, 바람직한 전하 주입량은 채널 영역(30)의 예지에서 일어난다. 또한, 바람직하지 않은 전하 주입량은 전하 분포 테일(34)을 생성하기 위해 바이어스 상태들의 결과로서 채널 영역(30)의 내부가 될 수 있다. 바람직한 전하 주입량 및 바람직하지 않은 전하 주입량 모두의 생성은 예시된 저장된 전하 분포로 된다. 메모리 셀(10)의 내부로의 바람직하지 않은 전하 주입은 셀 메모리당

단일 비트뿐만 아니라 셀 메모리당 다 비트의 적합한 관독 동작을 방해할 수 있다. 그러므로, 도 1 예시는 메모리 셀 구조의 어느 하나의 형태에 대한 예시로서 의도된다. 두 구조들에서, 바람직하지 않은 전하의 증가는 소거된 셀이 프로그래밍된 것으로 나타나게 할 수 있다. 예를 들면, 단일 비트 셀들 및 다 비트 셀들에 대하여, 선택된 비트는, 홀 주입과 같이, 그것이 비균일 소거 기술에 의해 삭제된 후에도 프로그래밍되어 남아 있는 것으로 나타난다. 예를 들면, 다 비트 메모리 셀 구현에 대하여, 프로그래밍되지 않은 메모리 셀에서 인접한 비트를 관독할 때, 이러한 바람직하지 않은 전하로부터 어려움이 발생할 수 있다. 예를 들면, 도 1은 관독 동안 드레인(16)에 인접한 공핍 영역(32)의 차폐 효과 외부에 존재하는 전하가 있음을 도시한다. 메모리 셀(10)의 내부의 바람직하지 않은 전하는 메모리 셀(10)의 프로그래밍되지 않은 비트의 관독 동안 채널 영역(30) 상에 원하지 않는 영향을 끼칠 것이다.

<17> 도 2에는 메모리 셀(36)의 초기 형성 및 메모리 셀(36)의 형성에 연관된 방법이 도시된다. 기판(38)은 다양한 반도체 재료들 중 어느 것일 수 있고 일반적으로 실리콘인, 기판(38)이 제공된다. 기저 유전층(40)은 기판(38)의 일부 위에 형성된다. 기저 유전층(40)의 일 형태는 산화물이다. 전하 저장층(42)은 기저 유전층(40) 위에 놓여 있다. 전하 저장층(42)의 일 형태는 질화물 층이다. 상부 유전층(44)은 전하 저장층(42) 위에 놓여 있다. 상부 유전층(44)의 일 형태는 산화물이다. 메모리 셀(36)의 채널을 규정하기에 충분한 바람직한 폭을 갖는 게이트(46)는 상부 유전층(44) 위에 놓여 있다. 게이트(46)의 일 형태는 폴리실리콘이지만, 다양한 다른 반도체 및 도전 재료들이 이용될 수 있다. 반사 방지 코팅(ARC) 층(antireflective coating layer)(48)은 게이트(46) 위에 놓인다.

<18> 도 2에 예시된 형태에서, 메모리 셀 게이트 스택은 기저 유전층(40), 전하 저장층(42), 상부 유전층(44), 게이트(46) 및 ARC 층(48)의 종래 에칭 기술들을 통해 생성되었다. 전하 저장층(42)은 전기적으로 절연된 층들에 의해 기판(38) 및 게이트(46)으로부터 분리되고 게이트(46)에 인가된 바이어스 전압에 의해 제어될 수 있다.

<19> 메모리 셀(36)의 다른 처리가 도 1에 예시된다. 게이트 스택은 충분히 공격적으로 게이트(46)의 게이트 재료를 마모시키는 종래 산화 환경에 노출된다. 게이트 재료의 마모의 결과로서, 스택의 에지에서의 상부 유전층(44)의 결과적인 게이트 산화물 두께는 증가하고 상부 유전층(44)의 중심에서보다 두껍다. 산화물 두께의 범위는 바람직하게 프로그래밍된 전하 분포의 폭과 유사할 것이다. 그러므로, 산화 환경에 메모리 셀(36)을 노출하는 시간은 상부 유전층(44)의 에지의 바람직한 두께에 따라 설정된다. 산화 환경은 측벽 산화물(50) 및 측벽 산화물(52)을 생성한다. 예시된 형태에서, 상부 유전층(44)의 에지 두께(54) 및 에지 두께(58)는 상부 유전층(44)의 내부 두께(56)보다 큰 것으로 도시된다.

<20> 메모리 셀(36)의 다른 처리가 도 4에 도시된다. 소스(60) 및 드레인(62)은 게이트(46) 밑에 있는 기판(38) 내의 채널을 규정하기 위해 게이트 스택 구조에 인접한 이온 주입에 의해 형성된다. 추가적으로, 측벽 스페이서(64) 및 측벽 스페이서(66)는 메모리 셀(36)의 게이트 스택 주위의 연속적인 스페이서 구조로서 형성되고 패터닝된다. 측벽 스페이서들(64, 66)의 일 형태로는 질화물로 형성된다. 측벽 스페이서들(64, 66)의 형성 전에, ARC 층(48)이 게이트(46)을 노출하도록 제거된다.

<21> 게이트(46), 소스(60), 드레인(62), 및 기판(38)에 대한 전자 콘택트가 형성된 메모리 셀(36)의 다른 처리가 도 5에 도시된다. 소스 바이어스 전압 V_s 은 소스(60)에 접속된다. 게이트 바이어스 전압 V_g 은 게이트(46)에 접속된다. 드레인 바이어스 전압 V_d 은 기판(38)에 접속된다. 장벽 전압 V_w 은 기판(38)에 접속된다. 게이트에 대하여 6 볼트, 드레인에 대하여 3 볼트, 장벽 전압에 대하여 -2 볼트의 메모리 셀(36)의 프로그램 동작을 위한 예시적인 바이어싱 상태를 가정하자. 이러한 예시적인 바이어싱 상태에서, 도 5에 예시된 바와 같은 전하 분포는 전하 저장층(42) 내에 생긴다. 바람직한 프로그래밍 전하(69)는, 대부분의 전하가 드레인(62)에 인접한 전하 저장층(42)의 측면 수직 또는 에지에 존재하는 것으로 제공된다. 전하 분포는 메모리 셀(36)의 중앙 쪽으로 점점 적어진다. 그러나, 바람직하지 않은 전하 분포 테일(68)은 또한 전하 저장층(42)의 중앙 영역에 존재한다. 전하 분포 테일(68)은 이전에 언급한 바와 같이 바람직하지 않고 그것이 존재하지 않을 때 메모리 셀에서 프로그래밍된 것으로 나타나게 될 수 있다. 이러한 실시예 및 여기에 개시된 다른 것들에서, 기판(38)에 대한 게이트 전압의 극성은 상기에 논의된 바와 같이 양이거나 음일 수 있다는 것을 주의한다. 게이트 극성은 기저 유전층(40)의 극성에 의존하거나 상부 유전층(44)은 게이트(46)의 에지 또는 주변에서 더 두껍다. 상부 유전층(44)은 도 5에 도시된 바와 같이 게이트(46)의 에지에서 기저 유전층보다 두껍고, 게이트 전압은 기판(38)에 대하여 양 전압이다.

<22> 도 5의 전하 분포 테일(68)에 대한 보정 또는 보상하는 추가의 프로그래밍 단계가 도 6에 도시된다. 이러한 동작에서, 메모리 셀(36)의 우측 상의 메모리 비트를 프로그래밍하는 제 2 단계가 수행된다. 제 2 단계는 채널

위에 놓인 내부 영역(70)에서 전하 분포 테일(68)에 바람직하지 않은 전하를 클린 업하기 위해 이용된다. 일 형태로, 약 7 볼트의 게이트 바이어스 전압이 V_G 를 위하여 이용된다. 약 -7 볼트의 전압의 바이어스 전압이 전압 V_W , V_D , 및 V_S 로서 이용된다. 이들 바이어스 상태들 하에서, 바람직하지 않은 전압은 도 6의 화살표들에 의해 지시된 바와 같이 전하 저장층(42)으로부터 게이트(46)까지 전자들의 터널링에 의해 실질적으로 제거된다. 전자 터널링은, 에지들에서보다 상부 유전층(44)의 중앙에서 더 얇은 상부 유전층(44) 때문에 전계가 가장 높은 경우 일어난다. 유사하게는, 정공들은 메모리 셀(36)의 중앙부에서 게이트(46)로부터 전하 저장층(42)으로 주입될 수 있다. 결과로서, 전하 저장층(42)의 내부에서 바람직하지 않은 전하는 메모리 셀(38)의 관독에 매우 작은 영향을 끼치는 양까지 감소된다. 상부 유전층(44)의 두꺼운 영역들에서의 터널링은 그들 영역들에 현재 존재하는 전하가 많이 변경되지 않도록 최소화이다.

<23> 예시되는 형태로, 게이트(46) 및 기관(38) 사이의 전체 전압은 9 내지 20 볼트 범위 내에 있을 수 있다. 주변의 지원 회로(도시되지 않음)가 가격이 최소화되도록 충분히 낮아야 한다. 전압 차가 너무 큰 경우, 전하 저장층(42) 내의 바람직한 전하는 변경될 수 있다. 그러나, "클린-업" 프로그래밍 단계 동안 게이트(46) 및 기관(38) 사이의 전압이 너무 낮으면, 바람직하지 않은 전하의 터널링은 너무 느리거나 비효율적일 수 있다. 전체 크기 12 및 14 볼트 사이의 전압 범위들은 종래 처리들에 대해 일반적이다. 그러나, 이러한 범위는 프로세스 파라미터들 및 장치 구성에 따라 다양할 수 있다는 것이 이해된다.

<24> 프로그래밍된 메모리 셀(36)이 도 7에 예시된다. 결과적인 프로그래밍된 전하(72)는 전하 저장층(42)이 드레인(62)에 인접한 전하 저장층(42)의 주변 또는 에지에 더욱 효과적으로 집중된다. 구조적으로, 메모리 셀(36)은 전하 저장층(42) 및 게이트(46) 사이에 다양한 게이트 유전체 두께를 갖는다. 특히, 유전체 두께는 제 2 프로그래밍 단계에서 전자 터널링을 허용하기 위해 메모리 셀(36)의 중앙에서 더 얇도록 의도적으로 형성되었고, 반면에 상부 유전층(44)의 증가된 두께에 의해 중앙 영역 외에서 전자 터널링은 금지된다.

<25> 본 발명의 일 형태에 따른 메모리의 프로그래밍하는 다수 단계를 위한 방법의 순서도가 도 8에 도시된다. 시작 단계(74) 후에, 메모리 셀은 단계 76에 제공된다. 단계 78에서, 메모리 셀은 메모리 셀의 채널 영역의 에지부 위의 메모리 셀의 전하 저장층에서 바람직하게 프로그래밍된 전하가 되는 핫 캐리어 주입(HCI)을 이용하여 프로그래밍된다. 채널 영역의 내부 부분 위의 전하 저장층의 바람직하지 않은 프로그래밍된 전하가 또한 프로그래밍 동안 생긴다. 단계 80에서, 전하 저장층의 내부로 및/또는 그의 내부로부터 전하 터널링을 이용하여 클린-업이 수행된다. 단계 82에서, 프로그래밍이 완료되고 셀의 프로그래밍의 종료가 발생한다.

<26> 다수 단계 프로그래밍을 이용하여 메모리 어레이를 프로그래밍하는 순서도 및 방법이 도 9에 도시된다. 시작 단계(84) 후, 메모리 어레이가 단계 85에서 제공된다. 2 단계 프로그램(93)이 이후 수행된다. 초기에 단계 86에서, 메모리 어레이의 선택부가 프로그래밍된다. 제 2 단계, 단계 87에서, 메모리 어레이의 선택부의 전하 터널링을 이용하여 클린-업이 수행된다. 2 단계 프로그램 93 후, 단계 83에서 검증이 수행된다. 단계 88에서, 메모리 셀의 선택부에서 메모리 셀 장치들의 각각의 채널 위에 놓은 내부 영역의 바람직하지 않은 전하의 클린-업 및 프로그램이 성공하는지의 여부가 결정된다. 클린-업이 성공적이라면, 메모리 어레이의 다른 메모리 부들이 수행되는지의 여부의 결정이 단계 90에서 행해진다. 클린-업이 성공적이지 않다면, 프로그래밍은 단계 92에서 종료한다. 어레이의 추가적인 프로그래밍이 수행된다면, 다음의 메모리 어레이의 부분이 선택부로서 선택되는 단계 91이 수행된다. 만약 프로그램 및 클린-업 단계 88가 성공적이지 않다면, 메모리 어레이의 선택부가 더 낮은 바이어스 전압들을 이용하여 수행되는 단계 89가 단계 91 전에 수행된다. 단계 91 후, 프로그래밍은 상기 기재된 바와 같이 2 단계 프로그램 93 및 후속하는 단계들의 다른 반복으로 계속한다.

<27> 다수 단계 프로그래밍을 이용한 다른 형태의 메모리 셀(36)의 단면도 형태가 도 10에 예시된다. 설명의 편의성을 위해서, 메모리 셀(36)의 형태와 유사한 요소들은 유사하게 넘버링된다. 메모리 셀의 예시적인 형태에서, 전하 저장층(42)의 에지들에서 상부 및 하부의 증가된 산화물을 갖는다. 측벽 라이너들(100, 102)은 에지들에서 전하 저장층(42)의 부분을 마모시키는 산화가 일어날 때 형성된다. 산화는 기저 유전층(40)의 증가된 에지 산화물 두께(108) 및 증가된 에지 산화물 두께(104)를 생성한다. 기저 유전층(40)의 내부 산화물 두께(106)는 에지 산화물 두께들(104, 106)보다 눈에 띄게 얇다. 유사하게는, 상부 유전층(44)은 증가된 에지 산화물 두께(110) 및 증가된 에지 산화물 두께(114)를 갖고, 반면에 내부 산화물 두께(112)는 에지 산화물 두께들(110, 114)보다 작다. 전하 저장층(42)의 상부 및 하부 에지 표면들에 대한 곡률이 산화의 결과로서 생긴다. 발생하는 산소 확산의 레벨은 기저 유전층(40) 및 상부 유전층(44)의 산화물 두께에 의존한다. 기저 산화물 층의 에지의 상당한 산화가 있는지의 여부를 제어하는 두 개의 중요한 팩터들이 있다. 첫째는, 산소 확산 레벨이다. 둘째는, 산화물이 위에 놓인 층들로부터의 압력을 막지 않지만 작은 수치의 기저 유전층(40)은 본질적으로 확산

을 금지하지 않는다. 산화가 기저 유전층(40)의 에지에서 발생하지 않을 때, 체적은 도 10의 구조로 되는 상층의 전하 저장층을 누르는 산화물로부터 증가한다. 전하 저장층(42)의 각각의 에지에서 두 영역들의 증가된 산화는 제 2 프로그래밍 단계, 단계 87 동안 요구되는 동작의 낮은 전압 범위에서 이루어질 수 있는 것이 명백해진다. 다시 말해서, 게이트(46)에서 요구되는 프로그램 전압은 도 10의 도면에 수직인 소스, 드레인, 및 기판(38)에서 요구되는 전압에 비해서 낮고, 따라서 비가시적이다.

<28> 다수 단계들에서 프로그래밍되는 다른 메모리 셀, 메모리 셀(111)의 단면도가 도 11에 도시된다. 메모리 셀(111)은 기판(212)을 제공함으로써 형성된다. 산화물 층(214)은 기판(212) 위에 놓여 있다. 산화물 층(118)은 질화물 층(116) 위에 놓여 있다. 개구(122)를 갖는 패터닝된 마스킹 층(120)은 산화물 층(118) 위에 놓여 있다. 일 형태에서, 패터닝된 마스킹 층(120)은 질화물로 형성되지만, 다른 재료들이 마스크를 구현하기 위해 사용될 수 있다.

<29> 도 12에서, 측벽 스페이서들(124)은 패터닝된 마스킹 층(120)의 측벽을 따라 형성된다. 측벽 스페이서들(124)은 개구(120) 내의 패터닝된 마스킹 층(120)의 측벽을 따라 연속적인 재료로 형성되지만, 이 단면도에서 두 개의 영역들로 나타난다. 일 형태에서, 측벽 스페이서들(124)은 폴리실리콘으로 형성된다. 측벽 스페이서들(124)을 갖는 개구(122) 내의 산화물 층(118)의 나머지 노출된 부분이 제거된다. 종래의 습식 에칭에 의해 일 형태의 제거가 달성된다.

<30> 메모리 셀(111)의 다른 처리가 도 13에 예시된다. 도 12의 측벽 스페이서들(124)이 제거된다. 측벽 스페이서들(124)의 제거시, 등각의 산화물 층(126)이 메모리 셀(111) 위에 형성된다. 산화물 층(126)은 산화물 재료의 증착에 의해 형성될 수 있거나 대안적으로 종래의 열적 산화에 의해 형성될 수 있다. 추가적으로, 게이트(128)로서 기능하기 위한 재료의 도전층이 증착된다. 일 형태에서, 게이트(128)는 폴리실리콘을 이용하여 형성된다. 그러나, 다른 도전 재료들이 이용될 수 있다.

<31> 메모리 셀(111)의 다른 처리가 도 14에 예시된다. 게이트(128)의 부분들은 산화물 층(126)의 상부 높이부터 큰 높이에 존재하는 게이트(128)의 재료를 제거함으로써 제거된다. 특히, 게이트(128)의 부분의 제거는 화학 기계적 폴리시(chemical mechanical polish; CMP) 처리를 이용함으로써 실행된다. 메모리 셀(111)의 결과 구조는 도 14에 도시된 바와 같다. 패터닝된 마스킹 층(120) 위에 존재하는 게이트(128)의 모든 게이트 재료는 CMP 제거 단계에 의해 제거된다.

<32> 메모리 셀(111)의 다른 처리가 도 15에서 예시된다. 게이트 스택 구조는 도시된 바와 같이 메모리 셀(111)을 형성하기 위해 마스크(도시되지 않음)로 종래의 이방성 건식 에칭을 이용함으로써 생성된다. 특히, 패터닝된 마스킹 층(120)은 제거된 산화물 층(214), 질화물 층(116), 및 산화물 층(118)의 부분들에 추가하여 제거된다. 또한, 게이트(128)의 상부에 측면으로 인접한 산화물 층(126)의 부분은 제거된다. 다른 실시예에서, 게이트 층(128)의 나머지 부분은 패터닝된 마스킹 층(120), 산화물 층(118), 질화물 층(116) 및 산화물 층(124)의 제거 동안 하드 마스크(hard mask)의 역할을 한다. 이러한 대안적인 실시예에서, 추가적인 마스크 패터닝이 필요하지 않다. 게이트(128) 아래에 놓인 산화물 층(126)의 나머지 부분은 예지들보다 그것의 중앙 부분에서 더 작은 두께를 갖는다. 게이트 스택의 주변에서, 산화물 층(126)의 두께와 결합된 산화물 층(118)의 두께를 포함하는 산화물 두께(130)가 존재한다. 두 재료들은 산화물이고 따라서 물리적 특성들에서 구별되지 않기 때문에, 산화물 층(118)의 나머지 부분은 점선으로 도시된다. 그러므로, 단지 상위 산화물, 산화물 층(128), 및 하위 산화물이 없는, 산화물 층(124)만이 이러한 실시예를 이용하여 두께를 변경하고, 산화물 층(126) 두께의 변경은 마스킹 단계를 통해 달성된다는 것이 주의된다. 메모리 셀(111)이 중앙 두께보다 큰 예지 두께를 갖는 게이트 산화물을 갖기 때문에, 이전에 기재된 다수 단계 프로그래밍 방법은 개선된 프로그래밍 신뢰성을 위해 메모리 셀(111)이 이용될 수 있다.

<33> 예지 영역 및 중앙 영역을 비교할 때, 상부 산화물 층 및 하부 산화물 층 모두가 두께들을 변경시킬 메모리 셀(132)이 도 16에 도시된다. 특히, 기판(134)에는 위에 놓인 기저 산화물 층(136)이 제공된다. 패터닝된 마스킹 층(138)은 기저 산화물 층(136) 위에 형성되고 개구(139)를 갖는다.

<34> 메모리 셀(132)의 다른 처리가 도 17에 도시된다. 측벽 스페이서들(140)은 개구(139) 내에 패터닝된 마스킹 층(138)의 측벽 상에 형성된다. 추가적으로, 기저 산화물 층(136)의 나머지 노출된 부분이 제거된다. 측벽 스페이서들(140)은 개구(139) 내에 패터닝된 마스킹 층(138)의 측면을 따라 연속적인 재료로 형성되지만, 본 단면도에서는 두 개의 영역들로 나타난다. 일 형태에서, 측벽 스페이서들(140)은 질화물 스페이서들이다. 종래의 습식 에칭에 의해서 기저 산화물 층(136)의 노출된 부분이 제거된다.

- <35> 메모리 셀(132)의 다른 처리가 도 18에 예시된다. 특히, 기저 산화물 층(142)은 개구(139) 내에 형성되고, 일반적으로 측면으로 인접한 기저 산화물 층(136)보다 얇다. 이산화규소와 같은 다양한 형태의 산화물들이 여기에 기재된 산화물 층들을 구현하기 위해 이용될 수 있다.
- <36> 메모리 셀(132)의 다른 처리가 도 19에 예시된다. 측벽 스페이서들(140)이 초기에 제거된다. 등각의 질화물 층(144)은 증착에 의해 형성된다. 일 형태에서 질화물 층(144)은 질화 규소이지만 다른 질화물들이 이용될 수 있다. 상부 산화물 층(146)은 질화물 층(144) 위에 증착되거나 열적으로 성장된다. 게이트(148)는 상부 산화물 층(146) 위에 놓여 있다. 일 형태에서, 게이트(148)는 폴리실리콘이지만, 다양한 대안적인 도전 재료들로 실행될 수 있다. 게이트(148)는 종래의 폴리실리콘의 증착에 의해 형성된다.
- <37> 단지 게이트 스택 내의 하위 게이트 산화물만이 게이트의 스택의 중앙 및 그의 에지들 사이에 상당한 두께의 차이를 갖는 메모리 셀을 형성하기 위한 메모리 셀(132)의 다른 처리가 도 20에 예시된다. 초기에 게이트(148)는 CMP에 의해 원래의 개구(139)의 외부의 그들 부분들에서 평탄화되고 제거된다. 마스크(도시되지 않음)는 도 20에 도시된 바와 같이 게이트 스택을 생성하기 위해 도 19에서 메모리 셀(132)의 구조를 선택적으로 에칭하기 위해 이용된다. 기저 산화물 층(136)이 기저 산화물 층(142)보다 두껍게 형성된 사실 때문에 그의 주변 이외에서 기저 산화물 층(150)은 증가된 두께를 갖는다는 것이 주의된다. 기저 산화물 층(150)의 단면 프로파일의 결과와 같이, 메모리 셀(132)은 상기 기재된 다수 단계 프로그래밍 방법을 이용하여 신뢰성 있게 프로그래밍될 수 있다. 참조 번호들 136, 142 모두는 산화물로 나타나기 때문에, 분리하여 형성된 소자들 사이의 인터페이스는 실제 장치가 일반적으로 가시적인 인터페이스를 갖기를 바라지 않는 도 20에서 점선으로 도시된다. 그러므로, 실질적으로 동일한 두께를 갖는 게이트에 인접한 상위 산화물 및 다양한 두께를 갖는 기판에 인접한 하위 산화물을 갖는 게이트를 갖는 메모리 셀 및 방법이 제공되는 것이 명확할 것이다.
- <38> 본 발명에 따라 형성되는 메모리 어레이(152)가 도 21에 예시된다. 기판(154)은 위에 놓인 기저 산화물 층(156)을 갖는다. 기판(154)은 다양한 재료들일 수 있고 일 형태로 실리콘이다. 기저 산화물 층(156)은 다양한 산화물 재료들로 구현될 수 있고, 일 형태로는 이산화 규소이다. 전하 저장층(158)은 기저 산화물 층(156) 위에 놓여 있다. 전하 저장층(158)은 다양한 재료로 구현될 수 있고, 일 형태로는 질화물이다. 상부 산화물 층(160)은 전하 저장층(158) 위에 놓여 있다. 게이트(162)는 상부 산화물 층(16) 위에 놓여 있다. 게이트(162)는 다양한 도전 재료들 중 어떤 것으로 구현될 수 있고, 게이트(162)의 일 구현은 폴리실리콘이다.
- <39> 메모리 어레이(152)의 다른 처리가 도 22에 예시된다. ARC(반사 방지 코팅) 층(164)이 게이트(162) 위에 형성된다. ARC 층(164)은 아래 놓인 층들을 보호하기 위해 통상 이용된다. 종래의 습식 에칭은 게이트(162), 상부 산화물 층(160), 및 전하 저장층(158)의 모든 부분들을 제거하도록 수행되고, 여기서 ARC 층(164)은 존재하지 않는다.
- <40> 메모리 어레이(152)의 다른 처리가 도 23에 예시된다. 메모리 어레이(152)는 게이트(162)의 노출된 측벽 표면들, 상부 산화물 층(160), 전하 저장층(158), 및 기저 산화물(156)의 노출된 상부 표면을 따라 측벽 산화물 라이너(166) 및 측벽 산화물(168)을 형성하기 위해 산화 환경을 겪는다. 산화의 결과로서, 상부 산화물 층(160)의 에지들의 외부 또는 주변 이외에서 높이는 상부 산화물 층(160)의 중앙 영역에서 높이에 비해 증가한다.
- <41> 메모리 어레이(152)의 다른 처리가 도 24에 도시된다. 마스크가 제공되고 종래의 습식 에칭이 ARC 층(164)의 중앙 부분, 게이트(162), 상부 산화물 층(160) 및 전하 저장층(158)을 제거하기 위해 수행된다. 결과로, 메모리 셀(170) 및 메모리 셀(172)를 각각 형성하기 위해 메모리 어레이(152) 내 두 개의 게이트 스택들의 생성된다. 산화물 라이너(175)는 게이트(162)의 제 1 노출된 측면을 따라 형성된다. 유사하게는, 측벽 산화물 라이너(185)가 게이트(162)의 제 2 노출된 측면을 따라 형성된다. 측벽 스페이서(174)는 측벽 산화물 라이너(166)에 인접하여 형성되고 측벽 스페이서(176)는 측벽 산화물 라이너(175)에 인접하여 형성된다. 측벽 스페이서(184)는 측벽 산화물 라이너(185)에 인접하여 형성되고, 측벽 스페이서(186)는 측벽 산화물(168)에 인접하여 형성된다. 드레인(178)은 메모리 셀(170)에 대한 기판(154)에 형성된다. 드레인(182)은 메모리 셀(172)에 대한 기판(154)에 형성된다. 공통 소스(180)는 메모리 셀(170) 및 메모리 셀(172) 모두에 대한 기판(154)에 형성된다.
- <42> 동작시, 메모리 셀(170) 및 메모리 셀(172)은 메모리 셀당 단일 비트를 저장한다. 각각의 저장된 비트에 연관된 전하는 상부 산화물 층(160)의 더 두꺼운 산화물이 존재하는 전하 저장층(158)의 측면 상에 저장된다. 메모리 셀(170) 및 메모리 셀(172)은 공통 소스(180)를 공유한다. 메모리 셀(170) 및 메모리 셀(172) 각각은 공통 소스(180)에 대항하는 측면으로부터 프로그래밍된다. 메모리 셀(170) 및 메모리 셀(172)이 비균일한 소거 메커니즘에 의해 소거되는 경우, 이러한 구조는 유용하다. 메모리 어레이(152)의 메모리 셀 구조는 공통 소스(18

0)로부터 떨어진 전하를 보유하고, 그 때문에 잘못된 판독을 방지한다. 다시 말해서, 소거된 메모리 셀들은 그들이 프로그래밍되지 않을 때 프로그래밍된 것으로 나타나지 않는다.

<43> 여기까지 후속하는 잘못된 동작을 피하기 위한 다양한 메모리 셀 구조들 및 프로그래밍 기술이 제공된 것이 명확할 것이다. 외부 주변에 새 부리형 구조를 갖는 메모리 셀의 게이트 산화물을 형성함으로써, 다수의 프로그래밍 단계들이 주로 바람직한 프로그래밍된 비트로 전하 저장층을 재배치하고, 의도되지 않은 비트들을 의도하지 않은 프로그래밍을 피할 것이다. HCI 프로그래밍 후, 몇몇 전자들은 메모리 셀의 소스 및 드레인으로부터 바람직한 것보다 더 멀리 주입될 수 있다. 이들 전자들은 메모리 셀의 채널의 잔여 전하 증가에 기여한다. 제 2 프로그래밍 단계에서 소스, 드레인 및 기판에 대하여 게이트에 양의 펄스를 인가함으로써, 전자들이 전하 저장층의 밖으로 터널링될 것이고 정공들은 개재하는 절연층을 통해 전하 저장층으로 터널링될 것이다. 결과로서, 메모리 셀의 중앙의 나머지 음 전하는 제거된다. 새의 부리 형태의 에지들의 산화물의 두께는 비트에 저장된 전하가 상당히 변경되는 것을 방지한다.

<44> 여기에 기재된 제 2 프로그래밍 단계는 셀 메모리 구조들당 단일 비트 및 셀 메모리 구조들당 2 비트에 동일하게 적용한다는 것이 주의된다. 여기에 기재된 다수 프로그래밍 단계는 그것이 터널링되고 낮은 전류 동작이기 때문에 메모리 비트들의 큰 개체수에 적용하는 것이 이롭다는 것이 또한 주의된다. 그러므로, 제 2 단계를 구현하기 위한 전체 시간은 비트에 대해서 비교적 작다.

<45> 일 형태에서, 여기에서 채널 영역을 갖는 기판이 메모리 셀에 제공된다. 제 1 유전층은 기판 위에 있다. 전하 저장층은 제 1 유전층 위에 있다. 제 2 유전층은 전하 저장층 위에 있고, 제 2 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖는다. 제 1 부분은 적어도 채널 영역의 일부 위에 놓인다. 게이트 전극은 제 2 유전층 및 채널 영역 위에 있다. 게이트 전극의 제 1 측벽은 제 2 유전층의 제 1 부분 위에 있다. 일 형태에서, 제 2 유전층은 제 2 부분보다 두꺼운 제 3 부분을 갖고, 제 2 부분은 적어도 채널 영역의 부분 위에 있고, 제 1 측벽에 대항하는 게이트 전극의 제 2 측벽은 제 1 유전층의 제 2 부분 위에 있다. 다른 형태에서, 제 2 유전층의 제 1 부분은 제 2 유전층의 에지에 인접하여 위치된다. 또 다른 형태에서, 제 1 부분은 제 2 부분보다 약 5 내지 10 옹스트롬 두껍다. 일 형태에서, 전하 저장층은 복수의 개별 저장 요소들이다. 다른 형태에서, 전하 저장층은 질화물이다. 일 형태에서, 제 2 유전층의 전하 저장층의 제 1 부분 아래의 전하 저장층의 제 1 부분은 제 1 값을 저장할 수 있다. 다른 형태에서, 전하 저장층의 제 2 부분은 제 2 값을 저장할 수 있다. 또 다른 형태에서, 제 1 유전층은 제 1 부분 및 제 2 부분을 간고, 제 1 부분은 제 2 부분보다 두껍고, 제 1 부분은 적어도 채널 영역의 부분 위에 놓인다. 일 형태에서, 기판은 제 1 소스/드레인 영역 및 제 2 소스/드레인 영역을 갖고, 채널 영역은 제 1 및 제 2 소스/드레인 영역들 사이에 있고, 제 1 소스/드레인 영역은 제 2 메모리 셀과 공유된다. 일 형태에서, 제 1 부분은 적어도 제 2 소스/드레인 영역의 부분 위에 있다. 다른 형태에서, 제 2 유전층은 산화물이다.

<46> 또 다른 형태로, 여기에 채널 영역을 갖는 기판을 갖는 메모리 셀이 제공된다. 제 1 유전층은 기판 위에 있다. 제 1 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖고 제 1 부분은 적어도 채널 영역의 부분 위에 놓인다. 전하 저장층은 제 1 유전층 위에 놓인다. 제 2 유전층은 전하 저장층 위에 있다. 게이트 전극은 제 2 유전층 및 채널 영역 위에 있고, 게이트 전극의 제 1 측벽은 제 2 유전층의 제 1 부분 위에 있다. 다른 형태에서, 제 2 유전층은 제 2 부분보다 두꺼운 제 3 부분을 갖는다. 제 2 부분은 적어도 채널 영역의 부분 위에 있고, 제 1 측벽에 대항하는 게이트 전극의 제 2 측벽은 제 2 유전층의 제 2 부분 위에 있다. 다른 형태에서, 제 1 유전층의 제 1 부분은 제 1 유전층의 에지에 인접하여 위치된다. 또 다른 형태에서, 제 1 부분은 제 2 부분보다 약 5 내지 10 옹스트롬 두껍다. 일 형태에서, 전하 저장층은 복수의 개별 저장 요소들을 갖는다. 다른 형태에서, 전하 저장층은 질화물이다. 다른 형태에서, 제 1 유전층의 제 1 부분 위의 전하 저장층의 제 1 부분은 제 1 값을 저장할 수 있다. 또 다른 형태에서, 전하 저장층의 제 2 부분은 제 2 값을 저장할 수 있다.

<47> 또한, 여기에서 기판을 갖는 메모리 셀 구조가 제공된다. 제 1 메모리 장치는 제 1 게이트 전극, 제 1 전하 저장층, 및 제 1 유전층을 갖는다. 제 1 전하 저장층 및 제 1 유전층은 기판 및 제 1 게이트 전극 사이에 있다. 제 1 유전층은 제 2 부분보다 두꺼운 제 1 부분을 갖는다. 제 2 메모리 장치는 제 1 메모리 셀에 이웃한다. 제 1 소스/드레인 영역은 제 1 및 제 2 메모리 장치들에 의해 공유된다. 일 형태에서, 제 2 소스/드레인 영역은 제 1 메모리 장치에 대응하고, 제 1 메모리 장치의 채널 영역은 제 1 소스/드레인 영역과 제 2 소스/드레인 영역 사이에 위치되고, 상기 제 1 유전층의 제 1 부분은 제 1 소스/드레인 영역보다 제 2 소스/드레인 영역에 더 가깝다. 다른 형태에서, 제 2 메모리 장치는 제 2 게이트 전극, 제 2 전하 저장층, 및 제 2 유전층을 포함한다. 이러한 형태에서, 제 2 유전층 및 제 2 전하 저장층은 기판과 제 2 게이트 전극 사이에 있고, 제 2 유전

층은 제 2 부분보다 두꺼운 제 1 부분을 갖는다.

<48> 상기 명세서에서, 본 발명은 특정 실시예들에 대하여 기재되었다. 그러나, 당업자는 이하 청구항들에 설명된 바와 같이 본 발명의 범위에서 벗어나지 않고 다양한 변경들 및 변형들이 형성될 수 있다는 것을 인식한다. 예를 들면, 메모리 셀 구조들은 독립형 비휘발성 메모리 또는 임베딩된 메모리로서 구현될 수 있다. 다양한 전하 저장 재료들은 전하 저장 재료 대신에 나노클러스터와 같이 구현될 수 있다. 따라서, 명세서 및 도면들이 제한적인 의미보다 예시적으로 간주되는 것이고, 모든 이러한 변경들은 본 발명의 범위 내에 포함되도록 의도된다.

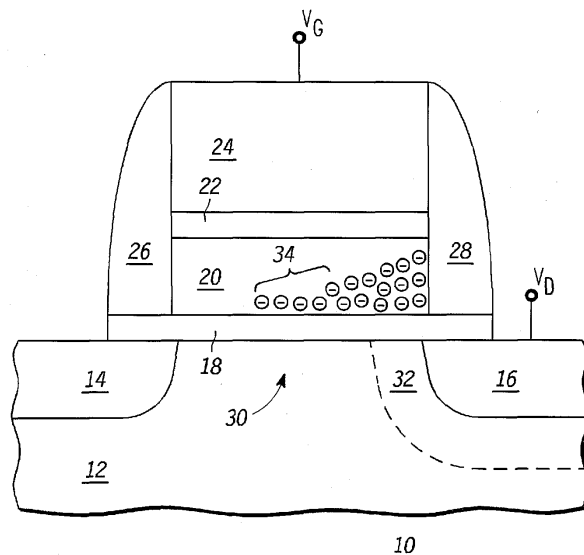
<49> 이익들, 다른 이점들, 및 문제들에 대한 해결책들이 특정 실시예들에 대하여 상기에 기재되었다. 그러나, 어떤 이익, 이점, 또는 해결책이 발생하거나 더 알려질 수 있는 이익들, 다른 이점들, 문제들에 대한 해결책들, 및 다른 요소(들)은 어떤 또는 모든 청구항들의 중요하거나, 요구되거나 필수적인 특징 또는 소자로서 해석되지 않는다. 여기에 사용되는 용어들 "포함한다", "포함하는", 또는 그의 어떤 다른 변경은 배타적이 아닌 포함을 다루는 것이 의도되고, 소자들의 목록을 포함하는 처리, 방법, 제품, 또는 장치는 단지 그들 소자들을 포함하는 것이 아니고, 그러한 처리, 방법, 제품, 또는 장치에 특별히 열거되거나 내재된 것이 아닌 다른 소자들을 포함할 수 있다. 여기에서 사용된 단수 용어는 하나보다는 하나 이상으로서 규정된다. 여기에 사용된 복수 용어는 두 개보다는 두 개 이상으로서 규정된다. 여기에서 사용된 용어 "포함하는" 및/또는 "갖는"은 포함하는 것으로 규정된다(즉, 열린 언어). 여기에 사용된 용어 "결합되는"은 비록 필수적으로 직접적이 아니고 필수적으로 기계적이 아닐지라도 접속된 것으로 규정된다.

도면의 간단한 설명

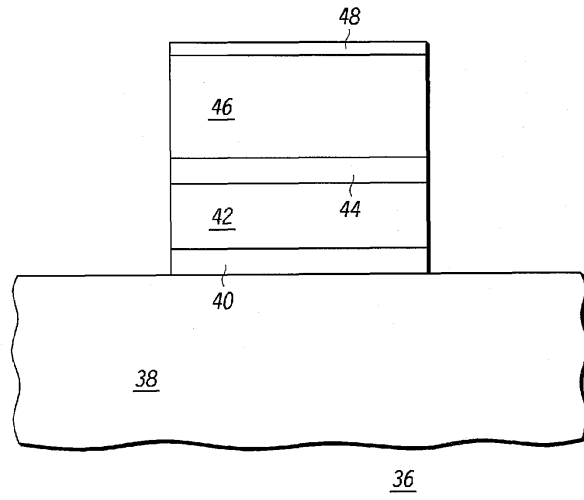
- <6> 도 1은 채널에 바람직하지 않은 전하 저장 분포를 갖는 메모리 셀의 단면도.
- <7> 도 2 내지 도 7은 본 발명의 일 형태에 따라 다수 단계를 이용하여 프로그래밍하는 메모리 셀의 단면도.
- <8> 도 8은 메모리 셀의 프로그래밍하는 단수 단계의 방법의 순서도.
- <9> 도 9는 다수 단계 프로그래밍을 이용하여 메모리 어레이를 프로그래밍하는 방법의 순서도.
- <10> 도 10은 다수 단계를 이용하여 프로그래밍하는 다른 형태의 메모리 셀의 단면도.
- <11> 도 11 내지 도 15는 다수 단계들로 프로그래밍되는 메모리 셀의 게이트 스택 구조 형성의 다른 형태의 단면도.
- <12> 도 16 내지 도 20은 다수 단계들로 프로그래밍되는 메모리 셀의 게이트 스택 구조 형성의 다른 형태의 단면도.
- <13> 도 21 내지 도 25는 다수 단계를 이용하여 프로그래밍하는 본 발명의 다른 형태에 따른 메모리 어레이의 단면도.

도면

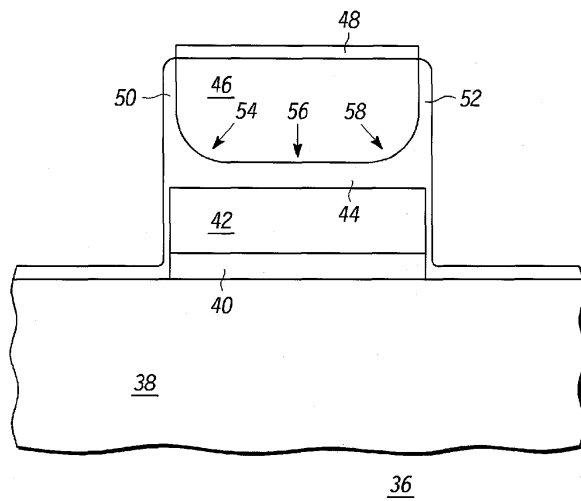
도면1



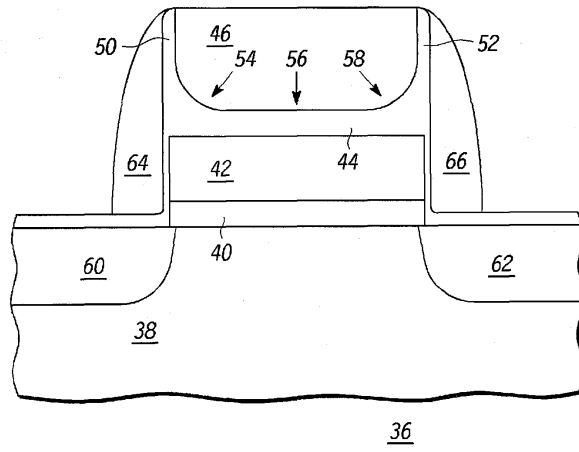
도면2



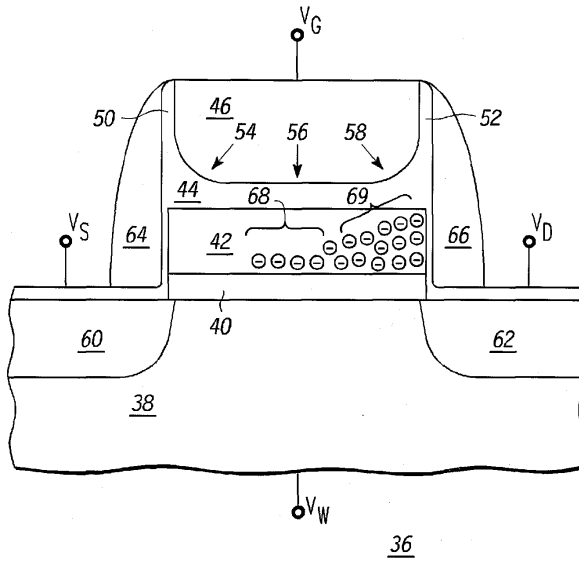
도면3



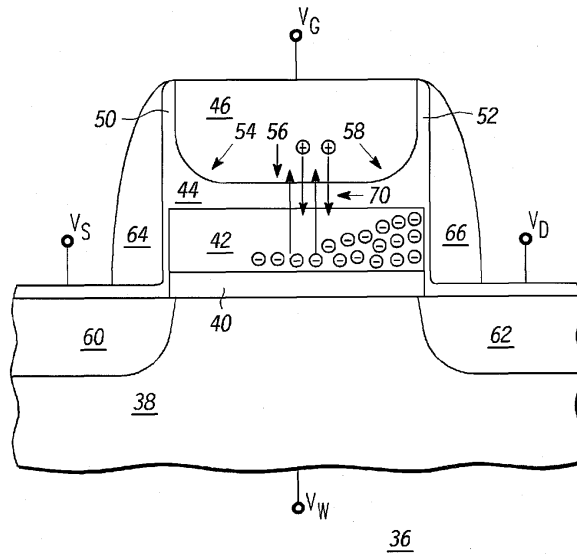
도면4



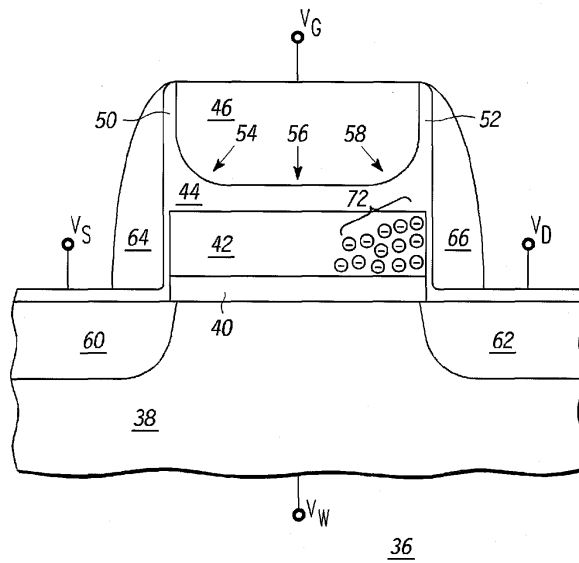
도면5



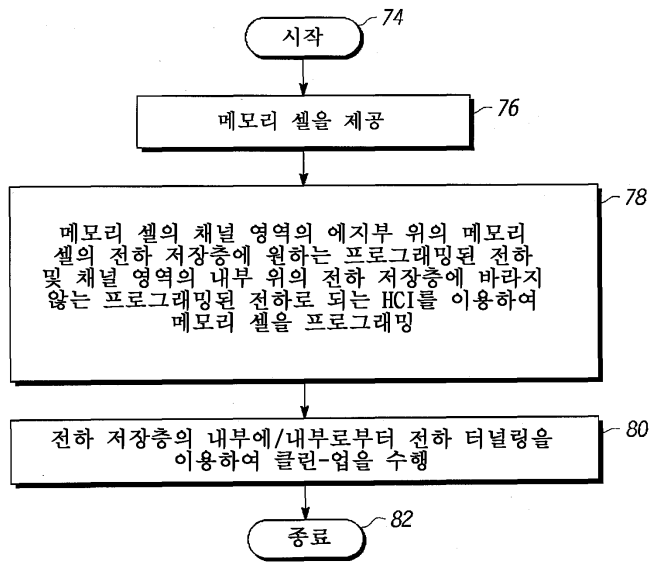
도면6



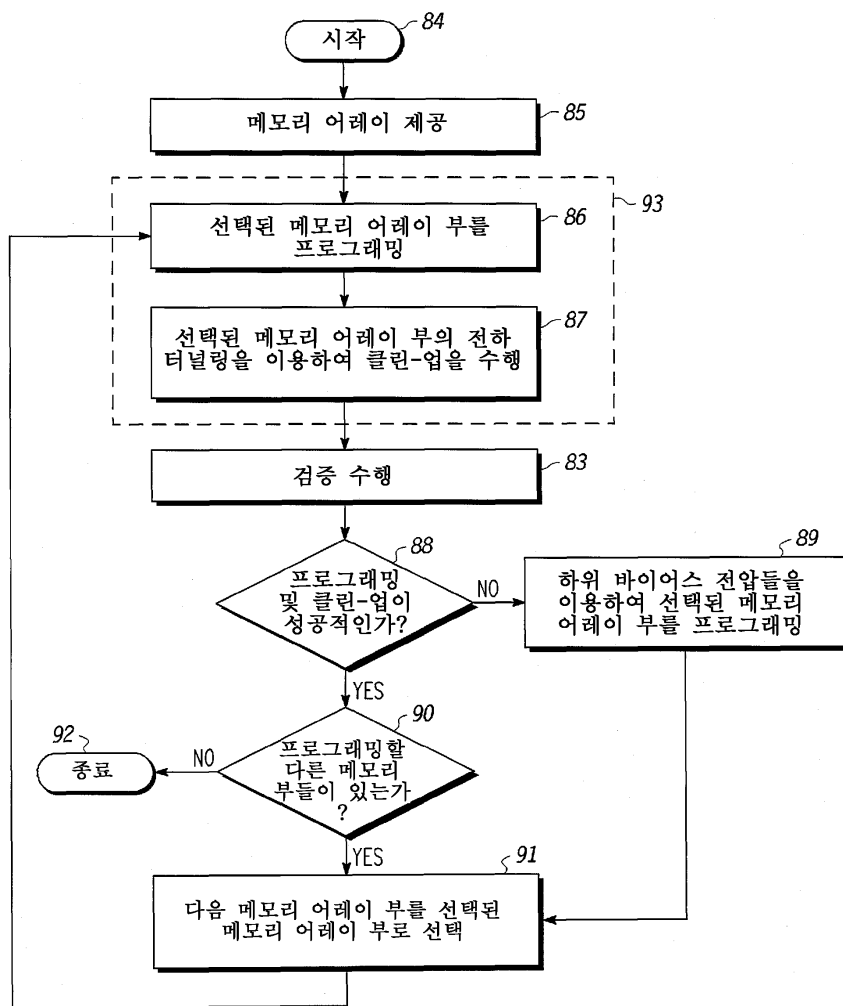
도면7



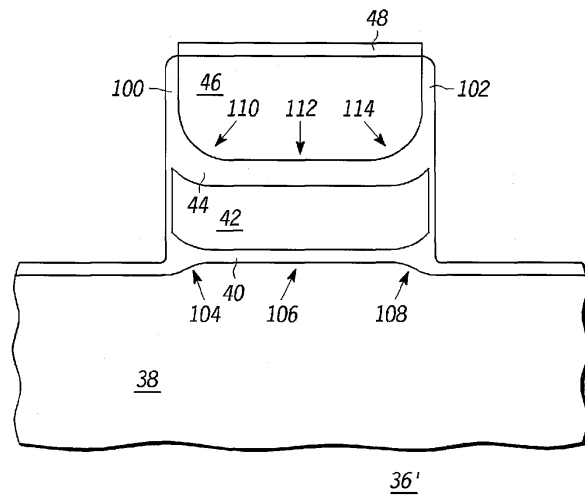
도면8



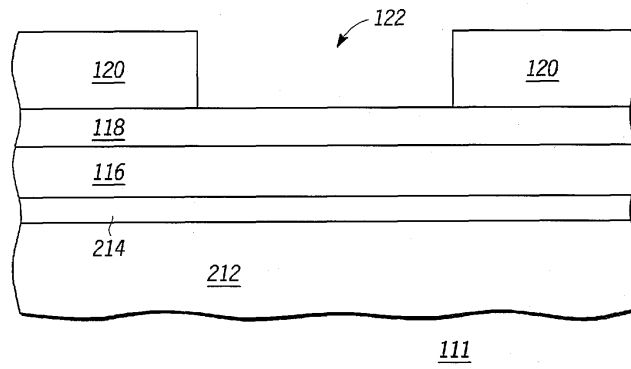
도면9



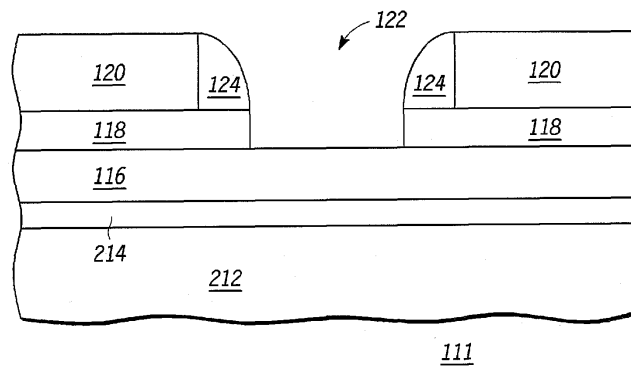
도면10



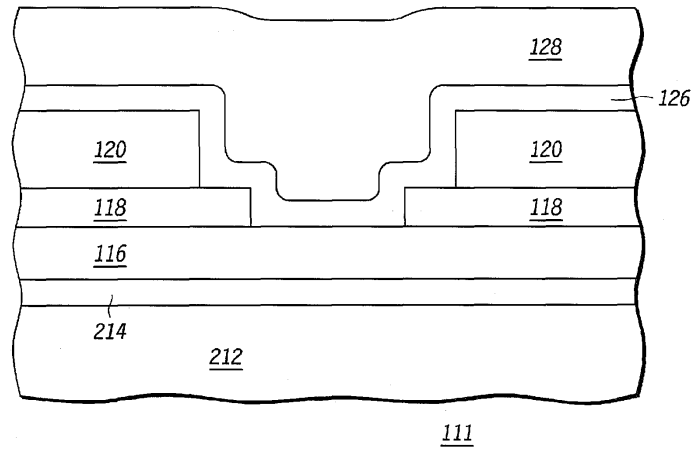
도면11



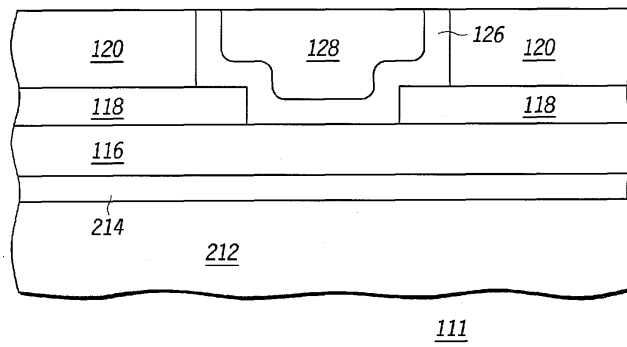
도면12



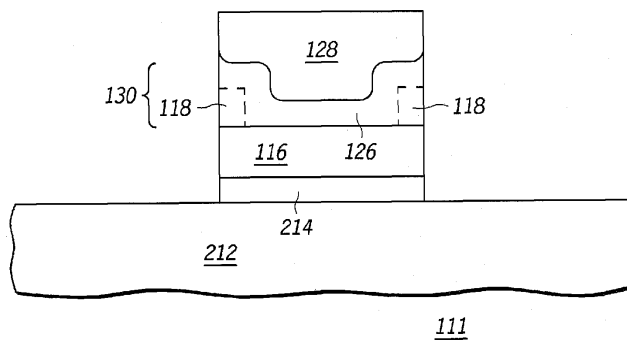
도면13



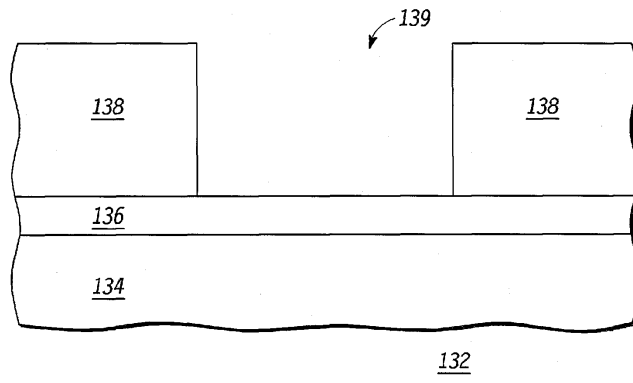
도면14



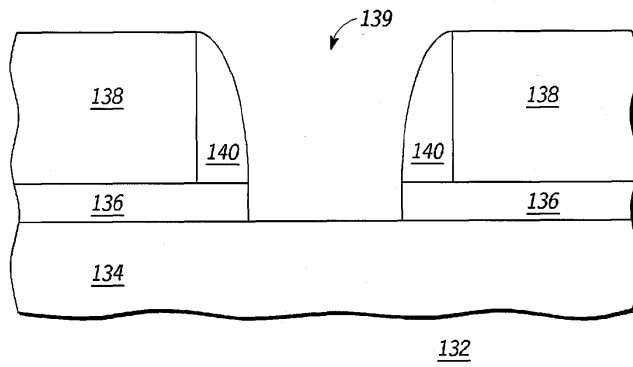
도면15



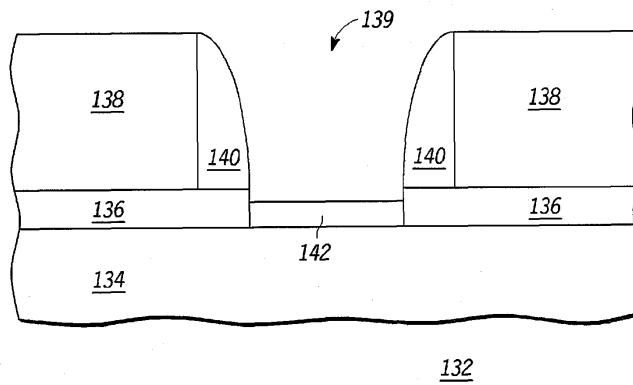
도면16



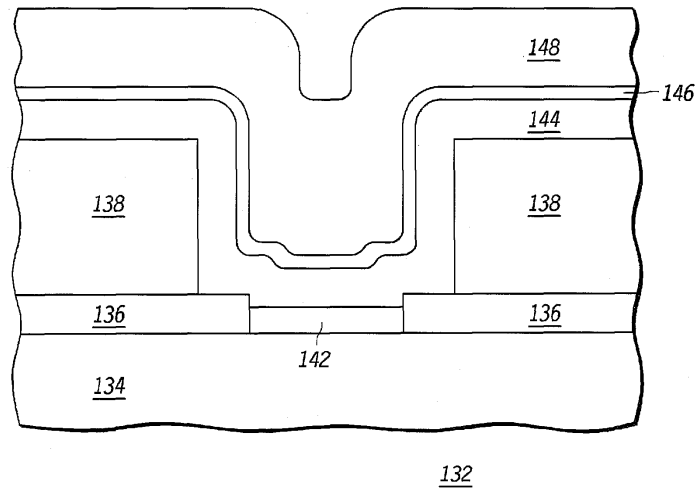
도면17



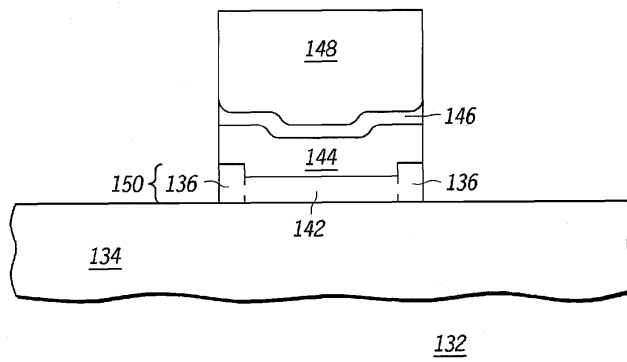
도면18



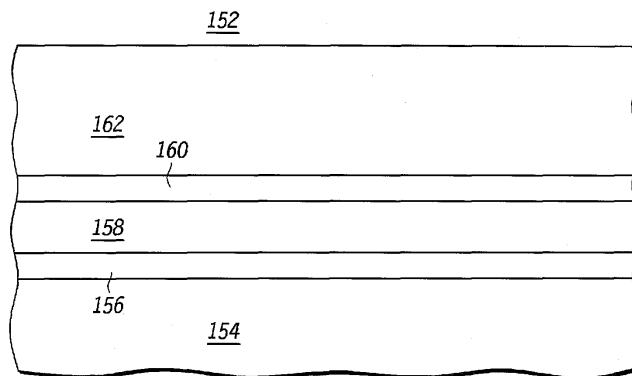
도면19



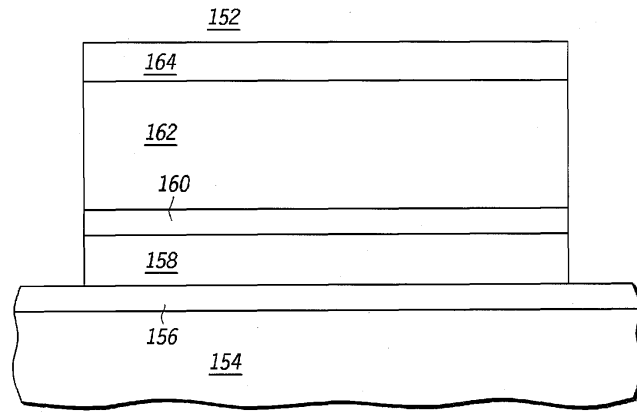
도면20



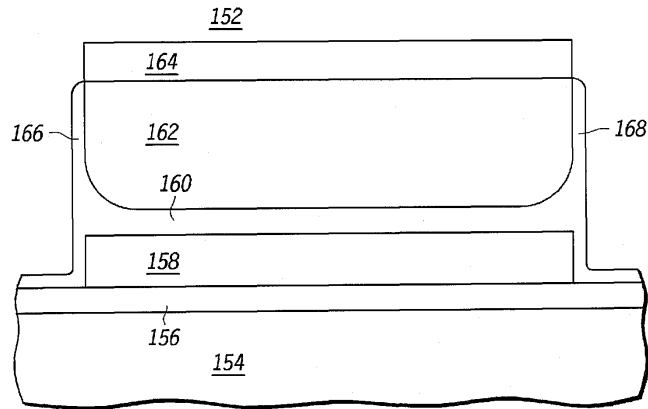
도면21



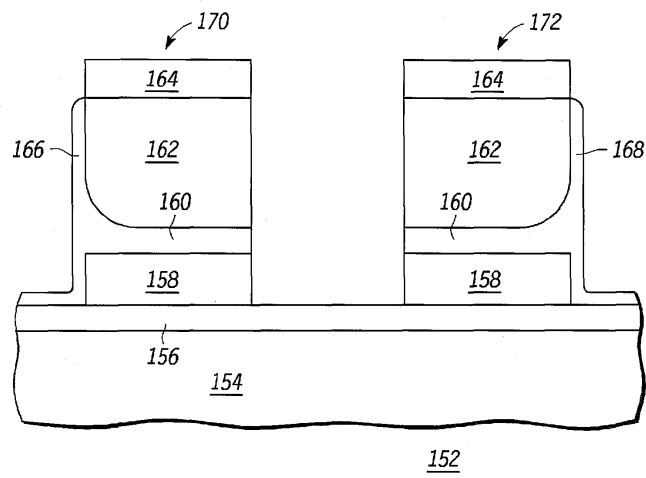
도면22



도면23



도면24



도면25

