公告本

90年4月30日修正/更正/補充

申請日期	89、4、11
案號	89100453
類別	H01L 21/00

A4
C4

451263

（以上各欄由本局填註）

中文說明書修正頁(90年4月)

發明 新型 專利說明書

一、發明新型名稱	中文	矽積體電路裝置之鈍化技術
	英文	"PASSIVATING TECHNIQUES FOR SILICON IC DEVICES"
二、發明創作人	姓名	1.荷西 羅爾 貝茲 2.單曉金 3.艾希克 C. 齊西利亞利 4.芭芭拉 D. 高席亞斯 5.蓋瑞 羅柏 衛柏 6.蕭辛鴻
	國籍	1.4.5.美國 2.6.中國 3.土耳其
	住、居所	1.美國佛州奧蘭多市傑賽普林街13000號 2.美國佛州奧蘭多市杉林街4443號 3.美國佛州奧蘭多市雙跡街6535號 4.美國佛州奧蘭多市隆鷹街14703號 5.美國新澤西州白屋市春城路26號 6.美國佛州奧蘭多市杉林街4443號
三、申請人	姓名（名稱）	美商朗訊科技公司
	國籍	美國
	住、居所(事務所)	美國新澤西州摩里山丘市山脈大道600號
	代表人姓名	麥克 R. 格林

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS).A4 規格 (210 × 297 公釐)

裝 訂 線

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
美國	1999年01月14日	09/231,857	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS)A4 規格（210 × 297 公釐）

五、發明說明（1）

發明範疇

本發明有關一種製造矽積體電路之方法，尤其有關一種矽積體電路之鈍化方法，用以改善裝置壽命。

發明背景

矽積體電路之氫鈍化已於業界使用多年。其係公認用以於p-n接合裝置中降低熱載體效應之技術。該積體電路裝置一般係於氫爐中接近處理循環末期時退火，以於裝置體中併入大量氫，而針對不需要之熱載體進行除氣功能。使用該裝置時，殘留之氫應於製造完成之後保持於該結構中。

於此情況下使用氫所公認之問題係為難以在所完成之積體電路中保持有效濃度之快速擴散氣體。目前，已提出使用氘以取代氫，因為氘具有相同之熱電子除氣功能，但較重，而擴散較為緩慢。亦建議使用氫之較高級同位素。亦建議於裝置製造過程中，使用供氧化物及多晶矽沉積使用之經氘化前趨物氣體，以於該矽積體電路裝置結構中併入氘。參照，例如美國專利申請案[Gregor等人申請案12-12]。使用經氘化之前趨物氣體諸如SiD_4或經氘化之TEOS ($Si(OC_2D_5)_4$)可產生效果，但此等材料相當昂貴。

隨著裝置尺寸之縮小，熱載體所產生之問題對於裝置性能及裝置壽命之負面影響愈大。因此，仍需要一種用以降低或消除熱載體之影響的改良技術。

發明概述

本發明已發展出一種使用氘將矽積體電路裝置鈍化之

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2 ）

技術，其中於裝置製造中之相對早期階段使用氘退火。如此，該氘可更有效地位於該裝置附近會產生熱電子注射之處。該技術使用氘作爲元素氣體，較先前技藝備經氘化之前趨物質的研究平價。而且，本發明之研究可於氘之併入濃度上及其於該裝置結構中所併入之位置上得到更充分的控制，因爲處理期間氘之添加時間及添加量之控制可與該氧化物及多晶矽沉積方法相互獨立。

圖式簡單說明

圖1-5係爲一矽積體電路晶圓於製造早期階段中之示意圖；且

圖6係爲濃度相對於深度之圖，顯示本發明之一具體實例中，氘併入一矽積體電路中之情況。

詳述

參照圖1，顯示一矽晶圓11，該基材之某些部分上選擇性長有場氧化物12，曝露出該晶圓之裝置區域13。該方法中此時間下之氘退火使得該氘併入該矽基材內，該積體電路裝置結構最易於稍後產生熱電子注射問題的部分。該方法中該階段(稱爲階段1)之氘退火優於該裸晶圓於長出場氧化物之前退火，因爲氘可能於該氧化物生長步驟期間發生向外擴散之狀況。

圖2顯示閘極氧化物生長後之裝置。該閘極氧化物係以15表示。此階段(階段2)亦建議使用於氘退火，稍優於階段1，因爲該閘極氧化物生長步驟中進行固有之熱處理。此階段之退火亦相當簡便，因爲該晶圓已放置於供閘極氧

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（3 ）

化物生長使用之爐中，故單純直接地於該閘極氧化物生長期間或之後於該爐中導入氘。

已知本發明之圖係爲處理階段之圖示，並非本發明可使用之所有可能處理序列所必要。亦已知該圖未按照比例，故裝置尺寸、薄層厚度等不致對於可使用前述技術處理之裝置結構產生任何限制。

圖3顯示該多晶矽閘極17沉積並製作佈線圖型(階段3)之後的裝置，其中該源極區域18及汲極區域19上可存有或不存有薄層閘極氧化物15，視所使用之裝置技術而定。此階段亦適於氘退火，因爲該源極及汲極區域可輕易通達快速擴散氘。此階段中之較佳點係爲多晶矽沉積之前。該晶圓可放置於供多晶矽沉積使用之LPCVD反應器中，但於多晶矽沉積之前即時於氘中退火，或於多晶矽沉積期間退火。

圖4顯示植入源極/汲極及驅動之後的裝置。此階段(階段4)適於氘退火，因爲製造序列中之大部分熱處理皆已完成，但該裝置之源極區域18及汲極區域19仍易包含氘。此階段對氘退火而言極爲簡便，因爲該晶圓已於供植入物驅動及退火之爐中定位。該氘曝露可於該植入物驅動之後、之間、或之後進行，但以於之間或之後爲佳，以減少氘向外擴散。

圖5顯示沉積第一層中間層介電質21後之裝置。此階段(階段5)亦適用於氘退火，因其享有已完成晶圓大部分嚴苛熱處理之階段4的品質。氘擴散透過該中間層介電質，

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明（4 ）

或停留於該中間層介電其中，在完成處理之後，可擴散至該基材，以進行熱載體之活化。此階段亦爲一簡便選擇，因爲該晶圓已置於供沉積使用之爐中。該退火使用之氣可於該氧化物生長步驟之前、之間、或之後導入該爐中。

完成該裝置之晶圓製造--基本上包括形成金屬層、中間層介電質、中間層插頭等--的後續階段亦可具有氣退火，但就將該氣置於發揮功能之區域(即矽基材)附近之觀點而言，較不受期待。

如前文所述，於階段2-5中，該氣退火方法以於一般使用於晶圓製造序列之爐中進行爲佳。此點進一步簡化本發明方法並降低其成本，因爲可避免個別退火步驟、操作等。氣退火爐之較佳選擇係爲供多晶矽沉積使用之LPCVD反應器及供氧化物沉積使用之化學蒸汽沉積、電漿、或電漿促進化學蒸汽沉積(PE-CVD)反應器。因此，氣退火以於階段3-5進行爲佳。

爲證明本發明之效果，於氧化物沉積期間同時使用矽烷及TEOS前趨物進行氣曝露。使用矽烷及氮氧化物前趨物之氧化物沉積係於電漿反應器中使用以下物流進行。矽烷50 sccm，氮氧化物1200 sccm且D_2 0-200 sccm。本發明方法之優點係氣可置於裝置結構中任何所需之位置，僅需簡單地調整刑之導入相對於氧化物或多晶矽沉積之時序。使用前述參數沉積氧化物之速率係約75埃/秒。SIMS於沉積膜中於200 sccm流動下測得之氣標準係爲3E20原子/毫升，幾乎等於氫濃度。沉積所使用之射頻能量係爲250瓦。

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5　）

來自前文證明結果係出示於圖6。以原子/厘米^{3}表示之氘濃度係相對於以毫微米表示之沉積氧化物深度繪圖。此圖顯示氘可藉著於氧化物沉積期間曝露於氘而有效地置於所沉積之氧化物中。反應器中之氘流係始自零，而達到200 sccm，回至零，產生所示之結果。於沉積期間曝露於氘之優點係爲而視需要於任何位置放置較高濃度之氘。就特定用量下之氘而言，預測將氘放置於氧化物層內部的作法使得更多的氘於處理期間保持於該結構中。亦預測就同等效果而言，本發明方法需要之氘量少於先前技藝技術。

氘退火亦與使用TEOS之氧化物生長同時進行。此係使用標準TEOS沉積條件進行，添加之氘係由0-120 sccm。所沉積之膜中的氘濃度係爲中至高10E19範圍。就本發明而言，所沉積薄膜中某些部位上之氘濃度以至少1E+18爲佳，而大於1E+19更佳。反應器中達到該標準所需之氘濃度係視使用之方法而定，但通常建議至少爲該反應器環境體積之至少5百分比。使用本發明方法時，特定除氣效率所需之濃度應遠低於覺前技藝之後續金屬退火。

已發現氘於所沉積氧化物膜中之擴散速率變化極大，於以矽烷爲底質之沉積中的速率遠低於使用TEOS沉積之膜中的速率。因此本發明較佳具體實例建議，於TEOS沉積期間進行氘併入，之後沉積以矽烷爲底質之物質以作爲封包層，以減少氘自該氧化物向外擴散。

此等說明例中所使用之爐係爲AMI-5000電漿沉積系統。通常係於前述任何沉積操作之同時使晶圓於一氘氛圍中加

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6 ）

熱，因爲該晶圓所承受之溫度即足以將氘收納於晶圓中。於電漿處理中進行本發明方法之優點係爲處理溫度相當低，即300-500℃。因此於電漿爐中於第一層介電質階段(階段5)下進行氘退火可使該晶圓曝露於熱之情況減至最少，而使處理期間因向外擴散導致之氘損失減至最少。氘退火之較佳條件係爲至少約400℃之溫度，歷經至少1小時之時間。

熟習此技藝者已知矽積體電路裝置之製造一般包括較前述者複雜之處理。例如，形成多晶矽閘極之後，傳統上係沉積一氧化物層，並蝕刻該層以產生側牆間隔物，之後分兩步驟植入源極及汲極，以產生LDD結構。此等及其他步驟可包括於使用本發明技術之整體製程中。氘併入可有效地結合氧化物沉積，以形成該側牆間隔物，但較佳係於源極及汲極驅動並活化退火之後曝露於氘。

亦已知雖然製造序列中曝露於氘之較佳階段係爲源極汲極驅動及活化退火之後，但使用迅速熱退火方法可使氘向外擴散之時間縮至最短，使得於該階段曝露於氘之方法更具吸引力。

前文中，氘被描述爲較佳除氣劑，但已知亦可使用氚之其他同位素，而於本發明定義及申請專利範圍中，應被視爲同等於氘。

處理矽積體電路之技術通常係習用者，在進行本發明時不需特別解說。例如，沉積多晶矽之方法、多晶矽以微影術製作佈線圖型以形成閘極結構之方法、蝕刻多晶矽及中

經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

訂

線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7 ）

間層介電質之方法、沉積金屬互連層並製作佈線圖型之方法等，並非前述本發明之部分，但可視爲一般操作，以進行本發明之步驟。

熟習此技藝者可就本發明進行各種附加修飾。所有由本發明之特定教示出發而基本上基於本發明原理及其同等原理之變化皆適當地視爲涵蓋於所描述且提出申請之本發明範圍內。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

四、中文發明摘要（發明之名稱：矽積體電路裝置之鈍化技術）

本發明描述一種矽積體電路之氘退火方法，其中該矽晶圓係於製造之相當前期中退火，以將該氘放置於該熱載體注射部位附近。該氘退火可於正常處理操作期間進行，例如，氧化物沉積期間。使用本發明方法，該氘可放置於所需結構之任何位置上，包括一薄層內。製造過程中用以併入氘之較佳階段係為進行所有嚴苛熱處理之後，但於形成互連層之前，即，於第一個中間層介電質階法。

英文發明摘要（發明之名稱："PASSIVATING TECHNIQUES FOR SILICON IC DEVICES"）

The specification describes a method for deuterium annealing of silicon ICs in which the silicon wafer is annealed at a relatively early stage in fabrication so as to place the deuterium close to the site of hot carrier injection. The deuterium anneal can be carried out during a normal processing operation, e.g. oxide deposition. Using the invention the deuterium can be placed at any position in the structure desired, including within a layer. The preferred stage in the fabrication process for deuterium incorporation is after all severe thermal treatments but before interconnect layers are formed, i.e., at the first interlevel dielectric stage.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種製造矽積體電路之方法，包括步驟有：

(a)於一矽晶圓之部分上生長場氧化物，留下該晶圓之曝露部分，

(b)於該晶圓之曝露部分上生長閘極介電質，

(c)於該閘極介電質上沉積一多晶矽層，

(d)自該多晶矽層形成一矽閘極，

(e)於該晶圓中植入源極及汲極雜質，

(f)使該源極及汲極雜質退火，

(g)於該矽閘極上沉積一中間層介電質，

(h)於該中間層介電質上沉積一金屬互連層並製作佈線圖型，

其改良特徵爲該晶圓係於進行選自(c)、(f)及(g)之一步驟的同時於氘中加熱。

2. 如申請專利範圍第1項之方法，其中該晶圓係於進行步驟(g)之同時於氘中加熱。

3. 如申請專利範圍第1項之方法，其中該晶圓係於沉積該多晶矽層之步驟期間於氘氛圍中加熱。

4. 如申請專利範圍第1項之方法，其中該晶圓係於沉積該中間層介電層之步驟期間於氘氛圍中加熱。

5. 如申請專利範圍第4項之方法，其中該中間層介電層係使用TEOS作爲前趨物質而進行沉積。

6. 如申請專利範圍第4項之方法，其中該中間層介電層係使用矽烷作爲前趨物質而進行沉積。

7. 如申請專利範圍第5項之方法，其包括使用矽烷作爲前

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

趨物質而於該中間層介電層上沉積一介電層的附加步驟。

8. 如申請專利範圍第1項之方法，其中該晶圓係於進行選自(c)、(f)及(g)之一步驟的相同爐中於氘中加熱。

9. 如申請專利範圍第8項之方法，其中該中間層介電質係使用電漿方法沉積。

10. 如申請專利範圍第1項之方法，其中該晶圓係於至少400℃之溫度下加熱歷經至少一小時。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

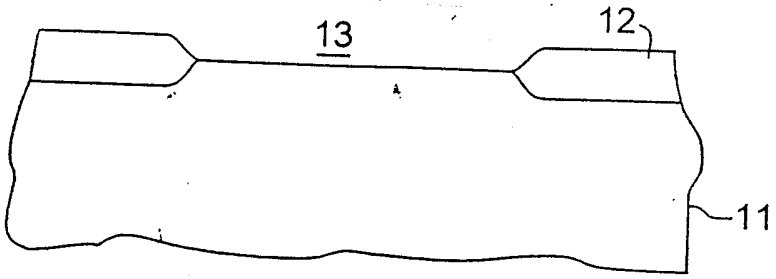

圖 1

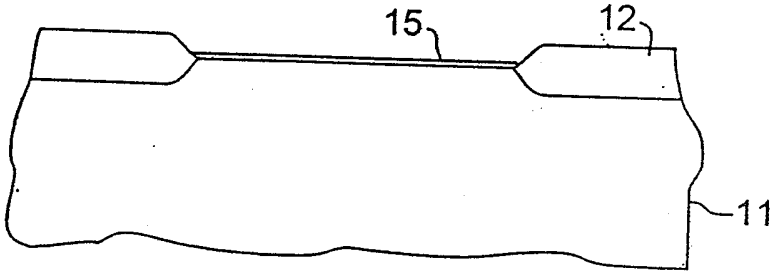

圖 2

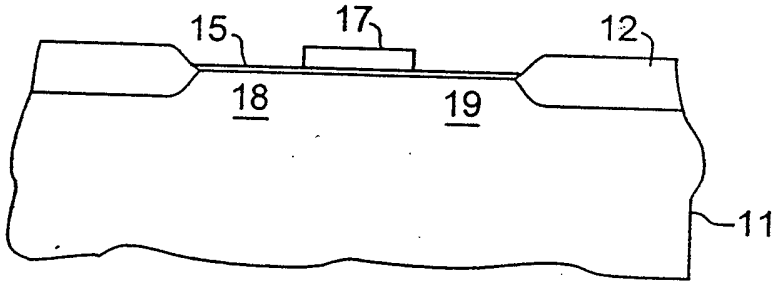

圖 3

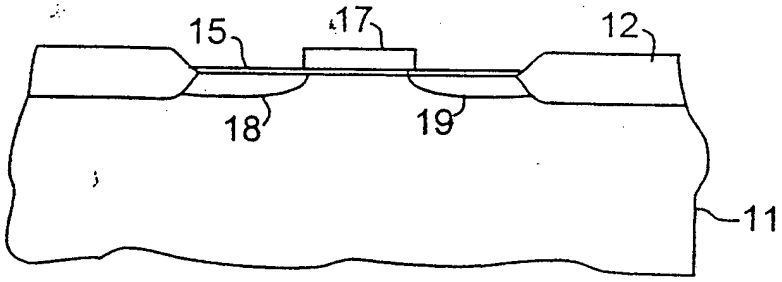
15
17
12
18
19
11

圖 4

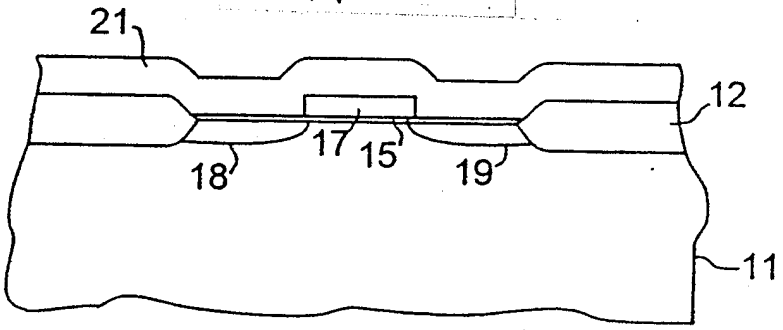
21
12
17
15
18
19
11

圖 5

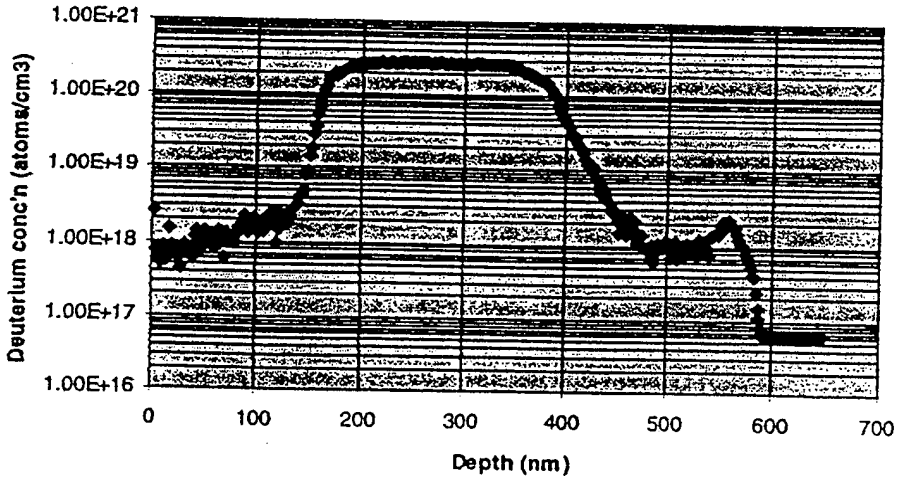
1.00E+21
1.00E+20
1.00E+19
1.00E+18
1.00E+17
1.00E+16
Deuterium conc'n (atoms/cm3)
0
100
200
300
400
500
600
700
Depth (nm)

圖 6

公告本

90年4月30日修正/更正/補充

申請日期	89、4、11
案號	89100453
類別	H01L 21/00

A4
C4

451263

（以上各欄由本局填註）

中文說明書修正頁(90年4月)

發明 新型 專利說明書

一、發明新型名稱	中文	矽積體電路裝置之鈍化技術
	英文	"PASSIVATING TECHNIQUES FOR SILICON IC DEVICES"
二、發明創作人	姓名	1.荷西 羅爾 貝茲 2.單曉金 3.艾希克 C. 齊西利亞利 4.芭芭拉 D. 高席亞斯 5.蓋瑞 羅柏 衛柏 6.蕭辛鴻
	國籍	1.4.5.美國 2.6.中國 3.土耳其
	住、居所	1.美國佛州奧蘭多市傑賽普林街13000號 2.美國佛州奧蘭多市杉林街4443號 3.美國佛州奧蘭多市雙跡街6535號 4.美國佛州奧蘭多市隆鷹街14703號 5.美國新澤西州白屋市春城路26號 6.美國佛州奧蘭多市杉林街4443號
三、申請人	姓名（名稱）	美商朗訊科技公司
	國籍	美國
	住、居所(事務所)	美國新澤西州摩里山丘市山脈大道600號
	代表人姓名	麥克 R. 格林

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS).A4 規格 (210 × 297 公釐)

裝 訂 線

五、發明說明（1）

發明範疇

本發明有關一種製造矽積體電路之方法，尤其有關一種矽積體電路之鈍化方法，用以改善裝置壽命。

發明背景

矽積體電路之氫鈍化已於業界使用多年。其係公認用以於p-n接合裝置中降低熱載體效應之技術。該積體電路裝置一般係於氫爐中接近處理循環末期時退火，以於裝置體中併入大量氫，而針對不需要之熱載體進行除氣功能。使用該裝置時，殘留之氫應於製造完成之後保持於該結構中。

於此情況下使用氫所公認之問題係為難以在所完成之積體電路中保持有效濃度之快速擴散氣體。目前，已提出使用氘以取代氫，因為氘具有相同之熱電子除氣功能，但較重，而擴散較為緩慢。亦建議使用氫之較高級同位素。亦建議於裝置製造過程中，使用供氧化物及多晶矽沉積使用之經氘化前趨物氣體，以於該矽積體電路裝置結構中併入氘。參照，例如美國專利申請案[Gregor等人申請案12-12]。使用經氘化之前趨物氣體諸如SiD_4或經氘化之TEOS ($Si(OC_2D_5)_4$)可產生效果，但此等材料相當昂貴。

隨著裝置尺寸之縮小，熱載體所產生之問題對於裝置性能及裝置壽命之負面影響愈大。因此，仍需要一種用以降低或消除熱載體之影響的改良技術。

發明概述

本發明已發展出一種使用氘將矽積體電路裝置鈍化之

經濟部中央標準局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：矽積體電路裝置之鈍化技術）

本發明描述一種矽積體電路之氘退火方法，其中該矽晶圓係於製造之相當前期中退火，以將該氘放置於該熱載體注射部位附近。該氘退火可於正常處理操作期間進行，例如，氧化物沉積期間。使用本發明方法，該氘可放置於所需結構之任何位置上，包括一薄層內。製造過程中用以併入氘之較佳階段係為進行所有嚴苛熱處理之後，但於形成互連層之前，即，於第一個中間層介電質階法。

英文發明摘要（發明之名稱："PASSIVATING TECHNIQUES FOR SILICON IC DEVICES"）

The specification describes a method for deuterium annealing of silicon ICs in which the silicon wafer is annealed at a relatively early stage in fabrication so as to place the deuterium close to the site of hot carrier injection. The deuterium anneal can be carried out during a normal processing operation, e.g. oxide deposition. Using the invention the deuterium can be placed at any position in the structure desired, including within a layer. The preferred stage in the fabrication process for deuterium incorporation is after all severe thermal treatments but before interconnect layers are formed, i.e., at the first interlevel dielectric stage.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）