

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁷
G11C 16/30

(45) 공고일자 2005년08월26일
(11) 등록번호 10-0510552
(24) 등록일자 2005년08월19일

(21) 출원번호 10-2003-0075225
(22) 출원일자 2003년10월27일

(65) 공개번호 10-2005-0040072
(43) 공개일자 2005년05월03일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 한옥기
경기도화성군태안읍반월리신영통현대아파트306동1502호

변대석
경기도용인시수지구풍덕천리1168삼성5차아파트519동303호

(74) 대리인 리엔목특허법인

심사관 : 조명관

(54) 향상된 전하전달 효율을 갖는 전하펌프 회로

요약

전하전달 트랜지스터의 바디효과를 감소시켜 전하전달 트랜지스터의 전하전달 효율을 향상시키고 결과적으로 펌핑효율이 향상되는 전하펌프 회로가 개시된다. 상기 전하펌프 회로는 각각 입력노드 및 출력노드를 갖고 서로 직렬연결되는 복수개의 승압단(boosting stage)들을 구비한다. 상기 승압단 각각은, 상기 입력노드에 일단이 연결되고 상기 승압노드에 다른 일단이 연결되는 전하전달 트랜지스터, 및 상기 전하전달 트랜지스터를 통해 전하가 전달되는 동안 상기 전하전달 트랜지스터의 벌크의 레벨을 상기 전하전달 트랜지스터의 상기 일단의 레벨과 같게 만들기 위한 제1스위치 트랜지스터를 구비하며, 상기 제1스위치 트랜지스터의 게이트는 상기 전하전달 트랜지스터의 게이트에 연결되는 것을 특징으로 한다.

대표도

도 2

명세서

도면의 간단한 설명

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 전하펌프 회로의 일예를 나타내는 회로도이다.

도 2는 본 발명의 일실시예에 따른 전하펌프 회로를 나타내는 회로도이다.

도 3A는 도 1에 도시된 종래의 전하펌프 회로에 대한 모의실험(simulation) 결과를 나타내는 도면이다.

도 3B는 도 2에 도시된 본 발명에 따른 전하펌프 회로에 대한 모의실험(simulation) 결과를 나타내는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로에 관한 것으로, 특히 전하펌프(charge pump) 회로에 관한 것이다.

일반적으로 소거 및 프로그램이 가능한 불휘발성 메모리 장치의 경우 F-N 터널링(Fowler-Nordheim Tunneling)이나 채널 핫 일렉트론 인젝션(Channel Hot Electron Injection) 특성을 이용하여 메모리셀의 소거 및 프로그램 동작이 수행된다. 이를 위해서는 통상 외부에서 공급되는 전원전압보다 높은 고전압이 요구된다. 이러한 고전압은 외부 핀을 통해 인가될 수도 있고 칩(chip) 내부에서 발생하여 사용될 수도 있다. 칩 내부에서 고전압을 발생하기 위해서는 고전압 발생회로가 필요하며 통상 이 고전압 발생회로를 전하펌프(charge pump)라 한다.

최근에 칩에 인가되는 전원전압의 지속적인 감소추세는 칩 내부에서의 고전압 발생을 더욱 어렵게 하고 있으며 이에 따라 저전압에서 고효율로 동작하는 전하펌프 회로가 절실히 요구되고 있다.

도 1은 종래의 전하펌프 회로의 일예를 나타내는 회로도이다. 도 1을 참조하면, 종래의 전하펌프 회로는 전하 공급부(10) 및 서로 직렬연결되는 복수개의 승압단(boosting stage)들(20,30,40,50)을 구비한다.

승압단들(20,30,40,50) 각각은, 전하전달(charge transfer) 트랜지스터(P21,P31,P41,P51), 제1스위치 트랜지스터(P22,P32,P42,P52), 제2스위치 트랜지스터(P23,P33,P43,P53), 제3스위치 트랜지스터(P24,P34,P44,P54), 제1커패시터(C21, C31,C41,C51), 제2커패시터(C22,C32,C42,C52), 제3커패시터(C23,C33,C43,C53), 제1다이오드(D21,D31,D41,D51), 및 제2다이오드(D22,D32,D42,D52)를 포함한다.

전하전달 트랜지스터(P21,P31,P41,P51)는 입력노드(I2,I3,I4,I5)의 전하, 다시말해 전단의 승압단에 의해 부스팅된 전하를 승압노드(O2,O3,O4,O5)로 전달하는 역할을 한다. 제1스위치 트랜지스터(P22,P32,P42,P52) 및 제2스위치 트랜지스터(P23,P33,P43,P53)는 전하전달 트랜지스터(P21,P31,P41,P51)의 벌크(B2,B3,B4,B5)의 전압이 입력노드(I2,I3,I4,I5)의 전압이나 승압노드(O2,O3,O4,O5)의 전압중 높은 전압으로 유지되도록 하기 위한 것이다.

제3스위치 트랜지스터(P24,P34,P44,P54), 제1커패시터(C21, C31,C41,C51), 제2커패시터(C22,C32,C42,C52), 제3커패시터(C23,C33,C43,C53), 제1다이오드(D21,D31,D41,D51), 및 제2다이오드(D22,D32,D42,D52)는 전하 승압(charge boosting)에 관련된 것들이다. 신호(PUMPEN)는 전하 공급부(10)를 인에이블시키기 위한 신호이고 신호들(PS1,PS2)는 승압을 제어하기 위한 신호이다. 신호(VPP)는 최종적으로 승압된 전압을 나타낸다.

전하펌프 회로에서는 입력노드(I2,I3,I4,I5)의 전하, 즉 전단의 승압단에 의해 부스팅된 전하가 전하전달 트랜지스터(P21,P31,P41,P51)를 통해 다음단의 승압단으로 전달될 때 전하전달 트랜지스터(P21,P31,P41,P51)에서의 제한(limit)이 없어야 한다. 다시말해 전하전달 트랜지스터(P21,P31,P41,P51)의 전하전달 효율이 높아야 한다.

그런데 상술한 종래의 전하펌프 회로에서는 전하전달 트랜지스터(P21,P31,P41,P51)를 통해 전하가 전달되는 동안 제1스위치 트랜지스터(P22,P32,P42,P52)의 게이트에 연결된 승압노드(O2,O3,O4,O5)의 전압레벨이 상승한다. 그 결과 제1스위치 트랜지스터(P22,P32,P42,P52)가 턴오프되어 전하전달 트랜지스터(P21,P31,P41,P51)의 벌크(B2,B3,B4,B5)의 전압은 방전되지 못하고 입력노드(I2,I3,I4,I5)의 전압이 높을 때의 바로 그 높은 전압이 그대로 유지된다.

이로 인하여 전하전달 트랜지스터(P21,P31,P41,P51)가 바디효과(body effect)의 영향을 받게 되어 전하전달 트랜지스터(P21,P31,P41,P51)의 문턱전압이 상승하게 되고 결국 전하전달 트랜지스터(P21,P31,P41,P51)의 전하전달 효율이 떨어지게 된다. 이러한 현상은 전하펌프 회로의 펌핑 효율을 떨어뜨린다.

발명이 이루고자 하는 기술적 과제

따라서 본 발명이 이루고자하는 기술적 과제는, 전하전달 트랜지스터의 바디효과를 감소시켜 전하전달 트랜지스터의 전하전달 효율을 향상시키고 결과적으로 펌핑효율이 향상되는 전하펌프 회로를 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일면(Aspect)에 따른 전하펌프 회로는 각각이 입력노드 및 승압노드를 갖고 서로 직렬연결되는 복수개의 승압단(boosting stage)들을 구비한다. 상기 승압단 각각은, 상기 입력노드에 일단이 연결되고 상기 승압노드에 다른 일단이 연결되는 전하전달 트랜지스터, 및 상기 전하전달 트랜지스터를 통해 전하가 전달되는 동안 상기 전하전달 트랜지스터의 벌크의 레벨을 상기 전하전달 트랜지스터의 상기 일단의 레벨과 같게 만들기 위한 제1스위치 트랜지스터를 구비하며, 상기 제1스위치 트랜지스터의 게이트는 상기 전하전달 트랜지스터의 게이트에 연결되는 것을 특징으로 한다.

상기 승압단 각각은, 상기 전하전달 트랜지스터의 벌크의 레벨을 상기 전하전달 트랜지스터의 상기 다른 일단의 레벨과 같게 만들기 위한 제2스위치 트랜지스터를 더 구비하고, 상기 제2스위치 트랜지스터의 게이트는 상기 전하전달 트랜지스터의 상기 일단에 연결된다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 일면(Aspect)에 따른 전하펌프 회로는 각각이 입력노드 및 승압노드를 갖고 서로 직렬연결되는 복수개의 승압단(boosting stage)을 구비한다. 상기 승압단 각각은, 일단이 상기 입력노드에 연결되고 다른 일단이 상기 승압노드에 연결되는 전하전달 트랜지스터, 일단이 상기 전하전달 트랜지스터의 상기 일단에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 벌크에 연결되고 게이트가 상기 전하전달 트랜지스터의 게이트에 연결되는 제1스위치 트랜지스터, 및 일단이 상기 전하전달 트랜지스터의 상기 다른 일단에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 벌크에 연결되고 게이트가 상기 전하전달 트랜지스터의 상기 일단에 연결되는 제2스위치 트랜지스터를 구비하는 것을 특징으로 한다.

본 발명과 본 발명의 동작 상의 잇점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 2는 본 발명의 일실시예에 따른 전하펌프 회로를 나타내는 회로도이다.

도 2를 참조하면, 본 발명의 일실시예에 따른 전하펌프 회로는 전하 공급부(100) 및 서로 직렬연결되는 복수개의 승압단들(60,70,80,90)을 구비한다.

전하 공급부(100)는 인에이블 신호(PUMPEN)에 응답하여 복수개의 승압단들중 첫번째 단(60)의 입력노드(I6)에 전하를 공급한다. 전하 공급부(100)는 소오스에 전원전압(VDD)이 인가되고 게이트에 인에이블 신호(PUMP)가 인가되며 드레인이 첫 번째 승압단(60)의 입력노드(I6)에 연결되는 피모스 트랜지스터(P101)를 포함하여 구성된다.

승압단들(60,70,80,90) 각각은, 전하전달 트랜지스터(P61,P71,P81,P91), 제1스위치 트랜지스터(P62,P72,P82,P92), 제2스위치 트랜지스터(P63,P73,P83,P93), 제3스위치 트랜지스터(P64,P74,P84,P94), 제1커패시터(C61,C71,C81,C91), 제2커패시터(C62,C72,C82,C92), 제3커패시터(C63,C73,C83,C93), 제1다이오드(D61,D71,D81,D91), 및 제2다이오드(D62,D72,D82,D92)를 포함한다.

전하전달 트랜지스터(P61,P71,P81,P91)는 입력노드(I6,I7,I8,I9)의 전하, 다시말해 전단의 승압단에 의해 부스팅된 전하를 승압노드(O6,O7,O8,O9)로 전달하는 역할을 한다. 전하전달 트랜지스터(P61,P71,P81,P91)는 입력노드(I6,I7,I8,I9)에 일단, 즉 소오스 및 드레인중 하나가 연결되고 승압노드(O6,O7,O8,O9)에 다른 일단, 즉 소오스 및 드레인중 다른 하나가 연결되는 피모스 트랜지스터로 구성된다. 전하전달 트랜지스터(P61,P71,P81,P91)는 각각 반도체 기판에 형성되고 플로팅되는 n형 웰(well)들 내에 각각 형성된다.

제1스위치 트랜지스터(P62,P72,P82,P92)는 전하전달 트랜지스터(P61,P71,P81,P91)를 통해 전하가 전달되는 동안 전하전달 트랜지스터(P61,P71,P81,P91)의 벌크(B6,B7,B8,B9)의 전압레벨을 입력노드(I6,I7,I8,I9)의 전압레벨과 같게 만드는 역할을 한다. 제2스위치 트랜지스터(P63,P73,P83,P93)는 전하전달 트랜지스터(P61,P71,P81,P91)의 벌크(B6,B7,B8,B9)의 전압레벨을 승압노드(O6,O7,O8,O9)의 전압레벨과 같게 만드는 역할을 한다.

제1스위치 트랜지스터(P62,P72,P82,P92)는 일단이 전하전달 트랜지스터(P61,P71,P81,P91)의 일단, 즉 입력노드(I6,I7,I8,I9)에 연결되고 다른 일단이 전하전달 트랜지스터(P61,P71,P81,P91)의 벌크(B6,B7,B8,B9)에 연결되고 특히 게이트가 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결된다. 제2스위치 트랜지스터(P63,P73,P83,P93)는 일단이 전하전달 트랜지스터(P61,P71,P81,P91)의 다른 일단, 즉 승압노드(O6,O7,O8,O9)에 연결되고 다른 일단이 전하전달 트랜지스터(P61,P71,P81,P91)의 벌크(B6,B7,B8,B9)에 연결되고 게이트가 전하전달 트랜지스터(P61,P71,P81,P91)의 일단, 즉 입력노드(I6,I7,I8,I9)에 연결된다.

제3스위치 트랜지스터(P64,P74,P84,P94), 제1커패시터(C61,C71,C81,C91), 제2커패시터(C62,C72,C82,C92), 제3커패시터(C63,C73,C83,C93), 제1다이오드(D61,D71,D81,D91), 및 제2다이오드(D62,D72,D82,D92)는 전하 승압(charge boosting)에 관련된 것들이다. 제어신호들(PS1,PS2)는 승압을 제어하기 위한 신호들이고 제어신호(PS1)와 제어신호(PS2)는 서로 반대의 위상을 갖는다.

제3스위치 트랜지스터(P64,P74,P84,P94)는 일단이 제2다이오드(D62,D72,D82,D92)의 네거티브 단자에 연결되고 다른 일단이 승압노드(O6,O7,O8,O9)에 연결되며 게이트가 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결된다.

제1커패시터(C61,C71,C81,C91)는 일단이 제어신호(PS1, PS2, PS1, PS2)에 연결되고 다른 일단이 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결된다. 제2커패시터(C62,C72,C82,C92)는 일단이 제어신호(PS2, PS1, PS2, PS1)에 연결되고 다른 일단이 제2다이오드(D62,D72,D82,D92)의 네거티브 단자에 연결된다. 제3커패시터(C63,C73,C83,C93)는 일단이 승압노드(O6,O7,O8,O9)에 연결되고 다른 일단이 제어신호(PS1,PS2,PS1,PS2)에 연결된다.

제1다이오드(D61,D71,D81,D91)는 포지티브 단자가 승압노드(O6,O7,O8,O9)에 연결되고 네거티브 단자가 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결된다. 제2다이오드(D62,D72,D82,D92)의 포지티브 단자는 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결된다. 여기에서 제1스위치 트랜지스터(P62,P72,P82,P92), 제2스위치 트랜지스터(P63,P73,P83,P93), 및 제3스위치 트랜지스터(P64,P74,P84,P94)는 피모스 트랜지스터로 구성된다.

상술한 바와 같이 본 발명에 따른 전하펌프 회로에서는 제1스위치 트랜지스터(P62,P72,P82,P92)의 게이트가 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트에 연결되어 있으며 전하전달 트랜지스터(P61,P71,P81,P91)의 게이트는 제1커패시터(C61,C71,C81,C91)를 경유하여 제어신호(PS1, PS2, PS1, PS2)에 연결되어 있다.

따라서 전하전달 트랜지스터(P61,P71,P81,P91)를 통해 전하가 전달되는 동안에는 즉 제어신호(PS1, PS2, PS1, PS2)가 논리로우인 동안에는, 제1스위치 트랜지스터(P62,P72,P82,P92)가 계속 턴온 상태를 유지하므로 결국 전하전달 트랜지스터(P61,P71,P81,P91)의 벌크(B6,B7,B8,B9)의 전압레벨은 입력노드(I6,I7,I8,I9)의 전압레벨과 거의 같아진다. 다시말해 전하 전달과정 초기에 높았던 벌크(B6,B7,B8,B9)의 전압레벨이, 전하전달에 의해 입력노드(I6,I7,I8,I9)의 전압레벨이 낮아짐에 따라 낮아지게 된다.

이에 따라 전하전달 트랜지스터(P61,P71,P81,P91)의 바디효과(body effect)가 감소되어 전하전달 트랜지스터(P61,P71,P81,P91)의 문턱전압이 상승되지 않는다. 그 결과 전하전달 트랜지스터(P61,P71,P81,P91)의 전하전달 효율이 향상되고 결과적으로 펌핑 효율이 향상된다.

도 3A는 도 1에 도시된 종래의 전하펌프 회로에 대한 모의실험(simulation) 결과를 나타내는 도면이고 도 3B는 도 2에 도시된 본 발명에 따른 전하펌프 회로에 대한 모의실험(simulation) 결과를 나타내는 도면이다.

도 3A에서 I_i , O_i , B_i 는 각각 도 1에 도시된 종래의 전하펌프 회로에서 전하전달 트랜지스터(P21,P31,P41,P51)중 어느 하나의 입력노드의 전압, 승압노드의 전압, 및 벌크의 전압을 나타낸다. 도 3B에서 I_j , O_j , B_j 는 각각 도 2에 도시된 본 발명에 따른 전하펌프 회로에서 전하전달 트랜지스터(P61,P71,P81,P91)중 어느 하나의 입력노드의 전압, 승압노드의 전압, 및 벌크의 전압을 나타낸다. PS1는 전하전달 트랜지스터에 인가되는 제어신호를 나타낸다.

도 3A를 참조하면, 종래의 전하펌프 회로에서는 전하전달 트랜지스터를 통해 전하가 전달되는 동안에 즉 제어신호(PS1)가 논리로우인 동안에 전하전달 트랜지스터의 벌크(Bi)의 전압은 방전되지 못하고 입력노드(Ii)의 전압이 높을 때의 바로 그 높은 전압이 거의 그대로 유지됨을 볼 수 있다. 반면에 도 3B를 참조하면, 본 발명에 따른 전하펌프 회로에서는 제어신호(PS1)가 논리로우인 동안에 전하전달 트랜지스터의 벌크(Bj)의 전압이 초기에 높았던 전압레벨로부터 입력노드(Ij)의 전압레벨에 근접하게 낮아짐을 볼 수 있다.

이하 본 발명에 따른 전하펌프 회로의 동작이 좀 더 설명된다. 인에이블 신호(PUMPEN)가 로우(low)로 활성화되고 제1 제어신호(PS1)와 제2제어신호(PS2)가 배타적으로 펄스동작을 시작하면, 첫 번째 승압단(60)의 입력노드(I6)는 전원전압(VDD)에 연결되고 승압단들(60,70,80,90)의 전하펌핑 동작이 시작된다. 이때, 제1제어신호(PS1)가 로우이고 제2제어신호(PS2)가 하이(high)이면 전하전달 트랜지스터(P61)의 게이트의 전압이 소오스, 즉 입력노드(I6)의 전압보다 문턱전압이 상 낮아져 전하전달 트랜지스터(P61)가 턴온되고 이에 따라 전원전압(VDD)으로부터 입력노드(I6)로 유입된 전하가 승압노드(O6)로 전달된다.

이후, 제1제어신호(PS1)가 하이(高)가 되고 제2제어신호(PS2)가 로우(低)가 되면 이번에는 전하전달 트랜지스터(P71)의 게이트 전압이 소오스, 즉 입력노드(I7)의 전압보다 문턱전압이 상 낮아져 전하전달 트랜지스터(P71)가 턴온되고 이에 따라 승압노드(O6), 즉 입력노드(I7)의 전하가 승압노드(O7)로 전달된다. 이때, 전하전달 트랜지스터(P61)의 게이트 전압은 승압노드(O6)의 전하가 다이오드(D61)를 통해 전하전달 트랜지스터(P61)의 게이트로 이동함으로써 높아지게 되며, 따라서 승압노드(O6)의 전하는 입력노드(I6)로 역류되지 않는다.

이와 같은 동작이 직렬로 연결된 승압단들에서 연속적으로 일어나 전하가 전원(VDD)으로부터 마지막 승압단(90)까지 전달되며 일부의 전하는 승압노드(O6,O7,O8,O9)의 전압을 높이는 데 사용되게 된다. 마지막 승압단(90)으로 전달된 전하는 제1제어신호(PS1)가 로우(低)가 될 때 출력(VPP)로 전달된다. 이와 같은 과정을 통해 승압노드(O6,O7,O8,O9)의 전압 및 출력(VPP)의 전압은 점차로 상승하게 된다.

이상 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 전하펌프 회로는 전하전달 트랜지스터의 바디효과를 감소시켜 전하전달 트랜지스터의 전하전달 효율을 향상시키고 결과적으로 펌핑효율을 향상시키는 장점이 있다.

(57) 청구의 범위

청구항 1.

각각이 입력노드 및 승압노드를 갖고 서로 직렬연결되는 복수개의 승압단(boosting stage)들을 구비하고,

상기 승압단 각각은,

상기 입력노드에 일단이 연결되고 상기 승압노드에 다른 일단이 연결되는 전하전달 트랜지스터; 및

상기 전하전달 트랜지스터를 통해 전하가 전달되는 동안 상기 전하전달 트랜지스터의 벌크의 레벨을 상기 전하전달 트랜지스터의 상기 일단의 레벨과 같게 만들기 위한 제1스위치 트랜지스터를 구비하며,

상기 제1스위치 트랜지스터의 게이트는 상기 전하전달 트랜지스터의 게이트에 연결되는 것을 특징으로 하는 전하펌프 회로.

청구항 2.

제1항에 있어서, 상기 승압단 각각은,

상기 전하전달 트랜지스터의 벌크의 레벨을 상기 전하전달 트랜지스터의 상기 다른 일단의 레벨과 같게 만들기 위한 제2 스위치 트랜지스터를 더 구비하고,

상기 제2스위치 트랜지스터의 게이트는 상기 전하전달 트랜지스터의 상기 일단에 연결되는 것을 특징으로 하는 전하펌프 회로.

청구항 3.

제2항에 있어서, 상기 승압단 각각은,

일단이 제1제어신호 및 제2제어신호중 하나에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 게이트에 연결되는 제1커패시터;

일단이 상기 제1제어신호 및 제2제어신호중 다른 하나에 연결되는 제2커패시터;

일단이 상기 승압노드에 연결되고 다른 일단이 상기 제1제어신호 및 제2제어신호중 어느 하나에 연결되는 제3커패시터;

포지티브 단자가 상기 승압노드에 연결되고 네거티브 단자가 상기 전하전달 트랜지스터의 게이트에 연결되는 제1다이오드;

포지티브 단자는 상기 전하전달 트랜지스터의 게이트에 연결되고 네거티브 단자는 상기 제2커패시터의 다른 일단에 연결되는 제2다이오드; 및

일단이 상기 제2다이오드의 네거티브 단자에 연결되고 다른 일단이 상기 승압노드에 연결되며 게이트가 상기 전하전달 트랜지스터의 게이트에 연결되는 제3스위치 트랜지스터를 더 구비하는 것을 특징으로 하는 전하펌프 회로.

청구항 4.

제3항에 있어서, 상기 전하전달 트랜지스터 및 상기 제1 내지 제3스위치 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 전하펌프 회로.

청구항 5.

제1항에 있어서,

인에이블 신호에 응답하여, 상기 직렬연결되는 복수개의 승압단들중 첫단의 입력노드에 전하를 공급하는 전하 공급부를 더 구비하는 것을 특징으로 하는 전하펌프 회로.

청구항 6.

각각이 입력노드 및 승압노드를 갖고 서로 직렬연결되는 복수개의 승압단(boosting stage)을 구비하고,

상기 승압단 각각은,

일단이 상기 입력노드에 연결되고 다른 일단이 상기 승압노드에 연결되는 전하전달 트랜지스터;

일단이 상기 전하전달 트랜지스터의 상기 일단에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 벌크에 연결되고 게이트가 상기 전하전달 트랜지스터의 게이트에 연결되는 제1스위치 트랜지스터; 및

일단이 상기 전하전달 트랜지스터의 상기 다른 일단에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 벌크에 연결되고 게이트가 상기 전하전달 트랜지스터의 상기 일단에 연결되는 제2스위치 트랜지스터를 구비하는 것을 특징으로 하는 전하펌프 회로.

청구항 7.

제6항에 있어서, 상기 승압단 각각은,

일단이 제1제어신호 및 제2제어신호중 하나에 연결되고 다른 일단이 상기 전하전달 트랜지스터의 게이트에 연결되는 제1커패시터;

일단이 상기 제1제어신호 및 제2제어신호중 다른 하나에 연결되는 제2커패시터;

일단이 상기 승압노드에 연결되고 다른 일단이 상기 제1제어신호 및 제2제어신호중 어느 하나에 연결되는 제3커패시터;

포지티브 단자가 상기 승압노드에 연결되고 네거티브 단자가 상기 전하전달 트랜지스터의 게이트에 연결되는 제1다이오드;

포지티브 단자는 상기 전하전달 트랜지스터의 게이트에 연결되고 네거티브 단자는 상기 제2커패시터의 다른 일단에 연결되는 제2다이오드; 및

일단이 상기 제2다이오드의 네거티브 단자에 연결되고 다른 일단이 상기 승압노드에 연결되며 게이트가 상기 전하전달 트랜지스터의 게이트에 연결되는 제3스위치 트랜지스터를 더 구비하는 것을 특징으로 하는 전하펌프 회로.

청구항 8.

제7항에 있어서, 상기 전하전달 트랜지스터 및 상기 제1 내지 제3스위치 트랜지스터는 피모스 트랜지스터인 것을 특징으로 하는 전하펌프 회로.

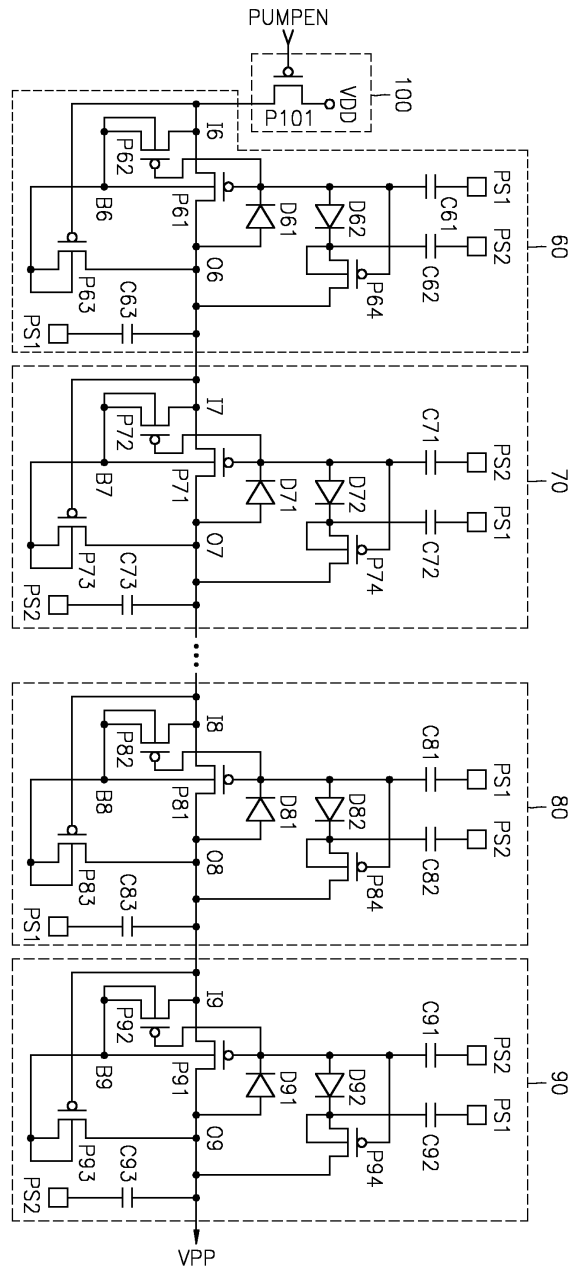
청구항 9.

제6항에 있어서,

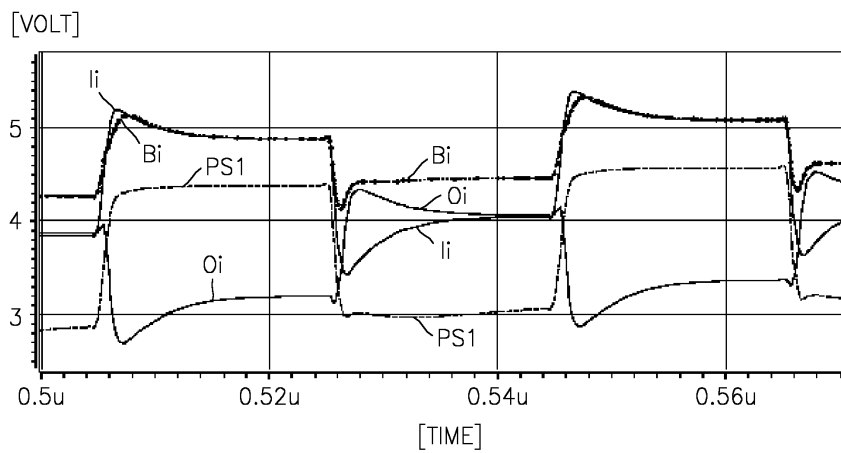
인에이블 신호에 응답하여, 상기 직렬연결되는 복수개의 승압단들중 첫단의 입력노드에 전하를 공급하는 전하 공급부를 더 구비하는 것을 특징으로 하는 전하펌프 회로.

도면

도면2



도면3



도면4

