



# [12] 发明专利说明书

[21] ZL 专利号 02121633.9

[45] 授权公告日 2005 年 2 月 2 日

[11] 授权公告号 CN 1187834C

[22] 申请日 2002.5.31 [21] 申请号 02121633.9

[30] 优先权

[32] 2001. 5. 31 [33] JP [31] 165449/2001

[71] 专利权人 精工爱普生株式会社

地址 日本东京都

[72] 发明人 大轮义仁

审查员 白 燕

[74] 专利代理机构 中国专利代理(香港)有限公司

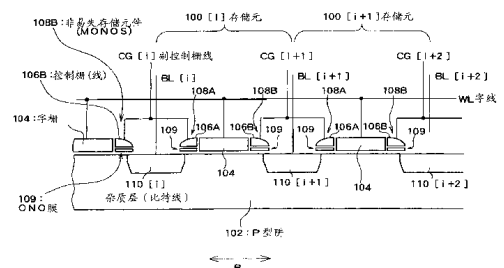
代理人 陈景峻 张志醒

权利要求书 3 页 说明书 14 页 附图 13 页

[54] 发明名称 非易失性半导体存储器

[57] 摘要

非易失性半导体存储器把包含由 1 个字栅和 2 个控制栅控制的 2 个 MONOS 存储元件的存储元在第 1、第 2 方向分别多个配列构成。存储元阵列区包含使沿第 1 方向配列的各列存储元的各控制栅沿着第 1 方向连接形成的多条控制栅线,和在多条控制栅线的上层,沿着前述第 1 方向伸延、为多条控制栅线数一半的副控制栅线。夹置在第 2 方向的多个存储元之间各个边界相邻接的各 2 条控制栅线公共连接在各 1 条的副控制栅线上。



ISSN 1008-4274

1. 非易失性半导体存储器,其特征为,包含存储元阵列区,该区使具有由1个字栅和2个控制栅控制的2个非易失性存储元件的存储元在相交叉的第1及第2方向上各自多个配列而形成,

5 前述存储元阵列区包含:对沿着前述第1方向配列的各列前述存储元的各个前述控制栅沿前述第1方向连接形成的多条控制栅线,和在前述多条控制栅线的上层上沿着前述第1方向伸延、为前述多条控制栅线数一半的副控制栅线,

各2条前述控制栅线夹置前述第2方向的前述多个存储元间的各个边界而相邻,并且公共连接在各1条的前述副控制栅线上。

2. 根据权利要求1所述的非易失性半导体存储器,其特征为,还包含:

在前述第1方向与前述存储元阵列区邻接配置的选择区和在前述选择区及前述存储元阵列区上沿着前述第1方向伸延、比  
15 前述多条副控制栅线数少的多条主控制栅线,

前述选择区包含对前述多条副控制栅线选择、连接在前述多条主控制栅线的副控制栅选择电路。

3. 根据权利要求2所述的非易失性半导体存储器,其特征为,前述选择区包含在前述第1方向,夹置前述存储元阵列区的两侧  
20 上设置的第1及第2选择区。

前述第1选择区包含选择奇数及偶数的副控制栅线的一方,在前述多条主控制栅线上连接的第1副控制栅线的选择电路,

前述第2选择区包含选择前述奇数及偶数的副控制栅线的另一方,在前述多条主控制栅线上连接的第2副控制栅选择电路。

4. 根据权利要求1~3所述的非易失性半导体存储器,其特征为,前述2个非易失性存储元件具有由氧化膜、氮化膜及氧化膜构成的膜作为电荷俘获中心。

5. 非易失性半导体存储器,其特征为,包含存储元件阵列区,该区对具有由1个字栅和2个控制栅控制的2个非易失性存储元在相交叉的第1及第2方向上各自多个配列形成,  
30 前述存储元阵列区包含:

沿着第1方向配列的多个存储元的两侧上,由沿着前述第1方向

延伸的杂质层形成的多条比特线，和

对沿着前述第 1 方向的各列前述存储元的各个前述控制栅沿着前述第 1 方向连接形成的、为前述多条比特线数 2 倍的控制栅线，

在前述多条控制栅线的上层，沿着前述第 1 方向伸延的、与前述  
5 多条比特线数相同数的副控制栅线，和

沿着前述第 2 方向伸延的多条字线；

夹置前述第 2 方向的前述多个存储元间的各个边界相邻接的各 2 条前述控制栅线公共连接在各 1 条的前述副控制栅线上。

6. 根据权利要求 5 所述的非易失性半导体存储器，其特征为，  
10 偶数比特线两侧的各 2 条控制栅线分别公共连接在偶数副控制栅线的各条上，

奇数比特线两侧的各 2 条控制栅线分别公共连接在奇数副控制栅线的各条上。

7. 根据权利要求 6 所述的非易失性半导体存储器，其特征为，  
15 前述多条比特线的各条包含把前述第 1 方向上不连续区分界的多条比特分割线。

与构成各 1 条比特线的前述多条比特分割线的各条分别连接的多条副比特线在前述多条比特线的上层上沿着前述第 1 方向伸延。

8. 根据权利要求 7 所述的非易失性半导体存储器，其特征为，还  
20 包含：

在前述第 1 方向夹置前述存储元阵列区的两侧上设置的第 1 及第 2 选择区，和

在前述第 1，第 2 选择区及前述存储元阵列区上，沿着前 1 方向延伸、比前述多条副控制栅线数少的多条主控制栅线，和

25 在前述第 1，第 2 选择区及前述存储元阵列区上，沿着前述第 1 方向伸延、比前述多条副比特线数少的多条主比特线；

前述第 1 选择区包含选择奇数及偶数的副比特线的一方，在前述多条主比特线上连接的第 1 副比特选择电路，和

30 选择前述奇数及偶数的副控制栅线的一方，在前述多条主控制栅线上连接的第 1 副控制栅选择电路；

前述第 2 选择区包含选择前述奇数及偶数的副比特线的另一方，在前述主比特线上连接的第 2 副比特选择电路，和

选择前述奇数及偶数的副控制栅线的另一方，在前述多条主控制栅线上连接的第 2 副控制栅选择电路。

9. 根据权利要求 8 所述的非易失性半导体存储器，其特征为，前述多条副比特线是第 1 层金属配线层。

5        10. 根据权利要求 9 所述的非易失性半导体存储器，其特征为，前述多条副控制栅线是第 2 层金属配线层。

11. 根据权利要求 10 所述的非易失性半导体存储器，其特征为，前述多条主比特线及前述多条主控制栅线是第 3 层金属配线层。

10       12. 根据权利要求 5 所述的非易失性半导体存储器，其特征为，在前述存储元阵列区及其两侧的前述第 1、第 2 选择区上构成 1 单位的存储块，多个存储块沿前述第 1 方向配列。

13. 根据权利要求 12 所述的非易失性半导体存储器，其特征为，在前述多个存储块的前述第 1 方向的一端上设置驱动前述多条主比特线的主比特线驱动器，

15       在前述多个存储块的前述第 1 方向的另一端上设置驱动前述多条主控制栅线的主控制栅线驱动器。

14. 根据权利要求 12 所述的非易失性半导体存储器，其特征为，在前述多只存储块第 2 方向的一端上，设置驱动前述字线的字线驱动器。

20       15. 根据权利要求 14 所述的非易失性半导体存储器，其特征为，在前述第 2 方向、夹置前述字线驱动器的两侧上，分别配置前述多只存储块。

25       16. 根据权利要求 5 至 15 的任意一项所述的非易失性半导体存储器，其特征为，前述 2 个非易失性存储元件具有以氧化膜、氮化膜及氧化膜构成的膜作为电荷俘获中心。

## 非易失性半导体存储器

## 技术领域

5 本发明涉及包含由 1 个字栅和 2 个控制栅控制的 2 只非易失性存储元件的存储元构成的非易失性半导体存储器。

## 背景技术

众知作为非易失性半导体器，沟道和栅极间的栅绝缘层由氧化硅膜、氮化硅膜及氧化硅膜的叠层体构成的、俘获氮化硅膜上电荷的  
10 MONOS（金属—氧化物—氮化物—氧化物—半导体或衬底）型。

该 MONOS 型非易失性半导体存储器在文献（Y. Hayashi, et al. 2000 Symposium on VLSI Technology Digest of Technical Papers p. 122-p. 123）内公开。在该文献公开包含由 1 个字栅和 2 个控制栅控制的 2 只非易失性元件（MONOS 存储元）的双 MONOS 闪存存储元。即 1  
15 只闪存存储元具有 2 只电荷俘获中心。

为了驱动该双 MONOS 闪存存储元，需要 2 条比特线，1 条字线，2 条控制栅线。

在这些配线中，2 条比特线和 2 条控制栅线通常沿列方向配线。这时，在其 1 列的多个存储元群的宽度内，即使用最小宽度的线和间隔  
20 的光刻工序，使 4 条配线（2 条比特线和 2 条控制栅线）作成同一层的金属配线也是困难的。

作为结果，扩展 1 列的存储元群的宽度，只确保配线间隔。可是，一旦这样作，降低了存储元的集成度，不能适应近年来非易失性半导体存储器的大容量化。

## 25 发明内容

本发明提供 1 存储元具有 2 俘获中心高集成的非易失性半导体存储器。

本发明的其它目的提供减少用于控制栅供电的配线，可以使配线的配置具有容限和自由度的非易失性半导体存储器。

30 本发明还有一个其它目的提供使用于控制栅及比特线的配线的配置具有容限和自由度的非易失性半导体存储器。

本发明一形态的非易失性半导体存储器包含使具有由 1 只字栅和

2 只控制栅控制的 2 只非易失性存储元件的存储元沿相互交叉的第 1 及第 2 方向各自多个配列构成的存储元阵列区域。前述存储元阵列区域包含使沿前述第 1 方向配列的各列的前述存储元各自的前述控制栅沿

着前述第 1 方向连接、形成的多条控制栅线，和在前述多条控制栅线的上层沿着前述第 1 方向伸延、为前述多条控制栅线数一半的副控制栅线。夹置在前述第 2 方向的前述多个存储元间的各个边界相邻接的各 2 条前述控制栅线共同连接在各 1 条前述副控制栅线上。

5 因为根据本发明的一形态，对控制栅数而言，副控制栅数大体减少到一半，所以在配置副控制栅线的层上，在配线间隔上产生富裕，配线自由度提高了。

而且，即使 1 存储元具有 2 俘获中心，为了确保用于金属配线的间隔，也没有必要降低集成度，可以提供高集成度的非易失性半导体  
10 存储器。

设置前述存储元阵列区和在前述第 1 方向邻接、配置的选择区，在前述选择区及前述存储元阵列区上，沿着前述第 1 方向伸延、比前述多条副控制栅线数少的多条主控制栅线。该选择区具有在前述多条主控制栅线上选择前述多条副控制栅线连接的副控制栅选择电  
15 路。

这样一来，因为可以进一步降低主控制栅线的数目比副控制栅线数还少，所以，即使在配置主控制栅线的层上，配线间隔上也产生富裕，提高了配线的自由度。

前述选择区最好包含沿着前述第 1 方向夹置前述存储元阵列区的  
20 两侧上设置的第 1 及第 2 选择区域。这时，在前述第 1 选择区上设置选择奇数及偶数的副控制栅线的一方，在前述多条主控制栅线上连接的第 1 副控制栅选择电路。在前述第 2 选择区上设置选择前述奇数及偶数的副控制栅线的另一方，在前述多条主控制栅线上连接的第 2 副控制栅选择电路。

25 通过把多条副控制栅线延长的先前的选择区分成 2 个，进一步提高副控制栅线的配线自由度。

本发明的其它形态的非易失性半导体存储器的前述存储元阵列区域，

还包含在前述多条控制栅线的上层上沿着前述第 1 方向伸延、与  
30 多条比特线同数目的副控制栅线，和沿着前述第 2 方向伸延的多条字线。这时，夹持前述第 2 方向的前述多条存储元间各个边界相邻接的各 2 条前述控制栅线共同连接在各 1 条前述副控制栅线上。

根据本发明的其它形态，使多条副控制栅线和多条比特线的各条数目相等。因而，一旦形成多条比特线的层，便形成多条副控制栅线层的层，并可以共同地设置线和间隔宽度。

5 这里，偶数比特线两侧的各 2 条控制栅线可以分别共同连接在偶数的副控制栅线的各线上。同样，奇数比特线两侧的各 2 条控制栅线可以分别共同连接在奇数的副控制栅线的各线上。

10 前述多条比特线的各条线在前述第 1 方向夹置不连续区，可以分断成多条比特分割线。这时，设置了分别与构成各 1 条比特线的前述多条比特分割线连接的多条副比特线。由此，利用副比特线可以确保第 1 方向上分断的比特线。

15 夹置在前述第 1 方向上前述存储元阵列区的两侧上设置的第 1 及第 2 选择区，和前述第 1、第 2 选择区及前述存储元阵列区上还可以设置沿着前述第 1 方向，比前述多条副控制栅数少的多条主控制栅线，和在前述第 1、第 2 选择区及前述存储元阵列区上沿着前述第 1 方向伸延、比前述多条副控制栅线少的多条主比特线。

这样一来，因为可以分别减少主比特线及主控制栅线数，所以即使把主比特线及主控制栅线配置在同一层上，在配线数总数减少的分配线的间隔上也产生富裕。

20 即，可以使前述多条主比特线及前述多条主控制栅线例如共同作成第 3 层的金属配线层。

通过使多条副比特线及多条副控制栅线延长的先前的选择区分成 2 个，进一步提高各配线的自由度。

25 这时，前述第 1 选择区包含选择奇数及偶数的比特线的一方，连接在前述多条主比特线上的第 1 副比特选择电路，和选择前述奇数及偶数的副控制栅线的一方，连接在前述多数主控制栅线上的第 1 副控制栅选择电路。前述第 2 选择区包含选择前述奇数及偶数的副比特线的另一方，连接在前述多条主比特线上的第 2 副比特选择电路，和选择前述奇数及偶数的副控制栅线的另一方，连接在前述多条控制栅线上的第 2 副控制栅选择电路。

30 这样，因为可以把副比特线选择电路及副控制栅分散在第 1、第 2 选择区，所以电路设计变得容易。

在前述存储元阵列区及其两侧的前述第 1、第 2 选择区上构成 1 单



位的存储块可以使多只存储块沿前述第 1 方向配列。这样可谋求非易失性半导体存储器件的存储容量的大容量化。可以缩短副控制栅线及副比特线的长度，改善起因于配线容量的不合适情况。可以对每块分批消除数据，与存储器全部数据消除比较，可以减小其消除单位。

5 这时，可以在前述多条存储块的前述第 1 方向的一端上设置驱动前述多条比特线的主比特线驱动器。

这样一来，通过多只存储块共用多条主比特线，而且也可以通过多只存储块共用主比特线驱动器。

再加上，前述多只存储块在前述第 1 方向的另一端上，可以设置  
10 驱动前述多条主控制栅线的主控制栅线驱动器。

这样一来，通过多只存储块共用多条主控制栅线，并且也可以通过多只存储块共用主控栅线驱动器。

前述多只存储块在第 2 方向的一端上，可以设置驱动前述字线的字线驱动器。为了使非易挥发性半导体存储器件的存储容量更加大容量化，在前述第 2 方向上夹置前述字线驱动器的两侧上也可以分别配置  
15 前述多只存储块。

前述 2 只非易失性存储元件可以具有由氧化膜 (O)、氮化膜 (N) 及 (N) 及氧化膜 (O) 形成的 ONO 膜作为电荷俘获中心，但并不限于此，也可采用其它构造。

20 附图说明

图 1 是本发明一实施形态的非易失性半导体存储器用的存储元断面图。

图 2 是图 1 所示的存储元的等效电路图。

图 3 是用于说明用图 1 所示的非易失性半导体存储器的数据读出  
25 动作的概略说明图。

图 4 是示出图 1 所示存储元的控制栅电压 VCG 和源一漏电流  $I_{ds}$  之间关系的特性图。

图 5 是用于说明图 1 所示非易失性半导体存储器的数据写入（程序）动作的概略说明图。

30 图 6 是用于说明图 1 所示非易失性半导体存储器的数据消除动作的概略说明图。

图 7 是图 1 所示非易失性半导体存储器整体平面布局图。

图 8 是示出图 1 所示非易失性半导体存储器整体的其它例平面布局图。

图 9 是示出图 7 或图 8 所示的存储块的详情的概略说明图。

图 10 是图 9 所示存储块内的存储元阵列区的配线图。

5 图 11 是示出图 10 所示存储元阵列区的比特线和控制栅线的配线布局一例的配线图。

图 12 是示出图 10 所示存储元阵列内的副比特线和主比特线之间的配线图。

10 图 13 是示出图 10 所示存储元阵列内的副控制栅线和主控制栅线之间关系的配线图。

具体实施方式

以下参考附图说明本发明的实施形态

(存储元构造)

15 图 1 示出非易失性半导体存储器的一个断面，图 2 是其等效电路图。在图 1，一只存储元 100 包含在硅基片上的 P 型阱区 102 上经栅氧化膜，用包含例如多晶的硅材料形成的字线 104 和 2 个控制栅 106A、106B，和 2 个存储元件 (MONOS 存储元) 108A、108B。

2 个控制栅 106A、106B 在字栅 104 的两侧壁上形成、与字栅 104 分别电绝缘。

20 2 个存储元件 108A、108B 的每个通过与 MONOS 的 M (金属) 相当的 2 个控制栅 106A、106B 之一和与 MONOS 的 S (硅) 相当的 P 型阱 102 之间叠层氧化膜 (O)、氮化膜 (N) 及氧化膜 (O) 构成。控制栅 106A、106B 可以由掺杂硅、硅化物等导电材料构成。

25 这样，1 个存储元 100 包含具有 2 个分离栅 (控制栅 106A、106B) 的 2 个 MONOS 存储元 108A、108B、在 2 个 MONOS 存储元 108A、108B 上共用一个字栅 104。

该 2 个 MONOS 存储元 108A、108B 分别作为电荷俘获中心起作用。2 个 MONOS 存储元 108A、108B 的每个在 ONO 膜 109 俘获电荷是可能的。

30 如图 1 及图 2 所示，在行方向 (图 1 及图 2 的第 2 方向 B) 上设置间隔、配列的多个字栅 104 在多侧边等形成的 1 条字线 WL 上共同连接。

图 1 所示的控制栅 106A、106B 沿着列方向 (垂直图 1 纸面的第 1 方向 A) 伸延、在列方向配列的多条存储元 100 上共用。因而，符号

106A、106B 也称为控制栅线。

这里， $[i]$  号的存储元 100 $[i]$  的控制栅线 106B 和  $[i+1]$  号的存储元 100 $[i+1]$  的控制栅线 106A 上连接由例如比控制栅线更上层形成的第 2 层的金属层构成的副控制栅线 CG $[i+1]$ 。

- 5 在 P 型阱 102 上设置第  $[i]$  号存储元 100 $[i]$  的 MONOS 存储元 108B 和第  $[i+1]$  号存储元 100 $[i+1]$  的 MONOS 存储元 108A 共用的  $[i+1]$  号杂质层 100 $[i+1]$ 。

10 这些杂质层 110 $[i]$ 、 $[i+1]$ 、 $[i+2]$  例如在 P 型阱内形成，作为沿列方向（与图 1 纸面垂直的第 1 方向 A 方向）伸延、在列方向配列的多个存储元 100 上共用的比特线起作用。因而符号 110 $[i]$ ， $[i+1]$ ， $[i+2]$  等也称为比特线。

在这些杂质层（比特线）110 $[i]$ ， $[i+1]$ ， $[i+2]$  上，连接例如在第 1 层金属层上形成的副比特线 BL $[i]$ ， $[i+1]$ ， $[i+2]$ 。

（从存储元的数据读出动作）

- 15 一个存储元 100，如图 2 所示，可以由字栅 104 驱动的晶体管 T2 和由 2 只控制栅 106A，106B 分别驱动的晶体管 T1，T3 串联成为模式化。

20 在说明存储元 100 动作时，如图 3 所示，首先说明邻接的 2 个存储元 100 $[i]$ ， $[i+1]$  的各处电位设定。图 3 是说明从存储元 100 $[i]$  的字线 104 右侧的 MONOS 存储元 108B 的数据读出图。在以下的动作说明中，假定晶体管 T1~T3 的阈值电压小于 2.5 伏。

25 这时，在各字栅 104 上加例如 2.5 伏，使各晶体管 T2 导通。此外，在存储元 100 $[i]$  左侧的控制栅 106A 上经副控制栅线 CG $[i]$  加过量电压（例如 5V），使与 MONOS 存储元 108A 相当的晶体管 T1 导通。作为存储元 100 $[i]$  右侧的控制栅 106B 的电位 VCG，加读出电位 Vread。

这时，在字线 104 右侧的 MONOS 存储元 108B 上是否存储电荷，与 MONOS 存储元 108B 相当的晶体管 T3 的动作如以下所示区分。

30 图 4 示出向存储元 100 $[i]$  右侧的控制栅 106B 所加电压和与由此控制的 MONOS 存储元 108B 相当的晶体管 T3 的源-漏之间流过的电流  $I_{ds}$  的关系。

如图 4 所示，在 MONOS 存储元 108B 上未存储电荷时，一旦控制栅电位 VCG 超过低阈值  $V_{low}$ ，则开始流过电流  $I_{ds}$ 。与此相反，在 MONOS

存储元 108B 上存储电荷时，只要控制栅电位 VCG 未超过高的阈值电压  $V_{high}$ ，则不开始流过电流  $I_{ds}$ 。

这里，数据读出时，在控制栅 106B 上所加电压  $V_{read}$  设定在 2 个阈值电压  $V_{low}$ ， $V_{high}$  的大体中间电压（例如 2.5V）。

5 从而，在 MONOS 存储元 108B 上未存储电荷时，流过电流  $I_{ds}$ ，在 MONOS 存储元 108B 上存储电荷时，则没有电流  $I_{ds}$  流过。

这里，数据读出时把杂质层 110[i]（比特线[i]）连接在读出放大器上，把杂质层 110[i+1]（比特线[i+1]）的电位  $V_{D[i+1]}$  设定在 1.5V 上。这样一来，由于在 MONOS 存储元 108 上未存储电荷时，流过  
10 电流  $I_{ds}$ ，经导通状态的晶体管 T1，T2，在副比特线 BL[i] 上例如流过大于  $2.5\mu A$  的电流。与此相反，由于在 MONOS 存储元 108B 上存储电荷时没有电流  $I_{ds}$  流过，所以即使晶体管 T1，T2 处于导通状态，在副比特线 BL[i] 内流过的电流成为例如小于 10nA。因而，通过读出放大器检测在副比特线 BL[i] 内流过的电流，从双存储元 100[i] 的 MONOS  
15 存储元件 108B（选择元）的数据读出成为可能。

即使在存储元 100[i+1]，晶体管 T1，T2 也导通，而晶体管 T3 的控制栅电位 VCG 取作 0V，因为电位 VCG 比图 3 的 2 个阈值电压  $V_{low}$ ， $V_{high}$  双方还低，所以在存储元 100[i+1]，没有源-漏电流流过。因而，  
20 在存储元 100[i+1] 的数据存储状况不会对从存储元 100[i] 的数据读出给予不良影响。

在从存储元 100[i] 左侧的 MONOS 存储元 108A 读出数据时，对存储元 100[i-1]，[i] 的各处电位也可以与上述同样设定。

（存储元的编程）

图 5 是说明存储元 100[i] 的字栅 104 栅右侧的 MONOS 存储元 108  
25 的数据编程。在该数据编程动作前，实施后述的数据消除动作。

在图 5，与图 3 相同，副控制栅线 CG[i] 电位取作过量电位（例如 5V），副控制栅线 CG[i+2] 电位取作 0V。各字栅 104 电位通过字线 WL 约设定为 0.77~1V。存储元 100[i] 的右侧控制栅 108 的电位经副控制栅线 CG[i+1] 设定在图 4 的写入电位  $V_{write}$ （例如 5~6V），第 [i+1]  
30 的杂质层 110[i+1]（比特线 BL[i+1]）的电位  $V_{D[i+1]}$  经副比特线 BL[i+1] 设定在例如 4.5~5V。

这样一来，存储元 100[i] 的晶体管 T1，T2 各自导通，在向杂质

层 110[i] 流过电流  $I_{ds}$  的一方，在 MONOS 存储元 108B 的 ONO 膜 109 上沟道热电子 (CHE) 陷落。这样，实施 MONOS 存储元 108B 的编程动作，写入数据「0」或「1」。

(存储元的数据消除)

5 图 6 是说明在字线 WL 上连接的 2 个存储元 100[i], [i+1] 的数据消除图。

在图 6, 各字栅 104 的电位通过字线 WL 设定在例如 0V, 通过副控制线 CG[i], [i+1], [i+2], 控制栅 106A, 106B 电位约设定在例如 -5V ~ -6V。通过副比特线 BL[i], [i+1], [i+2], 杂质层 (比特线) 110[i], [i+1], [i+2] 的各电位设定在 3 ~ 4V (与 P 型阱电位相等)。

10 这样一来, 在各 MONOS 存储元 108A, 108B 的 ONO 膜 109 上陷落的电子由金属 (M) 上加的 -5V ~ -6V 和硅 (S) 上加的 3 ~ 4V 形成的电场, 通过隧道效应穿透而消除。由此在多个存储元同时消除数据成为可能。作为消除动作, 与上述的不同, 也可以通过形成比特的杂质层表面的能带—能带隧道效应, 形成热空穴, 消除存储的电子。

(非易失性半导体存储器的整体构成)

参照图 7 及图 8 说明用上述存储元 100 构成的非易失性半导体存储器。

20 图 7 是非易失性半导体存储器的平面布局图, 存储区 200 分成例如 32 个存储块 201。在该存储区 200 的第 1 方向一端设置主控制栅线驱动器 202, 而在第 1 方向 A 的另一端上分别设置主比特线驱动器 204 及读出放大器 206。在存储区 200 的第 2 方向 B 的一端上设置字线驱动器 208。

25 主控制栅线驱动器 202 是存储块 No. 0 ~ No. 31 的各存储块 201, 驱动由沿第 1 方向 A 伸延的例如第 3 层的金属配线层构成的主控制栅线 MCG0, MCG1, ... 的。

同样, 主比特线驱动器 204 是存储块 No. 0 ~ No. 31 的各存储块 201, 驱动由沿第 1 方向伸延的例如第 3 层的金属配线层构成的主比特线 MBL0, MBL1, ... 的。

30 图 8 示出具有 2 个存储区 200A, 200B 的非易失性半导体存储器件。这时, 对存储区 200A 设置主控制栅线驱动器 202A, 主比特线驱动器 204A 及读出放大器 206A, 对存储区 200B 设置主控制栅线驱动器

202B, 主比特线驱动器 204B 及读出放大器 206B。字线驱动器 208 配置在 2 个存储区 200A, 200B 之间, 在存储区 200A, 200B 上可以共用。

不限于图 7 及图 8 的布局, 各种变形是可能的。例如存储区 200 的存储容量为 16M 比特时, 具有 4 个存储区 200 的非易失半导体存储器的存储容量为  $16 \times 4 = 64\text{M}$  比特。

对具有 16M 比特的存储容量的存储区 200 分成 32 个的各存储块 201 在 1 条字线 WL 上连接 2K 个 (4K 比特) 的存储元 100, 在各存储块上配置 128 条字线 WL。因而, 各存储块 201 具有  $32\text{K}$  字 =  $64\text{K}$  字节的存储容量。在图 7 及图 8 的各存储区 200 (200A, 200B) 通过输出端子 D0 ~ D15 可以同时读和写各 1 比特共计 16 比特的数据。

(存储块的构成)

其次, 参照图 9, 说明把存储区分成例如 32 个的 1 存储块 201 的构成。

图 9 示出在图 7 及图 8 所示 1 存储块 201 内的平面布局。在图 9, 存储块 201 具有在相交叉的第 1 及第 2 方向 A、B 上多个配列各自的存储元阵列 100 形成的存储区 210。在夹置存储元阵列区的两侧, 在第 1 方向 A 的两端上设置第 1 选择区 220 和第 2 选择区 222。第 1 选择区 220 分成奇数的副控制栅选择电路 212 和偶数的副比特选择电路 216 的各区。同样, 第 2 选择区 222 分成偶数副控制栅选择电路 214 和奇数副比特选择电路 218 的各区。

图 10 ~ 图 13 示出存储块 201 内的存储元阵列区 210 的具体内容。在图 10 ~ 图 13, 在存储元阵列区 210 内设置向第 2 方向 B 伸延的、例如 256 条字线 WL0 ~ WL255, 例如在多侧边上形成。

如图 10 所示, 在各副比特线 BL0, BL1... 的两侧上配置控制栅线 106A, 106B。因而, 控制栅线 106A, 106B 的总数约为副比特线 BL0, BL1... 总数的 2 倍。

在图 12, 偶数的副比特线 BL0, BL2, BL4, ... 延长形成直到在第 1 方向 A 的一侧配置的第 1 区 220 的偶数副比特选择电路 216。奇数的副比特线 BL1, BL3, BL5... 延长形成直到在第 1 方向 A 的另一端上配置的第 2 选择区 222 的奇数副比特选择电路 218。

偶数的副控制栅线 CG0, CG2... 的各线, 如图 13 所示, 延长形成直到第 2 选择区 222 的偶数副控制栅选择电路 214 的区域。奇数的副控

制栅线 CG1, CG3, ...的各线, 如图 13 所示, 延长形成直到第 1 选择区 220 的奇数副控制栅选择电路 212 的区域。

5 在第 1 选择区 220 上设置的偶数副比特选择电路 216 包含, 如图 12 所示, 根据选择信号线 SEL (BL) 0, SEL (BL) 2 的电位, 把偶数的副比特线 BL0, BL2 的任意一方转换连接到作为第 3 层的金属配线层的主比特线 MBL0 的晶体管 230, 232。晶体管 234, 236 把偶数副比特线 BL4, BL6 的任意一方连接到主比特线 MBL2 上。

10 在第 2 选择区 222 上设置的奇数副比特选择电路包含, 如图 12 所示, 根据选择信号线 SEL (BL) 1, SEL (BL) 3 的电位, 把奇数副比特线 BL1, BL3 的任意一方转换连接到作为第 3 层的金属配线层的主比特线 MBL1 的晶体管 240, 242。晶体管 244, 246 把奇数副比特线 BL5, BL7 的任意一方连接到主比特线 MBL3 上。

15 在第 1 选择区 220 上设置的奇数副控制选择电路 212 包含, 如图 13 所示, 根据选择信号线 SEL (CG) 1, SEL (CG) 3 的电位, 把奇数副控制栅线 CG1, CG3 的任意一方转换连接到作为第 3 层金属配线层的主控制栅线 M CG1 的晶体管 250, 252。晶体管 254, 256 把奇数副控制栅线 CG5, CG7 的任意一方连接主控制栅线 M CG3 上。

20 在第 2 选择区 222 上设置的偶数副控制栅选择电路 214 包含, 如图 13 所示, 根据选择信号线 SEL (CG) 0, SEL (CG) 2 的电位, 把偶数副控制栅线 CG0, CG2 的任意一方转换连接到作为第 3 层的金属配线层的主控制栅线 MCG0 的晶体管 260, 262。晶体管 264, 266 把偶数副控制栅线 CG4, CG6 的任意一方连接在主控制栅线 MCG2 上。

25 这样, 通过用主控制线驱动器 202 及主比特线驱动器 204 驱动主控制栅线 MCG 及主比特线 MBL 的同时, 用奇数·偶数副控制栅选择电路 212, 214, 奇数·偶数副比特选择电路 216, 218 转换主一副的连接, 可以对上述存储元 100 实施数据读出、数据写入(程序)及数据消除。

30 在图 12, 例如将选择信号线 SEL (BL) 0 共同连接在晶体管 230, 234 的栅极上, 然而也可以用 2 条选择信号线 SEL (BL)。其它的选择信号线 SEL (BL) 1 ~ 线 SEL (BL) 3 及图 13 所示的选择信号线 SEL (CG) 0 ~ SEL (CG) 3 也可以分成各自的 2 条选择信号线。

(配线布局)

如图 11 所示, 夹置第 2 方向 B 的多个存储元 100 间的各个边界相邻接的各 2 条控制栅线 106B, 106A 包含线间宽度为  $W1$  的宽线间幅宽区 107A, 和 2 条公共连接在 1 条上的公共连接区 107B, 和配置在线间宽的区 107A 及公共连接区 107B 以外区域的线间幅宽为  $W2$  的狭线间幅  
5 狭区 107C。

这里, 夹持第 2 方向 B 的多个存储元 100 间的各个边界相邻接的各 2 条控制栅线 106B, 106A 经设置在公共连接区 107B 上连接部 107D, 连接在各 1 条副控制栅线 CG0, CG1, CG2, CG3 上。

这里, 连接在各 2 条控制栅线 106B, 106A 的各 1 条副控制栅线  
10 CG0, CG1, CG2, CG3, ... 是第 2 层的金属配线。因而, 在连接部 107D 的位置上具有公共连接区 107B, 和连接第 1 层金属配线的接触片, 和岛状的第 1 层金属配线, 和连接该第 1 层金属配线和副控制栅线的通路。

比特线 110[0] 夹置与公共连接区 107B 上下对置的不连区续  
15 107E, 分断成多个区, 在图 11 图示了 2 条比特分割线 110[0]-1, 110[0]-2。该 2 条比特分割线 110[0]-1, 110[0]-2 由杂质层形成, 以其低电阻化作为目的, 也可以在杂质层表面上形成硅化物。而且, 构成 1 条比特线 110[0], 例如 2 条比特分割线 110[0]-1, 110[0]-2 分别连接在 1 条副比特线 BL0 上。

这里, 比特分割线 110[0]-2 在与线间幅宽区 107A 上下对置的区  
20 域上具有线宽从宽  $W2$  展宽到宽  $W1$  的线宽扩大区 111。经该线幅扩大区 111 上设置的接触片 107F 连接在副比特线 BL0 上。比特分割线 110[0]-1 和副比特线 BL 的连接未图示, 也可以经设置在形成存储元 100 的区域外配置的线幅扩大区 111 (未图示) 的接触片 107F (未图  
25 示) 连接。

这样, 因为通过沿第 1 方向 A 伸延的副比特线 BL0 衬里, 分断成多段例如 2 段的比特线 110[0]-1, 11-[0]-2, 共同地设置在同电位。

对上述比特线 110[0] 的构造及其与副比特线 BL0 的连接也可同样适用其它全部的比特线 100[1], 100[2], 100[3]。

如图 11 所示, 在第 2 方向 B, 在夹置公共区域 107B 的两侧上配置  
30 线间幅狭区 107A, 107A。

因此, 在存储元阵列区 210 上, 在第 1 方向 A 分离的位置上设置



第 2 配线专用区 211A, 211B (参照图 10 ~ 图 13)。而且, 如图 10 所示, 在第 1 配线专用区 211A 上设置对奇数副控制栅线 CG1, CG3, CG5, CG7, ... 连接的各 2 条控制栅线的线间幅宽区 107A 和对偶数副控制栅线 CG0, CG2, CG4, CG6, ... 连接的各 2 条控制栅线的公共连接区 107B。

5 在第 2 配线专用区 211B 上设置对偶数副控制栅线 CG0, CG2, CG4, CG6, ... 连接的各 2 条控制栅线的线间幅宽区 107A 和对奇数副控制栅线 CG1, CG3, CG5, CG7, ... 连接的各 2 条控制栅线的公共连接区 107B。

这里, 如图 10 及图 11 所示, 对副控制栅线 CG 连接的连接部 107D 和对其副控制栅线 CG 相邻的副比特线 BL 连接的接触片 107F 在沿第 1 10 方向 A 伸延的大体同一直线上存在。因此, 如图 10 及图 12 所示, 副比特线 BL 在第 1 配线专用区 211A 或第 2 配线专用区 211B 上例如在右侧迂回形成, 以便避开连接部 107D 的位置。

在迂回形成副比特线 BL 位置的相邻处, 为了确保与该副比特线 BL 之间的间隔, 形成副控制栅 CG, 以便至少在右侧也迂回, 其理由是, 15 在图 10, 从 2 条控制栅线 106B, 106A 的线间中央向右侧偏移的位置上设置了公共连接区 107B。如果在 2 条控制栅线 106B, 106A 的线间中央设置公共连接区, 则不必要迂回副控制栅 CG。

这里, 如图 11 所示, 在第 2 方向 B, 在夹置公共连接区 107B 的两侧上配置线间幅狭区 107A, 配置 107A 的理由如下所述。

20 即, 在偶数比特分割线 110[0]-2, 110[2]-2 上设置接触片 107F 的第 2 配线专用区 211B 上, 为了确保与接触片 107F 的连接区, 有必要使比特分割线的线宽从宽度 W2 扩展到宽度 W1。这时, 如果在偶数比特分割线 110[0]-2, 110[2]-2 的各线宽扩大区 111, 111 间, 设置奇数比特数 110[1], 则必须展宽各比特线的间距。这样一来, 不能提高 25 存储元的集成度。

因此, 偶数比特分割线 110[0]-2, 110[2]-2 的各线宽扩大区 111, 111 间, 配置比特线 110[1] 的不连续区 107E, 对各比特线间距设定在最小。

30 在偶数的比特分割线 110[0]-2, 110[2]-2 的各线宽扩大区 111, 111, 分别各自配置控制栅线的线间幅宽区 107A, 107A。因为这 2 个线间幅宽区 107A, 107A 之间的宽度狭, 所以该宽度狭的区域上配置控制栅线 106B, 106A 的公共连接区 107B。这样, 相邻的控制栅线间可

以确保间隔。

同样地，即使是在第1配线专用区211A，也在奇数比特分割线的各线宽扩大区107A，107A之间设置偶数的比特线不连续区107E，使该区作为2条控制栅线106B，106A的公共连接区107B。

- 5 本发明不限于上述实施形态，在本发明的要旨范围内种种变形实施是可能的。

例如，对非易失存储元件108A，108B的构造不限于MONOS构造。通过1个字栅104和2个控制栅106A，106B，本发明也适用于在2处独立俘获电荷的其它各种存储元的非易失性半导体存储器。

- 10 在图10以副比特线BL的延长方向作成偶数、奇数交替地反方向，然而也可以偶数及奇数共同地构成同一方向。这时，也可以在第1，第2选择区220，222的一方上设置副比特选择电路216，218，在其另一方上也可以设置副控制栅选择电路212，214。

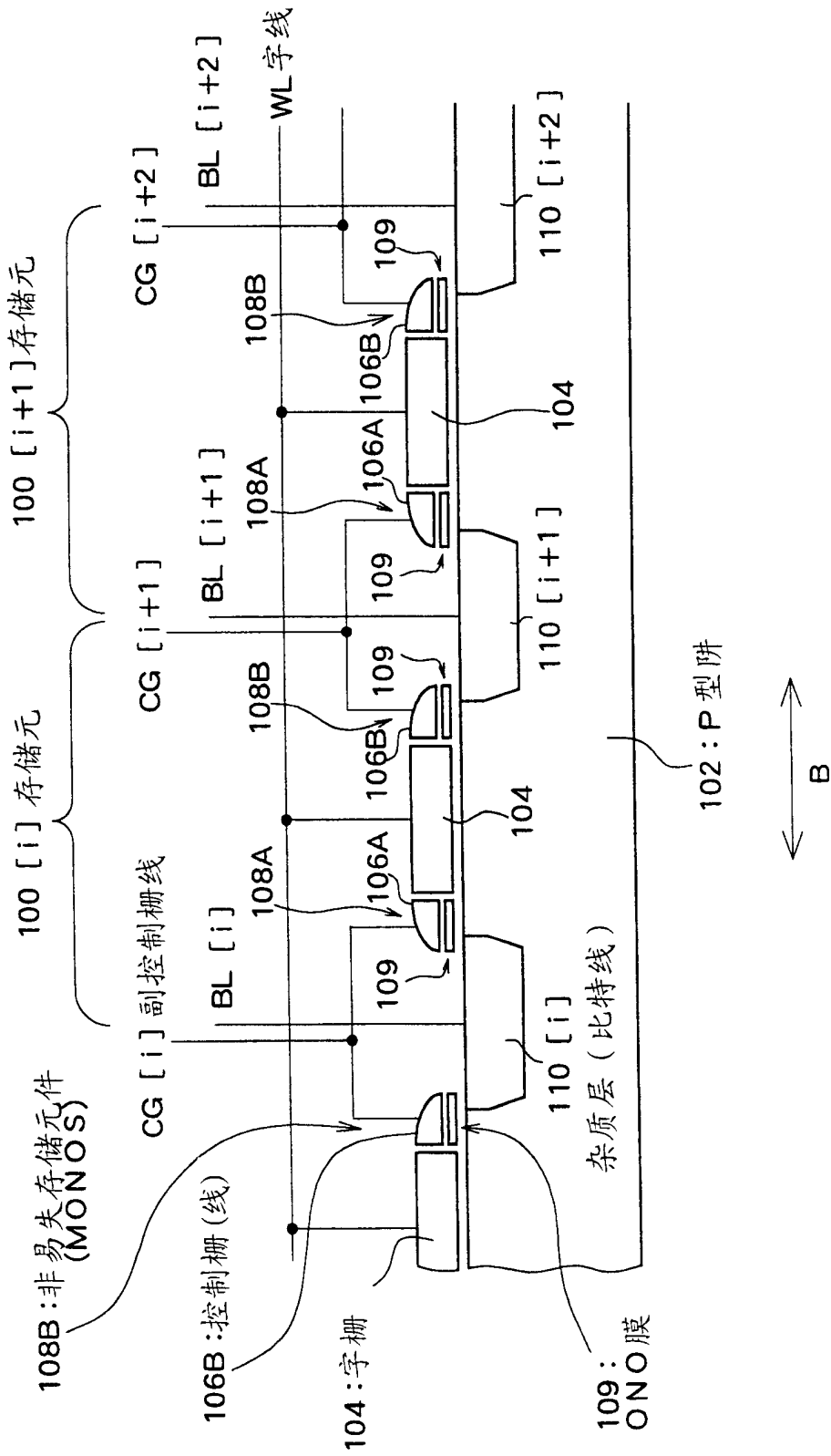


图 1

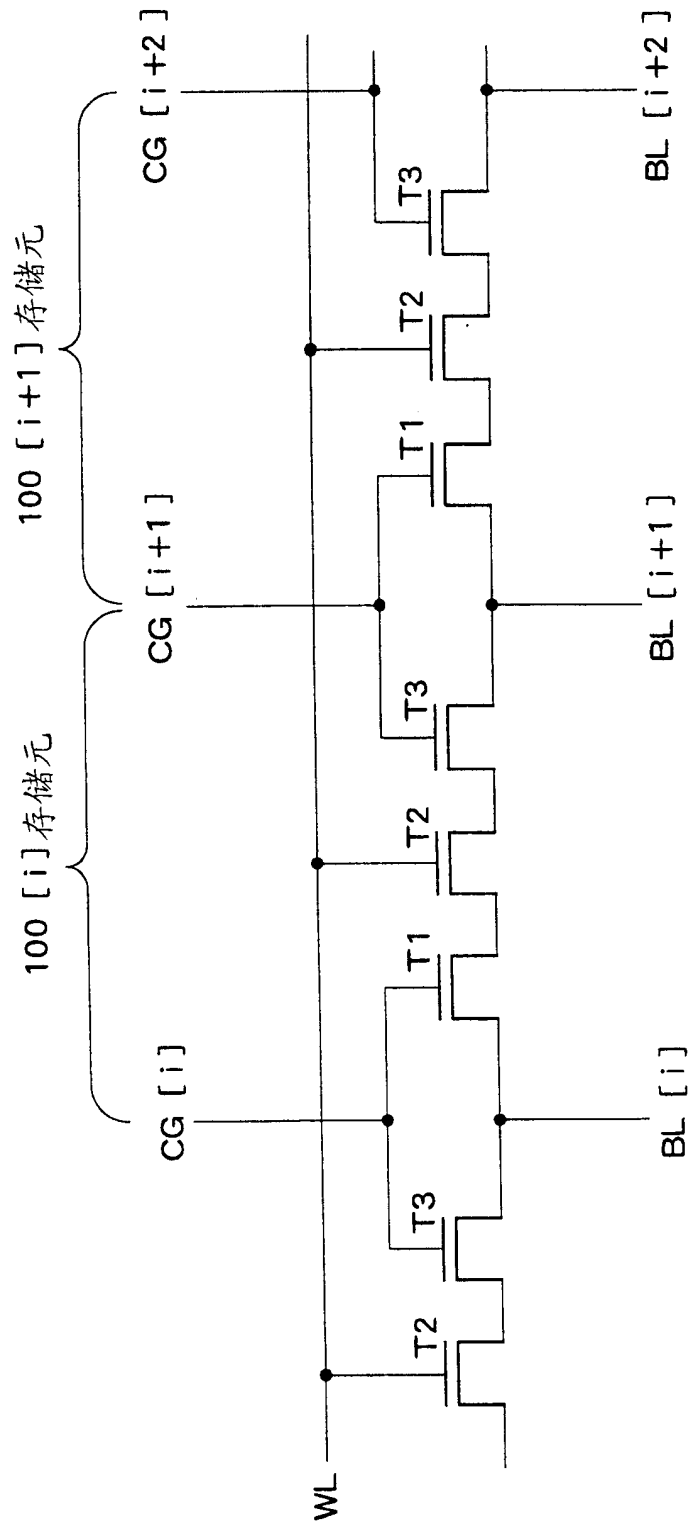


图 2



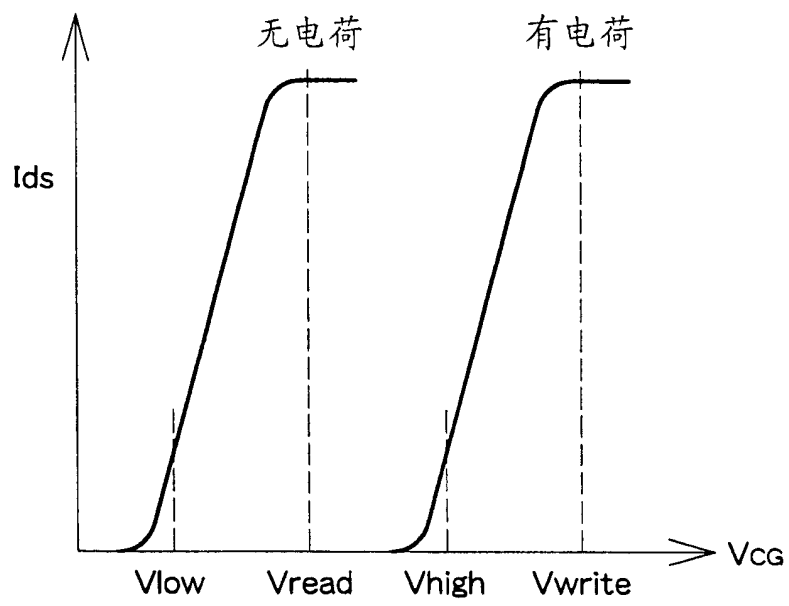


图 4

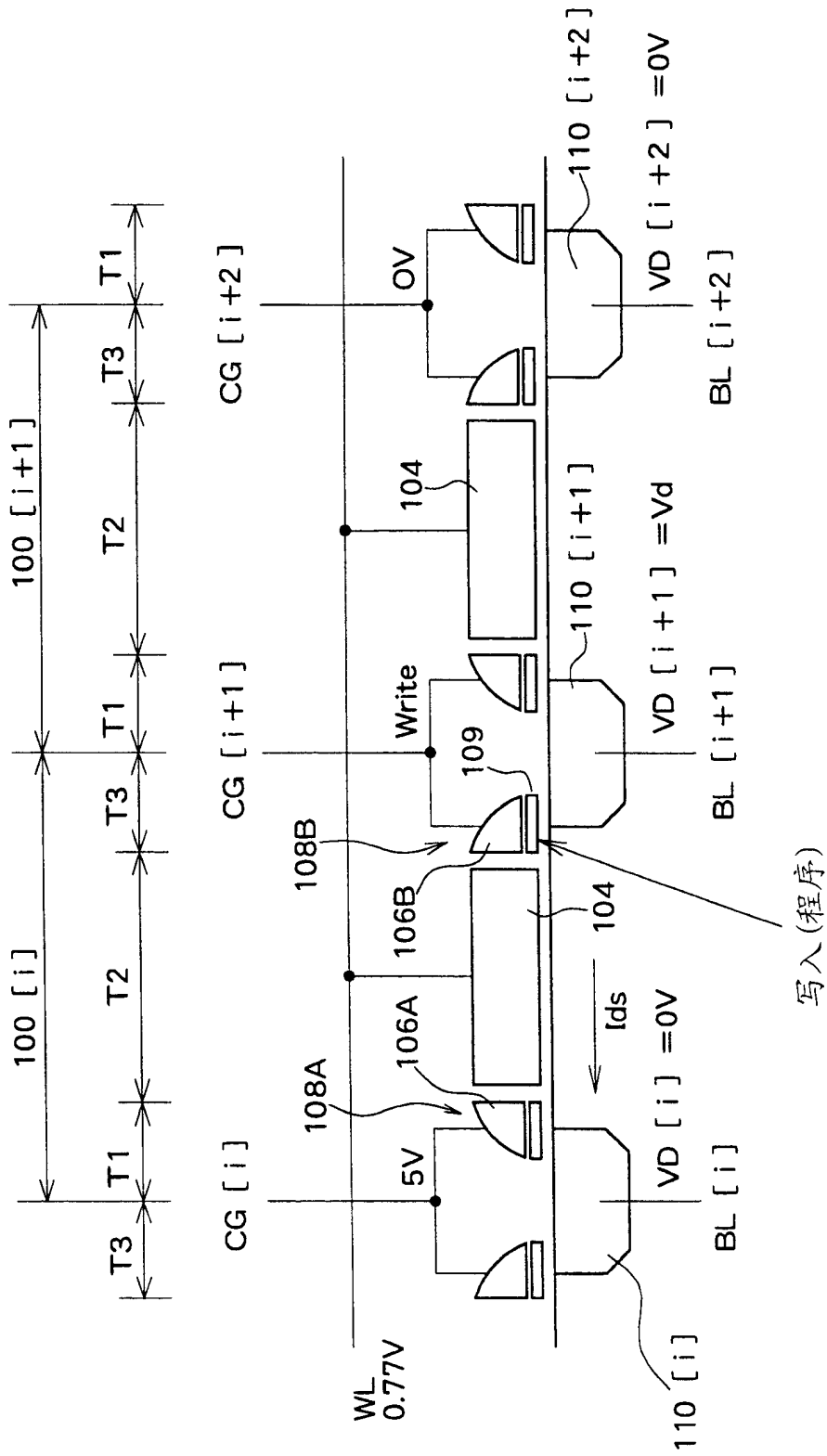


图 5





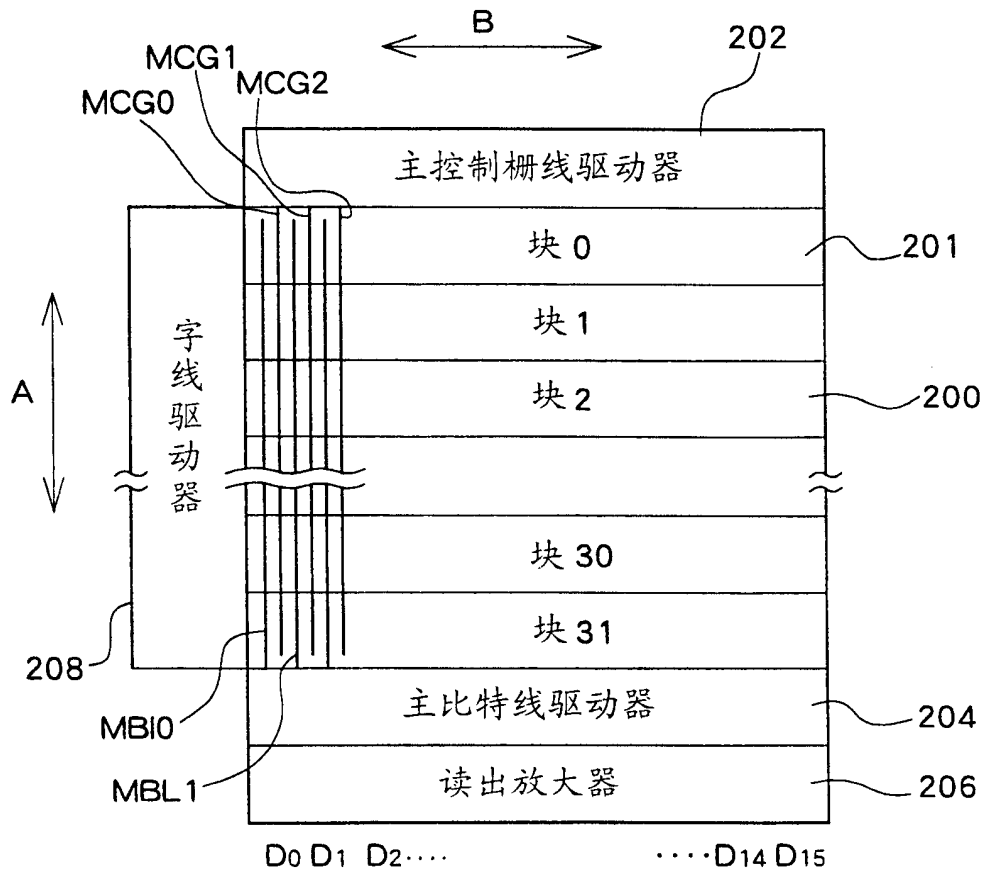


图 7

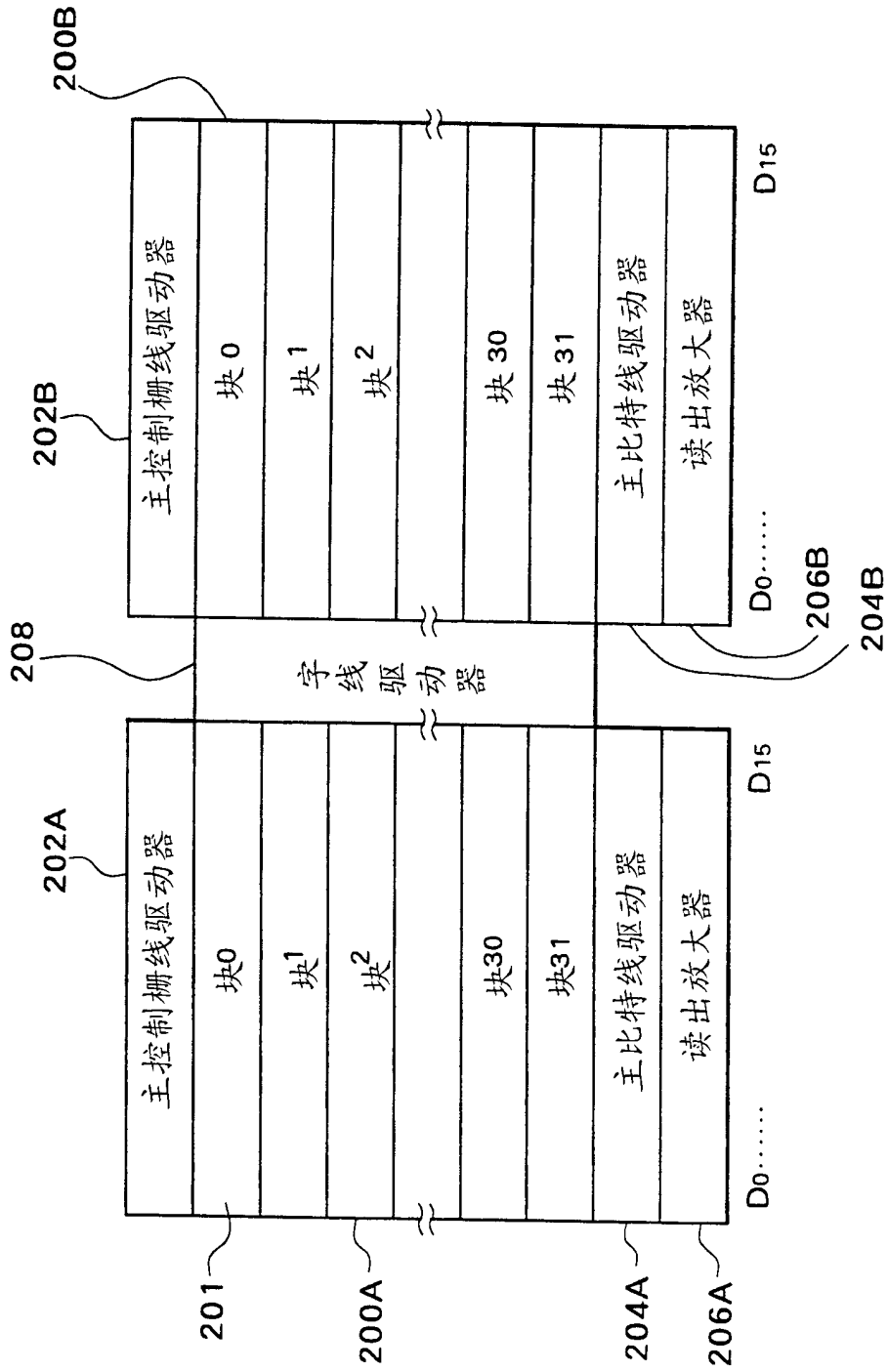


图 8

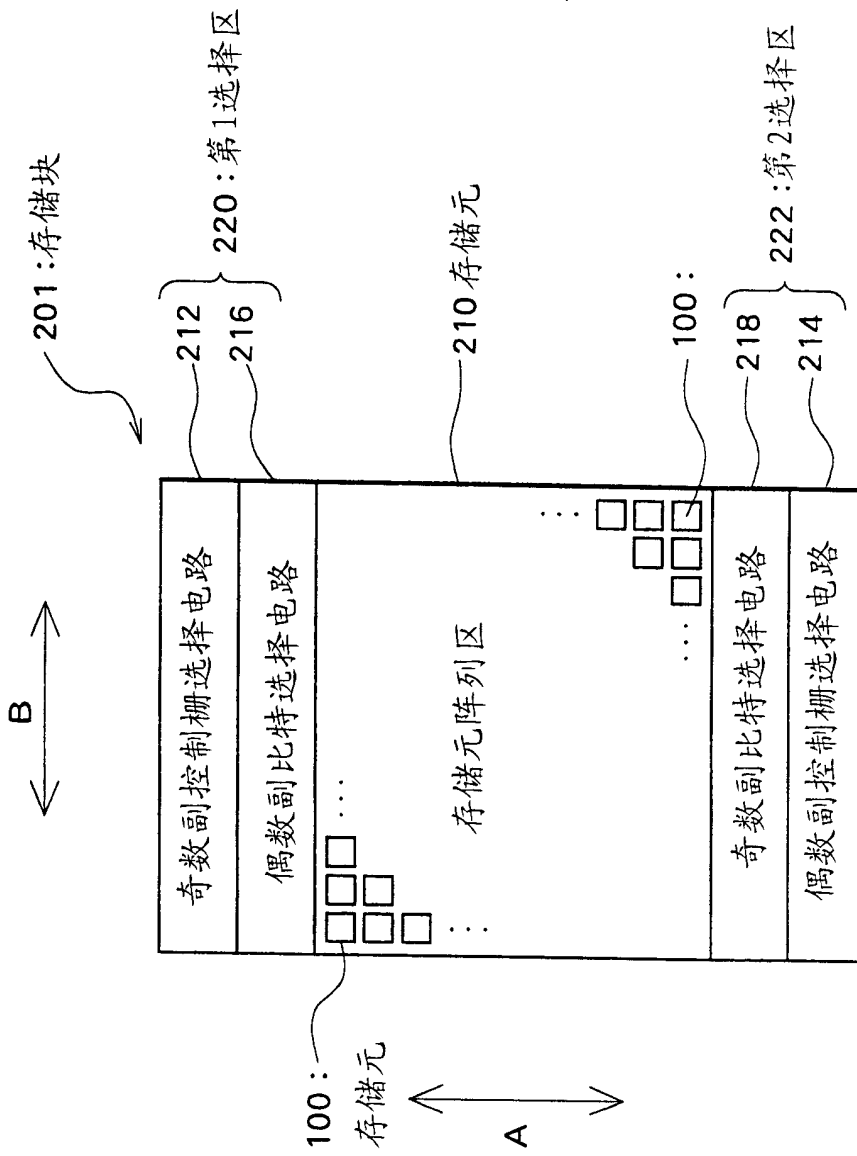


图 9

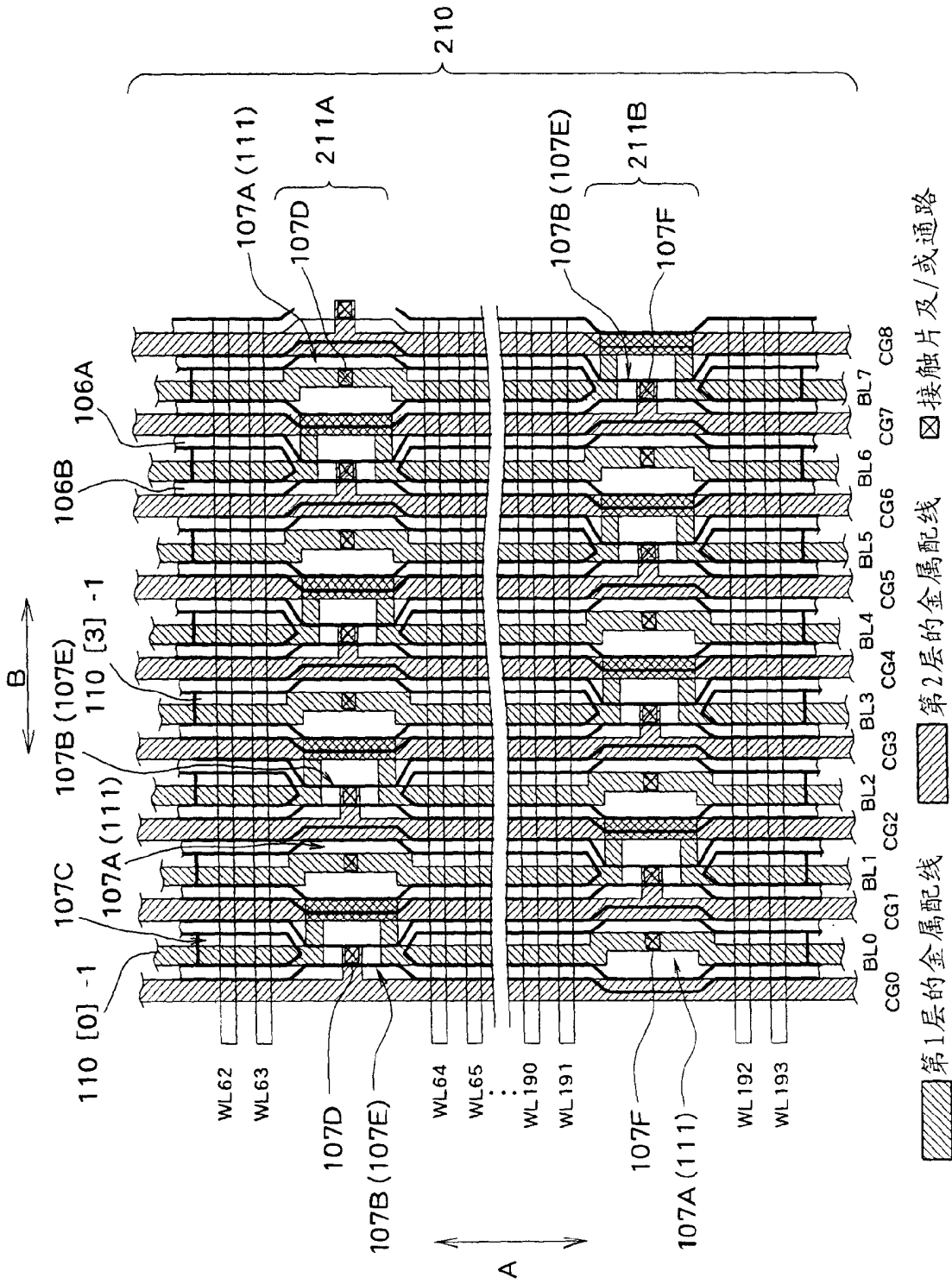


图 10

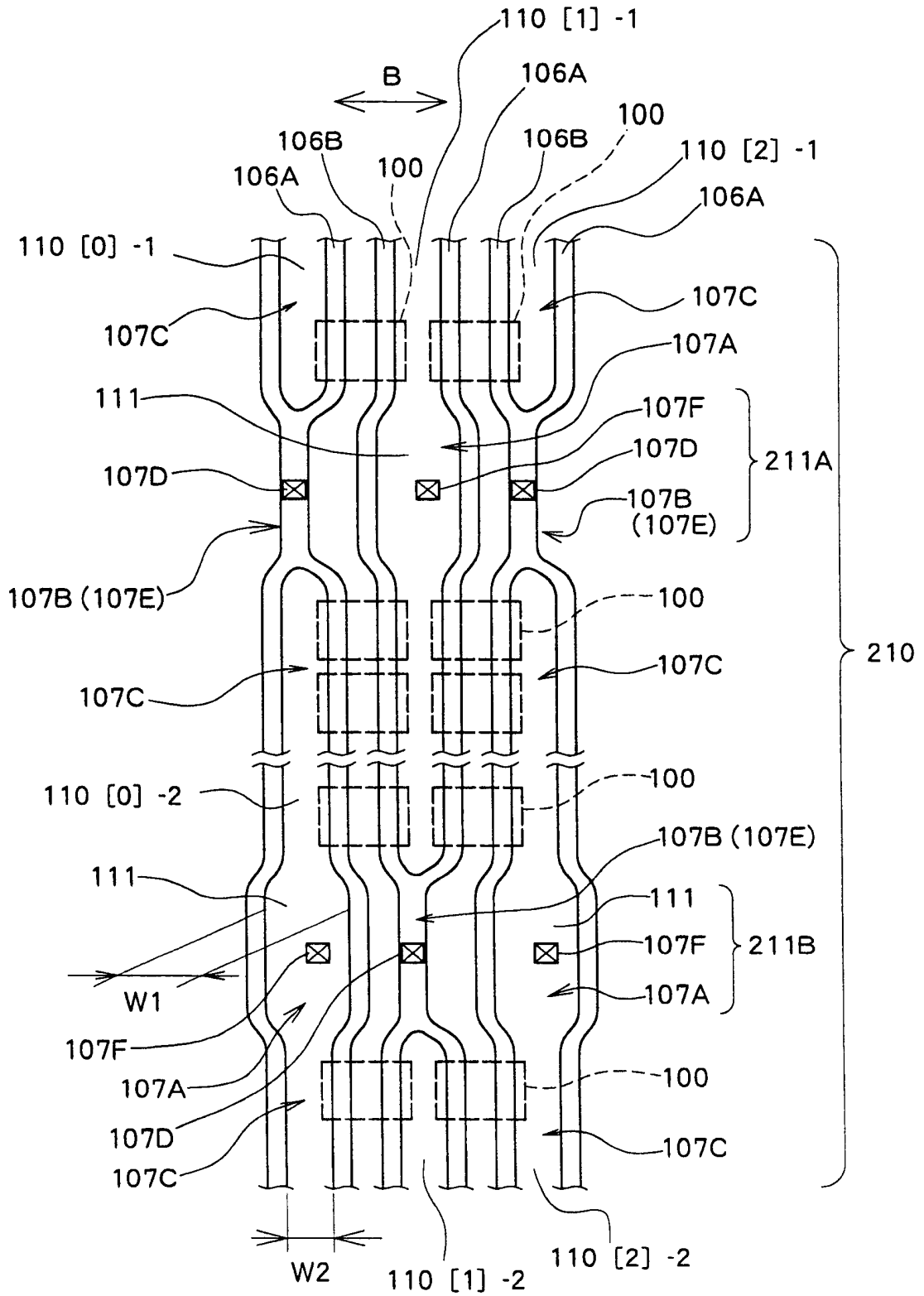


图 11

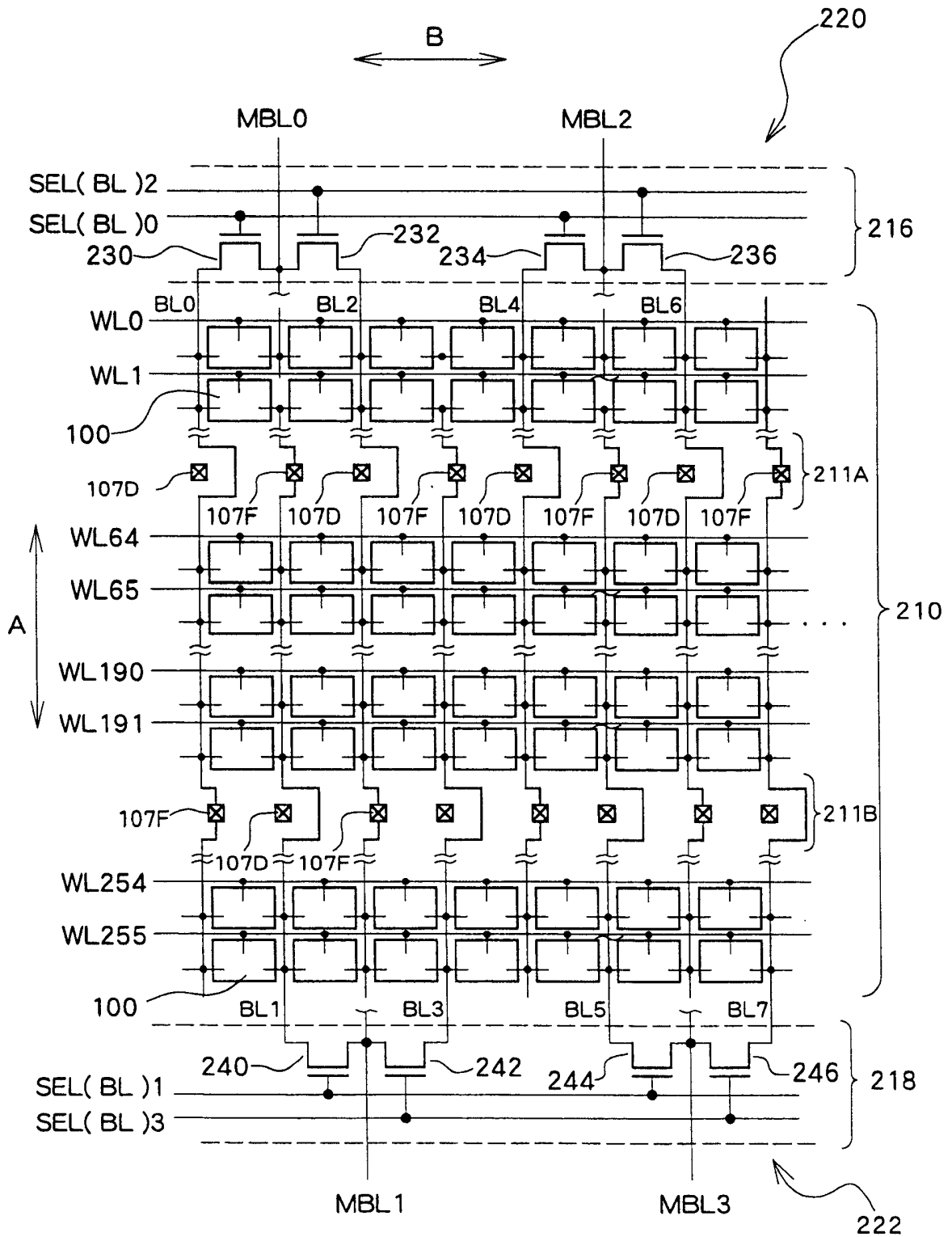


图 12

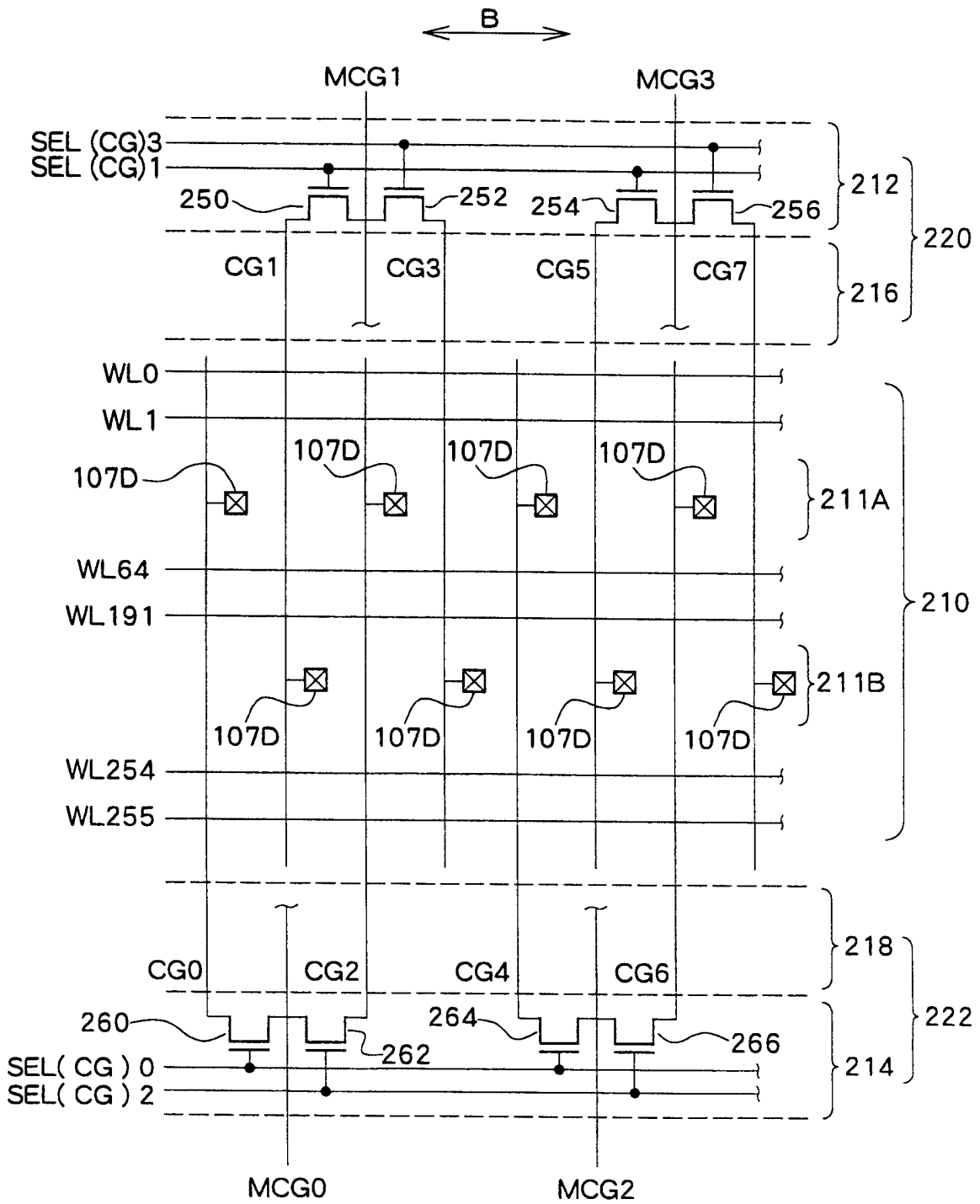


图 13