I846709

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I846709 B**

(45)公告日： 中華民國 113 (2024) 年 07 月 01 日

(21)申請案號：108123208 (22)申請日： 中華民國 108 (2019) 年 07 月 02 日

(51)Int. Cl.： *G01C3/06 (2006.01)* *G01S17/89 (2020.01)*
G01S7/486 (2020.01) *H01L27/146 (2006.01)*
H01L31/10 (2006.01)

(30)優先權：2018/07/18 日本 2018-135397

(71)申請人：日商索尼半導體解決方案公司 (日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)
日本

(72)發明人：磯谷優治 ISOGAI, YUJI (JP) ；井本努 IMOTO, TSUTOMU (JP) ；丸山卓哉 MARUYAMA, TAKUYA (JP) ；村瀨拓郎 MURASE, TAKURO (JP) ；渡辺竜太 WATANABE, RYOTA (JP) ；若野壽史 WAKANO, TOSHIFUMI (JP)

(74)代理人：陳長文

(56)參考文獻：

JP	2009-14461A	JP	2012-169530A
JP	2017-107132A	JP	2017-522727A
JP	2018-88488A	US	2013/0040415A1
US	2014/0239155A1	US	2015/0319357A1

審查人員：邱元玠

申請專利範圍項數：13 項 圖式數：97 共 278 頁

(54)名稱

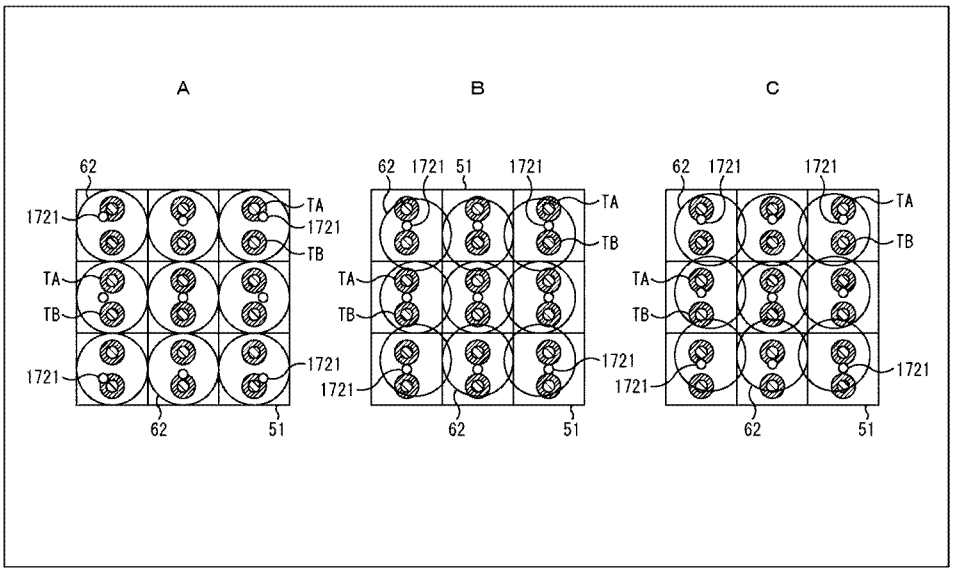
受光元件及測距模組

(57)摘要

本技術係關於一種可提高特性之受光元件及測距模組。

受光元件具備晶載透鏡、配線層、及配置於上述晶載透鏡與上述配線層之間之半導體層，且上述半導體層具備：第 1 抽頭，其具有被施加第 1 電壓之第 1 電壓施加部、及配置於該第 1 電壓施加部之周圍之第 1 電荷檢測部；及第 2 抽頭，其具有被施加與上述第 1 電壓不同之第 2 電壓之第 2 電壓施加部、及配置於該第 2 電壓施加部之周圍之第 2 電荷檢測部；且該受光元件構成為以來自被攝體之主光線之光程長度或 DC 對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。本技術例如可應用於利用 ToF 方式產生距離資訊之受光元件等。

指定代表圖：



【圖82】

符號簡單說明：

51:像素

62:晶載透鏡

1721:位置

TA:第 1 抽頭

TB:第 2 抽頭

公告本

I846709

【發明摘要】

【中文發明名稱】

受光元件及測距模組

【中文】

本技術係關於一種可提高特性之受光元件及測距模組。

受光元件具備晶載透鏡、配線層、及配置於上述晶載透鏡與上述配線層之間之半導體層，且上述半導體層具備：第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。本技術例如可應用於利用ToF方式產生距離資訊之受光元件等。

【指定代表圖】

圖82A-C

【代表圖之符號簡單說明】

51	像素
62	晶載透鏡
1721	位置
TA	第1抽頭
TB	第2抽頭

【發明說明書】

【中文發明名稱】

受光元件及測距模組

【技術領域】

【0001】

本技術係關於一種受光元件及測距模組，尤其是關於一種可提高特性之受光元件及測距模組。

【先前技術】

【0002】

先前，已知有利用間接ToF(Time of Flight，飛行時間)方式之測距系統。於此種測距系統中，不可或缺的是如下感測器，即，可將藉由以某相位接收使用LED(Light Emitting Diode，發光二極體)或雷射所照射之有效光碰撞至對象物後反射之光而獲得之信號電荷高速地分配至不同區域。

【0003】

因此，例如提出有如下技術：對感測器之基板直接施加電壓而於基板內產生電流，藉此可對基板內之大範圍區域高速地進行調變(例如參照專利文獻1)。此種感測器亦被稱作CAPD(Current Assisted Photonic Demodulator，電流輔助光子解調器)感測器。

[先前技術文獻]

[專利文獻]

【0004】

[專利文獻1]日本專利特開2011-86904號公報

【發明內容】

[發明所欲解決之問題]

【0005】

然而，於上述技術中難以獲得充分之特性之CAPD感測器。

【0006】

例如上述CAPD感測器成為於基板之接收來自外部之光之側之面配置有配線等之正面照射型感測器。

【0007】

為了確保光電轉換區域，較理想為於PD(Photodiode，光電二極體)、即光電轉換部之受光面側無配線等阻擋入射來之光之光路者。但是，於正面照射型之CAPD感測器中，根據構造不同而存在必須於PD之受光面側配置電荷提取用之配線或各種控制線、信號線者，光電轉換區域受到限制。即，存在無法確保充分之光電轉換區域，像素感度等特性降低之情況。

【0008】

又，於考慮在存在外界光之位置使用CAPD感測器之情形時，外界光成分對於使用有效光進行測距之間接ToF方式而言成為雜訊成分，故而為了確保充分之SN比(Signal to Noise ratio，信號雜訊比)並獲得距離資訊，必須確保充分之飽和信號量(Qs)。但是，於正面照射型之CAPD感測器中，由於配線佈局存在限制，故而為了確保電容，必須設法使用設置追加電晶體等除配線電容以外之方法。

【0009】

進而，於正面照射型之CAPD感測器中，在基板內之光所入射之側配置有被稱作抽頭(Tap)之信號提取部。另一方面，於考慮到Si基板內之光

電轉換之情形時，雖然因光之波長而導致衰減率存在差量，但於光入射面側發生光電轉換之比率較高。因此，於正面型之CAPD感測器中，於設置有信號提取部之抽頭區域中之未分配信號電荷之抽頭區域即無效抽頭區域(Inactive Tap)進行光電轉換之機率有可能提高。於間接ToF感測器中使用根據有效光之相位而分配至各電荷蓄積區域之信號來獲得測距資訊，故而於無效抽頭區域中直接進行光電轉換所得之成分成為雜訊，其結果，測距精度有可能變差。即，CAPD感測器之特性有可能降低。

【0010】

本技術係鑒於此種狀況而完成者，其係可提高特性者。

[解決問題之技術手段]

【0011】

本技術之第1態樣之受光元件具備：

晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

【0012】

於本技術之第1態樣中，受光元件設置有晶載透鏡、配線層及配置於上述晶載透鏡與上述配線層之間之半導體層，且於上述半導體層，設置有：第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

【0013】

本技術之第2態樣之測距模組具備受光元件、光源及發光控制部，

該受光元件具備：晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同；

該光源照射亮度週期性地發生變動之照射光，

該發光控制部控制上述照射光之照射時序。

【0014】

於本技術之第2態樣中，測距模組設置有受光元件、光源及發光控制部，該受光元件設置有晶載透鏡、配線層及配置於上述晶載透鏡與上述配線層之間之半導體層，且於上述半導體層，設置有：第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同；該光源照射亮度週期性地發生變動之照射光，該發光控制部控制上述照射光之照射時序。

[發明之效果]

【0015】

根據本技術之第1及第2態樣，可提高特性。

【0016】

再者，本文中所記載之效果未必為被限定者，可為本發明中所記載之任一效果。

【圖式簡單說明】

【0017】

圖1係表示受光元件之構成例之方塊圖。

圖2係表示像素之構成例之圖。

圖3係表示像素之信號提取部之部分之構成例的圖。

圖4係對感度提高進行說明之圖。

圖5係對電荷分離效率之提高進行說明之圖。

圖6係對電子之提取效率之提高進行說明之圖。

圖7係說明正面照射型之信號載子之移動速度之圖。

圖8係說明背面照射型之信號載子之移動速度之圖。

圖9係表示像素之信號提取部之部分之另一構成例的圖。

圖10係說明像素與晶載透鏡之關係之圖。

圖11係表示像素之信號提取部之部分之另一構成例的圖。

圖12係表示像素之信號提取部之部分之另一構成例的圖。

圖13係表示像素之信號提取部之部分之另一構成例的圖。

圖14係表示像素之信號提取部之部分之另一構成例的圖。

圖15係表示像素之信號提取部之部分之另一構成例的圖。

圖16係表示像素之另一構成例之圖。

圖17係表示像素之另一構成例之圖。

圖18係表示像素之另一構成例之圖。

圖19係表示像素之另一構成例之圖。

圖20係表示像素之另一構成例之圖。

圖21係表示像素之另一構成例之圖。

圖22係表示像素之另一構成例之圖。

圖23係表示像素之另一構成例之圖。

圖24係表示像素之另一構成例之圖。

圖25係表示像素之另一構成例之圖。

圖26係表示像素之另一構成例之圖。

圖27(A)、(B)係表示像素之另一構成例之圖。

圖28係表示像素之另一構成例之圖。

圖29係表示像素之另一構成例之圖。

圖30係表示像素之另一構成例之圖。

圖31係表示像素之等效電路之圖。

圖32係表示像素之其他等效電路之圖。

圖33(A)、(B)係表示採用週期性(Periodic)配置之電壓供給線之配置例之圖。

圖34(A)、(B)係表示採用鏡像(Mirror)配置之電壓供給線之配置例之圖。

圖35(A)、(B)係說明週期性配置與鏡像配置之特性之圖。

圖36係第14實施形態中之複數個像素之剖視圖。

圖37係第14實施形態中之複數個像素之剖視圖。

圖38係第9實施形態中之複數個像素之剖視圖。

圖39係第9實施形態之變化例1之複數個像素之剖視圖。

圖40係第15實施形態中之複數個像素之剖視圖。

圖41係第10實施形態中之複數個像素之剖視圖。

圖42(A)～(C)係說明多層配線層之5層金屬膜之圖。

圖43(A)、(B)係說明多層配線層之5層金屬膜之圖。

圖44(A)～(C)係說明多晶矽層之圖。

圖45(A)～(C)係表示形成於金屬膜之反射構件之變化例之圖。

圖46(A)、(B)係表示形成於金屬膜之反射構件之變化例之圖。

圖47(A)～(C)係說明受光元件之基板構成之圖。

圖48係對像素電晶體區域周邊之雜訊進行說明之圖。

圖49(A)、(B)係說明像素電晶體區域周邊之雜訊抑制構造之圖。

圖50係說明像素電晶體區域周邊之電荷排出構造之圖。

圖51係說明像素電晶體區域周邊之電荷排出構造之圖。

圖52係對有效像素區域周邊之電荷排出進行說明之圖。

圖53(A)～(D)係表示設置於有效像素區域之外周之電荷排出區域之構成例的俯視圖。

圖54係電荷排出區域包含遮光像素區域及N型區域之情形時之剖視圖。

圖55(A)、(B)係說明於具有光電轉換區域之基板配置有像素電晶體之情形時的電流之流動之圖。

圖56係第18實施形態之複數個像素之剖視圖。

圖57係說明2片基板之電路分擔之圖。

圖58係說明第18實施形態之基板構成之圖。

圖59係表示MIX接合部與DET接合部之配置之俯視圖。

圖60係表示MIX接合部與DET接合部之配置之俯視圖。

圖61係說明消耗電流增大之問題之圖。

圖62(A)、(B)係第19實施形態之第1構成例之像素之俯視圖與剖視圖。

圖63(A)、(B)係第19實施形態之第2構成例之像素之俯視圖與剖視圖。

圖64(A)～(C)係表示第19實施形態之第1構成例及第2構成例之其他平面形狀之圖。

圖65(A)～(C)係表示第19實施形態之第1構成例及第2構成例之其他平面形狀之圖。

圖66(A)、(B)係第19實施形態之第3構成例之像素之俯視圖與剖視圖。

圖67(A)～(C)係表示第19實施形態之第3構成例之其他平面形狀之圖。

圖68(A)～(C)係表示第19實施形態之第3構成例之其他平面形狀之圖。

圖69係表示同時輸出4抽頭之像素信號之情形時的像素陣列部之電路構成例之圖。

圖70係表示配置4條垂直信號線之配線佈局之圖。

圖71係表示配置4條垂直信號線之配線佈局之第1變化例之圖。

圖72係表示配置4條垂直信號線之配線佈局之第2變化例之圖。

圖73(A)、(B)係表示像素電晶體之配置例之變化例之圖。

圖74係表示圖73B之像素電晶體佈局中之連接佈局之圖。

圖75係表示圖73B之像素電晶體佈局中之配線佈局之圖。

圖76係表示對1個像素行設為2條電源線之配線佈局之圖。

圖77係表示VSS配線之配線例之俯視圖。

圖78係表示VSS配線之配線例之俯視圖。

圖79係對光瞳修正之第1方法進行說明之圖。

圖80係對光瞳修正之第1方法進行說明之圖。

圖81係對光瞳修正之第1方法進行說明之圖。

圖82(A)～(C)係對光瞳修正之第1方法進行說明之圖。

圖83係說明光瞳修正之第1方法中之晶載透鏡之偏移量的圖。

圖84係說明2相(Phase)方式與4相(Phase)方式之圖。

圖85係說明電壓供給線之配線例之圖。

圖86(A)～(C)係第20實施形態之第1構成例之像素之剖視圖與俯視圖。

圖87(A)～(F)係表示第1及第2抽頭之排列例之圖。

圖88係說明第1及第2抽頭之驅動模式之圖。

圖89係第20實施形態之第2構成例之像素之剖視圖與俯視圖。

圖90(A)～(F)係表示相位差遮光膜與晶載透鏡之配置例之圖。

圖91係第21實施形態之像素之剖視圖。

圖92(A)、(B)係第21實施形態之像素之俯視圖。

圖93(A)、(B)係第22實施形態之像素之剖視圖。

圖94(A)～(D)係第22實施形態之像素之俯視圖。

圖95係表示測距模組之構成例之方塊圖。

圖96係表示車輛控制系統之概略性構成之一例之方塊圖。

圖97係表示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

【實施方式】

【0018】

以下，參照圖式對應用有本技術之實施形態進行說明。

【0019】

＜第1實施形態＞

＜受光元件之構成例＞

本技術係藉由將CAPD感測器設為背面照射型之構成，而可提高像素感度等特性者。

【0020】

本技術能夠應用於例如構成利用間接ToF方式進行測距之測距系統的受光元件、或具有此種受光元件之攝像裝置等。

【0021】

例如測距系統可應用於如下系統等：車載用系統，其搭載於車輛且

測定距處於車外之對象物之距離；或示意動作識別用系統，其測定距使用者之手等對象物之距離，基於該測定結果識別使用者之示意動作。於此情形時，示意動作識別之結果可用於例如汽車導航系統之操作等。

【0022】

圖1係表示應用有本技術之受光元件之一實施形態之構成例的方塊圖。

【0023】

圖1所示之受光元件1係背面照射型之CAPD感測器，例如設置於具有測距功能之攝像裝置。

【0024】

受光元件1成為如下構成，即具有：像素陣列部20，其形成於未圖示之半導體基板上；及周邊電路部，其集成於與像素陣列部20相同之半導體基板上。周邊電路部例如包含抽頭驅動部21、垂直驅動部22、行處理部23、水平驅動部24及系統控制部25。

【0025】

於受光元件1，亦進而設置有信號處理部31及資料儲存部32。再者，信號處理部31及資料儲存部32可搭載於與受光元件1相同之基板上，亦可配置於攝像裝置中之與受光元件1不同之基板上。

【0026】

像素陣列部20成為將像素51呈列方向及行方向之矩陣狀二維配置所得之構成，該像素51產生與所接收到之光量相應之電荷，並輸出與該電荷相應之信號。即，像素陣列部20具有複數個對入射之光進行光電轉換並輸出與光電轉換之結果所獲得之電荷相應之信號的像素51。此處，所謂列方

向係指水平方向之像素51之排列方向，所謂行方向係指垂直方向之像素51之排列方向。列方向於圖中為橫向，行方向於圖中為縱向。

【0027】

像素51接收自外部入射之光、尤其是紅外光並進行光電轉換，且輸出與光電轉換之結果所獲得之電荷相應之像素信號。像素51具有：第1抽頭TA，其施加特定之電壓MIX0(第1電壓)，檢測經光電轉換所得之電荷；及第2抽頭TB，其施加特定之電壓MIX1(第2電壓)，檢測經光電轉換所得之電荷。

【0028】

抽頭驅動部21經由特定之電壓供給線30對像素陣列部20之各像素51之第1抽頭TA供給特定之電壓MIX0，且經由特定之電壓供給線30對第2抽頭TB供給特定之電壓MIX1。因此，於像素陣列部20之1個像素行，配線有傳輸電壓MIX0之電壓供給線30及傳輸電壓MIX1之電壓供給線30該等2條電壓供給線30。

【0029】

於像素陣列部20中，針對矩陣狀之像素排列，於每一像素列沿著列方向配線有像素驅動線28，於各像素行沿著行方向配線有2條垂直信號線29。例如，像素驅動線28傳輸用以進行自像素讀出信號時之驅動之驅動信號。再者，於圖1中，關於像素驅動線28係以1條配線之形式示出，但並不限定於1條。像素驅動線28之一端連接於與垂直驅動部22之各列對應之輸出端。

【0030】

垂直驅動部22包含移位暫存器或位址解碼器等，將像素陣列部20之

各像素所有像素同時進行驅動或者以列為單位等進行驅動。即，垂直驅動部22與控制垂直驅動部22之系統控制部25一併構成控制像素陣列部20之各像素之動作的驅動部。

【0031】

根據由垂直驅動部22進行之驅動控制而自像素列之各像素51輸出之信號通過垂直信號線29被輸入至行處理部23。行處理部23對自各像素51通過垂直信號線29輸出之像素信號進行特定之信號處理，並且暫時保持信號處理後之像素信號。

【0032】

具體而言，行處理部23進行雜訊去除處理或AD(Analog to Digital，類比至數位)轉換處理等作為信號處理。

【0033】

水平驅動部24包含移位暫存器或位址解碼器等，依序選擇行處理部23之與像素行對應之單位電路。藉由利用該水平驅動部24進行之選擇掃描，而依序輸出於行處理部23中針對每個單位電路進行信號處理所得之像素信號。

【0034】

系統控制部25包含產生各種時序信號之時序發生器等，基於由該時序發生器產生之各種時序信號，進行抽頭驅動部21、垂直驅動部22、行處理部23及水平驅動部24等之驅動控制。

【0035】

信號處理部31至少具有運算處理功能，基於自行處理部23輸出之像素信號進行運算處理等各種信號處理。資料儲存部32於利用信號處理部

31之信號處理時，暫時儲存該處理所需之資料。

【0036】

＜像素之構成例＞

其次，對設置於像素陣列部20之像素之構成例進行說明。設置於像素陣列部20之像素例如以圖2所示之方式構成。

【0037】

圖2示出設置於像素陣列部20之1個像素51之剖面，該像素51接收自外部入射之光、尤其是紅外光並進行光電轉換，且輸出與光電轉換之結果所獲得之電荷相應之信號。

【0038】

像素51例如具有矽基板等包含P型半導體層之基板61、及形成於該基板61上之晶載透鏡62。

【0039】

例如，基板61係以圖中縱向之厚度、即與基板61之面垂直之方向之厚度成為20 μm以下之方式形成。再者，基板61之厚度當然亦可為20 μm以上，其厚度只要根據受光元件1之目標特性等決定便可。

【0040】

又，基板61例如被製成為設為1E＋13等級以下之基板濃度之高電阻之P-Epi(P-Epitaxial，P型磊晶)基板等，基板61之電阻(電阻率)例如以成為500[Ωcm]以上之方式形成。

【0041】

此處，基板61之基板濃度與電阻之關係例如設為於基板濃度為6.48E＋12[cm^3]時電阻為2000[Ωcm]、於基板濃度為1.30E＋13[cm^3]時電阻為

1000[Ωcm]、於基板濃度為2.59E＋13[cm^3]時電阻為500[Ωcm]、及於基板濃度為1.30E＋14[cm^3]時電阻為100[Ωcm]等。

【0042】

於圖2中，基板61之上側之面係基板61之背面，且係來自外部之光入射至基板61之光入射面。另一方面，基板61之下側之面係基板61之正面，且形成有未圖示之多層配線層。於基板61之光入射面上，形成有包含具有正固定電荷之單層膜或積層膜之固定電荷膜66，於固定電荷膜66之上表面形成有使自外部入射之光聚光後入射至基板61內之晶載透鏡62。固定電荷膜66使基板61之光入射面側為電洞累積狀態，從而抑制暗電流之產生。

【0043】

進而，於像素51中，在固定電荷膜66上之像素51之端部分，形成有用以防止鄰接之像素間之串擾之像素間遮光膜63-1及像素間遮光膜63-2。以下，於無需特別區分像素間遮光膜63-1及像素間遮光膜63-2之情形時，亦簡稱為像素間遮光膜63。

【0044】

於該例中，來自外部之光經由晶載透鏡62入射至基板61內，像素間遮光膜63形成之目的在於，使自外部入射之光不會入射至與基板61處之像素51鄰接地設置之其他像素之區域。即，自外部入射至晶載透鏡62且射向與像素51鄰接之其他像素內之光被像素間遮光膜63-1或像素間遮光膜63-2遮光，從而得以防止入射至鄰接之其他像素內。

【0045】

受光元件1係背面照射型之CAPD感測器，故而基板61之光入射面成

為所謂之背面，於該背面上未形成有包含配線等之配線層。又，於基板61之與光入射面為相反側之面之部分，藉由積層而形成有配線層，該配線層形成有用以驅動像素51內所形成之電晶體等之配線、或用以自像素51讀出信號之配線等。

【0046】

於基板61內之與光入射面相反之面側、即圖中、下側之面之內側部分，形成有氧化膜64、信號提取部65-1及信號提取部65-2。信號提取部65-1相當於圖1中所說明之第1抽頭TA，信號提取部65-2相當於圖1中所說明之第2抽頭TB。

【0047】

於該例中，於基板61之與光入射面為相反側之面附近的像素51之中心部分形成有氧化膜64，於該氧化膜64之兩端分別形成有信號提取部65-1及信號提取部65-2。

【0048】

此處，信號提取部65-1具有作為N型半導體區域之N+半導體區域71-1及供體雜質之濃度較N+半導體區域71-1低之N-半導體區域72-1、以及作為P型半導體區域之P+半導體區域73-1及受體雜質濃度較P+半導體區域73-1低之P-半導體區域74-1。此處，所謂供體雜質，例如可列舉針對Si之磷(P)或砷(As)等於元素週期表中屬於5族之元素，所謂受體雜質，例如可列舉針對Si之硼(B)等於元素週期表中屬於3族之元素。將成為供體雜質之元素稱作供體元素，將成為受體雜質之元素稱作受體元素。

【0049】

於圖2中，在基板61之與光入射面為相反側之面之正面內側部分的鄰

接於氧化膜64之右側之位置，形成有N+半導體區域71-1。又，於N+半導體區域71-1之圖中、上側，以覆蓋該N+半導體區域71-1之方式(以包圍之方式)形成有N-半導體區域72-1。

【0050】

進而，於N+半導體區域71-1之右側形成有P+半導體區域73-1。又，於P+半導體區域73-1之圖中、上側，以覆蓋該P+半導體區域73-1之方式(以包圍之方式)形成有P-半導體區域74-1。

【0051】

進而，於P+半導體區域73-1之右側形成有N+半導體區域71-1。又，於N+半導體區域71-1之圖中、上側，以覆蓋該N+半導體區域71-1之方式(以包圍之方式)形成有N-半導體區域72-1。

【0052】

同樣地，信號提取部65-2具有作為N型半導體區域之N+半導體區域71-2及供體雜質之濃度較N+半導體區域71-2低之N-半導體區域72-2、以及作為P型半導體區域之P+半導體區域73-2及受體雜質濃度較P+半導體區域73-2低之P-半導體區域74-2。

【0053】

於圖2中，在基板61之與光入射面為相反側之面之正面內側部分的鄰接於氧化膜64之左側之位置，形成有N+半導體區域71-2。又，於N+半導體區域71-2之圖中、上側，以覆蓋該N+半導體區域71-2之方式(以包圍之方式)形成有N-半導體區域72-2。

【0054】

進而，於N+半導體區域71-2之左側形成有P+半導體區域73-2。又，

於P+半導體區域73-2之圖中、上側，以覆蓋該P+半導體區域73-2之方式(以包圍之方式)形成有P-半導體區域74-2。

【0055】

進而，於P+半導體區域73-2之左側形成有N+半導體區域71-2。又，於N+半導體區域71-2之圖中、上側，以覆蓋該N+半導體區域71-2之方式(以包圍之方式)形成有N-半導體區域72-2。

【0056】

於基板61之與光入射面為相反側之面之正面內側部分的像素51之端部分，形成有與像素51之中心部分相同之氧化膜64。

【0057】

以下，於無需特別區分信號提取部65-1及信號提取部65-2之情形時，亦簡稱為信號提取部65。

【0058】

又，以下，於無需特別區分N+半導體區域71-1及N+半導體區域71-2之情形時，亦簡稱為N+半導體區域71，於無需特別區分N-半導體區域72-1及N-半導體區域72-2之情形時，亦簡稱為N-半導體區域72。

【0059】

進而，以下，於無需特別區分P+半導體區域73-1及P+半導體區域73-2之情形時，亦簡稱為P+半導體區域73，於無需特別區分P-半導體區域74-1及P-半導體區域74-2之情形時，亦簡稱為P-半導體區域74。

【0060】

又，於基板61中，於N+半導體區域71-1與P+半導體區域73-1之間，藉由氧化膜等形成有用以將該等區域分離之分離部75-1。同樣地，於N+

半導體區域71-2與P+半導體區域73-2之間，亦藉由氧化膜等形成有用以將該等區域分離之分離部75-2。以下，於無需特別區分分離部75-1及分離部75-2之情形時，亦簡稱為分離部75。

【0061】

設置於基板61之N+半導體區域71作為電荷檢測部發揮功能，其用以檢測自外部入射至像素51之光之光量、即藉由利用基板61進行之光電轉換所產生之信號載子之量。再者，除N+半導體區域71以外，亦可將供體雜質濃度較低之N-半導體區域72亦包含在內理解為電荷檢測部。又，P+半導體區域73作為電壓施加部發揮功能，其用以將多個載子電流注入至基板61、即用以對基板61施加直接電壓而於基板61內產生電場。再者，除P+半導體區域73以外，亦可將受體雜質濃度較低之P-半導體區域74亦包含在內理解為電壓施加部。

【0062】

於像素51中，在N+半導體區域71-1，直接連接有未圖示之浮動擴散區域即FD(Floating Diffusion，浮動擴散)部(以下亦特別地簡稱為FD部A)，進而，該FD部A經由未圖示之放大電晶體等連接於垂直信號線29。

【0063】

同樣地，於N+半導體區域71-2，直接連接有與FD部A不同之另一FD部(以下亦特別地簡稱為FD部B)，進而，該FD部B經由未圖示之放大電晶體等連接於垂直信號線29。此處，FD部A與FD部B連接於互不相同之垂直信號線29。

【0064】

例如於欲藉由間接ToF方式測定距對象物之距離之情形時，自設置有

受光元件1之攝像裝置朝向對象物射出紅外光。繼而，當該紅外光被對象物反射後以反射光之形式返回至攝像裝置時，受光元件1之基板61接收所入射之反射光(紅外光)並進行光電轉換。抽頭驅動部21驅動像素51之第1抽頭TA及第2抽頭TB，將與藉由光電轉換而獲得之電荷DET相應之信號分配至FD部A與FD部B。

【0065】

例如於某時序，抽頭驅動部21經由接點等對2個P+半導體區域73施加電壓。具體而言，例如抽頭驅動部21對作為第1抽頭TA之P+半導體區域73-1施加MIX0＝1.5 V之電壓，對作為第2抽頭TB之P+半導體區域73-2施加MIX1＝0 V之電壓。

【0066】

於是，於基板61之2個P+半導體區域73之間產生電場，電流自P+半導體區域73-1向P+半導體區域73-2流動。於此情形時，基板61內之電洞(hole)將朝P+半導體區域73-2之方向移動，電子將朝P+半導體區域73-1之方向移動。

【0067】

因此，當於此種狀態下來自外部之紅外光(反射光)經由晶載透鏡62入射至基板61內，且該紅外光於基板61內經光電轉換而轉換為電子與電洞之對時，所獲得之電子由P+半導體區域73間之電場朝P+半導體區域73-1之方向引導，而朝N+半導體區域71-1內移動。

【0068】

於此情形時，藉由光電轉換而產生之電子將被用作用以檢測與入射至像素51之紅外光之量、即紅外光之受光量相應之信號的信號載子。

【0069】

藉此，於N+半導體區域71-1，蓄積有與朝N+半導體區域71-1內移動之電子相應之電荷，該電荷經由FD部A或放大電晶體、垂直信號線29等由行處理部23檢測出。

【0070】

即，N+半導體區域71-1之蓄積電荷DET0被傳輸至與該N+半導體區域71-1直接連接之FD部A，與傳輸至FD部A之電荷DET0相應之信號經由放大電晶體或垂直信號線29由行處理部23讀出。繼而，於行處理部23中對所讀出之信號施加AD轉換處理等處理，將處理之結果所獲得之像素信號供給至信號處理部31。

【0071】

該像素信號成為表示與由N+半導體區域71-1檢測出之電子相應之電荷量、即蓄積於FD部A之電荷DET0之量的信號。換言之，像素信號亦可謂表示由像素51接收到之紅外光之光量之信號。

【0072】

再者，此時，亦可為與N+半導體區域71-1之情形同樣地，將與由N+半導體區域71-2檢測出之電子相應之像素信號亦適當用於測距。

【0073】

又，於下一時序，利用抽頭驅動部21經由接點等對2個P+半導體區域73施加電壓，以產生與目前為止於基板61內產生之電場相反方向之電場。具體而言，例如對作為第1抽頭TA之P+半導體區域73-1施加MIX0＝0 V之電壓，對作為第2抽頭TB之P+半導體區域73-2施加MIX1＝1.5 V之電壓。

【0074】

藉此，於基板61之2個P+半導體區域73之間產生電場，電流自P+半導體區域73-2向P+半導體區域73-1流動。

【0075】

當於此種狀態下來自外部之紅外光(反射光)經由晶載透鏡62入射至基板61內，且該紅外光於基板61內經光電轉換而轉換為電子與電洞之對時，所獲得之電子由P+半導體區域73間之電場朝P+半導體區域73-2之方向引導，而朝N+半導體區域71-2內移動。

【0076】

藉此，於N+半導體區域71-2，蓄積有與朝N+半導體區域71-2內移動之電子相應之電荷，該電荷經由FD部B或放大電晶體、垂直信號線29等由行處理部23檢測出。

【0077】

即，N+半導體區域71-2之蓄積電荷DET1被傳輸至與該N+半導體區域71-2直接連接之FD部B，與傳輸至FD部B之電荷DET1相應之信號經由放大電晶體或垂直信號線29由行處理部23讀出。繼而，於行處理部23中對所讀出之信號施加AD轉換處理等處理，將處理之結果所獲得之像素信號供給至信號處理部31。

【0078】

再者，此時，亦可為與N+半導體區域71-2之情形同樣地，將與由N+半導體區域71-1檢測出之電子相應之像素信號亦適當用於測距。

【0079】

如此，當於相同像素51中獲得經互不相同之期間之光電轉換所得之

像素信號時，信號處理部31基於該等像素信號算出表示距對象物之距離之距離資訊，並向後段輸出。

【0080】

如此向互不相同之N+半導體區域71分配信號載子，並基於與該等信號載子相應之信號算出距離資訊之方法被稱作間接ToF方式。

【0081】

當於圖2中由上至下之方向、即與基板61之面垂直之方向上觀察像素51之信號提取部65之部分時，例如如圖3所示成為P+半導體區域73之周圍由N+半導體區域71包圍般之構造。再者，於圖3中，對於與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0082】

於圖3所示之例中，在像素51之中央部分形成有未圖示之氧化膜64，於像素51之自中央稍靠端側之部分形成有信號提取部65。尤其是，此處，於像素51內形成有2個信號提取部65。

【0083】

而且，於各信號提取部65中，在其中心位置呈矩形狀形成有P+半導體區域73，以該P+半導體區域73為中心，P+半導體區域73之周圍由矩形狀、更詳細而言為矩形框形狀之N+半導體區域71包圍。即，N+半導體區域71係以包圍P+半導體區域73之周圍之方式形成。

【0084】

又，於像素51中，以將自外部入射之紅外光聚光於像素51之中心部分、即箭頭A11所示之部分之方式形成有晶載透鏡62。換言之，自外部入射至晶載透鏡62之紅外光藉由晶載透鏡62而聚光於箭頭A11所示之位置、

即圖2中之氧化膜64之圖2中、上側之位置。

【0085】

因此，紅外光會聚光於信號提取部65-1與信號提取部65-2之間之位置。藉此，可抑制紅外光入射至與像素51鄰接之像素而產生串擾之情況，並且亦可抑制紅外光直接入射至信號提取部65。

【0086】

例如當紅外光直接入射至信號提取部65時，電荷分離效率、即Cmod(Contrast between active and inactive tap，有效與無效抽頭之對比度)或調變對比度(Modulation contrast)會降低。

【0087】

此處，將被進行與經光電轉換所獲得之電荷DET相應之信號讀出之信號提取部65、即應被檢測經光電轉換所獲得之電荷DET之信號提取部65亦稱作有效抽頭(active tap)。

【0088】

反之，基本上將未被進行與經光電轉換所獲得之電荷DET相應之信號讀出之信號提取部65、即並非有效抽頭之信號提取部65亦稱作無效抽頭(inactive tap)。

【0089】

於上述例中，對P+半導體區域73施加1.5 V之電壓之信號提取部65為有效抽頭，對P+半導體區域73施加0 V之電壓之信號提取部65為無效抽頭。

【0090】

Cmod係利用以下之式(1)計算出，且係表示入射之紅外光之藉由光電

轉換而產生之電荷中的百分之幾之電荷可於作為有效抽頭之信號提取部65之N+半導體區域71中檢測出、即、是否可提取出與電荷相應之信號之指標，且表示電荷分離效率。於式(1)中，I0係利用2個電荷檢測部(P+半導體區域73)之一者檢測出之信號，I1係利用另一者檢測出之信號。

$$Cmod=\{|I0-I1|/(I0+I1)\}\times 100\cdots(1)$$

【0091】

因此，例如當自外部入射之紅外光入射至無效抽頭之區域，且於該無效抽頭內進行光電轉換時，藉由光電轉換而產生之信號載子即電子移動至無效抽頭內之N+半導體區域71之可能性較高。如此一來，藉由光電轉換而獲得之一部分電子之電荷不會於有效抽頭內之N+半導體區域71中被檢測出，Cmod、即電荷分離效率降低。

【0092】

因此，於像素51中，藉由使紅外光聚光於處於距2個信號提取部65大致等距離之位置之像素51之中心部分附近，可降低自外部入射之紅外光於無效抽頭之區域被光電轉換之機率，從而可提高電荷分離效率。又，於像素51中亦可提高調變對比度。換言之，可容易地將藉由光電轉換而獲得之電子引導至有效抽頭內之N+半導體區域71。

【0093】

根據如上所述之受光元件1，可發揮以下所述之效果。

【0094】

即，首先，受光元件1由於為背面照射型，故而可使量子效率(QE)×開口率(FF(Fill Factor，填充因數))最大化，從而可提高利用受光元件1之測距特性。

【0095】

例如，如圖4之箭頭W11所示，通常之正面照射型之影像感測器成為如下構造：於作為光電轉換部之PD101之供來自外部之光入射之光入射面側形成有配線102或配線103。

【0096】

因此，例如產生如下情況：如箭頭A21或箭頭A22所示，自外部以某種程度之角度相對於PD101傾斜地入射之光之一部分被配線102或配線103遮擋而未入射至PD101。

【0097】

與此相對，背面照射型之影像感測器例如成為如下構造：如箭頭W12所示，於作為光電轉換部之PD104之與供來自外部之光入射之光入射面為相反側之面上形成有配線105及配線106。

【0098】

因此，與正面照射型之情形相比，可確保充分之開口率。即，例如，如箭頭A23或箭頭A24所示，自外部以某種程度之角度相對於PD104傾斜地入射之光未被配線遮擋而入射至PD104。藉此，可接收更多光而提高像素之感度。

【0099】

此種藉由設為背面照射型而獲得之像素感度之提高效果於作為背面照射型之CAPD感測器之受光元件1中亦可獲得。

【0100】

又，例如於正面照射型之CAPD感測器中，如箭頭W13所示，於作為光電轉換部之PD111之內部之供來自外部之光入射之光入射面側形成有被

稱作抽頭之信號提取部112、更詳細而言為抽頭之P+半導體區域或N+半導體區域。又，正面照射型之CAPD感測器成為如下構造：於光入射面側形成有配線113、或者與信號提取部112連接之接點或金屬等之配線114。

【0101】

因此，例如產生如下情況：如箭頭A25或箭頭A26所示，自外部以某種程度之角度相對於PD111傾斜地入射之光之一部分被配線113等遮擋而未入射至PD111，不僅如此，如箭頭A27所示，相對於PD111垂直地入射之光亦被配線114遮擋而未入射至PD111。

【0102】

與此相對，背面照射型之CAPD感測器例如成為如下構造：如箭頭W14所示，於作為光電轉換部之PD115之與供來自外部之光入射的光入射面為相反側之面之部分形成有信號提取部116。又，於PD115之與光入射面為相反側之面上形成有配線117、或與信號提取部116連接之接點或金屬等配線118。

【0103】

此處，PD115對應於圖2所示之基板61，信號提取部116對應於圖2所示之信號提取部65。

【0104】

於此種構造之背面照射型之CAPD感測器中，與正面照射型之情形相比可確保充分之開口率。因此，可使量子效率(QE)×開口率(FF)最大化，可提高測距特性。

【0105】

即，例如，如箭頭A28或箭頭A29所示，自外部以某種程度之角度相

對於PD115傾斜地入射之光未被配線遮擋而入射至PD115。同樣地，如箭頭A30所示，相對於PD115垂直地入射之光亦未被配線等遮擋而入射至PD115。

【0106】

如此，於背面照射型之CAPD感測器中，不僅可接收以某種程度之角度入射之光，亦可接收相對於PD115垂直地入射之於正面照射型中未被與信號提取部(抽頭)連接之配線等反射之光。藉此，可接收更多之光而提高像素之感度。換言之，可使量子效率(QE)×開口率(FF)最大化，其結果，可提高測距特性。

【0107】

尤其是，於在像素之中央附近而非像素外緣配置有抽頭之情形時，就正面照射型之CAPD感測器而言，無法確保充分之開口率而導致像素之感度降低，但就作為背面照射型之CAPD感測器之受光元件1而言，可無關於抽頭之配置位置而確保充分之開口率，從而可提高像素之感度。

【0108】

又，於背面照射型之受光元件1中，在基板61中之與供來自外部之紅外光入射之光入射面為相反側之面附近形成有信號提取部65，故而可減少於無效抽頭之區域中產生紅外光之光電轉換。藉此，可提高Cmod、即電荷分離效率。

【0109】

圖5表示正面照射型與背面照射型之CAPD感測器之像素剖視圖。

【0110】

於圖5左側之正面照射型之CAPD感測器中，圖中基板141之上側為

光入射面，於基板141之光入射面側，積層有包含複數層配線之配線層152、像素間遮光部153及晶載透鏡154。

【0111】

於圖5右側之背面照射型之CAPD感測器中，於圖中與光入射面為相反側之基板142之下側，形成有包含複數層配線之配線層152，於作為光入射面側之基板142之上側，積層有像素間遮光部153及晶載透鏡154。

【0112】

再者，於圖5中，灰色之梯形形狀表示藉由利用晶載透鏡154將紅外光聚光，而光強度較強之區域。

【0113】

例如，於正面照射型之CAPD感測器中，在基板141之光入射面側具有存在無效抽頭及有效抽頭之區域R11。因此，當直接入射至無效抽頭之成分較多，且於無效抽頭之區域進行光電轉換時，經該光電轉換所獲得之信號載子將不會於有效抽頭之N+半導體區域被檢測出。

【0114】

於正面照射型之CAPD感測器中，在基板141之光入射面附近之區域R11中，紅外光之強度較強，故而於區域R11內進行紅外光之光電轉換之機率變高。即，入射至無效抽頭附近之紅外光之光量較多，故而無法利用有效抽頭檢測之信號載子變多，而導致電荷分離效率降低。

【0115】

與此相對，於背面照射型之CAPD感測器中，在遠離基板142之光入射面之位置、即與光入射面側為相反側之面附近之位置，具有存在無效抽頭及有效抽頭之區域R12。此處，基板142對應於圖2所示之基板61。

【0116】

於該例中，於基板142之與光入射面側為相反側之面之部分具有區域R12，區域R12處於遠離光入射面之位置，故而於該區域R12附近，入射之紅外光之強度相對變弱。

【0117】

於基板142之中心附近或光入射面附近等紅外光之強度較強之區域中藉由光電轉換而獲得之信號載子由在基板142內產生之電場引導至有效抽頭，於有效抽頭之N+半導體區域被檢測出。

【0118】

另一方面，於包含無效抽頭之區域R12附近，所入射之紅外光之強度相對較弱，在區域R12內進行紅外光之光電轉換之機率變低。即，入射至無效抽頭附近之紅外光之光量較少，故而藉由無效抽頭附近之光電轉換而產生且向無效抽頭之N+半導體區域移動之信號載子(電子)之數量變少，可提高電荷分離效率。結果，可改善測距特性。

【0119】

進而，於背面照射型之受光元件1中，可實現基板61之薄層化，故而可提高作為信號載子之電子(電荷)之提取效率。

【0120】

例如，於正面照射型之CAPD感測器中無法充分地確保開口率，故而如圖6之箭頭W31所示，為了確保更高之量子效率並抑制量子效率×開口率之降低，必須使基板171某種程度上增厚。

【0121】

如此一來，於基板171內之與光入射面為相反側之面附近之區域、例

如區域R21之部分，電位之傾斜變得平緩，實質上與基板171垂直之方向之電場會變弱。於此情形時，信號載子之移動速度變慢，故而自進行光電轉換至在有效抽頭之N+半導體區域中檢測出信號載子為止所需之時間變長。再者，於圖6中，基板171內之箭頭表示基板171處之與基板171垂直之方向之電場。

【0122】

又，若基板171較厚，則自基板171內之遠離有效抽頭之位置至有效抽頭內之N+半導體區域為止的信號載子之移動距離變長。因此，於遠離有效抽頭之位置處，自進行光電轉換至在有效抽頭之N+半導體區域中檢測出信號載子為止所需之時間進一步變長。

【0123】

圖7表示基板171之厚度方向之位置與信號載子之移動速度之關係。區域R21對應於擴散電流區域。

【0124】

如此，若基板171變厚，則例如於驅動頻率較高時、即高速地進行抽頭(信號提取部)之有效與無效之切換時，無法將於區域R21等遠離有效抽頭之位置處產生之電子完全引入至有效抽頭之N+半導體區域。即，當抽頭有效之時間較短時，將產生無法於有效抽頭之N+半導體區域檢測出於區域R21內等產生之電子(電荷)之情況，電子之提取效率降低。

【0125】

與此相對，於背面照射型之CAPD感測器中，可確保充分之開口率，例如即便如圖6之箭頭W32所示使基板172變薄，亦可確保充分之量子效率×開口率。此處，基板172對應於圖2之基板61，基板172內之箭頭表示

與基板172垂直之方向之電場。

【0126】

圖8表示基板172之厚度方向之位置與信號載子之移動速度之關係。

【0127】

如此，當使基板172之與基板172垂直之方向之厚度變薄時，實質上與基板172垂直之方向之電場變強，使用僅信號載子之移動速度較快之漂移電流區域之僅電子(電荷)，而不使用信號載子之移動速度較慢之擴散電流區域之電子。藉由使用僅漂移電流區域之僅電子(電荷)，進行光電轉換後至在有效抽頭之N+半導體區域檢測出信號載子為止所需之時間變短。又，當基板172之厚度變薄時，信號載子之至有效抽頭內之N+半導體區域為止之移動距離亦變短。

【0128】

根據該等情況，於背面照射型之CAPD感測器中，即便於驅動頻率較高時亦可將基板172內之各區域中產生之信號載子(電子)充分地引入至有效抽頭之N+半導體區域，從而可提高電子之提取效率。

【0129】

又，藉由基板172之薄層化，即便於較高之驅動頻率下亦可確保充分之電子提取效率，從而可使高速驅動耐性提高。

【0130】

尤其是，於背面照射型之CAPD感測器中，可對基板172、即基板61直接施加電壓，故而抽頭之有效及無效之切換之應答速度較快，能以較高之驅動頻率使抽頭驅動。又，由於可對基板61直接施加電壓，故而基板61內之能夠調變之區域變寬。

【0131】

進而，於背面照射型之受光元件1(CAPD感測器)中，可獲得充分之開口率，故而可相應地使像素微細化，且可提高像素之耐微細化性。

【0132】

除此以外，就受光元件1而言，藉由設為背面照射型，可實現BEOL(Back End Of Line，後段製程)電容設計之自由化，藉此，可提高飽和信號量(Qs)之設計自由度。

【0133】

＜第1實施形態之變化例1＞

＜像素之構成例＞

再者，以上，基板61內之信號提取部65之部分係以如圖3所示般將N+半導體區域71與P+半導體區域73設為矩形狀區域之情形為例進行了說明。但是，自與基板61垂直之方向觀察時之N+半導體區域71與P+半導體區域73之形狀亦可設為任意形狀。

【0134】

具體而言，例如亦可如圖9所示般將N+半導體區域71與P+半導體區域73設為圓形狀。再者，於圖9中對與圖3之情形對應之部分附上相同之符號，其說明將適當省略。

【0135】

圖9表示自與基板61垂直之方向觀察像素51中之信號提取部65之部分時的N+半導體區域71及P+半導體區域73。

【0136】

於該例中，在像素51之中央部分形成有未圖示之氧化膜64，在像素

51之自中央稍靠端側之部分形成有信號提取部65。尤其是，此處，於像素51內形成有2個信號提取部65。

【0137】

而且，於各信號提取部65中，在其中心位置形成有圓形狀之P+半導體區域73，以該P+半導體區域73為中心，P+半導體區域73之周圍由圓形狀、更詳細而言為圓環狀之N+半導體區域71包圍。

【0138】

圖10係使晶載透鏡62與將圖9所示之具有信號提取部65之像素51呈矩陣狀二維配置所得的像素陣列部20之一部分重疊而成之俯視圖。

【0139】

如圖10所示，晶載透鏡62以像素為單位形成。換言之，形成有1個晶載透鏡62之單位區域對應於1像素。

【0140】

再者，於圖2中，在N+半導體區域71與P+半導體區域73之間配置有由氧化膜等形成之分離部75，但分離部75可存在亦可不存在。

【0141】

＜第1實施形態之變化例2＞

＜像素之構成例＞

圖11係表示像素51之信號提取部65之平面形狀之變化例的俯視圖。

【0142】

關於信號提取部65，除使平面形狀形成為圖3所示之矩形狀、及圖9所示之圓形狀以外，例如亦可如圖11所示形成為八邊形狀。

【0143】

又，圖11表示於N+半導體區域71與P+半導體區域73之間形成有由氧化膜等形成之分離部75之情形時的俯視圖。

【0144】

圖11所示之A-A'線表示下述圖37之剖面線，B-B'線表示下述圖36之剖面線。

【0145】

＜第2實施形態＞

＜像素之構成例＞

進而，以上，以於信號提取部65內，P+半導體區域73之周圍由N+半導體區域71包圍之構成為例進行了說明，但亦可為N+半導體區域之周圍由P+半導體區域包圍。

【0146】

於此種情形時，像素51例如以圖12所示之方式構成。再者，對圖12中與圖3之情形對應之部分附上相同之符號，其說明將適當省略。

【0147】

圖12表示自與基板61垂直之方向觀察像素51之信號提取部65之部分時的N+半導體區域及P+半導體區域之配置。

【0148】

於該例中，於像素51之中央部分形成有未圖示之氧化膜64，於像素51之自中央稍靠圖中、上側之部分形成有信號提取部65-1，於自像素51之中央稍靠圖中、下側之部分形成有信號提取部65-2。尤其是，於該例中，像素51內之信號提取部65之形成位置成為與圖3之情形相同之位置。

【0149】

於信號提取部65-1內，在信號提取部65-1之中心形成有與圖3所示之N+半導體區域71-1對應之矩形狀之N+半導體區域201-1。而且，該N+半導體區域201-1之周圍由與圖3所示之P+半導體區域73-1對應之矩形狀、更詳細而言為矩形框形狀之P+半導體區域202-1包圍。即，P+半導體區域202-1係以包圍N+半導體區域201-1之周圍之方式形成。

【0150】

同樣地，於信號提取部65-2內，在信號提取部65-2之中心形成有與圖3所示之N+半導體區域71-2對應之矩形狀之N+半導體區域201-2。而且，該N+半導體區域201-2之周圍由與圖3所示之P+半導體區域73-2對應之矩形狀、更詳細而言為矩形框形狀之P+半導體區域202-2包圍。

【0151】

再者，以下，於無需特別區分N+半導體區域201-1及N+半導體區域201-2之情形時，亦簡稱為N+半導體區域201。又，以下，於無需特別區分P+半導體區域202-1及P+半導體區域202-2之情形時，亦簡稱為P+半導體區域202。

【0152】

於將信號提取部65設為圖12所示之構成之情形時，亦與設為圖3所示之構成之情形同樣地，N+半導體區域201作為用以檢測信號載子之量之電荷檢測部發揮功能，P+半導體區域202作為用以對基板61施加直接電壓而產生電場之電壓施加部發揮功能。

【0153】

＜第2實施形態之變化例1＞

＜像素之構成例＞

又，於與圖9所示之例同樣地，設為如N+半導體區域201之周圍被P+半導體區域202包圍之配置之情形時，該等N+半導體區域201及P+半導體區域202之形狀亦可設為任意形狀。

【0154】

即，例如亦可為如圖13所示將N+半導體區域201與P+半導體區域202設為圓形狀。再者，於圖13中對與圖12之情形對應之部分附上相同之符號，其說明將適當省略。

【0155】

圖13表示自與基板61垂直之方向觀察像素51之信號提取部65之部分時的N+半導體區域201及P+半導體區域202。

【0156】

於該例中，於像素51之中央部分形成有未圖示之氧化膜64，於像素51之自中央稍靠端側之部分形成有信號提取部65。尤其是，此處，於像素51內形成有2個信號提取部65。

【0157】

而且，於各信號提取部65中，在其中心位置形成有圓形狀之N+半導體區域201，以該N+半導體區域201為中心，N+半導體區域201之周圍由圓形狀、更詳細而言為圓環狀之P+半導體區域202包圍。

【0158】

＜第3實施形態＞

＜像素之構成例＞

進而，信號提取部65內所形成之N+半導體區域與P+半導體區域亦可設為直線形狀(長方形狀)。

【0159】

於此種情形時，例如像素51係以圖14所示之方式構成。再者，對圖14中與圖3之情形對應之部分附上相同之符號，其說明將適當省略。

【0160】

圖14表示自與基板61垂直之方向觀察像素51之信號提取部65之部分時的N+半導體區域及P+半導體區域之配置。

【0161】

於該例中，在像素51之中央部分形成有未圖示之氧化膜64，在像素51之自中央稍靠圖中、上側之部分形成有信號提取部65-1，在像素51之自中央稍靠圖中、下側之部分形成有信號提取部65-2。尤其是，於該例中，像素51內之信號提取部65之形成位置成為與圖3之情形相同之位置。

【0162】

於信號提取部65-1內，在信號提取部65-1之中心形成有與圖3所示之P+半導體區域73-1對應之直線形狀之P+半導體區域231。而且，於該P+半導體區域231之周圍，以夾入P+半導體區域231之方式形成有與圖3所示之N+半導體區域71-1對應之直線形狀之N+半導體區域232-1及N+半導體區域232-2。即，P+半導體區域231形成於被N+半導體區域232-1與N+半導體區域232-2夾著之位置。

【0163】

再者，以下，於無需特別區分N+半導體區域232-1及N+半導體區域232-2之情形時，亦簡稱為N+半導體區域232。

【0164】

於圖3所示之例中，將P+半導體區域73設為如由N+半導體區域71包

圍之構造，但於圖14所示之例中，P+半導體區域231成為由鄰接地設置之2個N+半導體區域232夾著之構造。

【0165】

同樣地，於信號提取部65-2內，在信號提取部65-2之中心形成有與圖3所示之P+半導體區域73-2對應之直線形狀之P+半導體區域233。而且，於該P+半導體區域233之周圍，以夾入P+半導體區域233之方式形成有與圖3所示之N+半導體區域71-2對應之直線形狀之N+半導體區域234-1及N+半導體區域234-2。

【0166】

再者，以下，於無需特別區分N+半導體區域234-1及N+半導體區域234-2之情形時，亦簡稱為N+半導體區域234。

【0167】

於圖14之信號提取部65中，P+半導體區域231及P+半導體區域233作為與圖3所示之P+半導體區域73對應之電壓施加部發揮功能，N+半導體區域232及N+半導體區域234作為與圖3所示之N+半導體區域71對應之電荷檢測部發揮功能。於此情形時，例如將N+半導體區域232-1及N+半導體區域232-2該兩區域連接於FD部A。

【0168】

又，設為直線形狀之P+半導體區域231、N+半導體區域232、P+半導體區域233及N+半導體區域234之各區域之圖中橫向之長度可為任意長度，亦可不將該等各區域設為相同長度。

【0169】

＜第4實施形態＞

＜像素之構成例＞

進而，於圖14所示之例中，以將P+半導體區域231或P+半導體區域233夾入於N+半導體區域232或N+半導體區域234之構造為例進行了說明，反之，亦可將N+半導體區域設為被夾入於P+半導體區域之形狀。

【0170】

於此種情形時，例如像素51係以圖15所示之方式構成。再者，對圖15中與圖3之情形對應之部分附上相同之符號，其說明將適當省略。

【0171】

圖15表示自與基板61垂直之方向觀察像素51之信號提取部65之部分時的N+半導體區域及P+半導體區域之配置。

【0172】

於該例中，於像素51之中央部分形成有未圖示之氧化膜64，於像素51之自中央稍靠端側之部分形成有信號提取部65。尤其是於該例中，像素51內之2個各信號提取部65之形成位置成為與圖3之情形相同之位置。

【0173】

於信號提取部65-1內，在信號提取部65-1之中心形成有與圖3所示之N+半導體區域71-1對應之直線形狀之N+半導體區域261。而且，於該N+半導體區域261之周圍，以夾入N+半導體區域261之方式形成有與圖3所示之P+半導體區域73-1對應之直線形狀之P+半導體區域262-1及P+半導體區域262-2。即，N+半導體區域261形成於被P+半導體區域262-1與P+半導體區域262-2夾著之位置。

【0174】

再者，以下，於無需特別區分P+半導體區域262-1及P+半導體區域

262-2之情形時，亦簡稱為P+半導體區域262。

【0175】

同樣地，於信號提取部65-2內，在信號提取部65-2之中心形成有與圖3所示之N+半導體區域71-2對應之直線形狀之N+半導體區域263。而且，於該N+半導體區域263之周圍，以夾入N+半導體區域263之方式形成有與圖3所示之P+半導體區域73-2對應之直線形狀之P+半導體區域264-1及P+半導體區域264-2。

【0176】

再者，以下，於無需特別區分P+半導體區域264-1及P+半導體區域264-2之情形時，亦簡稱為P+半導體區域264。

【0177】

於圖15之信號提取部65中，P+半導體區域262及P+半導體區域264作為與圖3所示之P+半導體區域73對應之電壓施加部發揮功能，N+半導體區域261及N+半導體區域263作為與圖3所示之N+半導體區域71對應之電荷檢測部發揮功能。再者，設為直線形狀之N+半導體區域261、P+半導體區域262、N+半導體區域263及P+半導體區域264之各區域之圖中橫向之長度可為任意長度，亦可不將該等各區域設為相同長度。

【0178】

＜第5實施形態＞

＜像素之構成例＞

進而，以上，對在構成像素陣列部20之各像素內，分別設置有2個信號提取部65之例進行了說明，但像素內所設置之信號提取部之數量可為1個，亦可為3個以上。

【0179】

例如於在像素51內形成有1個信號提取部之情形時，像素之構成係例如圖16所示之方式構成。再者，對圖16中與圖3之情形對應之部分附上相同之符號，其說明將適當省略。

【0180】

圖16表示自與基板垂直之方向觀察設置於像素陣列部20之一部分像素中之信號提取部之部分時的N+半導體區域及P+半導體區域之配置。

【0181】

於該例中，示出設置於像素陣列部20之像素51、及作為與該像素51鄰接之像素51而將符號加以區分地表示之像素291-1至像素291-3，於該等各像素形成有1個信號提取部。

【0182】

即，於像素51中，在像素51之中央部分形成有1個信號提取部65。而且，於信號提取部65中，在其中心位置形成有圓形狀之P+半導體區域301，以該P+半導體區域301為中心，P+半導體區域301之周圍由圓形狀、更詳細而言為圓環狀之N+半導體區域302包圍。

【0183】

此處，P+半導體區域301對應於圖3所示之P+半導體區域73，且作為電壓施加部發揮功能。又，N+半導體區域302對應於圖3所示之N+半導體區域71，且作為電荷檢測部發揮功能。再者，P+半導體區域301或N+半導體區域302亦可設為任意形狀。

【0184】

又，處於像素51之周圍之像素291-1至像素291-3亦成為與像素51相

同之構造。

【0185】

即，例如於像素291-1之中央部分形成有1個信號提取部303。而且，於信號提取部303中，在其中心位置形成有圓形狀之P+半導體區域304，以該P+半導體區域304為中心，P+半導體區域304之周圍由圓形狀、更詳細而言為圓環狀之N+半導體區域305包圍。

【0186】

該等P+半導體區域304及N+半導體區域305分別對應於P+半導體區域301及N+半導體區域302。

【0187】

再者，以下，於無需特別區分像素291-1至像素291-3之情形時，亦簡稱為像素291。

【0188】

於如此在各像素形成1個信號提取部(抽頭)之情形時，於欲利用間接ToF方式測定距對象物之距離時，使用相互鄰接之若干個像素，基於針對該等像素所獲得之像素信號算出距離資訊。

【0189】

例如當著眼於像素51時，於將像素51之信號提取部65設為有效抽頭之狀態下，例如以包含像素291-1之與像素51鄰接之若干個像素291之信號提取部303成為無效抽頭之方式驅動各像素。

【0190】

作為一例，例如以像素291-1或像素291-3等於圖中上下左右鄰接於像素51之像素之信號提取部成為無效抽頭的方式驅動各像素。

【0191】

其後，當將以像素51之信號提取部65成為無效抽頭之方式施加之電壓切換時，本次使包含像素291-1之與像素51鄰接之若干個像素291之信號提取部303成為有效抽頭。

【0192】

繼而，基於在將信號提取部65設為有效抽頭之狀態下自信號提取部65讀出之像素信號、及在將信號提取部303設為有效抽頭之狀態下自信號提取部303讀出之像素信號，算出距離資訊。

【0193】

即便於如此將像素內所設置之信號提取部(抽頭)之數量設為1個之情形時，亦可使用相互鄰接之像素利用間接ToF方式進行測距。

【0194】

＜第6實施形態＞

＜像素之構成例＞

又，亦可如上所述於各像素內設置3個以上之信號提取部(抽頭)。

【0195】

例如於在像素內設置有4個信號提取部(抽頭)之情形時，像素陣列部20之各像素係以圖17所示之方式構成。再者，對圖17中與圖16之情形對應之部分附上相同之符號，其說明將適當省略。

【0196】

圖17表示自與基板垂直之方向觀察設置於像素陣列部20之一部分像素中之信號提取部之部分時的N+半導體區域及P+半導體區域之配置。

【0197】

圖17所示之C-C'線之剖視圖係如下述圖36所示。

【0198】

於該例中，示出設置於像素陣列部20之像素51及像素291，於該等各像素形成有4個信號提取部。

【0199】

即，於像素51中，在像素51之中央與像素51之端部分之間之位置、即像素51中央之圖中左下側之位置、左上側之位置、右上側之位置及右下側之位置形成有信號提取部331-1、信號提取部331-2、信號提取部331-3及信號提取部331-4。

【0200】

該等信號提取部331-1至信號提取部331-4對應於圖16所示之信號提取部65。

【0201】

例如於信號提取部331-1中，在其中心位置形成有圓形狀之P+半導體區域341，以該P+半導體區域341為中心，P+半導體區域341之周圍由圓形狀、更詳細而言為圓環狀之N+半導體區域342包圍。

【0202】

此處，P+半導體區域341對應於圖16所示之P+半導體區域301，且作為電壓施加部發揮功能。又，N+半導體區域342對應於圖16所示之N+半導體區域302，且作為電荷檢測部發揮功能。再者，P+半導體區域341或N+半導體區域342亦可設為任意形狀。

【0203】

又，信號提取部331-2至信號提取部331-4亦被設為與信號提取部

331-1相同之構成，具有分別作為電壓施加部發揮功能之P+半導體區域、及作為電荷檢測部發揮功能之N+半導體區域。進而，形成於像素51之周圍之像素291成為與像素51相同之構造。

【0204】

再者，以下，於無需特別區分信號提取部331-1至信號提取部331-4之情形時，亦簡稱為信號提取部331。

【0205】

於如此在各像素設置有4個信號提取部之情形時，例如於利用間接ToF方式之測距時，使用像素內之4個信號提取部算出距離資訊。

【0206】

作為一例，當著眼於像素51時，例如以於將信號提取部331-1及信號提取部331-3設為有效抽頭之狀態下，信號提取部331-2及信號提取部331-4成為無效抽頭之方式驅動像素51。

【0207】

其後，將施加至各信號提取部331之電壓切換。即，以信號提取部331-1及信號提取部331-3成為無效抽頭，且信號提取部331-2及信號提取部331-4成為有效抽頭之方式驅動像素51。

【0208】

繼而，基於在將信號提取部331-1及信號提取部331-3設為有效抽頭之狀態下自該等信號提取部331-1及信號提取部331-3讀出之像素信號、及在將信號提取部331-2及信號提取部331-4設為有效抽頭之狀態自該等信號提取部331-2及信號提取部331-4讀出之像素信號算出距離資訊。

【0209】

＜第7實施形態＞

＜像素之構成例＞

進而，亦可為於像素陣列部20之相互鄰接之像素間共有信號提取部(抽頭)。

【0210】

於此種情形時，像素陣列部20之各像素例如以圖18所示之方式構成。再者，於圖18中對與圖16之情形對應之部分附上相同之符號，其說明將適當省略。

【0211】

圖18表示自與基板垂直之方向觀察設置於像素陣列部20之一部分像素中之信號提取部之部分時的N+半導體區域及P+半導體區域之配置。

【0212】

於該例中，示出設置於像素陣列部20之像素51與像素291，於該等各像素形成有2個信號提取部。

【0213】

例如於像素51中，在像素51之圖中、上側之端部分形成有信號提取部371，在像素51之圖中、下側之端部分形成有信號提取部372。

【0214】

信號提取部371為像素51與像素291-1所共有。即，信號提取部371亦被使用作為像素51之抽頭，且亦被用作像素291-1之抽頭。又，信號提取部372為像素51與鄰接於該像素51之圖中、下側之未圖示之像素所共有。

【0215】

於信號提取部371內，在其中心之位置形成有與圖14所示之P+半導體

區域231對應之直線形狀之P+半導體區域381。而且，於該P+半導體區域381之圖中上下之位置，以夾入P+半導體區域381之方式形成有與圖14所示之N+半導體區域232對應之直線形狀之N+半導體區域382-1及N+半導體區域382-2。

【0216】

尤其是，於該例中，P+半導體區域381形成於像素51與像素291-1之交界部分。又，N+半導體區域382-1形成於像素51內之區域，N+半導體區域382-2形成於像素291-1內之區域。

【0217】

此處，P+半導體區域381作為電壓施加部發揮功能，N+半導體區域382-1及N+半導體區域382-2作為電荷檢測部發揮功能。再者，以下，於無需特別區分N+半導體區域382-1及N+半導體區域382-2之情形時，亦簡稱為N+半導體區域382。

【0218】

又，P+半導體區域381或N+半導體區域382亦可設為任意形狀。進而，N+半導體區域382-1及N+半導體區域382-2可連接於相同之FD部，亦可連接於互不相同之FD部。

【0219】

於信號提取部372內，形成有直線形狀之P+半導體區域383、N+半導體區域384-1及N+半導體區域384-2。

【0220】

該等P+半導體區域383、N+半導體區域384-1及N+半導體區域384-2分別對應於P+半導體區域381、N+半導體區域382-1及N+半導體區域382-

2，且設為相同之配置、形狀及功能。再者，以下，於無需特別區分N+半導體區域384-1及N+半導體區域384-2之情形時，亦簡稱為N+半導體區域384。

【0221】

於如上所述在鄰接像素間共有信號提取部(抽頭)之情形時，亦可藉由與圖3所示之例相同之動作進行利用間接ToF方式之測距。

【0222】

於如圖18所示在像素間共有信號提取部之情形時，例如P+半導體區域381與P+半導體區域383之間之距離等用以產生電場即電流之成對之P+半導體區域間之距離變長。換言之，藉由於像素間共有信號提取部，可使P+半導體區域間之距離最大限度地變長。

【0223】

藉此，電流不易於P+半導體區域間流動，故而可減少像素之耗電，又，亦有利於像素之微細化。

【0224】

再者，此處，對1個信號提取部由相互鄰接之2個像素所共有之例進行了說明，但亦可為1個信號提取部由相互鄰接之3個以上之像素所共有。又，於信號提取部由相互鄰接之2個以上之像素所共有之情形時，可為僅共有用以檢測信號提取部中之信號載子之電荷檢測部，亦可為僅共有用以產生電場之電壓施加部。

【0225】

＜第8實施形態＞

＜像素之構成例＞

進而，設置於像素陣列部20之像素51等各像素之晶載透鏡或像素間遮光部亦可不特別地予以設置。

【0226】

具體而言，例如可將像素51設為圖19所示之構成。再者，於圖19中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0227】

圖19所示之像素51之構成與圖2所示之像素51之不同點在於，未設置有晶載透鏡62，於其他方面成為與圖2之像素51相同之構成。

【0228】

於圖19所示之像素51，在基板61之光入射面側未設置有晶載透鏡62，故而可使自外部入射至基板61之紅外光之衰減變得更少。藉此，可使能利用基板61接收之紅外光之光量增加，從而提高像素51之感度。

【0229】

＜第8實施形態之變化例1＞

＜像素之構成例＞

又，亦可將像素51之構成設為例如圖20所示之構成。再者，於圖20中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0230】

圖20所示之像素51之構成與圖2所示之像素51之不同點在於，未設置有像素間遮光膜63-1及像素間遮光膜63-2，於其他方面成為與圖2之像素51相同之構成。

【0231】

於圖20所示之例中，由於在基板61之光入射面側未設置有像素間遮

光膜63，故而串擾之抑制效果降低，但由於經像素間遮光膜63遮光之紅外光亦入射至基板61內，故而可提高像素51之感度。

【0232】

再者，當然亦可為於像素51既未設置有晶載透鏡62，亦未設置有像素間遮光膜63。

【0233】

＜第8實施形態之變化例2＞

＜像素之構成例＞

除此以外，例如亦可為如圖21所示，使晶載透鏡之光軸方向之厚度亦最佳化。再者，於圖21中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0234】

圖21所示之像素51之構成與圖2所示之像素51之不同點在於，代替晶載透鏡62而設置有晶載透鏡411，於其他方面成為與圖2之像素51相同之構成。

【0235】

於圖21所示之像素51中，在基板61之光入射面側、即圖中、上側形成有晶載透鏡411。該晶載透鏡411與圖2所示之晶載透鏡62相比，光軸方向之厚度、即圖中縱向之厚度變薄。

【0236】

一般而言，設置於基板61之正面之晶載透鏡較厚者有利於入射至晶載透鏡之光之聚光。但是，藉由使晶載透鏡411變薄，可相應地使透過率變高而提高像素51之感度，故而只要根據基板61之厚度或欲使紅外光聚

光之位置等適當地決定晶載透鏡411之厚度便可。

【0237】

＜第9實施形態＞

＜像素之構成例＞

進而，亦可為於形成在像素陣列部20之像素與像素之間，設置用以提高鄰接像素間之分離特性，從而抑制串擾之分離區域。

【0238】

於此種情形時，像素51例如以圖22所示之方式構成。再者，於圖22中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0239】

圖22所示之像素51之構成與圖2所示之像素51之不同點在於，在基板61內設置有分離區域441-1及分離區域441-2，於其他方面成為與圖2之像素51相同之構成。

【0240】

於圖22所示之像素51中，在基板61內之像素51與鄰接於該像素51之其他像素之交界部分、即像素51之圖中左右之端部分，由遮光膜等形成有將鄰接像素分離之分離區域441-1及分離區域441-2。再者，以下，於無需特別區分分離區域441-1及分離區域441-2之情形時，亦簡稱為分離區域441。

【0241】

例如於形成分離區域441時，自基板61之光入射面側、即圖中、上側之面朝圖中、下方向(與基板61之面垂直之方向)以特定深度於基板61形成較長之槽(溝槽)，於該槽部分藉由嵌埋形成遮光膜並設為分離區域441。

該分離區域441作為像素分離區域發揮功能，其將自光入射面入射至基板61內且射向鄰接於像素51之其他像素之紅外光遮光。

【0242】

藉由如此形成嵌埋型之分離區域441，可提高像素間之紅外光之分離特性，可抑制串擾之產生。

【0243】

＜第9實施形態之變化例1＞

＜像素之構成例＞

進而，於在像素51形成嵌埋型之分離區域之情形時，例如亦可如圖23所示般設置有貫通基板61整體之分離區域471-1及分離區域471-2。再者，於圖23中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0244】

圖23所示之像素51之構成與圖2所示之像素51之不同點在於，在基板61內設置有分離區域471-1及分離區域471-2，於其他方面成為與圖2之像素51相同之構成。即，圖23所示之像素51成為代替圖22所示之像素51之分離區域441而設置有分離區域471-1及分離區域471-2之構成。

【0245】

於圖23所示之像素51中，在基板61內之像素51與鄰接於該像素51之其他像素之交界部分、即像素51之圖中左右之端部分，藉由遮光膜等形成有貫通基板61整體之分離區域471-1及分離區域471-2。再者，以下，於無需特別區分分離區域471-1及分離區域471-2之情形時，亦簡稱為分離區域471。

【0246】

例如於形成分離區域471時，自基板61之與光入射面側為相反側之面、即圖中、下側之面朝圖中、上方向形成較長之槽(溝槽)。此時，該等槽以貫通基板61之方式，形成至到達基板61之光入射面為止。繼而，於以如上方式形成之槽部分藉由嵌埋形成遮光膜並設為分離區域471。

【0247】

藉由此種嵌埋型之分離區域471，亦可提高像素間之紅外光之分離特性，從而可抑制串擾之產生。

【0248】

＜第10實施形態＞

＜像素之構成例＞

進而，形成信號提取部65之基板之厚度可根據像素之各種特性等決定。

【0249】

因此，例如，如圖24所示，可將構成像素51之基板501設為較圖2所示之基板61厚。再者，於圖24中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0250】

圖24所示之像素51之構成與圖2所示之像素51之不同點在於，代替基板61而設置有基板501，於其他方面成為與圖2之像素51相同之構成。

【0251】

即，於圖24所示之像素51中，在基板501之光入射面側形成有晶載透鏡62、固定電荷膜66及像素間遮光膜63。又，於基板501之與光入射面側

為相反側之面之正面附近，形成有氧化膜64、信號提取部65及分離部75。

【0252】

基板501例如包含厚度為20 μm以上之P型半導體基板，基板501與基板61僅基板之厚度不同，形成氧化膜64、信號提取部65及分離部75之位置於基板501與基板61中成為相同之位置。

【0253】

再者，適當形成於基板501或基板61之光入射面側等之各種層(膜)之膜厚等亦宜根據像素51之特性等而最佳化。

【0254】

＜第11實施形態＞

＜像素之構成例＞

進而，以上，對構成像素51之基板包含P型半導體基板之例進行了說明，但例如亦可如圖25所示般包含N型半導體基板。再者，於圖25中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0255】

圖25所示之像素51之構成與圖2所示之像素51之不同點在於，代替基板61而設置有基板531，於其他方面成為與圖2之像素51相同之構成。

【0256】

於圖25所示之像素51中，例如於矽基板等包含N型半導體層之基板531之光入射面側形成有晶載透鏡62、固定電荷膜66及像素間遮光膜63。

【0257】

又，於基板531之與光入射面側為相反側之面之正面附近形成有氧化

膜64、信號提取部65及分離部75。形成該等氧化膜64、信號提取部65及分離部75之位置於基板531與基板61中成為相同之位置，信號提取部65之構成於基板531與基板61中亦相同。

【0258】

基板531例如以圖中縱向之厚度、即與基板531之面垂直之方向之厚度成為20 μm以下之方式形成。

【0259】

又，基板531例如被製成為設為1E＋13等級以下之基板濃度之高電阻之N-Epi基板等，基板531之電阻(電阻率)例如以成為500[Ωcm]以上之方式形成。藉此，可減少像素51之耗電。

【0260】

此處，基板531之基板濃度與電阻之關係例如設為於基板濃度為2.15E＋12[cm^3]時電阻為2000[Ωcm]、於基板濃度為4.30E＋12[cm^3]時電阻為1000[Ωcm]、於基板濃度為8.61E＋12[cm^3]時電阻為500[Ωcm]、及於基板濃度為4.32E＋13[cm^3]時電阻為100[Ωcm]等。

【0261】

即便如此將像素51之基板531設為N型半導體基板，亦可藉由與圖2所示之例相同之動作，獲得相同之效果。

【0262】

＜第12實施形態＞

＜像素之構成例＞

進而，與參照圖24所說明之例同樣地，亦可根據像素之各種特性等來決定N型半導體基板之厚度。

【0263】

因此，例如，如圖26所示，可將構成像素51之基板561設為較圖25所示之基板531厚之基板。再者，於圖26中對與圖25之情形對應之部分附上相同之符號，其說明將適當省略。

【0264】

圖26所示之像素51之構成與圖25所示之像素51之不同點在於，代替基板531而設置有基板561，於其他方面成為與圖25之像素51相同之構成。

【0265】

即，於圖26所示之像素51中，在基板561之光入射面側形成有晶載透鏡62、固定電荷膜66及像素間遮光膜63。又，於基板561之與光入射面側為相反側之面之正面附近，形成有氧化膜64、信號提取部65及分離部75。

【0266】

基板561例如包含厚度為20 μm以上之N型半導體基板，基板561與基板531僅基板之厚度不同，形成氧化膜64、信號提取部65及分離部75之位置於基板561與基板531中成為相同之位置。

【0267】

＜第13實施形態＞

＜像素之構成例＞

又，例如亦可藉由對基板61之光入射面側施加偏壓，而強化基板61內之與基板61之面垂直之方向(以下亦稱為Z方向)之電場。

【0268】

於此種情形時，像素51例如被設為圖27所示之構成。再者，於圖27中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0269】

圖27A示出圖2所示之像素51，該像素51之基板61內之箭頭表示基板61內之Z方向之電場之強度。

【0270】

與此相對，圖27B表示對基板61之光入射面施加偏壓(電壓)之情形時之像素51之構成。圖27B之像素51之構成基本上設為與圖2所示之像素51之構成相同，但於基板61之光入射面側界面新追加形成有P+半導體區域601。

【0271】

對形成於基板61之光入射面側界面之P+半導體區域601，自像素陣列部20之內部或外部施加0 V以下之電壓(負偏壓)，藉此強化Z方向之電場。圖27B之像素51之基板61內之箭頭表示基板61內之Z方向之電場之強度。圖27B之描畫於基板61內之箭頭之粗細較圖27A之像素51之箭頭粗，Z方向之電場變得更強。藉由如此對形成於基板61之光入射面側之P+半導體區域601施加負偏壓，可強化Z方向之電場，提高信號提取部65之電子之提取效率。

【0272】

再者，用以對基板61之光入射面側施加電壓之構成並不限於設置P+半導體區域601之構成，亦可設為其他任意構成。例如亦可為藉由積層而於基板61之光入射面與晶載透鏡62之間形成透明電極膜，且藉由對該透明電極膜施加電壓而施加負偏壓。

【0273】

＜第14實施形態＞

＜像素之構成例＞

進而，亦可為於基板61之與光入射面為相反側之面上設置大面積之反射構件，以便提高像素51對紅外線之感度。

【0274】

於此種情形時，像素51例如以圖28所示之方式構成。再者，於圖28中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0275】

圖28所示之像素51之構成與圖2之像素51之不同點在於，於基板61之與光入射面為相反側之面上設置有反射構件631，於其他方面成為與圖2之像素51相同之構成。

【0276】

於圖28所示之例中，以覆蓋基板61之與光入射面為相反側之整個面之方式，設置有將紅外光反射之反射構件631。

【0277】

該反射構件631只要為紅外光之反射率較高者，則亦可為任意構成。例如可使用設置於基板61之與光入射面為相反側之面上所積層之多層配線層內之銅或鋁等金屬(金屬)作為反射構件631，亦可於基板61之與光入射面為相反側之面上形成多晶矽或氧化膜等反射構造，並設為反射構件631。

【0278】

藉由如此於像素51設置反射構件631，可使經由晶載透鏡62自光入射

面入射至基板61內且未於基板61內經光電轉換而透過基板61之紅外光利用反射構件631反射後再次入射至基板61內。藉此，可使於基板61內經光電轉換之紅外光之量更多，可提高量子效率(QE)、即像素51對紅外光之感度。

【0279】

＜第15實施形態＞

＜像素之構成例＞

進而，為了抑制附近像素之光之誤偵測，亦可於基板61之與光入射面為相反側之面上設置大面積之遮光構件。

【0280】

於此種情形時，像素51例如可設為將圖28所示之反射構件631置換為遮光構件所得之構成。即，於圖28所示之像素51中，將覆蓋基板61之與光入射面為相反側之整個面之反射構件631設為將紅外光遮光之遮光構件631'。遮光構件631'係利用圖28之像素51之反射構件631代替。

【0281】

該遮光構件631'只要為紅外光之遮光率較高者，則可為任意構成。例如可使用設置於基板61之與光入射面為相反側之面上所積層之多層配線層內之銅或鋁等金屬(金屬)作為遮光構件631'，亦可於基板61之與光入射面為相反側之面上形成多晶矽或氧化膜等遮光構造，而設為遮光構件631'。

【0282】

藉由如此於像素51設置遮光構件631'，可抑制經由晶載透鏡62自光入射面入射至基板61內且未於基板61內經光電轉換而透過基板61之紅外光於配線層發生散射，入射至附近像素。藉此，可防止於附近像素誤偵測

到光。

【0283】

再者，遮光構件631'例如由包含金屬之材料形成，藉此亦可兼作為反射構件631。

【0284】

＜第16實施形態＞

＜像素之構成例＞

進而，亦可為代替像素51之基板61之氧化膜64而設置包含P型半導體區域之P井區域。

【0285】

於此種情形時，像素51例如以圖29所示之方式構成。再者，於圖29中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0286】

圖29所示之像素51之構成與圖2所示之像素51之不同點在於，代替氧化膜64而設置有P井區域671、分離部672-1及分離部672-2，於其他方面成為與圖2之像素51相同之構成。

【0287】

於圖29所示之例中，在基板61內之與光入射面相反之面側、即圖中、下側之面之內側之中央部分，形成有包含P型半導體區域之P井區域671。又，於P井區域671與N+半導體區域71-1之間，藉由氧化膜等形成有用以將該等區域分離之分離部672-1。同樣地，於P井區域671與N+半導體區域71-2之間，亦藉由氧化膜等形成有用以將該等區域分離之分離部672-2。於圖29所示之像素51中，相較N-半導體區域72而言，P-半導體區域74

成為於圖中、上方向更寬之區域。

【0288】

＜第17實施形態＞

＜像素之構成例＞

又，亦可為除像素51之基板61之氧化膜64以外，進而設置有包含P型半導體區域之P井區域。

【0289】

於此種情形時，像素51例如以圖30所示之方式構成。再者，於圖30中對與圖2之情形對應之部分附上相同之符號，其說明將適當省略。

【0290】

圖30所示之像素51之構成與圖2所示之像素51之不同點在於，新設置有P井區域701，於其他方面成為與圖2之像素51相同之構成。即，於圖30所示之例中，在基板61內之氧化膜64之上側，形成有包含P型半導體區域之P井區域701。

【0291】

如上所述，根據本技術，可藉由將CAPD感測器設為背面照射型之構成而提高像素感度等特性。

【0292】

＜像素之等效電路構成例＞

圖31表示像素51之等效電路。

【0293】

像素51針對包含N+半導體區域71-1及P+半導體區域73-1等之信號提取部65-1，具有傳輸電晶體721A、FD722A、重設電晶體723A、放大電

晶體724A及選擇電晶體725A。

【0294】

又，像素51針對包含N+半導體區域71-2及P+半導體區域73-2等之信號提取部65-2，具有傳輸電晶體721B、FD722B、重設電晶體723B、放大電晶體724B及選擇電晶體725B。

【0295】

抽頭驅動部21對P+半導體區域73-1施加特定之電壓MIX0(第1電壓)，對P+半導體區域73-2施加特定之電壓MIX1(第2電壓)。於上述例中，電壓MIX0及MIX1之一者為1.5 V，另一者為0 V。P+半導體區域73-1及73-2係被施加第1電壓或第2電壓之電壓施加部。

【0296】

N+半導體區域71-1及71-2係電荷檢測部，其檢測並蓄積將入射至基板61之光進行光電轉換後產生之電荷。

【0297】

傳輸電晶體721A係當供給至閘極電極之驅動信號TRG成為有效狀態時，響應於此而成為導通狀態，藉此將N+半導體區域71-1中所蓄積之電荷傳輸至FD722A。傳輸電晶體721B係當供給至閘極電極之驅動信號TRG成為有效狀態時，響應於此而成為導通狀態，藉此將N+半導體區域71-2中所蓄積之電荷傳輸至FD722B。

【0298】

FD722A暫時保持自N+半導體區域71-1供給之電荷DET0。FD722B暫時保持自N+半導體區域71-2供給之電荷DET1。FD722A係對應於參照圖2所說明之FD部A者，FD722B係對應於FD部B者。

【0299】

重設電晶體723A係當供給至閘極電極之驅動信號RST成為有效狀態時，響應於此而成為導通狀態，藉此將FD722A之電位重設為特定之位準(電源電壓VDD)。重設電晶體723B係當供給至閘極電極之驅動信號RST成為有效狀態時，響應於此而成為導通狀態，藉此將FD722B之電位重設為特定之位準(電源電壓VDD)。再者，於將重設電晶體723A及723B設為有效狀態時，傳輸電晶體721A及721B亦同時被設為有效狀態。

【0300】

放大電晶體724A之源極電極經由選擇電晶體725A連接於垂直信號線29A，藉此，構成連接於垂直信號線29A之一端之定電流源電路部726A之負荷MOS與源極隨耦器電路。放大電晶體724B之源極電極經由選擇電晶體725B連接於垂直信號線29B，藉此，構成連接於垂直信號線29B之一端之定電流源電路部726B之負荷MOS與源極隨耦器電路。

【0301】

選擇電晶體725A連接於放大電晶體724A之源極電極與垂直信號線29A之間。選擇電晶體725A係當供給至閘極電極之選擇信號SEL成為有效狀態時，響應於此而成為導通狀態，將自放大電晶體724A輸出之像素信號輸出至垂直信號線29A。

【0302】

選擇電晶體725B連接於放大電晶體724B之源極電極與垂直信號線29B之間。選擇電晶體725B係當供給至閘極電極之選擇信號SEL成為有效狀態時，響應於此而成為導通狀態，將自放大電晶體724B輸出之像素信號輸出至垂直信號線29B。

【0303】

像素51之傳輸電晶體721A及721B、重設電晶體723A及723B、放大電晶體724A及724B、以及選擇電晶體725A及725B例如由垂直驅動部22控制。

【0304】

＜像素之其他等效電路構成例＞

圖32表示像素51之其他等效電路。

【0305】

於圖32中，對與圖31對應之部分附上相同之符號，其說明將適當省略。

【0306】

圖32之等效電路係對圖31之等效電路，對信號提取部65-1及65-2之兩者追加附加電容727、及控制其連接之切換電晶體728。

【0307】

具體而言，於傳輸電晶體721A與FD722A之間，經由切換電晶體728A連接有附加電容727A，於傳輸電晶體721B與FD722B之間，經由切換電晶體728B連接有附加電容727B。

【0308】

切換電晶體728A係當供給至閘極電極之驅動信號FDG成為有效狀態時，響應於此而成為導通狀態，藉此使附加電容727A連接於FD722A。切換電晶體728B係當供給至閘極電極之驅動信號FDG成為有效狀態時，響應於此而成為導通狀態，藉此使附加電容727B連接於FD722B。

【0309】

垂直驅動部22例如於入射光之光量較多之高照度時，將切換電晶體728A及728B設為有效狀態，連接FD722A與附加電容727A，並且連接FD722B與附加電容727B。藉此，可於高照度時蓄積更多之電荷。

【0310】

另一方面，於入射光之光量較少之低照度時，垂直驅動部22將切換電晶體728A及728B設為無效狀態，且將附加電容727A及727B分別自FD722A及722B分離。

【0311】

如圖31之等效電路，附加電容727亦可省略，但藉由設置附加電容727，並根據入射光量而區分使用，可確保高動態範圍。

【0312】

＜電壓供給線之配置例＞

其次，參照圖33至圖35，說明用以對各像素51之信號提取部65之電壓施加部即P+半導體區域73-1及73-2施加特定之電壓MIX0或MIX1之電壓供給線的配置。圖33及圖34所示之電壓供給線741對應於圖1所示之電壓供給線30。

【0313】

再者，於圖33及圖34中，作為各像素51之信號提取部65之構成，採用圖9所示之圓形狀之構成進行說明，但毋庸置疑，亦可為其他構成。

【0314】

圖33A係表示電壓供給線之第1配置例之俯視圖。

【0315】

於第1配置例中，針對呈矩陣狀二維配置之複數個像素51，於在水平

方向上鄰接之2像素之間(交界)，沿著垂直方向配線有電壓供給線741-1或741-2。

【0316】

電壓供給線741-1與作為像素51內所存在之2個信號提取部65中之一者之信號提取部65-1的P+半導體區域73-1連接。電壓供給線741-2與作為像素51內所存在之2個信號提取部65中之另一者之信號提取部65-2的P+半導體區域73-2連接。

【0317】

於該第1配置例中，針對2行像素配置有2條電壓供給線741-1及741-2，故而於像素陣列部20中，所排列之電壓供給線741之條數與像素51之行數大致相等。

【0318】

圖33B係表示電壓供給線之第2配置例之俯視圖。

【0319】

於第2配置例中，針對呈矩陣狀二維配置之複數個像素51之1個像素行，沿著垂直方向配線有2條電壓供給線741-1及741-2。

【0320】

電壓供給線741-1與作為像素51內所存在之2個信號提取部65中之一者之信號提取部65-1的P+半導體區域73-1連接。電壓供給線741-2與作為像素51內所存在之2個信號提取部65中之另一者之信號提取部65-2的P+半導體區域73-2。

【0321】

於該第2配置例中，針對1個像素行配線有2條電壓供給線741-1及

741-2，故而針對2行像素，配置有4條電壓供給線741。於像素陣列部20中，所排列之電壓供給線741之條數成為像素51之行數之約2倍。

【0322】

圖33A及B之配置例均為週期性配置(Periodic配置)，即，針對排列於垂直方向之像素週期性地重複配置電壓供給線741-1連接於信號提取部65-1之P+半導體區域73-1且電壓供給線741-2連接於信號提取部65-2之P+半導體區域73-2之構成。

【0323】

圖33A之第1配置例可使針對像素陣列部20配線之電壓供給線741-1及741-2之條數變少。

【0324】

圖33B之第2配置例若與第1配置例相比則配線之條數變多，但連接於1條電壓供給線741之信號提取部65之數量成為1/2，故而可減少配線之負荷，於高速驅動或像素陣列部20之總像素數較多時有效。

【0325】

圖34A係表示電壓供給線之第3配置例之俯視圖。

【0326】

第3配置例係與圖33A之第1配置例同樣地，針對2行像素配置2條電壓供給線741-1及741-2之例。

【0327】

第3配置例與圖33A之第1配置例之不同點在於，於排列於垂直方向之2像素中，信號提取部65-1與65-2之連接處不同。

【0328】

具體而言，例如，於某像素51中，電壓供給線741-1連接於信號提取部65-1之P+半導體區域73-1，電壓供給線741-2連接於信號提取部65-2之P+半導體區域73-2，於其下或其上之像素51中，電壓供給線741-1連接於信號提取部65-2之P+半導體區域73-2，電壓供給線741-2連接於信號提取部65-1之P+半導體區域73-1。

【0329】

圖34B係表示電壓供給線之第4配置例之俯視圖。

【0330】

第4配置例係與圖33B之第2配置例同樣地，針對2行像素配置有2條電壓供給線741-1及741-2之例。

【0331】

第4配置例與圖33B之第2配置例之不同點在於，於排列於垂直方向之2像素中，信號提取部65-1與65-2之連接處不同。

【0332】

具體而言，例如，於某像素51中，電壓供給線741-1連接於信號提取部65-1之P+半導體區域73-1，電壓供給線741-2連接於信號提取部65-2之P+半導體區域73-2，於其下或其上之像素51中，電壓供給線741-1連接於信號提取部65-2之P+半導體區域73-2，電壓供給線741-2連接於信號提取部65-1之P+半導體區域73-1。

【0333】

圖34A之第3配置例可使針對像素陣列部20配線之電壓供給線741-1及741-2之條數變少。

【0334】

圖34B之第4配置例若與第3配置例相比則配線之條數變多，連接於1條電壓供給線741之信號提取部65之數量成為1/2，故而可減少配線之負荷，於高速驅動或像素陣列部20之總像素數較多時有效。

【0335】

圖34A及B之配置例均為使針對上下(垂直方向)鄰接之2像素之連接處鏡面反轉所得之鏡像配置(Mirror配置)。

【0336】

如圖35A所示，週期性配置由於對隔著像素交界鄰接之2個信號提取部65施加之電壓成為不同之電壓，故而產生鄰接像素間之電荷之交換。因此，電荷之傳輸效率較鏡像配置佳，但鄰接像素之串擾特性較鏡像配置差。

【0337】

另一方面，如圖35B所示，鏡像配置由於對隔著像素交界鄰接之2個信號提取部65施加之電壓成為相同之電壓，故而鄰接像素間之電荷之交換得到抑制。因此，電荷之傳輸效率較週期性配置差，但鄰接像素之串擾特性較週期性配置佳。

【0338】

＜第14實施形態之複數個像素之剖面構成＞

於圖2等所示之像素之剖面構成中，省略了形成於基板61之與光入射面相反之正面側之多層配線層的圖示。

【0339】

因此，以下，對上述若干個實施形態，以不省略多層配線層之形式，示出鄰接之複數個像素之剖視圖。

【0340】

首先，圖36及圖37中示出圖28所示之第14實施形態之複數個像素之剖視圖。

【0341】

圖28所示之第14實施形態係於基板61之光入射面之相反側具備大面積之反射構件631的像素之構成。

【0342】

圖36相當於圖11之B-B'線處之剖視圖，圖37相當於圖11之A-A'線處之剖視圖。又，圖17之C-C'線處之剖視圖亦可如圖36所示。

【0343】

如圖36所示，於各像素51中，在中心部分形成有氧化膜64，在該氧化膜64之兩側分別形成有信號提取部65-1及信號提取部65-2。

【0344】

於信號提取部65-1中，以如下方式形成有N+半導體區域71-1及N-半導體區域72-1，即，以P+半導體區域73-1及P-半導體區域74-1為中心，包圍該等P+半導體區域73-1及P-半導體區域74-1之周圍。P+半導體區域73-1及N+半導體區域71-1與多層配線層811接觸。P-半導體區域74-1以覆蓋P+半導體區域73-1之方式，配置於P+半導體區域73-1之上方(晶載透鏡62側)，N-半導體區域72-1以覆蓋N+半導體區域71-1之方式，配置於N+半導體區域71-1之上方(晶載透鏡62側)。換言之，P+半導體區域73-1及N+半導體區域71-1配置於基板61內之多層配線層811側，N-半導體區域72-1與P-半導體區域74-1配置於基板61內之晶載透鏡62側。又，於N+半導體區域71-1與P+半導體區域73-1之間，藉由氧化膜等形成有用以將該等區域

分離之分離部75-1。

【0345】

於信號提取部65-2中，以如下方式形成有N+半導體區域71-2及N-半導體區域72-2，即，以P+半導體區域73-2及P-半導體區域74-2為中心，包圍該等P+半導體區域73-2及P-半導體區域74-2之周圍。P+半導體區域73-2及N+半導體區域71-2與多層配線層811接觸。P-半導體區域74-2以覆蓋P+半導體區域73-2之方式，配置於P+半導體區域73-2之上方(晶載透鏡62側)，N-半導體區域72-2以覆蓋N+半導體區域71-2之方式，配置於N+半導體區域71-2之上方(晶載透鏡62側)。換言之，P+半導體區域73-2及N+半導體區域71-2配置於基板61內之多層配線層811側，N-半導體區域72-2與P-半導體區域74-2配置於基板61內之晶載透鏡62側。又，於N+半導體區域71-2與P+半導體區域73-2之間，亦藉由氧化膜等形成有用以將該等區域分離之分離部75-2。

【0346】

於相鄰之像素51彼此之交界區域、即特定之像素51之信號提取部65-1之N+半導體區域71-1與其鄰側之像素51之信號提取部65-2之N+半導體區域71-2之間，亦形成有氧化膜64。

【0347】

於基板61之光入射面側(圖36及圖37中之上表面)之界面，形成有固定電荷膜66。

【0348】

如圖36所示，當將針對每個像素形成於基板61之光入射面側之晶載透鏡62於高度方向上分為於像素內之區域整個面厚度均勻地增厚之增厚部

821、及根據像素內之位置而厚度不同之曲面部822時，增厚部821之厚度形成為較曲面部822之厚度薄。增厚部821之厚度越厚，則傾斜之入射光越容易被像素間遮光膜63反射，故而藉由使增厚部821之厚度形成得較薄，亦能將傾斜之入射光擷取至基板61內。又，越是使曲面部822之厚度變厚，則越可將入射光聚光於像素中心。

【0349】

於針對每個像素形成有晶載透鏡62之基板61之與光入射面側相反之側，形成有多層配線層811。換言之，於晶載透鏡62與多層配線層811之間配置有作為半導體層之基板61。多層配線層811包含5層金屬膜M1至M5、及金屬膜M1至M5之間之層間絕緣膜812。再者，於圖36中，多層配線層811之5層金屬膜M1至M5中之最外側之金屬膜M5處於看不見之位置，故而未圖示，但於作為自與圖36之剖視圖不同之方向觀察時之剖視圖之圖37中圖示出。

【0350】

如圖37所示，於多層配線層811之與基板61之界面部分之像素交界區域，形成有像素電晶體Tr。像素電晶體Tr係圖31及圖32所示之傳輸電晶體721、重設電晶體723、放大電晶體724及選擇電晶體725中之任一者。

【0351】

多層配線層811之5層金屬膜M1至M5中之最為靠近基板61之金屬膜M1包含用以供給電源電壓之電源線813、用以對P+半導體區域73-1或73-2施加特定之電壓之電壓施加配線814及作為將入射光反射之構件之反射構件815。於圖36之金屬膜M1中，除電源線813及電壓施加配線814以外之配線成為反射構件815，但為了防止圖變得複雜而省略一部分符號。反

射構件815係被設置用來將入射光反射之虛設配線，相當於圖28所示之反射構件631。反射構件815以俯視下與作為電荷檢測部之N+半導體區域71-1及71-2重疊之方式，配置於N+半導體區域71-1及71-2之下方。再者，於代替圖28所示之第14實施形態之反射構件631，設置有第15實施形態之遮光構件631'之情形時，圖36之反射構件815之部分成為遮光構件631'。

【0352】

又，於金屬膜M1中，亦形成有連接N+半導體區域71與傳輸電晶體721之電荷提取配線(於圖36中未圖示)，以便將N+半導體區域71中所蓄積之電荷傳輸至FD722。

【0353】

再者，於該例中，設為將反射構件815(反射構件631)與電荷提取配線配置於金屬膜M1之同一層，但未必限定於配置在同一層。

【0354】

於自基板61側起第2層之金屬膜M2中，例如形成有與金屬膜M1之電壓施加配線814連接之電壓施加配線816；傳輸驅動信號TRG、驅動信號RST、選擇信號SEL及驅動信號FDG等之控制線817；以及接地線等。又，於金屬膜M2中，形成有FD722B及附加電容727A。

【0355】

於自基板61側起第3層之金屬膜M3中，例如形成有垂直信號線29或屏蔽用之VSS(Voltage Source Source，電壓源)配線等。

【0356】

於自基板61側起第4層及第5層之金屬膜M4及M5中，例如形成有用以對信號提取部65之作為電壓施加部之P+半導體區域73-1及73-2施加特定之

電壓MIX0或MIX1之電壓供給線741-1及741-2(圖33、圖34)。

【0357】

再者，關於多層配線層811之5層金屬膜M1至M5之平面配置將參照圖42及圖43於下文進行敘述。

【0358】

＜第9實施形態之複數個像素之剖面構成＞

圖38係關於複數個像素以不省略多層配線層之形式示出圖22所示之第9實施形態之像素構造所得之剖視圖。

【0359】

圖22所示之第9實施形態係具備分離區域441之像素之構成，該分離區域441係於基板61內之像素交界部分，自基板61之背面(光入射面)側至特定深度為止形成較長之槽(溝槽)，並嵌埋有遮光膜。

【0360】

關於包含信號提取部65-1及65-2、以及多層配線層811之5層金屬膜M1至M5等之其他構成，與圖36所示之構成相同。

【0361】

＜第9實施形態之變化例1之複數個像素之剖面構成＞

圖39係關於複數個像素以不省略多層配線層之形式示出圖23所示之第9實施形態之變化例1之像素構造所得之剖視圖。

【0362】

圖23所示之第9實施形態之變化例1係於基板61內之像素交界部分具備貫通基板61整體之分離區域471之像素之構成。

【0363】

關於包含信號提取部65-1及65-2、以及多層配線層811之5層金屬膜M1至M5等之其他構成，與圖36所示之構成相同。

【0364】

＜第16實施形態之複數個像素之剖面構成＞

圖40係關於複數個像素以不省略多層配線層之形式示出圖29所示之第16實施形態之像素構造所得之剖視圖。

【0365】

圖29所示之第16實施形態係於基板61內之與光入射面相反之面側、即圖中、下側之面之內側之中央部分具備P井區域671之構成。又，於P井區域671與N+半導體區域71-1之間，藉由氧化膜等形成有分離部672-1。同樣地，於P井區域671與N+半導體區域71-2之間亦藉由氧化膜等形成有分離部672-2。於基板61之下側之面之像素交界部分，形成有P井區域671。

【0366】

關於包含信號提取部65-1及65-2、以及多層配線層811之5層金屬膜M1至M5等之其他構成，與圖36所示之構成相同。

【0367】

＜第10實施形態之複數個像素之剖面構成＞

圖41係關於複數個像素以不省略多層配線層之形式示出圖24所示之第10實施形態之像素構造所得之剖視圖。

【0368】

圖24所示之第10實施形態係代替基板61而設置有基板厚度較厚之基板501之像素之構成。

【0369】

關於包含信號提取部65-1及65-2、以及多層配線層811之5層金屬膜M1至M5等之其他構成，與圖36所示之構成相同。

【0370】

＜5層金屬膜M1至M5之平面配置例＞

其次，參照圖42及圖43，對圖36至圖41所示之多層配線層811之5層金屬膜M1至M5之平面配置例進行說明。

【0371】

圖42A示出多層配線層811之5層金屬膜M1至M5中之第1層即金屬膜M1之平面配置例。

【0372】

圖42B示出多層配線層811之5層金屬膜M1至M5中之第2層即金屬膜M2之平面配置例。

【0373】

圖42C示出多層配線層811之5層金屬膜M1至M5中之第3層即金屬膜M3之平面配置例。

【0374】

圖43A示出多層配線層811之5層金屬膜M1至M5中之第4層即金屬膜M4之平面配置例。

【0375】

圖43B示出多層配線層811之5層金屬膜M1至M5中之第5層即金屬膜M5之平面配置例。

【0376】

再者，於圖42A至C及圖43A及B中，以虛線表示像素51之區域、及圖11所示之具有八邊形狀之信號提取部65-1及65-2之區域。

【0377】

於圖42A至C及圖43A及B中，圖式之縱向為像素陣列部20之垂直方向，圖式之橫向為像素陣列部20之水平方向。

【0378】

於多層配線層811之第1層即金屬膜M1，如圖42A所示，形成有將紅外光反射之反射構件631。於像素51之區域中，針對信號提取部65-1及65-2分別形成有2片反射構件631，信號提取部65-1之2片反射構件631與信號提取部65-1之2片反射構件631相對於垂直方向形成為對稱。

【0379】

又，於水平方向上之相鄰之像素51之反射構件631之間，配置有像素電晶體配線區域831。於像素電晶體配線區域831，形成有將傳輸電晶體721、重設電晶體723、放大電晶體724、或選擇電晶體725之像素電晶體Tr間連接之配線。該像素電晶體Tr用之配線亦以2個信號提取部65-1及65-2之中間線(未圖示)為基準，於垂直方向上形成為對稱。

【0380】

又，於垂直方向上之相鄰之像素51之反射構件631之間，形成有接地線832、電源線833及接地線834等配線。該等配線亦以2個信號提取部65-1及65-2之中間線為基準，於垂直方向上形成為對稱。

【0381】

藉由如此將第1層金屬膜M1對稱地配置於像素內之信號提取部65-1側之區域與信號提取部65-2側之區域，配線負荷由信號提取部65-1及65-2

調整為均等。藉此，減少了信號提取部65-1與65-2之驅動偏差。

【0382】

於第1層金屬膜M1中，在形成於基板61之信號提取部65-1與65-2之下側形成大面積之反射構件631，藉此，可利用反射構件631使經由晶載透鏡62入射至基板61內且未於基板61內經光電轉換而透過基板61之紅外光反射後再次入射至基板61內。藉此，可使於基板61內經光電轉換之紅外光之量更多，可提高量子效率(QE)、即像素51對紅外光之感度。

【0383】

另一方面，於在第1層金屬膜M1中，代替反射構件631，在與反射構件631相同之區域配置有遮光構件631'之情形時，可抑制經由晶載透鏡62自光入射面入射至基板61內且未於基板61內經光電轉換而透過基板61之紅外光於配線層散射，並入射至附近像素。藉此，可防止由附近像素錯誤地偵測到光。

【0384】

於作為多層配線層811之第2層之金屬膜M2，如圖42B所示，在信號提取部65-1與65-2之間之位置配置有控制線區域851，該控制線區域851形成有於水平方向上傳輸特定之信號之控制線841至844等。控制線841至844係例如傳輸驅動信號TRG、驅動信號RST、選擇信號SEL或驅動信號FDG之線。

【0385】

藉由將控制線區域851配置於2個信號提取部65之間，可使針對信號提取部65-1及65-2之各者之影響變得均等，從而減少信號提取部65-1與65-2之驅動偏差。

【0386】

又，於作為第2層之金屬膜M2之與控制線區域851不同之特定區域，配置有形成了FD722B或附加電容727A之電容區域852。於電容區域852中，藉由使金屬膜M2呈梳齒形狀形成圖案，而構成FD722B或附加電容727A。

【0387】

藉由將FD722B或附加電容727A配置於作為第2層之金屬膜M2，可根據設計上之所期望之配線電容，自由地配置FD722B或附加電容727A之圖案，從而提高設計自由度。

【0388】

如圖42C所示，於作為多層配線層811之第3層之金屬膜M3，至少形成有將自各像素51輸出之像素信號傳輸至行處理部23之垂直信號線29。垂直信號線29可針對1個像素行配置3條以上，以便提高像素信號之讀出速度。又，除垂直信號線29以外，亦可配置屏蔽配線，減少耦合電容。

【0389】

於多層配線層811之第4層金屬膜M4及第5層金屬膜M5，形成有用以對各像素51之信號提取部65之P+半導體區域73-1及73-2施加特定之電壓MIX0或MIX1之電壓供給線741-1及741-2。

【0390】

圖43A及B所示之金屬膜M4及金屬膜M5表示採用圖33A所示之第1配置例之電壓供給線741之情形時之例。

【0391】

金屬膜M4之電壓供給線741-1經由金屬膜M3及M2連接於金屬膜M1

之電壓施加配線814(例如圖36)，電壓施加配線814連接於像素51之信號提取部65-1之P+半導體區域73-1。同樣地，金屬膜M4之電壓供給線741-2經由金屬膜M3及M2連接於金屬膜M1之電壓施加配線814(例如圖36)，電壓施加配線814連接於像素51之信號提取部65-2之P+半導體區域73-2。

【0392】

金屬膜M5之電壓供給線741-1及741-2連接於像素陣列部20之周邊之抽頭驅動部21。金屬膜M4之電壓供給線741-1與金屬膜M5之電壓供給線741-1係於平面區域中兩金屬膜所處之特定之位置由未圖示之通孔等連接。來自抽頭驅動部21之特定之電壓MIX0或MIX1於金屬膜M5之電壓供給線741-1及741-2中傳輸，並供給至金屬膜M4之電壓供給線741-1及741-2，且自電壓供給線741-1及741-2經由金屬膜M3及M2供給至金屬膜M1之電壓施加配線814。

【0393】

藉由將受光元件1設為背面照射型之CAPD感測器，能夠自由地設計驅動配線之配線寬及佈局，例如如圖43A及B所示，可將用以對各像素51之信號提取部65施加特定之電壓MIX0或MIX1之電壓供給線741-1及741-2於垂直方向上配線等。又，亦可為適於高速驅動之配線、或考慮了負荷減少之配線。

【0394】

＜像素電晶體之平面配置例＞

圖44係使圖42A所示之第1層金屬膜M1與形成該第1層金屬膜M1上所形成之像素電晶體Tr之閘極電極等之多晶矽層重疊所得之俯視圖。

【0395】

圖44A係使圖44C之金屬膜M1與圖44B之多晶矽層重疊所得之俯視圖，圖44B係僅多晶矽層之俯視圖，圖44C係僅金屬膜M1之俯視圖。圖44C之金屬膜M1之俯視圖與圖42A所示之俯視圖相同，但省略了影線。

【0396】

如參照圖42A所說明般，於各像素之反射構件631之間，形成有像素電晶體配線區域831。

【0397】

於像素電晶體配線區域831，分別與信號提取部65-1及65-2對應之像素電晶體Tr例如以圖44B所示之方式配置。

【0398】

於圖44B中，以2個信號提取部65-1及65-2之中間線(未圖示)為基準，自靠近中間線之一側，形成有重設電晶體723A及723B、傳輸電晶體721A及721B、切換電晶體728A及728B、選擇電晶體725A及725B、以及放大電晶體724A及724B之閘極電極。

【0399】

將圖44C所示之金屬膜M1之像素電晶體Tr間連接之配線亦以2個信號提取部65-1及65-2之中間線(未圖示)為基準，於垂直方向上形成為對稱。

【0400】

藉由如此將像素電晶體配線區域831內之複數個像素電晶體Tr對稱地配置於信號提取部65-1側之區域與信號提取部65-2側之區域，可減少信號提取部65-1與65-2之驅動偏差。

【0401】

＜反射構件631之變化例＞

其次，參照圖45及圖46，對形成於金屬膜M1之反射構件631之變化例進行說明。

【0402】

於上述例中，如圖42A所示，在像素51內之成為信號提取部65周邊之區域配置有大面積之反射構件631。

【0403】

與此相對，例如，如圖45A所示，反射構件631亦能以格子形狀之圖案配置。藉由如此以格子形狀之圖案形成反射構件631，可消除圖案各向異性，可減少反射能力之XY各向異性。換言之，藉由以格子形狀之圖案形成反射構件631，可減少朝偏向一方之局部區域之入射光之反射減少，容易各向同性地進行反射，故而測距精度提高。

【0404】

又或者，例如，如圖45B所示，反射構件631亦可以條紋形狀之圖案配置。藉由如此以條紋形狀之圖案形成反射構件631，也可將反射構件631之圖案作為配線電容使用，故而可實現將動態範圍擴大至最大限度為止之構成。

【0405】

再者，圖45B係垂直方向之條紋形狀之例，但亦可設為水平方向之條紋形狀。

【0406】

又或者，例如，如圖45C所示，反射構件631亦可僅配置於像素中心區域，更具體而言僅配置於2個信號提取部65之間。如此，藉由於像素中心區域形成反射構件631，於像素端不形成反射構件631，針對像素中心

區域可獲得源自反射構件631之感度提高效果，並且可抑制入射有斜向光之情形時之朝鄰接像素反射之成分，可實現重視串擾之抑制之構成。

【0407】

又，例如，如圖46A所示，反射構件631亦可藉由將一部分呈梳齒形狀進行圖案配置，而將金屬膜M1之一部分分配至FD722或附加電容727之配線電容。於圖46A中，由實線之圓包圍之區域861至864內之梳齒形狀構成FD722或附加電容727之至少一部分。FD722或附加電容727亦可適當分配並配置於金屬膜M1與金屬膜M2。可將金屬膜M1之圖案均衡地配置於反射構件631、FD722或附加電容727之電容。

【0408】

圖46B示出未配置反射構件631之情形時之金屬膜M1之圖案。為了使於基板61內經光電轉換之紅外光之量變得更多，從而提高像素51之感度，較佳為配置反射構件631，但亦可採用未配置反射構件631之構成。

【0409】

圖45及圖46所示之反射構件631之配置例亦可同樣地應用於遮光構件631'。

【0410】

＜受光元件之基板構成例＞

圖1之受光元件1採用圖47A至C中之任一種基板構成。

【0411】

圖47A示出利用1片半導體基板911與其下之支持基板912構成受光元件1之例。

【0412】

於此情形時，在上側之半導體基板911形成：像素陣列區域951，其對應於上述像素陣列部20；控制電路952，其控制像素陣列區域951之各像素；及邏輯電路953，其包含像素信號之信號處理電路。

【0413】

控制電路952包含上述抽頭驅動部21、垂直驅動部22及水平驅動部24等。邏輯電路953包含：行處理部23，其進行像素信號之AD轉換處理等；及信號處理部31，其進行根據由像素內之2個以上之信號提取部65各自所獲取之像素信號之比率算出距離之距離算出處理、及校準處理等。

【0414】

又或者，如圖47B所示，受光元件1亦可設為將如下構件積層所得之構成，上述構件係指：第1半導體基板921，其形成有像素陣列區域951及控制電路952；及第2半導體基板922，其形成有邏輯電路953。再者，第1半導體基板921與第2半導體基板922例如藉由貫通通孔或Cu-Cu之金屬耦合而電性連接。

【0415】

又或者，如圖47C所示，受光元件1亦可設為將如下構件積層所得之構成，上述構件係指：第1半導體基板931，其僅形成有像素陣列區域951；及第2半導體基板932，其形成有區域控制電路954，該區域控制電路954以1像素為單位或以複數個像素之區域為單位設置有對控制各像素之控制電路與像素信號進行處理之信號處理電路。第1半導體基板931與第2半導體基板932例如藉由貫通通孔或Cu-Cu之金屬耦合而電性連接。

【0416】

根據如圖47C之受光元件1般，以1像素為單位或以區域為單位設置有

控制電路及信號處理電路之構成，可針對每個分割控制單位設定最佳之驅動時序或增益，可無關於距離或反射率，獲取最佳化之距離資訊。又，亦可僅使像素陣列區域951之一部分區域而非整個面驅動，而算出距離資訊，故而亦可根據動作模式來抑制耗電。

【0417】

＜像素電晶體周邊之雜訊對策例＞

且說，於在像素陣列部20中排列於水平方向之像素51之交界部，如圖37之剖視圖所示，配置有重設電晶體723、放大電晶體724及選擇電晶體725等像素電晶體Tr。

【0418】

若更詳細地圖示圖37所示之像素交界部之像素電晶體配置區域，則如圖48所示，重設電晶體723、放大電晶體724及選擇電晶體725等像素電晶體Tr形成於基板61之正面側所形成之P井區域1011。

【0419】

P井區域1011相對於形成於信號提取部65之N+半導體區域71之周圍的STI(Shallow Trench Isolation，淺溝槽隔離)等之氧化膜64，於平面方向上隔開特定之間隔而形成。又，於基板61之背面側界面，形成有兼用作像素電晶體Tr之閘極絕緣膜之氧化膜1012。

【0420】

此時，於基板61之背面側界面，在氧化膜64與P井區域1011之間之間隙區域1013，因氧化膜1012中之正電荷所形成之電位而使得電子容易蓄積，於無電子之排出機構之情形時，電子溢出後擴散，被收集至N型半導體區域而成為雜訊。

【0421】

因此，如圖49A所示，能以如下方式形成P井區域1021，即，使其於平面方向上延伸並形成至與鄰接之氧化膜64接觸為止，於基板61之背面側界面不存在間隙區域1013。藉此，可防止電子蓄積於圖48所示之間隙區域1013，故而可抑制雜訊。P井區域1021之雜質濃度以較光電轉換區域即基板61之P型半導體區域1022高之濃度形成。

【0422】

又或者，如圖49B所示，亦可以如下方式形成信號提取部65之N+半導體區域71之周圍所形成之氧化膜1032，即，藉由使其於平面方向上延伸並形成至P井區域1031為止，而使基板61之背面側界面不存在間隙區域1013。於此情形時，P井區域1031內之重設電晶體723、放大電晶體724及選擇電晶體725等像素電晶體Tr間亦利用氧化膜1033而元件分離。氧化膜1033例如由STI形成，可利用與氧化膜1032相同之步驟形成。

【0423】

根據圖49A或B之構成，於基板61之背面側界面，像素之交界部之絕緣膜(氧化膜64、氧化膜1032)與P井區域(P井區域1021、P井區域1031)相接，藉此可消除間隙區域1013，故而可防止電子之蓄積，而抑制雜訊。圖49A或B之構成可應用於本說明書中所記載之任一實施形態。

【0424】

或者，於設為將間隙區域1013以原狀保留之構成之情形時，藉由採用如圖50或圖51所示之構成，可抑制間隙區域1013所產生之電子之蓄積。

【0425】

圖50示出二維配置有2抽頭像素51之俯視圖中之氧化膜64、P井區域1011及間隙區域1013之配置，該2抽頭像素51於1像素具有2個信號提取部65-1及65-2。

【0426】

於二維配置之像素間未被STI或DTI(Deep Trench Isolation，深溝槽隔離)分離之情形時，如圖50所示，P井區域1011與排列於行方向之複數個像素相連而形成為行狀。

【0427】

可於像素陣列部20之配置於有效像素區域1051之外側的無效像素區域1052內之像素51之間隙區域1013設置N型擴散層1061作為排出電荷之汲極，而將電子排出至該N型擴散層1061。N型擴散層1061形成於基板61之背面側界面，對N型擴散層1061施加GND(0 V)或正電壓。於各像素51之間隙區域1013產生之電子於垂直方向(行方向)上朝無效像素區域1052內之N型擴散層1061移動，且由像素行所共有之N型擴散層1061收集，故而可抑制雜訊。

【0428】

另一方面，如圖51所示，於藉由使用了STI或DTI等之像素分離部1071將像素間分離之情形時，可於各像素51之間隙區域1013設置N型擴散層1061。藉此，於各像素51之間隙區域1013產生之電子自N型擴散層1061排出，故而可抑制雜訊。圖50及圖51之構成可應用於本說明書中所記載之任一實施形態。

【0429】

＜有效像素區域周邊之雜訊＞

其次，進而對有效像素區域周邊之電荷排出進行說明。

【0430】

於鄰接於有效像素區域之外周部，例如存在配置有遮光像素之遮光像素區域。

【0431】

如圖52所示，於遮光像素區域之遮光像素51X中，與有效像素區域之像素51同樣地形成有信號提取部65等。又，於遮光像素區域之遮光像素51X，在像素區域整個面形成有像素間遮光膜63，而成為光無法入射之構造。又，就遮光像素51X而言，未被施加驅動信號之情形亦較多。

【0432】

另一方面，於鄰接於有效像素區域之遮光像素區域中，被入射來自透鏡之斜入射光、來自像素間遮光膜63之繞射光、來自多層配線層811之反射光，而產生光電子。所產生之光電子由於無排出處，故而蓄積於遮光像素區域，根據濃度梯度而擴散至有效像素區域，與信號電荷混合後成為雜訊。該有效像素區域周邊之雜訊成為所謂之邊緣不均。

【0433】

因此，作為有效像素區域之周邊所產生之雜訊之對策，受光元件1可將圖53A至D中之任一者之電荷排出區域1101設置於有效像素區域1051之外周。

【0434】

圖53A至D係表示設置於有效像素區域1051之外周之電荷排出區域1101之構成例的俯視圖。

【0435】

於圖53A至D之任一者中，在配置於基板61之中央部之有效像素區域1051之外周設置有電荷排出區域1101，進而在電荷排出區域1101之外側設置有OPB(Optical Black，光學黑色)區域1102。電荷排出區域1101係內側之虛線之矩形與外側之虛線之矩形之間的附有影線之區域。OPB區域1102係如下區域：於區域整個面形成有像素間遮光膜63，且配置有與有效像素區域之像素51同樣地驅動並檢測黑位準信號之OPB像素。於圖53A至D中，附有灰色之區域表示因形成像素間遮光膜63而被遮光之區域。

【0436】

圖53A之電荷排出區域1101包含配置有開口像素之開口像素區域1121、及配置有遮光像素51X之遮光像素區域1122。開口像素區域1121之開口像素係具有與有效像素區域1051之像素51相同之像素構造且進行特定之驅動之像素。遮光像素區域1122之遮光像素51X係除了於像素區域整個面形成有像素間遮光膜63之方面以外，具有與有效像素區域1051之像素51相同之像素構造且進行特定之驅動之像素。

【0437】

開口像素區域1121於有效像素區域1051之外周之四邊之各行或各列中，具有1像素以上之像素行或像素列。遮光像素區域1122亦於開口像素區域1121之外周之四邊之各行或各列中，具有1像素以上之像素行或像素列。

【0438】

圖53B之電荷排出區域1101包含配置有遮光像素51X之遮光像素區域1122、及配置有N型擴散層之N型區域1123。

【0439】

圖54係電荷排出區域1101包含遮光像素區域1122及N型區域1123之情形時之剖視圖。

【0440】

N型區域1123係如下區域：該區域整個面由像素間遮光膜63遮光，於基板61之P型半導體區域1022內，代替信號提取部65而形成有高濃度之作為N型半導體區域之N型擴散層1131。對N型擴散層1131，自多層配線層811之金屬膜M1始終或間歇性地施加0 V或正電壓。N型擴散層1131例如可形成於N型區域1123之P型半導體區域1022全域，於俯視下形成為連續之大致環狀，亦可局部形成於N型區域1123之P型半導體區域1022，於俯視下，複數個N型擴散層1131呈大致環狀散佈地配置。

【0441】

返回至圖53B，遮光像素區域1122於有效像素區域1051之外周之四邊之各行或各列中，具有1像素以上之像素行或像素列。N型區域1123亦於遮光像素區域1122之外周之四邊之各行或各列中，具有特定之行寬或列寬。

【0442】

圖53C之電荷排出區域1101包含配置有遮光像素之遮光像素區域1122。遮光像素區域1122於有效像素區域1051之外周之四邊之各行或各列中，具有1像素以上之像素行或像素列。

【0443】

圖53D之電荷排出區域1101包含配置有開口像素之開口像素區域1121、及配置有N型擴散層之N型區域1123。

【0444】

所謂開口像素區域1121之開口像素及遮光像素區域1122之遮光像素51X進行之特定之驅動，只要為包含對像素之N型半導體區域始終或間歇性地施加正電壓之動作者，則較佳為於以有效像素區域1051之像素51位準之時序，與像素51之驅動同樣地，對像素電晶體、及P型半導體區域或N型半導體區域施加驅動信號之動作。

【0445】

圖53A至D所示之電荷排出區域1101之構成例為一例，並不限定於該等示例。電荷排出區域1101只要為具備以下任一者之構成便可，即：開口像素，其進行特定之驅動；遮光像素，其進行特定之驅動；及N型區域，其具有始終或間歇性地被施加0 V或正電壓之N型擴散層。因此，例如可為開口像素、遮光像素及N型區域混合於1個像素行或像素列，亦可為於有效像素區域之周邊之四邊之像素列或像素行中，配置不同種類之開口像素、遮光像素或N型區域。

【0446】

藉由如此於有效像素區域1051之外周設置電荷排出區域1101，可抑制除有效像素區域1051以外之電子蓄積，故而可抑制因將自有效像素區域1051之外側擴散至有效像素區域1051之光電荷累加至信號電荷而導致產生雜訊。

【0447】

又，藉由將電荷排出區域1101設置於OPB區域1102之近前，可防止於有效像素區域1051之外側之遮光區域產生之光電子擴散至OPB區域1102，故而可防止雜訊累加至黑位準信號。圖53A至D所示之構成亦可應用於本說明書中所記載之任一實施形態。

【0448】

＜第18實施形態＞

其次，參照圖55，對在具有光電轉換區域之基板61配置有像素電晶體之情形時的電流之流動進行說明。

【0449】

於像素51中，對2個信號提取部65之P+半導體區域73例如施加1.5 V之正電壓與0 V之電壓，藉此使2個P+半導體區域73間產生電場，電流自被施加了1.5 V之P+半導體區域73流動至被施加了0 V之P+半導體區域73。然而，由於形成於像素交界部之P井區域1011亦為GND(0 V)，故而電流不僅於2個信號提取部65間流動，如圖55A所示，電流亦自被施加了1.5 V之P+半導體區域73流動至P井區域1011。

【0450】

圖55B係表示圖42A所示之像素電晶體配線區域831之配置之俯視圖。

【0451】

信號提取部65之面積可藉由佈局變更而縮小，與此相對，像素電晶體配線區域831之面積係1個由像素電晶體之佔有面積與像素電晶體之數量、及配線面積決定，故而僅藉由佈局設計上之研究難以實現面積縮小。因此，當欲縮小像素51之面積時，像素電晶體配線區域831之面積成為主要之制約因素。為了維持感測器之光學尺寸，且高解像度化，必須縮小像素尺寸，但像素電晶體配線區域831之面積成為制約。又，當維持像素電晶體配線區域831之面積，且縮小像素51之面積時，於圖55B中，將虛線之箭頭所示之於像素電晶體配線區域831中流動之電流之路徑縮短，電阻

下降，電流增加。因此，像素51之面積縮小會導致耗電增加。

【0452】

＜像素之構成例＞

因此，如圖56所示，可採用如下構成：將受光元件1設為積層2片基板而成之積層構造，將所有像素電晶體配置於與具有光電轉換區域之基板不同之基板。

【0453】

圖56係第18實施形態之像素之剖視圖。

【0454】

圖56與上述圖36等同樣地，表示相當於圖11之B-B'線之複數個像素之剖視圖。

【0455】

於圖56中，對與圖36所示之第14實施形態之複數個像素之剖視圖對應之部分附上相同之符號，該部分之說明將適當省略。

【0456】

於圖56之第18實施形態中，受光元件1係將基板1201與基板1211該等2片基板積層而構成。基板1201對應於圖36所示之第14實施形態中之基板61，例如由具有P型半導體區域1204作為光電轉換區域之矽基板等構成。基板1211亦由矽基板等構成。

【0457】

再者，具有光電轉換區域之基板1201除了由矽基板等構成以外，例如亦可由GaAs、InP、GaSb等化合物半導體、Ge等窄帶隙半導體、塗佈了有機光電轉換膜之玻璃基板或塑膠基板構成。於由化合物半導體構成基

板1201之情形時，可期待由直接躍遷型之帶構造帶來之量子效率之提高、感度提高、及由基板薄膜化帶來之感測器之低高度化。又，由於電子之移動度提高，故而可提高電子收集效率，由於電洞之移動度較低，故而可減少耗電。於由窄帶隙半導體構成基板1201之情形時，可期待由窄帶隙帶來之近紅外區域之量子效率提高、感度提高。

【0458】

基板1201與基板1211係以基板1201之配線層1202與基板1211之配線層1212相向之形式貼合。而且，基板1201側之配線層1202之金屬配線1203與基板1211側之配線層1212之金屬配線1213例如藉由Cu-Cu接合而電性連接。再者，配線層彼此之電性連接並不限於Cu-Cu接合，例如亦可為Au-Au接合或Al-Al接合等同種金屬接合、Cu-Au接合、Cu-Al接合、或者Au-Al接合等異種金屬接合等。又，於基板1201之配線層1202或基板1211之配線層1212中之任一者，可進而設置第14實施形態之反射構件631或第15實施形態之遮光構件631'。

【0459】

具有光電轉換區域之基板1201與上述第1至第17實施形態之基板61之不同點在於，於基板1201未形成有重設電晶體723、放大電晶體724及選擇電晶體725等所有像素電晶體Tr。

【0460】

於圖56之第18實施形態中，重設電晶體723、放大電晶體724及選擇電晶體725等像素電晶體Tr形成於圖中下模之基板1211側。於圖56中，圖示有重設電晶體723、放大電晶體724及選擇電晶體725，但傳輸電晶體721亦形成於基板1211之未圖示之區域。

【0461】

於基板1211與配線層1212之間，形成有兼用作像素電晶體之閘極絕緣膜之絕緣膜(氧化膜)1214。

【0462】

因此，圖示雖省略，但於在相當於圖11之A-A'線之剖視圖中觀察第18實施形態之像素之情形時，圖37中形成於像素交界部之像素電晶體Tr未形成於基板1201。

【0463】

當使用圖31所示之像素51之等效電路，示出配置於基板1201與基板1211之各者之元件時，如圖57所示，作為電壓施加部之P+半導體區域73及作為電荷檢測部之N+半導體區域71形成於基板1201，傳輸電晶體721、FD722、重設電晶體723、放大電晶體724及選擇電晶體725形成於基板1211。

【0464】

當結合圖47示出第18實施形態之受光元件1時，如圖58所示，受光元件1係將基板1201與基板1211積層而構成。

【0465】

於基板1201之像素陣列區域1231，形成有自圖47C所示之像素陣列區域951去除傳輸電晶體721、FD722、重設電晶體723、放大電晶體724及選擇電晶體725後之部分。

【0466】

於基板1211之區域控制電路1232，除形成有圖47C所示之區域控制電路954以外，亦形成有像素陣列部20之各像素之傳輸電晶體721、

FD722、重設電晶體723、放大電晶體724及選擇電晶體725。於基板1211亦形成有圖1所示之抽頭驅動部21、垂直驅動部22、行處理部23、水平驅動部24、系統控制部25、信號處理部31及資料儲存部32。

【0467】

圖59係表示接受電壓MIX之基板1201及基板1211間之電性接合部即MIX接合部、及接收信號電荷DET之基板1201及基板1211間之電性接合部即DET接合部之俯視圖。再者，於圖59中，為了防止圖變得複雜，MIX接合部1251與DET接合部1252之符號之一部分被省略。

【0468】

如圖59所示，用以供給電壓MIX之MIX接合部1251與用以獲取信號電荷DET之DET接合部1252之各者例如針對每個像素51而設置。於此情形時，電壓MIX及信號電荷DET係以像素為單位於基板1201與基板1211之間被傳送。

【0469】

又或者，如圖60所示，用以獲取信號電荷DET之DET接合部1252係以像素為單位設置於像素區域內，但用以供給電壓MIX之MIX接合部1251亦可設置於像素陣列部20之外側之周邊部1261。於周邊部1261中，自基板1211供給之電壓MIX經由於基板1201中沿垂直方向配線之電壓供給線1253，供給至作為各像素51之電壓施加部之P+半導體區域73。如此，供給電壓MIX之MIX接合部1251係於複數個像素中共通化，藉此，可減少基板整體之MIX接合部1251之數量，像素尺寸或晶片尺寸之微細化變得容易。

【0470】

再者，圖60之例係將電壓供給線1253於垂直方向上配線，並於像素行中共通化之例，但亦可將電壓供給線1253於水平方向上配線，並於像素列中共通化。

【0471】

又，於上述第18實施形態中，對藉由Cu-Cu接合將基板1201與基板1211之電性接合電性連接之例進行了說明，但亦可使用其他電性連接方法、例如TCV(Through Chip Via，穿晶片孔)或使用了微凸塊之凸塊接合等。

【0472】

根據上述第18實施形態，於藉由基板1201與基板1211之積層構造構成受光元件1，且具有P型半導體區域1204作為光電轉換區域之與基板1201不同之基板1211，配置有進行作為電荷檢測部之N+半導體區域71之信號電荷DET之讀出動作的所有像素電晶體、即傳輸電晶體721、重設電晶體723、放大電晶體724及選擇電晶體725。藉此，可解決參照圖55所說明之問題。

【0473】

即，像素51之面積可無關於像素電晶體配線區域831之面積而縮小，且可不變更光學尺寸而實現高解像度化。又，由於避免了自信號提取部65流向像素電晶體配線區域831之電流之增加，故而亦可減少消耗電流。

【0474】

＜第19實施形態＞

其次，對第19實施形態進行說明。

【0475】

為了提高CAPD感測器之電荷分離效率Cmod，必須增強作為電壓施加部之P+半導體區域73或P-半導體區域74之電位。尤其是，於必須高感度地檢測如紅外光之長波長光之情形時，如圖61所示，必須將P-半導體區域74擴展至半導體層之較深之位置為止，或者將所施加之正電壓提高至較電壓VA_1高之電壓VA_2。於此情形時，因電壓施加部間之低電阻化而導致電流Imix容易流動，消耗電流增大成為問題。又，於為了提高解像度，而使像素尺寸微細化之情形時，因電壓施加部間之距離變短而導致低電阻化，消耗電流之增大成為問題。

【0476】

＜第19實施形態之第1構成例＞

圖62A係第19實施形態之第1構成例之像素之俯視圖，圖62B係第19實施形態之第1構成例之像素之剖視圖。

【0477】

圖62A係圖62B之B-B'線處之俯視圖，圖62B係圖62A之A-A'線處之剖視圖。

【0478】

再者，於圖62中，僅示出形成於像素51之基板61之部分，例如形成於光入射面側之晶載透鏡62、或形成於光入射面之相反側之多層配線層811等之圖示被省略。省略了圖示之部分能以與上述其他實施形態相同之方式構成。例如，於光入射面之相反側之多層配線層811，可設置反射構件631或遮光構件631'。

【0479】

於第19實施形態之第1構成例中，於基板61之光電轉換區域即P型半

導體區域1301之特定之位置，形成有作為施加特定之電壓MIX0之電壓施加部發揮功能之電極部1311-1、及作為施加特定之電壓MIX1之電壓施加部發揮功能之電極部1311-2。

【0480】

電極部1311-1包含嵌埋至基板61之P型半導體區域1301內之嵌埋部1311A-1、及朝基板61之第1面1321之上部突出之突出部1311B-1。

【0481】

電極部1311-2亦同樣地包含嵌埋至基板61之P型半導體區域1301內之嵌埋部1311A-2、及突出至基板61之第1面1321之上部之突出部1311B-2。電極部1311-1及1311-2例如由鎢(W)、鋁(Al)、銅(Cu)等金屬材料、矽或多晶矽等導電性材料形成。

【0482】

如圖62A所示，平面形狀形成為圓形之電極部1311-1(之嵌埋部1311A-1)與電極部1311-2(之嵌埋部1311A-2)係以像素之中心點為對稱點，點對稱地配置。

【0483】

於電極部1311-1之外周(周圍)，形成有作為電荷檢測部發揮功能之N+半導體區域1312-1，於電極部1311-1與N+半導體區域1312-1之間，插入有絕緣膜1313-1與電洞濃度強化層1314-1。

【0484】

同樣地，於電極部1311-2之外周(周圍)，形成有作為電荷檢測部發揮功能之N+半導體區域1312-2，於電極部1311-2與N+半導體區域1312-2之間，插入有絕緣膜1313-2與電洞濃度強化層1314-2。

【0485】

電極部1311-1及N+半導體區域1312-1構成上述信號提取部65-1，電極部1311-2及N+半導體區域1312-2構成上述信號提取部65-2。

【0486】

電極部1311-1於基板61內，如圖62B所示由絕緣膜1313-1覆蓋，該絕緣膜1313-1由電洞濃度強化層1314-1覆蓋。電極部1311-2、絕緣膜1313-2及電洞濃度強化層1314-2之關係亦相同。

【0487】

絕緣膜1313-1及1313-2例如包含氧化膜(SiO_2)等，且與形成於基板61之第1面1321上之絕緣膜1322於同一步驟中形成。再者，於基板61之與第1面1321為相反側之第2面1331上，亦形成有絕緣膜1332。

【0488】

電洞濃度強化層1314-1及1314-2包含P型半導體區域，例如可利用離子注入法、固相擴散法及電漿摻雜法等形成。

【0489】

以下，於無需特別區分電極部1311-1及電極部1311-2之情形時，亦簡稱為電極部1311，於無需特別區分N+半導體區域1312-1及N+半導體區域1312-2之情形時，亦簡稱為N+半導體區域1312。

【0490】

又，於無需特別區分電洞濃度強化層1314-1及電洞濃度強化層1314-2之情形時，亦簡稱為電洞濃度強化層1314，於無需特別區分絕緣膜1313-1及絕緣膜1313-2之情形時，亦簡稱為絕緣膜1313。

【0491】

電極部1311、絕緣膜1313及電洞濃度強化層1314可按照以下程序形成。首先，藉由自第1面1321側對基板61之P型半導體區域1301進行蝕刻，而形成溝槽至特定深度為止。其次，於所形成之溝槽之內周，藉由離子注入法、固相擴散法及電漿摻雜法等形成電洞濃度強化層1314之後，形成絕緣膜1313。其次，藉由於絕緣膜1313之內部嵌埋導電性材料而形成嵌埋部1311A。其後，於在基板61之第1面1321上之整個面形成金屬材料等導電性材料之後，藉由蝕刻而僅保留電極部1311之上部，藉此形成突出部1311B-1。

【0492】

電極部1311之深度係以至少成為較作為電荷檢測部之N+半導體區域1312深之位置之方式構成，較佳為以成為較基板61之一半深之位置之方式構成。

【0493】

根據以如上方式構成之第19實施形態之第1構成例之像素51，藉由於基板61之深度方向形成有溝槽且由導電性材料嵌埋之電極部1311，針對在相對於基板61之深度方向之較寬之區域中經光電轉換之電荷，獲得電荷之分配效果，故而可提高針對長波長光之電荷分離效率Cmod。

【0494】

又，藉由設為利用絕緣膜1313覆蓋電極部1311之外周部之構造，得以抑制於電壓施加部間流動之電流，故而可減少消耗電流。又或者，於以相同之消耗電流加以比較之情形時，可對電壓施加部施加高電壓。進而，即便縮短電壓施加部間之距離亦能抑制消耗電流，故而藉由使像素尺寸微細化並增加像素數，可實現高解像度化。

【0495】

再者，於第19實施形態之第1構成例中，電極部1311之突出部1311B亦可省略，但藉由設置突出部1311B，與基板61垂直之方向之電場加強，容易使電荷集中。

【0496】

又，於欲提高施加電壓之調變度，且進一步提高電荷分離效率Cmod之情形時，亦可省略電洞濃度強化層1314。於設置有電洞濃度強化層1314之情形時，可抑制形成溝槽之蝕刻時之損害或由污染物質引起之產生電子。

【0497】

關於第19實施形態之第1構成例，基板61之第1面1321及第2面1331兩者均可為光入射面，背面照射型及正面照射型兩者均可，但更佳為背面照射型。

【0498】

＜第19實施形態之第2構成例＞

圖63A係第19實施形態之第2構成例之像素之俯視圖，圖63B係第19實施形態之第2構成例之像素之剖視圖。

【0499】

圖63A係圖63B之B-B'線處之俯視圖，圖63B係圖63A之A-A'線處之剖視圖。

【0500】

再者，於圖63之第2構成例中，對與圖62對應之部分附上相同之符號，著眼於與圖62之第1構成例不同之部分進行說明，共通之部分之說明

將適當省略。

【0501】

於圖63之第2構成例中，電極部1311之嵌埋部1311A貫通作為半導體層之基板61之方面不同，於其他方面共通。電極部1311之嵌埋部1311A自基板61之第1面1321形成至第2面1331為止，於電極部1311之外周部，亦同樣形成有絕緣膜1313及電洞濃度強化層1314。關於未形成有作為電荷檢測部之N+半導體區域1312之側之第2面1331，整個面由絕緣膜1332覆蓋。

【0502】

如該第2構成例，作為電壓施加部之電極部1311之嵌埋部1311A亦可設為貫通基板61之構成。於此情形時，亦針對在相對於基板61之深度方向之較寬之區域中經光電轉換之電荷，獲得電荷之分配效果，故而可提高針對長波長光之電荷分離效率Cmod。

【0503】

又，藉由設為利用絕緣膜1313覆蓋電極部1311之外周部之構造，得以抑制於電壓施加部間流動之電流，故而可減少消耗電流。又或者，於以相同之消耗電流加以比較之情形時，可對電壓施加部施加高電壓。進而，即便縮短電壓施加部間之距離亦能抑制消耗電流，故而藉由使像素尺寸微細化並增加像素數，可實現高解像度化。

【0504】

關於第19實施形態之第2構成例，基板61之第1面1321及第2面1331兩者均可為光入射面，背面照射型及正面照射型兩者均可，但更佳為背面照射型。

【0505】

＜平面形狀之另一例＞

於上述第19實施形態之第1構成例及第2構成例中，作為電壓施加部之電極部1311與作為電荷檢測部之N+半導體區域1312之平面形狀形成為圓形。

【0506】

然而，電極部1311與N+半導體區域1312之平面形狀並不限於圓形，亦可為圖11所示之八邊形、或圖12所示之長方形或正方形等形狀。又，配置於1像素之信號提取部65(抽頭)之個數亦並不限於2個，可為如圖17所示之4個等。

【0507】

圖64A至C係相當於圖62B之B-B'線之俯視圖，且表示信號提取部65之個數為2個，構成信號提取部65之電極部1311與N+半導體區域1312之平面形狀為圓形以外之形狀之情形時之例。

【0508】

圖64A係電極部1311與N+半導體區域1312之平面形狀於垂直方向上較長之縱長的長方形之例。

【0509】

於圖64A中，電極部1311-1與電極部1311-2以像素之中心點為對稱點，點對稱地配置。又，電極部1311-1與電極部1311-2對向地配置。形成於電極部1311之外周之絕緣膜1313、電洞濃度強化層1314及N+半導體區域1312之形狀及位置關係亦與電極部1311相同。

【0510】

圖64B係電極部1311與N+半導體區域1312之平面形狀為L字形之例。

【0511】

圖64C係電極部1311與N+半導體區域1312之平面形狀為梳形之例。

【0512】

於圖64B及C中，電極部1311-1與電極部1311-2亦以像素之中心點為對稱點，點對稱地配置。又，電極部1311-1與電極部1311-2對向地配置。形成於電極部1311之外周之絕緣膜1313、電洞濃度強化層1314及N+半導體區域1312之形狀及位置關係亦相同。

【0513】

圖65A至C係相當於圖62B之B-B'線之俯視圖，且表示信號提取部65之個數為4個，構成信號提取部65之電極部1311與N+半導體區域1312之平面形狀為圓形以外之形狀之情形時之例。

【0514】

圖65A係電極部1311與N+半導體區域1312之平面形狀於垂直方向上較長之縱長的長方形之例。

【0515】

於圖65A中，縱向之電極部1311-1至1311-4於水平方向上以特定之間隔配置，且以像素之中心點為對稱點，點對稱地配置。又，電極部1311-1及1311-2與電極部1311-3及1311-4對向地配置。

【0516】

電極部1311-1與電極部1311-3藉由配線1351而電性連接，例如構成被施加電壓MIX0之信號提取部65-1(第1抽頭TA)之電壓施加部。N+半導

體區域1312-1與N+半導體區域1312-3由配線1352電性連接，構成檢測信號電荷DET1之信號提取部65-1(第1抽頭TA)之電荷檢測部。

【0517】

電極部1311-2與電極部1311-4由配線1353電性連接，例如構成被施加電壓MIX1之信號提取部65-2(第2抽頭TB)之電壓施加部。N+半導體區域1312-2與N+半導體區域1312-4由配線1354電性連接，構成檢測信號電荷DET2之信號提取部65-2(第2抽頭TB)之電荷檢測部。

【0518】

因此，換言之，於圖65A之配置中，平面形狀為矩形之信號提取部65-1之電壓施加部及電荷檢測部之組與平面形狀為矩形之信號提取部65-2之電壓施加部及電荷檢測部之組於水平方向上交替地配置。

【0519】

形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦相同。

【0520】

圖65B係電極部1311與N+半導體區域1312之平面形狀為正方形之例。

【0521】

於圖65B之配置中，平面形狀為矩形之信號提取部65-1之電壓施加部及電荷檢測部之組於像素51之對角方向上對向地配置，平面形狀為矩形之信號提取部65-2之電壓施加部及電荷檢測部之組於與信號提取部65-1不同之對角方向上對向地配置。

【0522】

圖65C係電極部1311與N+半導體區域1312之平面形狀為三角形之例。

【0523】

於圖65C之配置中，平面形狀為三角形之信號提取部65-1之電壓施加部及電荷檢測部之組於像素51之第1方向(水平方向)上對向地配置，平面形狀為三角形之信號提取部65-2之電壓施加部及電荷檢測部之組於與第1方向正交且與信號提取部65-1不同之第2方向(垂直方向)上對向地配置。

【0524】

於圖65B及C中，亦有如下相同點：4個電極部1311-1至1311-4以像素之中心點為對稱點而點對稱地配置；電極部1311-1與電極部1311-3由配線1351電性連接；N+半導體區域1312-1與N+半導體區域1312-3由配線1352電性連接；電極部1311-2與電極部1311-4由配線1353電性連接；及N+半導體區域1312-2與N+半導體區域1312-4由配線1354電性連接。形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦與電極部1311相同。

【0525】

＜第19實施形態之第3構成例＞

圖66A係第19實施形態之第3構成例之像素之俯視圖，圖66B係第19實施形態之第3構成例之像素之剖視圖。

【0526】

圖66A係圖66B之B-B'線處之俯視圖，圖66B係圖66A之A-A'線處之剖視圖。

【0527】

再者，於圖66之第3構成例中，對與圖62之第1構成例對應之部分附上相同之符號，著眼於與圖62之第1構成例不同之部分進行說明，共通之部分之說明將適當省略。

【0528】

於圖62之第1構成例及圖63之第2構成例中，作為電壓施加部之電極部1311與作為電荷檢測部之N+半導體區域1312配置於基板61之相同平面側、即第1面1321側之周圍(附近)。

【0529】

與此相對，於圖66之第3構成例中，作為電壓施加部之電極部1311配置於形成有作為電荷檢測部之N+半導體區域1312之基板61的與第1面1321為相反側之平面側、即第2面1331側。電極部1311之突出部1311B形成於基板61之第2面1331之上部。

【0530】

又，電極部1311配置於俯視下中心位置與N+半導體區域1312重疊之位置。圖66之例係電極部1311與N+半導體區域1312之圓形之平面區域完全一致之例，但並非必須完全一致，只要中心位置重疊，則兩者之平面區域均可增大。又，即便中心位置亦非完全一致，只要為看上去大致一致之範圍便可。

【0531】

第3構成例除電極部1311與N+半導體區域1312之位置關係以外，與上述第1構成例相同。如該第3構成例般，作為電壓施加部之電極部1311之嵌埋部1311A形成至作為電荷檢測部之N+半導體區域1312附近之較深之位置為止，該N+半導體區域1312形成於與形成有電極部1311之第2面

1331為相反側之第1面1321。於此情形時，亦針對在相對於基板61之深度方向之較寬之區域中經光電轉換之電荷，獲得電荷之分配效果，故而可提高針對長波長光之電荷分離效率Cmod。

【0532】

又，藉由設為利用絕緣膜1313覆蓋電極部1311之外周部之構造，得以抑制於電壓施加部間流動之電流，故而可減少消耗電流。又或者，於以相同之消耗電流加以比較之情形時，可對電壓施加部施加高電壓。進而，即便縮短電壓施加部間之距離亦能抑制消耗電流，故而藉由使像素尺寸微細化並增加像素數，可實現高解像度化。

【0533】

關於第19實施形態之第3構成例，基板61之第1面1321及第2面1331兩者均可為光入射面，背面照射型及正面照射型兩者均可，但更佳為背面照射型。於以背面照射型構成第3構成例之情形時，第2面1331成為形成晶載透鏡62之側之面，例如，如圖60所示，能以將對電極部1311供給施加電壓之電壓供給線1253於像素陣列部20之垂直方向上配線之方式，於像素陣列部20之外側之周邊部1261，利用貫通基板61之貫通電極連接於正面側之配線。

【0534】

＜平面形狀之另一例＞

於上述第19實施形態之第3構成例中，作為電壓施加部之電極部1311與作為電荷檢測部之N+半導體區域1312之平面形狀形成為圓形。

【0535】

然而，電極部1311與N+半導體區域1312之平面形狀並不限於圓形，

亦可為圖11所示之八邊形、或圖12所示之長方形或正方形等形狀。又，配置於1像素之信號提取部65(抽頭)之個數亦並不限於2個，可為如圖17所示之4個等。

【0536】

圖67A至C係相當於圖66B之B-B'線之俯視圖，且表示信號提取部65之個數為2個，構成信號提取部65之電極部1311與N+半導體區域1312之平面形狀為圓形以外之形狀之情形時之例。

【0537】

圖67A係電極部1311與N+半導體區域1312之平面形狀於垂直方向上較長之縱長的長方形之例。

【0538】

於圖67A中，作為電荷檢測部之N+半導體區域1312-1與N+半導體區域1312-2以像素之中心點為對稱點，點對稱地配置。又，N+半導體區域1312-1與N+半導體區域1312-2對向地配置。配置於與N+半導體區域1312之形成面為相反側之第2面1331側之電極部1311、形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦與N+半導體區域1312相同。

【0539】

圖67B係電極部1311與N+半導體區域1312之平面形狀為L字形之例。

【0540】

圖67C係電極部1311與N+半導體區域1312之平面形狀為梳形之例。

【0541】

於圖67B及C中，N+半導體區域1312-1與N+半導體區域1312-2以像素之中心點為對稱點，點對稱地配置。又，N+半導體區域1312-1與N+半導體區域1312-2對向地配置。配置於與N+半導體區域1312之形成面為相反側之第2面1331側之電極部1311、形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦與N+半導體區域1312相同。

【0542】

圖68A至C係相當於圖66B之B-B'線之俯視圖，且表示信號提取部65之個數為4個，構成信號提取部65之電極部1311與N+半導體區域1312之平面形狀為圓形以外之形狀之情形時之例。

【0543】

圖68A係電極部1311與N+半導體區域1312之平面形狀於垂直方向上較長之縱長的長方形之例。

【0544】

於圖68A中，縱向之N+半導體區域1312-1至1312-4於水平方向上以特定之間隔配置，且以像素之中心點為對稱點，點對稱地配置。又，N+半導體區域1312-1及1312-2與N+半導體區域1312-3及1312-4對向地配置。

【0545】

形成於第2面1331側之未圖示之電極部1311-1與電極部1311-3藉由配線1351而電性連接，例如構成被施加電壓MIX0之信號提取部65-1(第1抽頭TA)之電壓施加部。N+半導體區域1312-1與N+半導體區域1312-3由配線1352電性連接，構成檢測信號電荷DET1之信號提取部65-1(第1抽頭

TA)之電荷檢測部。

【0546】

形成於第2面1331側之未圖示之電極部1311-2與電極部1311-4由配線1353電性連接，例如構成被施加電壓MIX1之信號提取部65-2(第2抽頭TB)之電壓施加部。N+半導體區域1312-2與N+半導體區域1312-4由配線1354電性連接，構成檢測信號電荷DET2之信號提取部65-2(第2抽頭TB)之電荷檢測部。

【0547】

因此，換言之，於圖68A之配置中，平面形狀為矩形之信號提取部65-1之電壓施加部及電荷檢測部之組與平面形狀為矩形之信號提取部65-2之電壓施加部及電荷檢測部之組於水平方向上交替地配置。

【0548】

形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦相同。

【0549】

圖68B係電極部1311與N+半導體區域1312之平面形狀為正方形之例。

【0550】

於圖68B之配置中，平面形狀為矩形之信號提取部65-1之電壓施加部及電荷檢測部之組於像素51之對角方向上對向地配置，平面形狀為矩形之信號提取部65-2之電壓施加部及電荷檢測部之組於與信號提取部65-1不同之對角方向上對向地配置。

【0551】

圖68C係電極部1311與N+半導體區域1312之平面形狀為三角形之例。

【0552】

於圖68C之配置中，平面形狀為三角形之信號提取部65-1之電壓施加部及電荷檢測部之組於第1方向(水平方向)上對向地配置，平面形狀為三角形之信號提取部65-2之電壓施加部及電荷檢測部之組於與第1方向正交且與信號提取部65-1不同之第2方向(垂直方向)上對向地配置。

【0553】

於圖68B及C中，亦有如下相同點：4個電極部1311-1至1311-4以像素之中心點為對稱點而點對稱地配置；電極部1311-1與電極部1311-3由配線1351電性連接；N+半導體區域1312-1與N+半導體區域1312-3由配線1352電性連接；電極部1311-2與電極部1311-4由配線1353電性連接；及N+半導體區域1312-2與N+半導體區域1312-4由配線1354電性連接。形成於電極部1311之外周之絕緣膜1313及電洞濃度強化層1314之形狀及位置關係亦與電極部1311相同。

【0554】

＜配線佈局之另一例＞

於上述圖31及圖32之像素電路、或圖42之金屬膜M3之例中，說明了對應於2個信號提取部65(2個抽頭TA及TB)，於1個像素行配置2條垂直信號線29之構成。

【0555】

然而，例如亦可設為如下構成：於1個像素行配置4條垂直信號線29，同時輸出於垂直方向上鄰接之2像素之共計4抽頭之像素信號。

【0556】

圖69示出同時輸出於垂直方向上鄰接之2像素之共計4抽頭之像素信號的情形時之像素陣列部20之電路構成例。

【0557】

圖69示出於像素陣列部20中呈矩陣狀二維配置之複數個像素51中之2x2之4像素的電路構成。再者，於在圖69中區分2x2之4個像素51之情形時，表示為如像素51_1至51_4。

【0558】

各像素51之電路構成係已參照圖32進行說明之具備附加電容727及控制該附加電容727之連接之切換電晶體728之電路構成。電路構成之說明因重複而省略。

【0559】

於像素陣列部20之1個像素行，於垂直方向上配線有電壓供給線30A及30B。而且，對排列於垂直方向之複數個像素51之第1抽頭TA，經由電壓供給線30A供給特定之電壓MIX0，對第2抽頭TB，經由電壓供給線30B供給特定之電壓MIX1。

【0560】

又，於像素陣列部20之1個像素行，在垂直方向上配線有4條垂直信號線29A至29D。

【0561】

於像素51_1及像素51_2之像素行中，垂直信號線29A例如將像素51_1之第1抽頭TA之像素信號傳輸至行處理部23(圖1)，垂直信號線29B將像素51_1之第2抽頭TB之像素信號傳輸至行處理部23，垂直信號線29C將與像素

51_1同行且鄰接之像素51_2之第1抽頭TA之像素信號傳輸至行處理部23，垂直信號線29D將像素51_2之第2抽頭TB之像素信號傳輸至行處理部23。

【0562】

於像素51_3及像素51_4之像素行中，垂直信號線29A例如將像素51_3之第1抽頭TA之像素信號傳輸至行處理部23(圖1)，垂直信號線29B將像素51_3之第2抽頭TB之像素信號傳輸至行處理部23，垂直信號線29C將與像素51_3同行且鄰接之像素51_4之第1抽頭TA之像素信號傳輸至行處理部23，垂直信號線29D將像素51_4之第2抽頭TB之像素信號傳輸至行處理部23。

【0563】

另一方面，於像素陣列部20之水平方向上，以像素列為單位，配置有：控制線841，其向重設電晶體723傳輸驅動信號RST；控制線842，其向傳輸電晶體721傳輸驅動信號TRG；控制線843，其向切換電晶體728傳輸驅動信號FDG；及控制線844，其向選擇電晶體725傳輸選擇信號SEL。

【0564】

關於驅動信號RST、驅動信號FDG、驅動信號TRG及選擇信號SEL，自垂直驅動部22對在垂直方向上鄰接之2列各像素51供給相同之信號。

【0565】

如此，於像素陣列部20，在1個像素行配置4條垂直信號線29A至29D，藉此能以2列為單位同時讀出像素信號。

【0566】

圖70示出於1個像素行配置4條垂直信號線29A至29D之情形時之多層配線層811之第3層即金屬膜M3的佈局。

【0567】

換言之，圖70係圖42C所示之金屬膜M3之佈局之變化例。

【0568】

於圖70之金屬膜M3之佈局中，於1個像素行配置有4條垂直信號線29A至29D。又，於1個像素行配置有供給電源電壓VDD之4條電源線1401A至1401D。

【0569】

再者，於圖70中，以虛線示出像素51之區域、及圖11所示之具有八邊形狀之信號提取部65-1及65-2之區域，以供參考。於下述圖71至圖76中亦相同。

【0570】

於圖70之金屬膜M3之佈局中，在垂直信號線29A至29D與電源線1401A至1401D之旁側，配線有GND電位之VSS配線(接地配線)1411。VSS配線1411具有：線寬較細之VSS配線1411B，其配置於垂直信號線29A至29D之旁側；及線寬較粗之VSS配線1411A，其配置於垂直信號線29B與像素交界部之電源線1401C之間及垂直信號線29C與像素交界部之電源線1401D之間。

【0571】

為了提高信號之穩定性，較有效的是提高供給至電源線1401之電源電壓VDD，或提高經由電壓供給線30A及30B供給之電壓MIX0及MIX1，但另一方面，電流增加，而使配線之可靠性變差。因此，如圖70所示，針對1像素行，關於至少1條VSS配線1411，藉由設置線寬較電源線1401粗之VSS配線1411A，可使電流密度下降，提高配線之可靠性。圖70示出針

對1像素行，在像素區域內對稱地設置有2條VSS配線1411A之例。

【0572】

又，於圖70之佈局中，在垂直信號線29A至29D各自之旁側，配置有VSS配線1411(1411A或1411B)。藉此，可使垂直信號線29不易受到來自外部之電位變動之影響。

【0573】

再者，並不限於圖70所示之多層配線層811之第3層金屬膜M3，關於其他層之金屬膜亦同樣地，可將信號線、電源線、控制線之相鄰之配線設為VSS配線。例如，關於圖42B所示之作為第2層之金屬膜M2之控制線841至844，亦可於控制線841至844各自之兩側配置VSS配線。藉此，可減少控制線841至844受到之來自外部之電位變動之影響。

【0574】

圖71示出於1個像素行配置4條垂直信號線29A至29D之情形時之多層配線層811之第3層即金屬膜M3的佈局之第1變化例。

【0575】

圖71之金屬膜M3之佈局與圖70所示之金屬膜M3之佈局之不同點在於，4條垂直信號線29A至29D各自之旁側之VSS配線1411成為相同之線寬。

【0576】

更具體而言，於圖70之金屬膜M3之佈局中，垂直信號線29C之兩側配置有線寬較粗之VSS配線1411A及線寬較細之VSS配線1411B，垂直信號線29B之兩側亦配置有線寬較粗之VSS配線1411A及線寬較細之VSS配線1411B。

【0577】

與此相對，於圖71之金屬膜M3之佈局中，垂直信號線29C之兩側均配置有線寬較細之VSS配線1411B，垂直信號線29B之兩側亦均配置有線寬較細之VSS配線1411B。其他垂直信號線29A及29D各自之兩側亦成為線寬較細之VSS配線1411B。4條垂直信號線29A至29D之兩側之VSS配線1411B之線寬相同。

【0578】

藉由將垂直信號線29之兩側之VSS配線1411之線寬設為相同，可使串擾之影響度變得均勻，從而可減少特性偏差。

【0579】

圖72示出於1個像素行配置4條垂直信號線29A至29D之情形時之多層配線層811之第3層即金屬膜M3的佈局之第2變化例。

【0580】

圖72之金屬膜M3之佈局與圖70所示之金屬膜M3之佈局之不同點在於，線寬較粗之VSS配線1411A被置換為於內側規則地設置有複數個間隙1421之VSS配線1411C。

【0581】

即，VSS配線1411C具有較電源線1401粗之線寬，於其內側在垂直方向上以特定之週期重複排列有複數個間隙1421。圖72之例係間隙1421之形狀為矩形之例，但並不限定於矩形，亦可為圓形或多邊形。

【0582】

藉由於配線區域之內側設置複數個間隙1421，可提高形成(加工)寬幅之VSS配線1411C時之穩定性。

【0583】

再者，圖72係將圖70所示之金屬膜M3之VSS配線1411A置換為VSS配線1411C後之佈局，但當然亦可實現將圖71所示之金屬膜M3之VSS配線1411A置換為VSS配線1411C後之佈局。

【0584】

＜像素電晶體之其他佈局例＞

其次，參照圖73，對圖44B所示之像素電晶體之配置例之變化例進行說明。

【0585】

圖73A係再次示出圖44B所示之像素電晶體之配置之圖。

【0586】

另一方面，圖73B示出像素電晶體之配置之變化例。

【0587】

於圖73A中，如圖44B中所說明，以2個信號提取部65-1及65-2之中間線(未圖示)為基準，自靠近中間線之側朝向外側依序形成有重設電晶體723A及723B、傳輸電晶體721A及721B、切換電晶體728A及728B、選擇電晶體725A及725B、以及放大電晶體724A及724B之閘極電極。

【0588】

於該像素電晶體之配置之情形時，在重設電晶體723A及723B之間配置有第1電源電壓VDD(VDD_1)之接點1451，在放大電晶體724A及724B之閘極電極之外側分別配置有第2電源電壓VDD(VDD_2)之接點1452及1453。

【0589】

又，於選擇電晶體725A與切換電晶體728A之閘極電極之間，配置有與第1 VSS配線(VSS_A)之接點1461，於選擇電晶體725B與切換電晶體728B之閘極電極之間，配置有與第2 VSS配線(VSS_B)之接點1462。

【0590】

於此種像素電晶體之配置之情形時，如圖70至圖72所示，1個像素行需要4條電源線1401A至1401D。

【0591】

另一方面，於圖73B中，以2個信號提取部65-1及65-2之中間線(未圖示)為基準，自靠近中間線之側朝向外側依序形成有切換電晶體728A及728B、傳輸電晶體721A及721B、重設電晶體723A及723B、放大電晶體724A及724B、以及選擇電晶體725A及725B之閘極電極。

【0592】

於該像素電晶體之配置之情形時，在切換電晶體728A及728B之間配置有與第1 VSS配線(VSS_1)之接點1471，在選擇電晶體725A及725B之閘極電極之外側分別配置有與第2 VSS配線(VSS_2)之接點1472及1473。

【0593】

又，於放大電晶體724A與重設電晶體723A之閘極電極之間，配置有與第1電源電壓VDD(VDD_A)之接點1481，於放大電晶體724B與重設電晶體723B之閘極電極之間，配置有與第2電源電壓VDD(VDD_B)之接點1482。

【0594】

於此種像素電晶體之配置之情形時，與圖73A之像素電晶體佈局相比，可減少電源電壓之接點數，故而可簡化電路。又，亦可減少將像素陣

列部20進行配線之電源線1401之配線，可利用2條電源線1401構成1個像素行。

【0595】

進而，於圖73B之像素電晶體佈局中，可省略切換電晶體728A及728B之間之與第1 VSS配線(VSS_1)之接點1471。藉此，可減少縱向之像素電晶體之密集度。又，藉由減少與VSS配線之接點，可減少流經用以施加電壓MIX0或MIX1之電壓供給線741(圖33、圖34)與VSS配線之間之電流。

【0596】

於省略與第1 VSS配線(VSS_1)之接點1471之情形時，可使放大電晶體724A及724B於垂直方向上形成得較大。藉此，可減少像素電晶體之雜訊，得以減少信號之偏差。

【0597】

又或者，於圖73B之像素電晶體佈局中，亦可省略與第2 VSS配線(VSS_2)之接點1472及1473。藉此，可減少縱向之像素電晶體之密集度。又，藉由減少與VSS配線之接點，可減少流經用以施加電壓MIX0或MIX1之電壓供給線741(圖33、圖34)與VSS配線之間之電流。

【0598】

於省略了與第2 VSS配線(VSS_2)之接點1472及1473之情形時，可使放大電晶體724A及724B於垂直方向上形成得較大。藉此，可減少像素電晶體之雜訊，得以減少信號之偏差。

【0599】

圖74示出圖73B之像素電晶體佈局中之連接金屬膜M1之像素電晶體

Tr間之配線佈局。圖74對應於圖44C所示之連接金屬膜M1之像素電晶體Tr間之配線。連接像素電晶體Tr間之配線亦可跨及金屬膜M2、M3等其他配線層而連接。

【0600】

圖75示出於設為圖73B之像素電晶體佈局且對1個像素行設為2條電源線1401之情形時的多層配線層811之第3層即金屬膜M3之佈局。

【0601】

於圖75中，對與圖70對應之部分附上相同之符號，該部分之說明將適當省略。

【0602】

當將圖75之金屬膜M3之佈局與圖70之金屬膜M3之佈局加以比較時，省略圖70之4條電源線1401A至1401D中之2條電源線1401C及1401D，線寬較粗之VSS配線1411A被置換為線寬更粗之VSS配線1411D。

【0603】

藉由如此增加VSS配線1411之面積(線寬)，可使電流密度進一步下降，提高配線之可靠性。

【0604】

圖76示出於設為圖73B之像素電晶體佈局且對1個像素行設為2條電源線1401之情形時的多層配線層811之第3層即金屬膜M3之另一佈局。

【0605】

於圖76中，對與圖70對應之部分附上相同之符號，該部分之說明將適當省略。

【0606】

當將圖76之金屬膜M3之佈局與圖70之金屬膜M3之佈局加以比較時，省略圖70之4條電源線1401A至1401D中之2條電源線1401A及1401B，被置換為線寬較粗之VSS配線1411E。

【0607】

藉由如此增加VSS配線1411之面積(線寬)，可使電流密度進一步下降，提高配線之可靠性。

【0608】

再者，圖75及圖76所示之金屬膜M3之佈局係將圖70所示之金屬膜M3之佈局變更為2條電源線1401之例，但亦可同樣地實現將圖71及圖72所示之金屬膜M3之佈局變更為2條電源線1401之例。

【0609】

即，針對將4條垂直信號線29A至29D各自之旁側之VSS配線1411設為相同線寬之圖71之金屬膜M3之佈局、具有設置了複數個間隙1421之VSS配線1411C之圖72之金屬膜M3之佈局，可實現變更為2條電源線1401之構成。

【0610】

藉此，可進一步發揮如下效果：與圖71同樣地，可使串擾之影響度均勻，可減少特性偏差，又或者，與圖72同樣地，可提高形成寬幅之VSS配線1411C時之穩定性。

【0611】

＜電源線及VSS配線之配線例＞

圖77係表示多層配線層811中之VSS配線之配線例之俯視圖。

【0612】

如圖77所示，VSS配線於多層配線層811中，可如第1配線層1521、第2配線層1522及第3配線層1523般形成為複數個配線層。

【0613】

於第1配線層1521，例如沿像素陣列部20於垂直方向上延伸之垂直配線1511於水平方向上以特定之間隔配置有複數條，於第2配線層1522，例如沿像素陣列部20於水平方向上延伸之水平配線1512於垂直方向上以特定之間隔配置有複數條，於第3配線層1523，例如以較垂直配線1511及水平配線1512粗之線寬且以至少包圍像素陣列部20之外側之方式配置有於垂直方向或水平方向上延伸之配線1513，且連接於GND電位。配線1513以將外周部之對向之配線1513彼此連接之方式亦於像素陣列部20內配線。

【0614】

第1配線層1521之垂直配線1511與第2配線層1522之水平配線1512於在俯視下兩者重疊之重疊部1531之各者中，藉由通孔等連接。

【0615】

又，第1配線層1521之垂直配線1511與第3配線層1523之配線1513於在俯視下兩者重疊之重疊部1532之各者中，藉由通孔等連接。

【0616】

又，第2配線層1522之水平配線1512與第3配線層1523之配線1513於在俯視下兩者重疊之重疊部1533之各者中，藉由通孔等連接。

【0617】

再者，於圖77中，為了防止圖變得複雜，關於重疊部1531至1533，僅對1處附上符號。

【0618】

如此，VSS配線可形成於多層配線層811之複數個配線層，且於像素陣列部20內在俯視下由垂直配線1511與水平配線1512以成為格子狀之方式配線。藉此，可減少像素陣列部20內之傳播延遲，從而抑制特性偏差。

【0619】

圖78係表示多層配線層811中之VSS配線之其他配線例之俯視圖。

【0620】

於圖78中，對與圖77對應之部分附上相同之符號，其說明將適當省略。

【0621】

於圖77中，第1配線層1521之垂直配線1511與第2配線層1522之水平配線1512並未形成於形成在像素陣列部20之外周之配線1513之外側，但於圖78中，延伸形成至像素陣列部20之外周之配線1513之外側。而且，垂直配線1511之各者於像素陣列部20之外側之基板1541之外周部1542，連接於GND電位，水平配線1512之各者於像素陣列部20之外側之基板1541之外周部1543，連接於GND電位。

【0622】

換言之，於圖77中，第1配線層1521之垂直配線1511與第2配線層1522之水平配線1512經由外周之配線1513連接於GND電位，但於圖78中，不僅如此，垂直配線1511與水平配線1512自身亦直接連接於GND電位。再者，垂直配線1511與水平配線1512自身連接於GND電位之區域係如圖78之外周部1542及1543所示，可為基板1541之四邊，亦可為特定之一邊、兩邊或三邊。

【0623】

如此，VSS配線可形成於多層配線層811之複數個配線層，且於像素陣列部20內以俯視下成為格子狀之方式配線。藉此，可減少像素陣列部20內之傳播延遲，抑制特性偏差。

【0624】

再者，圖77及圖78係設為VSS配線之配線例進行說明，但關於電源線亦可同樣地進行配線。

【0625】

圖70至圖76中所說明之VSS配線1411及電源線1401可於多層配線層811之複數個配線層中如圖77及圖78所示之VSS配線或電源線般配置。圖70至圖76中所說明之VSS配線1411及電源線1401亦可應用於本說明書中所記載之任一實施形態。

【0626】

＜光瞳修正之第1方法＞

其次，對受光元件1之光瞳修正之第1方法進行說明。

【0627】

作為CAPD感測器之受光元件1可與影像感測器同樣地，根據與像素陣列部20之面內位置相應之主光線之入射角之差異，對晶載透鏡62或像素間遮光膜63進行朝向像素陣列部20之平面中心偏移之光瞳修正。

【0628】

具體而言，如圖79所示，於像素陣列部20之各位置1701-1至1701-9中之像素陣列部20之中心部之位置1701-5之像素51中，晶載透鏡62之中心與形成於基板61之信號提取部65-1及65-2間之中心一致，但於像素陣列

部20之周邊部之位置1701-1至1701-4及1701-6及1701-9之像素51中，晶載透鏡62之中心朝像素陣列部20之平面中心側偏移地配置。像素間遮光膜63-1及63-2亦與晶載透鏡62同樣地，朝像素陣列部20之平面中心側偏移地配置。

【0629】

又，如圖80所示，於像素51中，為了防止入射光之向鄰接像素之入射，於像素交界部形成有DTI1711-1及1711-2，該等DTI1711-1及1711-2係自基板61之晶載透鏡62側即背面側起，於基板深度方向上至特定深度為止形成溝槽(槽)所得，於該情形時，在像素陣列部20之周邊部之位置1701-1至1701-4及1701-6及1701-9之像素51中，除晶載透鏡62與像素間遮光膜63-1及63-2以外，DTI1711-1及1711-2亦朝像素陣列部20之平面中心側偏移地配置。

【0630】

又或者，如圖81所示，於像素51中，為了防止入射光之向鄰接像素之入射，於像素交界部形成有DTI1712-1及1712-2，該等DTI1712-1及1712-2係自基板61之多層配線層811側即正面側，於基板深度方向上至特定深度為止形成溝槽(槽)所得，於該情形時，在像素陣列部20之周邊部之位置1701-1至1701-4及1701-6及1701-9之像素51中，除晶載透鏡62與像素間遮光膜63-1及63-2以外，DTI1712-1及1712-2亦朝像素陣列部20之平面中心側偏移地配置。

【0631】

再者，亦可為如下構成：代替DTI1711-1、1711-2、1712-1及1712-2而設置貫通基板61並將鄰接像素分離之貫通分離部，作為將鄰接像素彼

此之基板61分離而防止入射光之向鄰接像素之入射之像素分離部，於此情形時，亦同樣地，於像素陣列部20之周邊部之位置1701-1至1701-4及1701-6及1701-9之像素51中，貫通分離部朝像素陣列部20之平面中心側偏離地配置。

【0632】

如圖79至圖81所示，藉由使晶載透鏡62與像素間遮光膜63等一起朝像素陣列部20之平面中心側偏移，可使主光線與各像素內之中心一致，但於作為CAPD感測器之受光元件1中，各像素內之最佳之入射位置係藉由對2個信號提取部65(抽頭)間賦予電壓後流通電流而調變，故而不同。因此，就受光元件1而言，與利用影像感測器進行之光學光瞳修正不同，針對測距要求最佳之光瞳修正技術。

【0633】

參照圖82，說明利用作為CAPD感測器之受光元件1進行之光瞳修正與利用影像感測器進行之光瞳修正之差異。

【0634】

再者，於圖82A至C中，3×3之9個之像素51表示與圖79至圖81之像素陣列部20之位置1701-1至1701-9對應之像素51。

【0635】

圖82A示出未進行光瞳修正之情形時之晶載透鏡62之位置與基板正面側之主光線之位置1721。

【0636】

於未進行光瞳修正之情形時，不論於像素陣列部20內之哪一位置1701-1至1701-9之像素51中，晶載透鏡62之中心均以與像素內之2個抽頭

之中心、即第1抽頭TA(信號提取部65-1)及第2抽頭TB(信號提取部65-2)之中心一致之方式配置。於此情形時，如圖82A所示，基板正面側之主光線之位置1721成為根據像素陣列部20內之位置1701-1至1701-9而不同之位置。

【0637】

於利用影像感測器進行之光瞳修正中，如圖82B所示，主光線之位置1721不論於像素陣列部20內之哪一位置1701-1至1701-9之像素51中，均以使第1抽頭TA與第2抽頭TB之中心一致之方式配置晶載透鏡62。更具體而言，如圖79至圖81所示，晶載透鏡62以朝像素陣列部20之平面中心側偏移之方式配置。

【0638】

與此相對，於利用受光元件1進行之光瞳修正中，如圖82C所示，自圖82B所示之主光線之位置1721成為第1抽頭TA與第2抽頭TB之中心位置之晶載透鏡62之位置，進而朝第1抽頭TA側配置晶載透鏡62。圖82B與圖82C之主光線之位置1721之偏移量係越是自像素陣列部20之中心位置往向外周部則越大。

【0639】

圖83係說明使主光線之位置1721朝第1抽頭TA側偏移時之晶載透鏡62之偏移量之圖。

【0640】

例如，像素陣列部20之中心部之位置1701-5處之主光線之位置1721_c與像素陣列部20之周邊部之位置1701-4處之主光線之位置1721_X的偏移量LD，與針對像素陣列部20之周邊部之位置1701-4處之光瞳修正的光程差

LD相等。

【0641】

換言之，自第1抽頭TA(信號提取部65-1)與第2抽頭TB(信號提取部65-2)之中心位置向第1抽頭TA側移位，以使主光線之光程長度於像素陣列部20之各像素中一致。

【0642】

此處，向第1抽頭TA側移位之原因在於：以採用將受光時序設為4相，使用僅第1抽頭TA之輸出值來算出與相應於距物體之距離之延遲時間ΔT對應的相位偏移(Phase)之方式為前提。

【0643】

圖84係對於利用間接ToF方式之ToF感測器，說明2相之檢測方式(2相方式)及4相之檢測方式(4相方式)之時序圖。

【0644】

自特定之光源輸出以於照射時間T內反覆執行照射之接通/斷開之方式經調變(1週期＝2T)之照射光，於受光元件1中，以延遲與距物體之距離相應之延遲時間ΔT之方式，接收反射光。

【0645】

於2相方式中，受光元件1利用第1抽頭TA與第2抽頭TB，於已使相位偏移180度之時序接收光。能以利用第1抽頭TA接收到光之信號值q_A與利用第2抽頭TB接收到光之信號值q_B之分配比檢測對應於延遲時間ΔT之相位偏移量θ。

【0646】

與此相對，於4相方式中，在與照射光相同之相位(即Phase0)、偏移

90度之相位(Phase90)、偏移180度之相位(Phase180)、偏移270度之相位(Phase270)之4個時序接收光。如此一來，以偏移180度之相位檢測出之信號值$TA_{Phase180}$與2相方式中之利用第2抽頭TB接收到光之信號值q_B相同。因此，若以4相進行檢測，則僅利用第1抽頭TA與第2抽頭TB中之任一者之信號值，便可檢測出與延遲時間ΔT對應之相位偏移量θ。於4相方式中，將檢測相位偏移量θ之抽頭稱作相位偏移檢測抽頭。

【0647】

此處，於將第1抽頭TA與第2抽頭TB中之第1抽頭TA設為檢測相位偏移量θ之相位偏移檢測抽頭之情形時，於光瞳修正中，在像素陣列部20之各像素中，以使主光線之光程長度大致一致之方式向第1抽頭TA側移位。

【0648】

當於4相方式中將利用第1抽頭TA之Phase0、Phase90、Phase180、Phase270檢測出之信號值分別設為q_{0A}、q_{1A}、q_{2A}、q_{3A}時，由第1抽頭TA檢測出之相位偏移量θ_A係利用以下之式(2)算出。

[數1]

$$\theta_A = \tan^{-1}\frac{q_{1A}-q_{3A}}{q_{0A}-q_{2A}} \quad \cdots (2)$$

【0649】

又，利用第1抽頭TA進行檢測之情形時之4相方式之$Cmod_A$係利用以下之式(3)算出。

[數2]

$$Cmod_A = Max\left(\frac{q_{0A}-q_{2A}}{q_{0A}+q_{2A}}, \frac{q_{1A}-q_{3A}}{q_{1A}+q_{3A}}\right) \quad \cdots (3)$$

如式(3)所示，4相方式中之$Cmod_A$成為$(q_{0A}-q_{2A})/(q_{0A}+q_{2A})$與$(q_{1A}-q_{3A})/(q_{1A}+q_{3A})$中之較大之值。

【0650】

如上所述，受光元件1係以如下方式進行光瞳修正，即，變更晶載透鏡62及像素間遮光膜63之位置，使主光線之光程長度於像素陣列部20之面內之各像素中大致相同。換言之，受光元件1係以如下方式進行光瞳修正，即，使像素陣列部20之面內之作為各像素之相位偏移檢測抽頭之第1抽頭TA之相位偏移量θ_A大致相同。藉此，可消除晶片之面內依存性，從而可提高測距精度。此處，上述大致一致或大致相同除表示完全一致或完全相同以外，亦表示於視為相同之特定之範圍內相等。光瞳修正之第1方法亦可應用於本說明書中所記載之任一實施形態。

【0651】

＜光瞳修正之第2方法＞

其次，對受光元件1之光瞳修正之第2方法進行說明。

【0652】

於上述光瞳修正之第1方法中，決定為使用第1抽頭TA與第2抽頭TB中之第1抽頭TA之信號算出相位偏移(Phase)之情形較佳，但亦有無法決定使用哪一抽頭之情形。於此種情形時，可藉由以下之第2方法進行光瞳修正。

【0653】

於光瞳修正之第2方法中，以第1抽頭TA之DC(Direct Current，直流)對比度DC_A及第2抽頭TB之DC對比度DC_B在像素陣列部20之面內之各像素中大致相同之方式，以朝平面中心側偏移之方式配置晶載透鏡62及像素間遮光膜63之位置。於亦形成有自基板61之晶載透鏡62側形成之DTI1711、或自正面側形成之DTI1712之情形時，與第1方法同樣地，其

等之位置亦偏移地配置。

【0654】

第1抽頭TA之DC對比度DC_A與第2抽頭TB之DC對比度DC_B係利用以下之式(4)及式(5)算出。

[數3]

$$DC_A=\frac{A_H-B_L}{A_H+B_L} \quad \cdots(4)$$

$$DC_B=\frac{B_H-A_L}{B_H+A_L} \quad \cdots(5)$$

【0655】

於式(4)中，A_H係表示將不間斷地連續照射之連續光直接照射至受光元件1，由施加有正電壓之第1抽頭TA檢測出之信號值，B_L係表示由施加有0或負電壓之第2抽頭TB檢測出之信號值。於式(5)中，B_H係表示將不間斷地連續照射之連續光直接照射至受光元件1，由施加有正電壓之第2抽頭TB檢測出之信號值，A_L表示由施加有0或負電壓之第1抽頭TA檢測出之信號值。

【0656】

較理想為第1抽頭TA之DC對比度DC_A與第2抽頭TB之DC對比度DC_B相等，且第1抽頭TA之DC對比度DC_A及第2抽頭TB之DC對比度DC_B不論於像素陣列部20之面內之哪一位置均大致一致，但於根據像素陣列部20之面內之位置，第1抽頭TA之DC對比度DC_A及第2抽頭TB之DC對比度DC_B不同之情形時，以像素陣列部20之中心部與外周部之第1抽頭TA之DC對比度DC_A之偏移量和像素陣列部20之中心部與外周部之第2抽頭TB之DC對比度DC_B之偏移量大致一致之方式，以朝平面中心側偏移之方式配置晶載透鏡62、像素間遮光膜63等之位置。

【0657】

如上所述，受光元件1係以如下方式進行光瞳修正，即，變更晶載透鏡62及像素間遮光膜63之位置，使第1抽頭TA之DC對比度DC_A及第2抽頭TB之DC對比度DC_B於像素陣列部20之面內之各像素中大致一致。藉此，可消除晶片之面內依存性，從而可提高測距精度。此處，上述大致一致或大致相同除表示完全一致或完全相同以外，亦表示於視為相同之特定之範圍內相等。光瞳修正之第2方法亦可應用於本說明書中所記載之任一實施形態。

【0658】

再者，圖84所示之第1抽頭TA及第2抽頭TB之受光時序係利用自抽頭驅動部21經由電壓供給線30供給之電壓MIX0及電壓MIX1加以控制。電壓供給線30係於1個像素行中共通地在像素陣列部20之垂直方向上配線，故而距抽頭驅動部21之距離越遠，則越會產生由RC(Resistor capacitor，電阻電容)成分所致之延遲。

【0659】

因此，如圖85所示，根據距抽頭驅動部21之距離來變更電壓供給線30之電阻、電容，使各像素51之驅動能力大致均勻，藉此，能以相位偏移(Phase)或DC對比度DC於像素陣列部20之面內大致均勻之方式進行修正。具體而言，根據距抽頭驅動部21之距離，以線寬變粗之方式配置電壓供給線30。

【0660】

＜第20實施形態＞

於以下之第20至第22實施形態中，對受光元件1之構成例進行說明，

該受光元件1可獲取根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊。

【0661】

首先，作為根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊，對可獲取相位差資訊之受光元件1之構成例進行說明。

【0662】

＜第20實施形態之第1構成例＞

圖86A係第20實施形態之第1構成例之像素之剖視圖，圖86B及C係第20實施形態之第1構成例之像素之俯視圖。

【0663】

於圖86A之剖視圖中，對與上述其他實施形態對應之部分附上相同之符號，該部分之說明將適當省略。

【0664】

於圖86中，在基板61之晶載透鏡62側之面即上表面之一部分像素51，新設置有相位差檢測用之相位差遮光膜1801。例如，如圖86B及C所示，相位差遮光膜1801將第1抽頭TA側或第2抽頭TB側之任一像素區域之單側一半遮光。圖86B係第1抽頭TA及第2抽頭TB排列於上下方向(垂直方向)之像素51之例，圖86C係第1抽頭TA及第2抽頭TB排列於左右方向(水平方向)之像素51之例。

【0665】

第20實施形態之第1構成例之像素51可於像素陣列部20內，設為如圖87A至F中之任一者所示之排列。

【0666】

圖87A示出第1抽頭TA及第2抽頭TB排列於上下方向之像素51呈矩陣狀排列之像素51之排列例。

【0667】

圖87B示出第1抽頭TA及第2抽頭TB排列於左右方向之像素51呈矩陣狀排列之像素51之排列例。

【0668】

圖87C示出第1抽頭TA及第2抽頭TB排列於上下方向之像素51呈矩陣狀排列，且於鄰接之行中像素位置在上下方向上偏移半像素後之像素51之排列例。

【0669】

圖87D示出第1抽頭TA及第2抽頭TB排列於左右方向之像素51呈矩陣狀排列，且於鄰接之行中像素位置在上下方向上偏移半像素後之像素51之排列例。

【0670】

圖87E示出第1抽頭TA及第2抽頭TB排列於上下方向之像素51與第1抽頭TA及第2抽頭TB排列於左右方向之像素51交替地排列於列方向及行方向之像素51之排列例。

【0671】

圖87F示出第1抽頭TA及第2抽頭TB排列於上下方向之像素51與第1抽頭TA及第2抽頭TB排列於左右方向之像素51交替地排列於列方向及行方向，且於鄰接之行中像素位置在上下方向上偏移半像素後之像素51之排列例。

【0672】

圖86之像素51係以圖87A至F中之任一種排列配置，於該像素陣列部20內，如圖86B或C般，將第1抽頭TA側之單側一半遮光之像素51與將第2抽頭TB側之單側一半遮光之像素51配置於附近之位置。又，將第1抽頭TA側之單側一半遮光之像素51與將第2抽頭TB側之單側一半遮光之像素51之組於像素陣列部20內散佈地配置有複數個。

【0673】

於第20實施形態之第1構成例中，除了於一部分像素51設置有相位差遮光膜1801之方面以外，例如以與圖2所示之第1實施形態、或圖36中所說明之第14或第15實施形態同樣地構成，但於圖86中關於其他構成將簡化地示出。

【0674】

若對圖86之除相位差遮光膜1801以外之構成進行簡單說明，則像素51具有包含P型半導體層之基板61、及形成於該基板61上之晶載透鏡62。於晶載透鏡62與基板61之間，形成有像素間遮光膜63及相位差遮光膜1801。於形成有相位差遮光膜1801之像素51中，鄰接於相位差遮光膜1801之像素間遮光膜63與相位差遮光膜1801連續地(一體地)形成。於像素間遮光膜63與相位差遮光膜1801之下表面，雖圖示省略，但如圖2所示亦形成有固定電荷膜66。

【0675】

於形成有晶載透鏡62之基板61之與光入射面側為相反側之面，形成有第1抽頭TA及第2抽頭TB。第1抽頭TA相當於上述信號提取部65-1，第2抽頭TB相當於信號提取部65-2。對第1抽頭TA，自抽頭驅動部21(圖1)經

由形成於多層配線層811之電壓供給線30A供給特定之電壓MIX0，對第2抽頭TB經由電壓供給線30B供給特定之電壓MIX1。

【0676】

圖88係將於第20實施形態之第1構成例中，抽頭驅動部21驅動第1抽頭TA及第2抽頭TB時之驅動模式彙總所得之表格。

【0677】

於具有相位差遮光膜1801之像素51中，可藉由圖88所示之模式1至模式5之5種驅動方法檢測相位差。

【0678】

模式1係與不具備相位差遮光膜1801之其他像素51相同之驅動。於模式1中，抽頭驅動部21係於特定之受光期間，對設為有效抽頭之第1抽頭TA施加正電壓(例如1.5 V)，並且對設為無效抽頭之第2抽頭TB施加0 V之電壓。於下一受光期間，對設為有效抽頭之第2抽頭TB施加正電壓(例如1.5 V)，並且對設為無效抽頭之第1抽頭TA施加0 V之電壓。對形成於多層配線層811之基板61之像素交界區域之傳輸電晶體721、重設電晶體723等像素電晶體Tr(圖37)施加0 V(VSS電位)。

【0679】

於模式1中，可根據於第1抽頭TA側之單側一半經遮光之像素51中將第2抽頭TB設為有效抽頭之信號、及於第2抽頭TB側之單側一半經遮光之像素51中將第1抽頭TA設為有效抽頭之信號，檢測相位差。

【0680】

於模式2中，抽頭驅動部21對第1抽頭TA與第2抽頭TB之兩者施加正電壓(例如1.5 V)。對多層配線層811之形成於基板61之像素交界區域之像

素電晶體Tr施加0 V(VSS電位)。

【0681】

於模式2中，可利用第1抽頭TA與第2抽頭TB之兩者均等地檢測信號，故而可根據第1抽頭TA側之單側一半經遮光之像素51之信號與第2抽頭TB側之單側一半經遮光之像素51之信號檢測相位差。

【0682】

模式3係於模式2之驅動中，將第1抽頭TA及第2抽頭TB之施加電壓進行與像素陣列部20內之像高相應之加權後之驅動。更具體而言，像素陣列部20內之像高(距光學中心之距離)越大，則越設置對第1抽頭TA與第2抽頭TB施加之電位差。進一步言之，以像素陣列部20內之像高越大，則處於像素陣列部20之內側(中心部側)之抽頭側之施加電壓越大之方式驅動。藉此，可藉由對抽頭施加之電壓之電位差來進行光瞳修正。

【0683】

模式4係如下模式：於模式2之驅動中，對形成於基板61之像素交界區域之像素電晶體Tr施加負偏壓(例如-1.5 V)而非0 V(VSS電位)。藉由對形成於像素交界區域之像素電晶體Tr施加負偏壓，可強化自像素電晶體Tr向第1抽頭TA及第2抽頭TB之電場，可容易地將作為信號電荷之電子引入至抽頭。

【0684】

模式5係如下模式：於模式3之驅動中，對形成於基板61之像素交界區域之像素電晶體Tr施加負偏壓(例如-1.5 V)而非0 V(VSS電位)。藉此，可強化自像素電晶體Tr向第1抽頭TA及第2抽頭TB之電場，可容易地將作為信號電荷之電子引入至抽頭。

【0685】

於上述模式1至模式5之5種驅動方法之任一者中，第1抽頭TA側之單側一半經遮光之像素51與第2抽頭TB側之單側一半經遮光之像素51均由於根據遮光區域之差異，所讀出之信號產生相位差(像之偏移)，故而可檢測相位差。

【0686】

根據以如上方式構成之第20實施形態之第1構成例，關於受光元件1，排列有複數個具備第1抽頭TA及第2抽頭TB之像素51之像素陣列部20之一部分像素51具有由相位差遮光膜1801將第1抽頭TA側之單側一半遮光之像素51、及由相位差遮光膜1801將第2抽頭TB側之單側一半遮光之像素51。藉此，作為根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊，可獲取相位差資訊。可根據所檢測出之相位差資訊，推斷焦點位置，從而提高深度方向之精度。

【0687】

＜第20實施形態之第2構成例＞

圖89示出第20實施形態之第2構成例之像素之剖視圖。

【0688】

於圖89之剖視圖中，對與上述第20實施形態之第1構成例對應之部分附上相同之符號，該部分之說明將適當省略。

【0689】

於圖86所示之第1構成例中，以1像素為單位形成有晶載透鏡62，但於圖89之第2構成例中，針對複數個像素51形成有1個晶載透鏡1821。於基板61之晶載透鏡1821側之面即上表面之一部分像素51，新設置有相位

差檢測用之相位差遮光膜1811。相位差遮光膜1811形成於共有同一晶載透鏡1821之複數個像素51中之特定之像素51。鄰接於相位差遮光膜1811之像素間遮光膜63與第1構成例之相同點在於，與相位差遮光膜1811連續地(一體地)形成。

【0690】

圖90A至F係表示第20實施形態之第2構成例可採用之相位差遮光膜1811與晶載透鏡1821之配置之俯視圖。

【0691】

圖90A示出相位差遮光膜1811與晶載透鏡1821之第1配置例。

【0692】

圖90A所示之像素集合1831包含排列於上下方向(垂直方向)之2個像素51，且針對排列於上下方向之2個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之2個像素51之第1抽頭TA與第2抽頭TB之配置相同。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之2個像素51，檢測相位差。

【0693】

圖90B示出相位差遮光膜1811與晶載透鏡1821之第2配置例。

【0694】

圖90A所示之像素集合1831包含排列於上下方向(垂直方向)之2個像素51，且針對排列於上下方向之2個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之2個像素51之第1抽頭TA與第2抽頭TB之配置相反。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之2個像素51，檢測相位差。

【0695】

圖90C示出相位差遮光膜1811與晶載透鏡1821之第3配置例。

【0696】

圖90C所示之像素集合1831包含排列於左右方向(水平方向)之2個像素51，且針對排列於左右方向之2個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之2個像素51之第1抽頭TA與第2抽頭TB之配置相同。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之2個像素51，檢測相位差。

【0697】

圖90D示出相位差遮光膜1811與晶載透鏡1821之第4配置例。

【0698】

圖90D所示之像素集合1831包含排列於左右方向(水平方向)之2個像素51，且針對排列於左右方向之2個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之2個像素51之第1抽頭TA與第2抽頭TB之配置相反。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之2個像素51，檢測相位差。

【0699】

圖90E示出相位差遮光膜1811與晶載透鏡1821之第5之配置例。

【0700】

圖90E所示之像素集合1831包含2×2排列之4個像素51，且針對4個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之4個像素51之第1抽頭TA與第2抽頭TB之配置相同。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之4個之像

素51，檢測相位差。

【0701】

圖90F示出相位差遮光膜1811與晶載透鏡1821之第6配置例。

【0702】

圖90F所示之像素集合1831包含2×2排列之4個像素51，且針對4個像素51配置有1個晶載透鏡1821。又，共有1個晶載透鏡1821之4個像素51之第1抽頭TA與第2抽頭TB之配置於左右像素中相反。而且，使用相位差遮光膜1811之形成位置對稱之2組像素集合1831之未形成有相位差遮光膜1811之4個之像素51，檢測相位差。

【0703】

如上所述，作為針對複數個像素51形成1個晶載透鏡1821之情形時之配置，有針對2像素形成1個晶載透鏡1821之配置、或針對4像素形成1個晶載透鏡1821之配置，可採用任一者。相位差遮光膜1811將成為1個晶載透鏡1821下之單側一半之複數個像素遮光。

【0704】

第2構成例之驅動模式可實現參照圖88所說明之模式1至模式5之5種驅動方法。

【0705】

因此，根據第20實施形態之第2構成例，關於受光元件1，排列有複數個具備第1抽頭TA及第2抽頭TB之像素51之像素陣列部20之一部分像素51具有相位差遮光膜1811之形成位置對稱之2組像素集合1831。藉此，作為根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊，可獲取相位差資訊。可根據所檢測出之相位差資訊，推斷焦點

位置，從而提高深度方向之精度。

【0706】

再者，作為構成像素陣列部20之複數個像素51，第20實施形態之第1構成例之像素51與第20實施形態之第2構成例之像素51亦可混合。

【0707】

＜不具有相位差遮光膜之變化例＞

對在上述第20實施形態之第1構成例及第2構成例中，於晶載透鏡62與基板61之間形成有相位差遮光膜1801或1811之構成進行說明。

【0708】

然而，即便為不具有相位差遮光膜1801或1811之像素51，只要使用模式1至模式5之5種驅動方法中之對第1抽頭TA與第2抽頭TB之兩者同時施加正電壓的模式2至模式5之驅動，便可獲取相位差資訊。例如，藉由將1個晶載透鏡1821下之複數個像素中之單側一半之像素51利用模式2至模式5驅動，可獲取相位差資訊。即便為針對1像素配置有1個晶載透鏡62之構成，亦可藉由利用模式2至模式5驅動而獲取相位差資訊。

【0709】

因此，亦可藉由利用不具有相位差遮光膜1801或1811之像素51進行模式2至模式5之驅動，而獲取相位差資訊。於此情形時，亦可根據所檢測出之相位差資訊，推斷焦點位置，從而提高深度方向之精度。

【0710】

再者，於欲在不具有相位差遮光膜1801或1811之像素51中，使用模式1之驅動獲取相位差資訊之情形時，只要將自光源照射之照射光設為不間斷地連續照射之連續光，便可獲取相位差資訊。

【0711】

＜第21實施形態＞

其次，對受光元件1之構成例進行說明，該受光元件1可獲取偏光度資訊作為根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊。

【0712】

圖91示出第21實施形態之像素之剖視圖。

【0713】

於圖91中，對與上述第20實施形態對應之部分附上相同之符號，該部分之說明將適當省略。

【0714】

於圖91之第21實施形態中，在晶載透鏡62與基板61之間，形成有偏振濾光器1841。第21實施形態之像素51除設置有偏振濾光器1841之方面以外，例如與圖2所示之第1實施形態、圖36中所說明之第14或第15實施形態同樣地構成。

【0715】

偏振濾光器1841、晶載透鏡62、以及第1抽頭TA及第2抽頭TB可設為圖92A或B中之任一種配置。

【0716】

圖92A係表示第21實施形態中之偏振濾光器1841、晶載透鏡62、以及第1抽頭TA及第2抽頭TB之第1配置例之俯視圖。

【0717】

如圖92A所示，偏振濾光器1841具有0度、45度、135度或135度中之

任一偏光方向，偏光方向逐個相差45度之4種偏振濾光器1841係以2×2之4像素為單位，形成於像素陣列部20內之特定之像素51。

【0718】

晶載透鏡62係以像素為單位設置，第1抽頭TA及第2抽頭TB之位置關係於所有像素中相同。

【0719】

圖92B係表示第21實施形態中之偏振濾光器1841、晶載透鏡62、以及第1抽頭TA及第2抽頭TB之第2配置例之俯視圖。

【0720】

如圖92B所示，偏振濾光器1841具有0度、45度、135度或135度中之任一偏光方向，偏光方向逐個相差45度之4種偏振濾光器1841係以2×2之4像素為單位，形成於像素陣列部20內之特定之像素51。

【0721】

晶載透鏡62係以像素為單位設置，第1抽頭TA及第2抽頭TB之位置關係於橫向上相鄰之像素中相反。換言之，第1抽頭TA及第2抽頭TB之配置相反之像素行於橫向上交替地配置。

【0722】

具備偏振濾光器1841之像素51之驅動方法可使用第20實施形態中參照圖88所說明之模式1至模式5之5種驅動方法。

【0723】

於第21實施形態中，排列於像素陣列部20之複數個像素51中之一部分複數個像素51具備如圖91及圖92所示般之偏振濾光器1841。

【0724】

藉由以模式1至模式5中之任一者驅動具備偏振濾光器1841之像素51，可獲取偏光度資訊。利用所獲取之偏光度資訊，可獲取關於作為被攝體之物體面之正面狀態(凹凸)及相對距離差的資訊，或算出反射方向，或獲取距玻璃等透明物體本身及透明物體之前之物體為止之測距資訊。

【0725】

又，藉由設定複數種自光源照射之照射光之頻率，並針對每一頻率使偏光方向不同，可實現多重頻率之並列測距。例如，同時照射20 MHz、40 MHz、60 MHz及100 MHz之4種照射光，使各自之偏光方向與偏振濾光器1841之偏光方向一致，設為0度、45度、135度、135度，藉此可同時接收4種照射光之反射光，並獲取測距資訊。

【0726】

再者，受光元件1之像素陣列部20之所有像素51亦可設為具備偏振濾光器1841之像素51。

【0727】

＜第22實施形態＞

其次，對受光元件1之構成例進行說明，該受光元件1可獲取針對RGB之每一波長之感度資訊作為根據第1抽頭TA與第2抽頭TB之信號之分配比求出之除測距資訊以外之輔助資訊。

【0728】

圖93示出第22實施形態之像素之剖視圖。

【0729】

於第22實施形態中，受光元件1具有圖93A或B之至少一者之像素51作為像素陣列部20之一部分像素51。

【0730】

於圖93A及B中，對與上述第20實施形態對應之部分附上相同之符號，該部分之說明將適當省略。

【0731】

圖93A所示之像素51於晶載透鏡62與基板61之間，形成有使R(Red，紅色)、G(Green，綠色)或B(Blue，藍色)中之任一波長透過之彩色濾光器1861。圖93A所示之像素51除設置有彩色濾光器1861之方面以外，例如與圖2所示之第1實施形態或圖36中所說明之第14或第15實施形態同樣地構成。

【0732】

另一方面，於圖93B中，在晶載透鏡62與基板61之間，將紅外光截止之IR(Infrared Radiation，紅外線)截止濾光器1871與彩色濾光器1872積層而形成之像素51和未形成有IR截止濾光器1871與彩色濾光器1872之像素51鄰接地配置。而且，於形成有IR截止濾光器1871及彩色濾光器1872之像素51之基板61，形成有光電二極體1881而非第1抽頭TA及第2抽頭TB。進而，於形成有光電二極體1881之像素51之像素交界部，形成有將基板61與鄰接像素分離之像素分離部1882。像素分離部1882例如以利用絕緣膜覆蓋鎢(W)、鋁(Al)、銅(Cu)等金屬材料、多晶矽等導電性材料之外周之形式形成。藉由像素分離部1882，限制與鄰接像素之電子之移動。具有光電二極體1881之像素51係經由與具有第1抽頭TA及第2抽頭TB之像素51不同之控制配線另行被驅動。其他構成例如與圖2所示之第1實施形態或圖36所示之第14實施形態相同。

【0733】

圖94A係表示圖93A所示之像素51以2×2排列所得之4像素區域中之彩色濾光器1861之配置的俯視圖。

【0734】

針對2×2之4像素區域，彩色濾光器1861被設為如下構成：將包含使G透過之濾光器、使R透過之濾光器、使B透過之濾光器及使IR透過之濾光器之4種以2×2排列。

【0735】

圖94B係關於使圖93A所示之像素51以2×2排列所得之4像素區域的圖93A之A-A'線處之俯視圖。

【0736】

於圖93A所示之像素51中，以像素為單位配置有第1抽頭TA及第2抽頭TB。

【0737】

圖94C係表示使圖93B所示之像素51以2×2排列所得之4像素區域中之彩色濾光器1872之配置的俯視圖。

【0738】

針對2×2之4像素區域，彩色濾光器1872被設為如下構成：將包含使G透過之濾光器、使R透過之濾光器、使B透過之濾光器及空氣(無濾光器)之4種以2×2排列。再者，亦可代替空氣而配置使所有波長(R、G、B、IR)透過之透明濾光器。

【0739】

於彩色濾光器187中，在使G透過之濾光器、使R透過之濾光器及使B透過之濾光器之上層，如圖93B所示配置有IR截止濾光器1871 。

【0740】

圖94D係關於使圖93B所示之像素51以2×2排列所得之4像素區域的圖93B之B-B'線處之俯視圖。

【0741】

於2×2之4像素區域之基板61部分，在具有使G、R或B透過之濾光器之像素51形成有光電二極體1881，在具有空氣(無濾光器)之像素51，形成有第1抽頭TA及第2抽頭TB。又，於形成有光電二極體1881之像素51之像素交界部，形成有將鄰接像素與基板61分離之像素分離部1882。

【0742】

如上所述，圖93A所示之像素51具有圖94A所示之彩色濾光器1861與圖94B所示之光電轉換區域之組合，圖93B所示之像素51具有圖94C所示之彩色濾光器1872與圖94D所示之光電轉換區域之組合。

【0743】

然而，圖94A及C之彩色濾光器與圖94B及D之光電轉換區域之組合亦可更換。即，作為第22實施形態中之像素51之構成，可設為將圖94A所示之彩色濾光器1861與圖94D所示之光電轉換區域組合所得之構成或將圖94C所示之彩色濾光器1872與圖94B所示之光電轉換區域組合所得之構成。

【0744】

具備第1抽頭TA及第2抽頭TB之像素51之驅動可實現參照圖88所說明之模式1至模式5之5種驅動方法。

【0745】

具有光電二極體1881之像素51之驅動與具有第1抽頭TA及第2抽頭

TB之像素51之驅動分開地進行與通常之影像感測器之像素相同之驅動。

【0746】

根據第22實施形態，受光元件1可具備如圖93A所示之像素51，作為排列有複數個具備第1抽頭TA及第2抽頭TB之像素51之像素陣列部20之一部分，該像素51於形成有第1抽頭TA及第2抽頭TB之基板61之光入射面側具備彩色濾光器1861。藉此，可針對G、R、B及IR之每種波長獲取信號，提高物體識別能力。

【0747】

又，根據第22實施形態，受光元件1可具備如圖93B所示之像素51，作為排列有複數個具備第1抽頭TA及第2抽頭TB之像素51之像素陣列部20之一部分，該像素51於基板61內代替第1抽頭TA及第2抽頭TB而具有光電二極體1881，且於光入射面側具備彩色濾光器1872。藉此，可獲取與影像感測器相同之G信號、R信號及B信號，可提高物體識別能力。

【0748】

進而，亦可於像素陣列部20內形成圖93A所示之具備第1抽頭TA及第2抽頭TB、以及彩色濾光器1861之像素51、以及圖93B所示之具備光電二極體1881及彩色濾光器1872之像素51之兩者。

【0749】

又，亦可為受光元件1之像素陣列部20之所有像素51包含由圖94A與B之組合形成之像素、由圖94C與D之組合形成之像素、由圖94A與D之組合形成之像素、及由圖94C與B之組合形成之像素之至少1種。

【0750】

＜測距模組之構成例＞

圖95係表示使用圖1之受光元件1輸出測距資訊之測距模組之構成例的方塊圖。

【0751】

測距模組5000具備發光部5011、發光控制部5012及受光部5013。

【0752】

發光部5011具有發出特定波長之光之光源，且發出亮度週期性地發生變動之照射光並照射至物體。例如，發光部5011具有發出波長為780 nm至1000 nm之範圍之紅外光之發光二極體作為光源，且與自發光控制部5012供給之矩形波之發光控制信號CLKp同步地產生照射光。

【0753】

再者，發光控制信號CLKp只要為週期信號，則並不限定於矩形波。例如，發光控制信號CLKp亦可為正弦波。

【0754】

發光控制部5012將發光控制信號CLKp供給至發光部5011及受光部5013，控制照射光之照射時序。該發光控制信號CLKp之頻率例如為20兆赫(MHz)。再者，發光控制信號CLKp之頻率並不限定於20兆赫(MHz)，亦可為5兆赫(MHz)等。

【0755】

受光部5013接收自物體反射之反射光，根據受光結果針對每個像素算出距離資訊，產生並輸出針對每個像素以灰階值表示距物體之距離之深度圖像。

【0756】

受光部5013使用上述受光元件1，作為受光部5013之受光元件1例如

基於發光控制信號CLKp，根據由像素陣列部20之各像素51之信號提取部65-1及65-2各自之電荷檢測部(N+半導體區域71)檢測出的信號強度，針對每個像素算出距離資訊。

【0757】

如上所述，作為藉由間接ToF方式求出並輸出距被攝體之距離資訊之測距模組5000之受光部5013，可組裝圖1之受光元件1。採用上述各實施形態之受光元件1作為測距模組5000之受光部5013，具體而言，採用提高了像素感度之受光元件作為背面照射型，藉此可提高作為測距模組5000之測距特性。

【0758】

＜對移動體之運用例＞

本發明之技術(本技術)可運用於各種製品。例如，本發明之技術亦可設為搭載於汽車、電動汽車、油電混合車、機車、自行車、個人移動工具(Personal Mobility)、飛機、無人飛機、船舶及機器人等任一種移動體之裝置而實現。

【0759】

圖96係表示作為可應用本發明之技術之移動體控制系統之一例的車輛控制系統之概略性構成例之方塊圖。

【0760】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖96所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車身系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040及統括控制單元12050。又，作為統括控制單元12050之功能

構成，圖示有微電腦12051、聲音圖像輸出部12052及車載網路I/F(interface，介面)12053。

【0761】

驅動系統控制單元12010按照各種程式控制與車輛之驅動系統相關之裝置之動作。例如，驅動系統制單元12010係作為內燃機或驅動用馬達等用以產生車輛之驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛之轉向角之轉向機構、及產生車輛之制動力之制動裝置等的控制裝置而發揮功能。

【0762】

車身系統控制單元12020按照各種程式控制裝配於車體之各種裝置之動作。例如，車身系統控制單元12020作為無鑰匙進入系統(keyless entry system)、智慧鑰匙系統、電動車窗裝置、或者頭燈、倒行燈(back lamp)、剎車燈、轉向燈或霧燈等各種燈之控制裝置發揮功能。於此情形時，對車身系統控制單元12020，可輸入自取代鑰匙之手持機發送之電波或各種開關之信號。車身系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動車窗裝置及燈等。

【0763】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛之外部之資訊。例如，於車外資訊檢測單元12030連接有攝像部12031。車外資訊檢測單元12030使攝像部12031拍攝車外之圖像，並且接收所拍攝之圖像。車外資訊檢測單元12030亦可基於所接收到之圖像而進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

【0764】

攝像部12031係接收光並輸出與該光之受光量相應之電氣信號之光感測器。攝像部12031既可以圖像之形式輸出電氣信號，亦可以測距之資訊之形式輸出電氣信號。又，攝像部12031所接收之光可為可見光，亦可為紅外線等非可見光。

【0765】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040，例如連接有檢測駕駛者之狀態之駕駛者狀態檢測部12041。駕駛者狀態檢測部12041例如包含拍攝駕駛者之相機，車內資訊檢測單元12040可基於自駕駛者狀態檢測部12041輸入之檢測資訊，算出駕駛者之疲勞程度或專注程度，亦可辨別駕駛者是否瞌睡。

【0766】

微電腦12051可基於利用車外資訊檢測單元12030或車內資訊檢測單元12040所獲取之車內外之資訊，而運算出驅動力產生裝置、轉向機構或制動裝置之控制目標值，並對驅動系統控制單元12010輸出控制指令。例如，微電腦12051能進行協調控制，目的在於實現包含車輛之碰撞避讓或者衝擊緩和、基於車間距離之追隨行駛、車速維持行駛、車輛之碰撞警告或車輛之車道偏離警告等之ADAS(Advanced Driver Assistance System，先進駕駛輔助系統)之功能。

【0767】

又，微電腦12051可藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040所獲取之車輛之周圍之資訊控制驅動力產生裝置、轉向機構或制動裝置等，而進行目的在於不藉由駕駛者之操作而自主地行駛之自動駕駛等之協調控制。

【0768】

又，微電腦12051可基於利用車外資訊檢測單元12030所獲取之車外之資訊，對車身系統控制單元12020輸出控制指令。例如，微電腦12051可根據利用車外資訊檢測單元12030所偵測到之先行車或對向車之位置控制頭燈，進行將遠光切換為近光等目的在於謀求防眩之協調控制。

【0769】

聲音圖像輸出部12052對車輛之搭乘者或車外，向可視覺地或聽覺地通知資訊之輸出裝置傳送聲音及圖像中之至少一者之輸出信號。於圖96之例中，作為輸出裝置，例示有音響揚聲器12061、顯示部12062及儀錶板12063。顯示部12062例如亦可包含內置顯示器及抬頭顯示器之至少一者。

【0770】

圖97係表示攝像部12031之設置位置之例之圖。

【0771】

於圖97中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

【0772】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前鼻(front nose)、側鏡、後保險杠(rear bumper)、後門(back door)及車廂內之前窗玻璃之上部等位置。配備於前鼻之攝像部12101及配備於車廂內之前窗玻璃之上部之攝像部12105主要獲取車輛12100之前方之圖像。配備於側鏡之攝像部12102、12103主要獲取車輛12100之側方之圖像。配備於後保險杠或後門之攝像部12104主要獲取車輛12100之後方

之圖像。由攝像部12101及12105獲取之前方之圖像主要被用於檢測先行車輛、或行人、障礙物、信號燈、交通標識或車道等。

【0773】

再者，圖97中示出攝像部12101至12104之攝影範圍之一例。攝像範圍12111表示設置於前鼻之攝像部12101之攝像範圍，攝像範圍12112、12113表示分別設置於側鏡之攝像部12102、12103之攝像範圍，攝像範圍12114表示設置於後保險杠或後門之攝像部12104之攝像範圍。例如，藉由使由攝像部12101至12104拍攝之圖像資料重疊，可獲得自上方觀察車輛12100而得之俯瞰圖像。

【0774】

攝像部12101至12104中之至少一者亦可具有獲取距離資訊之功能。例如，攝像部12101至12104中之至少一者既可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用像素之攝像元件。

【0775】

例如，微電腦12051係基於自攝像部12101至12104獲得之距離資訊，求出與攝像範圍12111至12114內之各立體物相距之距離、及該距離之時間變化(相對於車輛12100之相對速度)，藉此，尤其是可利用處於車輛12100之前進路徑上之最近之立體物，抽選於與車輛12100大致相同之方向上以特定速度(例如0 km/h以上)行駛之立體物作為先行車。進而，微電腦12051可設定在先行車之近前應預先確保之車間距離，進行自動剎車控制(亦包含追隨停止控制)或自動加速控制(亦包含追隨發動控制)等。如此，可進行目的在於不藉由駕駛者之操作而自主地行駛之自動駕駛等之協調控制。

【0776】

例如，微電腦12051基於自攝像部12101至12104獲得之距離資訊，將與立體物相關之立體物資料分類為二輪車、普通車輛、大型車輛、行人、電線桿等其他立體物並進行抽選，而用於障礙物之自動避讓。例如，微電腦12051係將車輛12100之周邊之障礙物識別為車輛12100之駕駛者可視認之障礙物及難以視認之障礙物。而且，微電腦12051係對表示與各障礙物之碰撞之危險度之碰撞風險進行判斷，於碰撞風險為設定值以上且有可能碰撞之狀況時，經由音響揚聲器12061或顯示部12062對駕駛者輸出警報，或經由驅動系統制單元12010進行強制減速或避讓轉向，藉此可進行用於碰撞避讓之駕駛支援。

【0777】

攝像部12101至12104中之至少一者亦可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之攝像圖像中是否存在行人而辨識行人。該行人之辨識例如藉由如下程序進行：抽選作為紅外線相機之攝像部12101至12104之攝像圖像之特徵點；及對表示物體之輪廓之一系列之特徵點進行圖案匹配處理而判斷是否為行人。當微電腦12051判定攝像部12101至12104之攝像圖像中存在行人，且辨識出行人時，聲音圖像輸出部12052以對該被辨識出之行人疊合顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖符等顯示於所期望之位置之方式控制顯示部12062。

【0778】

以上，對可應用本發明之技術之車輛控制系統之一例進行了說明。本發明之技術可應用於以上所說明之構成中之攝像部12031。具體而言，

例如藉由將圖1所示之受光元件1應用於攝像部12031，可提高感度等特性。

【0779】

本技術之實施形態並不限定於上述實施形態，可於不脫離本技術之主旨之範圍內進行各種變更。

【0780】

例如，當然亦可將以上所說明之2個以上之實施形態適當組合。即，例如可根據優先考慮像素之感度等哪一特性，適當地選擇設置於像素內之信號提取部之個數或配置位置、信號提取部之形狀或是否設為共有構造，晶載透鏡之有無、像素間遮光部之有無、分離區域之有無、晶載透鏡或基板之厚度、基板之種類或膜設計、針對光入射面之偏壓之有無、反射構件之有無等。

【0781】

又，於上述實施形態中，對使用電子作為信號載子之例進行了說明，但亦可使用藉由光電轉換產生之電洞作為信號載子。於此種情形時，只要用以檢測信號載子之電荷檢測部包含P+半導體區域，用以使基板內產生電場之電壓施加部包含N+半導體區域，且於設置於信號提取部之電荷檢測部中檢測出作為信號載子之電洞便可。

【0782】

根據本技術，藉由將CAPD感測器設為背面照射型之受光元件之構成，可提高測距特性。

【0783】

再者，上述實施形態記載了對形成於基板61之P+半導體區域73施加

直接電壓，藉由所產生之電場使經光電轉換之電荷移動之驅動方式，但本技術並不限定於該驅動方式，亦可應用於其他驅動方式。例如，亦可為如下驅動方式：使用形成於基板61之第1及第2傳輸電晶體及第1及第2浮動擴散區域，將藉由對第1及第2傳輸電晶體之閘極分別施加特定之電壓而經光電轉換之電荷分別經由第1傳輸電晶體分配並蓄積於第1浮動擴散區域，或經由第2傳輸電晶體分配並蓄積於第2浮動擴散區域。於此情形時，形成於基板61之第1及第2傳輸電晶體分別作為對閘極施加特定之電壓之第1及第2電壓施加部發揮功能，形成於基板61之第1及第2浮動擴散區域分別作為檢測藉由光電轉換產生之電荷之第1及第2電荷檢測部發揮功能。

【0784】

又，換言之，於對形成於基板61之P+半導體區域73施加直接電壓，使利用所產生之電場進行了光電轉換之電荷移動之驅動方式中，設為第1及第2電壓施加部之2個P+半導體區域73係被施加特定之電壓之控制節點，設為第1及第2電荷檢測部之2個N+半導體區域71係檢測電荷之檢測節點。於對形成於基板61之第1及第2傳輸電晶體之閘極施加特定之電壓，使經光電轉換之電荷分配並蓄積於第1浮動擴散區域或第2浮動擴散區域之驅動方式中，第1及第2傳輸電晶體之閘極為被施加特定之電壓之控制節點，形成於基板61之第1及第2浮動擴散區域為檢測電荷之檢測節點。

【0785】

又，本說明書中所記載之效果僅為說明或例示者而非限定性者，亦可具有其他效果。

【0786】

再者，本技術亦可採用如下所述之構成。

(1)

一種受光元件，其具備：

晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

(2)

如上述(1)所記載之受光元件，其中

上述配線層至少具有具備反射構件之一層，

上述反射構件係以於俯視下與上述第1電荷檢測部或上述第2電荷檢測部重疊之方式設置。

(3)

如上述(1)或(2)所記載之受光元件，其中

上述配線層至少具有具備遮光構件之一層，

上述遮光構件係以於俯視下與上述第1電荷檢測部或上述第2電荷檢測部重疊之方式設置。

(4)

如上述(1)至(3)中任一項所記載之受光元件，其

構成為像素間遮光膜之位置亦與連同上述晶載透鏡一起，像素間遮光膜之位置亦於上述像素陣列部之面內之位置上不同。

(5)

如上述(1)至(4)中任一項所記載之受光元件，其中

於像素交界部，進而具備針對上述半導體層之深度方向之至少一部分將鄰接像素分離之像素分離部。

(6)

如上述(5)所記載之受光元件，其中

上述像素分離部係將鄰接像素自上述半導體層之背面側或正面側分離至特定深度之DTI。

(7)

如上述(5)所記載之受光元件，其中

上述像素分離部係貫通上述半導體層並將鄰接像素分離之貫通分離部。

(8)

如上述(1)至(7)中任一項所記載之受光元件，其

構成為以作為各像素之上述第1抽頭及上述第2抽頭中之一者之相位偏移檢測抽頭之相位偏移量θ於特定之範圍內相等之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

(9)

如上述(1)至(7)中任一項所記載之受光元件，其

構成為以上述第1抽頭之上述DC對比度與上述第2抽頭之上述DC對比度於特定之範圍內相等之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

(10)

如上述(1)至(7)、(9)中任一項所記載之受光元件，其

構成為以上述像素陣列部之中心部與外周部之上述第1抽頭之上述DC對比度的偏差量和上述像素陣列部之中心部與外周部之上述第2抽頭之上述DC對比度的偏差量於特定之範圍內相等之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

(11)

如上述(1)至(10)中任一項所記載之受光元件，其進而具備：

驅動部，其對上述第1電壓施加部或上述第2電壓施加部供給上述第1電壓或上述第2電壓；及

電壓供給線，其自上述驅動部對上述第1電壓施加部或上述第2電壓施加部傳送上述第1電壓或上述第2電壓；且

上述電壓供給線之線寬根據距上述驅動部之距離而不同。

(12)

如上述(11)所記載之受光元件，其中

上述電壓供給線係距上述驅動部之距離越遠，則上述線寬形成得越粗。

(13)

如上述(1)至(12)中任一項所記載之受光元件，其中

上述第1及第2電壓施加部分別包含形成於上述半導體層之第1及第2

P型半導體區域。

(14)

如上述(1)至(13)中任一項所記載之受光元件，其中

上述第1及第2電壓施加部分別包含形成於上述半導體層之第1及第2傳輸電晶體。

(15)

一種測距模組，其具備受光元件、光源及發光控制部，

該受光元件具備：晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以來自被攝體之主光線之光程長度或DC對比度於像素陣列部之面內之各像素變得均勻之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同；

該光源照射亮度週期性地發生變動之照射光，

該發光控制部控制上述照射光之照射時序。

【符號說明】

【0787】

1 受光元件

20	像素陣列部
21	抽頭驅動部
22	垂直驅動部
23	行處理部
24	水平驅動部
25	系統控制部
28	像素驅動線
29	垂直信號線
29A	垂直信號線
29B	垂直信號線
29C	垂直信號線
29D	垂直信號線
30	電壓供給線
30A	電壓供給線
30B	電壓供給線
31	信號處理部
32	資料儲存部
51	像素
51_1	像素
51_2	像素
51_3	像素
51_4	像素
51X	遮光像素

61	基板
62	晶載透鏡
63	像素間遮光膜
63-1	像素間遮光膜
63-2	像素間遮光膜
64	氧化膜
65	信號提取部
65-1	信號提取部
65-2	信號提取部
66	固定電荷膜
71	N+半導體區域
71-1	N+半導體區域
71-2	N+半導體區域
72-1	N-半導體區域
72-2	N-半導體區域
73	P+半導體區域
73-1	P+半導體區域
73-2	P+半導體區域
74-1	P-半導體區域
74-2	P-半導體區域
75-1	分離部
75-2	分離部
101	PD

102	配線
103	配線
104	PD
105	配線
106	配線
111	PD
112	信號提取部
113	配線
114	配線
115	PD
116	信號提取部
117	配線
118	配線
141	基板
142	基板
152	配線層
153	像素間遮光部
154	晶載透鏡
171	基板
172	基板
201-1	N+半導體區域
201-2	N+半導體區域
202-1	P+半導體區域

202-2	P+半導體區域
231	P+半導體區域
232-1	N+半導體區域
232-2	N+半導體區域
233	P+半導體區域
234-1	N+半導體區域
234-2	N+半導體區域
261	N+半導體區域
262-1	P+半導體區域
262-2	P+半導體區域
263	N+半導體區域
264-1	P+半導體區域
264-2	P+半導體區域
291-1	像素
291-2	像素
291-3	像素
301	P+半導體區域
302	N+半導體區域
303	信號提取部
304	P+半導體區域
305	N+半導體區域
331-1	信號提取部
331-2	信號提取部

331-3	信號提取部
331-4	信號提取部
341	P+半導體區域
342	N+半導體區域
371	信號提取部
372	信號提取部
381	P+半導體區域
382-1	N+半導體區域
382-2	N+半導體區域
383	P+半導體區域
384-1	N+半導體區域
384-2	N+半導體區域
411	晶載透鏡
441	分離區域
441-1	分離區域
441-2	分離區域
471	分離區域
471-1	分離區域
471-2	分離區域
501	基板
531	基板
561	基板
601	P+半導體區域

631	反射構件
671	P井區域
672-1	分離部
672-2	分離部
701	P井區域
721	傳輸電晶體
721A	傳輸電晶體
721B	傳輸電晶體
722	FD
722A	FD
722B	FD
723	重設電晶體
723A	重設電晶體
723B	重設電晶體
724	放大電晶體
724A	放大電晶體
724B	放大電晶體
725	選擇電晶體
725A	選擇電晶體
725B	選擇電晶體
726A	定電流源電路部
726B	定電流源電路部
727	附加電容

727A	附加電容
727B	附加電容
728	切換電晶體
728A	切換電晶體
728B	切換電晶體
741	電壓供給線
741-1	電壓供給線
741-2	電壓供給線
811	多層配線層
812	層間絕緣膜
813	電源線
814	電壓施加配線
815	反射構件
816	電壓施加配線
817	控制線
821	增厚部
822	曲面部
831	像素電晶體配線區域
832	接地線
833	電源線
834	接地線
841	控制線
842	控制線

843	控制線
844	控制線
851	控制線區域
852	電容區域
861～864	區域
911	半導體基板
912	支持基板
921	第1半導體基板
922	第2半導體基板
931	第1半導體基板
932	第2半導體基板
951	像素陣列區域
952	控制電路
953	邏輯電路
954	區域控制電路
1011	P井區域
1012	氧化膜
1013	間隙區域
1021	P井區域
1022	P型半導體區域
1031	P井區域
1032	氧化膜
1033	氧化膜

1051	有效像素區域
1052	無效像素區域
1061	N型擴散層
1071	像素分離部
1101	電荷排出區域
1102	OPB區域
1121	開口像素區域
1122	遮光像素區域
1123	N型區域
1131	N型擴散層
1201	氧化膜
1202	配線層
1203	金屬配線
1204	P型半導體區域
1211	基板
1212	配線層
1213	金屬配線
1214	絕緣膜(氧化膜)
1231	像素陣列區域
1232	區域控制電路
1251	MIX接合部
1252	DET接合部
1253	電壓供給線

1261	周邊部
1301	P型半導體區域
1311	電極部
1311-1	電極部
1311-2	電極部
1311-3	電極部
1311-4	電極部
1311A	嵌埋部
1311A-1	嵌埋部
1311A-2	嵌埋部
1311B	突出部
1311B-1	突出部
1311B-2	突出部
1312	N+半導體區域
1312-1	N+半導體區域
1312-2	N+半導體區域
1312-3	N+半導體區域
1312-4	N+半導體區域
1313	絕緣膜
1313-1	絕緣膜
1313-2	絕緣膜
1314	電洞濃度強化層
1314-1	電洞濃度強化層

1314-2	電洞濃度強化層
1321	第1面
1322	絕緣膜
1331	第2面
1332	絕緣膜
1351	配線
1352	配線
1353	配線
1354	配線
1401	電源線
1401A	電源線
1401B	電源線
1401C	電源線
1401D	電源線
1411	VSS配線
1411A	VSS配線
1411B	VSS配線
1411C	VSS配線
1411D	VSS配線
1411E	VSS配線
1421	間隙
1451	接點
1452	接點

1453	接點
1461	接點
1462	接點
1471	接點
1472	接點
1473	接點
1481	接點
1482	接點
1511	垂直配線
1512	水平配線
1513	配線
1521	第1配線層
1522	第2配線層
1523	第3配線層
1531	重疊部
1532	重疊部
1533	重疊部
1541	基板
1542	外周部
1543	外周部
1701-1～1701-9	位置
1711-1、1711-2	DTI
1712-1、1712-2	DTI

1721	位置
1721_c	位置
1721_X	位置
1801	相位差遮光膜
1811	相位差遮光膜
1821	晶載透鏡
1831	像素集合
1841	偏振濾光鏡
1861	彩色濾光鏡
1871	IR截止濾光鏡
1872	彩色濾光鏡
1881	光電二極體
1882	像素分離部
5000	測距模組
5011	發光部
5012	發光控制部
5013	受光部
12000	車輛控制系統
12001	通信網路
12010	驅動系統控制單元
12020	車身系統控制單元
12030	車外資訊檢測單元
12031	攝像部

12040	車內資訊檢測單元
12041	駕駛者狀態檢測部
12050	統括控制單元
12051	微電腦
12052	聲音圖像輸出部
12053	車載網路I/F
12061	音響揚聲器
12062	顯示部
12063	儀錶板
12101	攝像部
12102、12103	攝像部
12104	攝像部
12105	攝像部
12111	攝像範圍
12112、12113	攝像範圍
12114	攝像範圍
DET0	蓄積電荷
DET1	蓄積電荷
FDG	驅動信號
Imix	電流
LD	偏移量(光程差)
M1	金屬膜
M2	金屬膜

M3	金屬膜
M4	金屬膜
M5	金屬膜
MIX0	電壓(第1電壓)
MIX1	電壓(第2電壓)
R11	區域
R12	區域
R21	區域
RST	驅動信號
SEL	選擇信號
TA	第1抽頭
TB	第2抽頭
Tr	像素電晶體
TRG	傳輸驅動信號
VA_1	電壓
VA_2	電壓
VDD_1	第1電源電壓
VDD_2	第2電源電壓
VDD_A	第1電源電壓
VDD_B	第2電源電壓
VSS_1	第1 VSS配線
VSS_2	第2 VSS配線
VSS_A	第1 VSS配線

【發明申請專利範圍】

【第1項】

一種受光元件，其具備：

晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以上述第1抽頭之DC對比度與上述第2抽頭之DC對比度於特定之範圍內相等之方式，使上述晶載透鏡之位置於像素陣列部之面內之位置上不同。

【第2項】

一種受光元件，其具備：

晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；

第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施

加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；

驅動部，其對上述第1電壓施加部或上述第2電壓施加部供給上述第1電壓或上述第2電壓；及

電壓供給線，其自上述驅動部對上述第1電壓施加部或上述第2電壓施加部傳送上述第1電壓或上述第2電壓；且

上述電壓供給線之線寬根據距上述驅動部之距離而不同。

【第3項】

如請求項2之受光元件，其中

上述電壓供給線係距上述驅動部之距離越遠，則上述線寬形成得越粗。

【第4項】

如請求項1或2之受光元件，其中

上述配線層至少具有具備反射構件之一層，

上述反射構件係以於俯視下與上述第1電荷檢測部或上述第2電荷檢測部重疊之方式設置。

【第5項】

如請求項1或2之受光元件，其中

上述配線層至少具有具備遮光構件之一層，

上述遮光構件係以於俯視下與上述第1電荷檢測部或上述第2電荷檢測部重疊之方式設置。

【第6項】

如請求項1之受光元件，其

構成為像素間遮光膜之位置亦與上述晶載透鏡一起於上述像素陣列

部之面內之位置上不同。

【第7項】

如請求項1或2之受光元件，其中

於像素交界部，進而具備針對上述半導體層之深度方向之至少一部分將鄰接像素分離之像素分離部。

【第8項】

如請求項7之受光元件，其中

上述像素分離部係將鄰接像素自上述半導體層之背面側或正面側分離至特定深度之DTI。

【第9項】

如請求項7之受光元件，其中

上述像素分離部係貫通上述半導體層並將鄰接像素分離之貫通分離部。

【第10項】

如請求項1之受光元件，其

構成為以上述像素陣列部之中心部與外周部之上述第1抽頭之上述DC對比度的偏差量和上述像素陣列部之中心部與外周部之上述第2抽頭之上述DC對比度的偏差量於特定之範圍內相等之方式，使上述晶載透鏡之位置於上述像素陣列部之面內之位置上不同。

【第11項】

如請求項1或2之受光元件，其中

上述第1及第2電壓施加部分別包含形成於上述半導體層之第1及第2P型半導體區域。

【第12項】

如請求項1或2之受光元件，其中

上述第1及第2電壓施加部分別包含形成於上述半導體層之第1及第2傳輸電晶體。

【第13項】

一種測距模組，其具備受光元件、光源及發光控制部，

該受光元件具備：

晶載透鏡；

配線層；及

半導體層，其配置於上述晶載透鏡與上述配線層之間；且

上述半導體層具備：

第1抽頭，其具有被施加第1電壓之第1電壓施加部、及配置於該第1電壓施加部之周圍之第1電荷檢測部；及

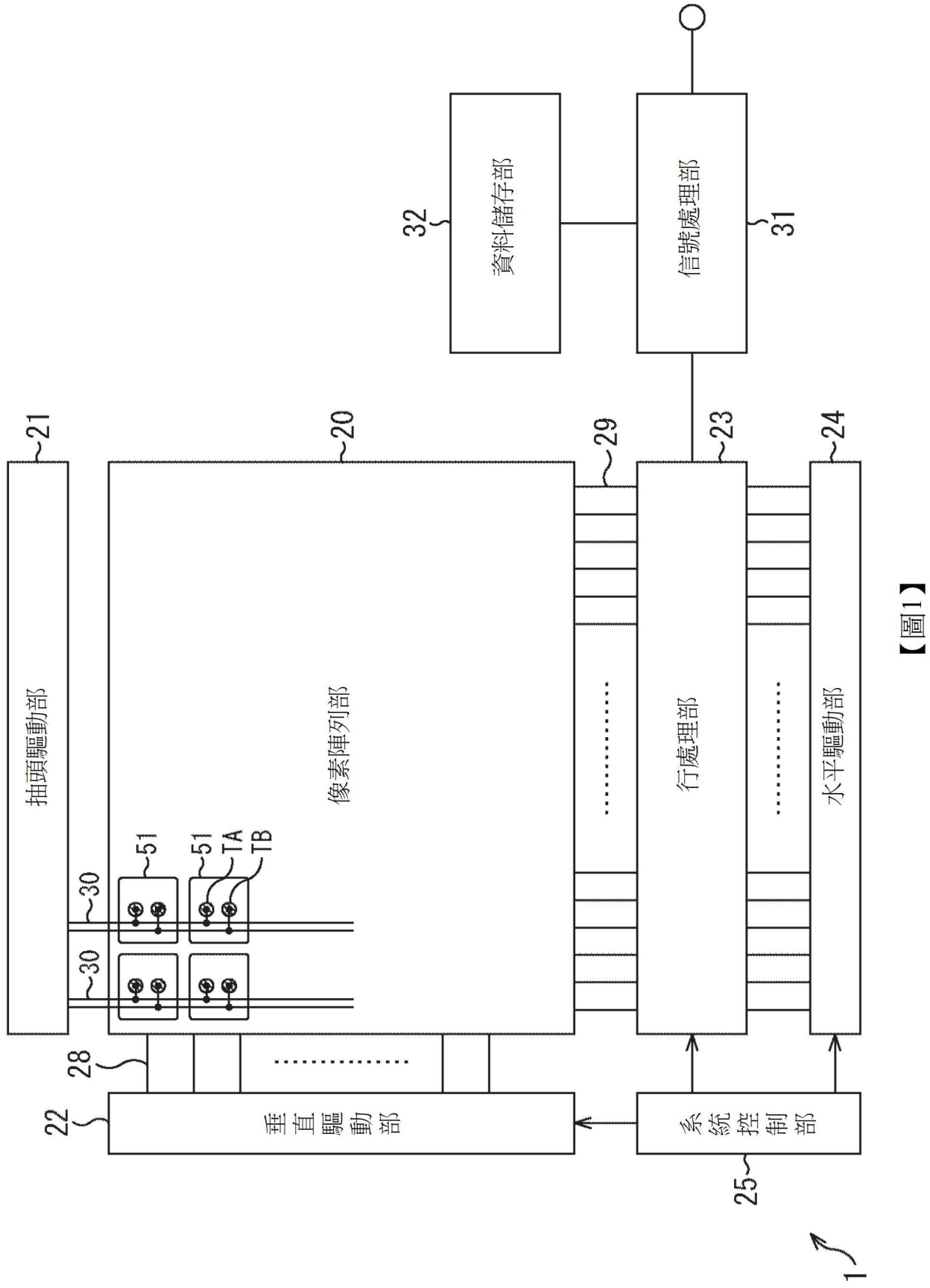
第2抽頭，其具有被施加與上述第1電壓不同之第2電壓之第2電壓施加部、及配置於該第2電壓施加部之周圍之第2電荷檢測部；且

該受光元件構成為以上述第1抽頭之DC對比度與上述第2抽頭之DC對比度於特定之範圍內相等之方式，使上述晶載透鏡之位置於像素陣列部之面內之位置上不同；

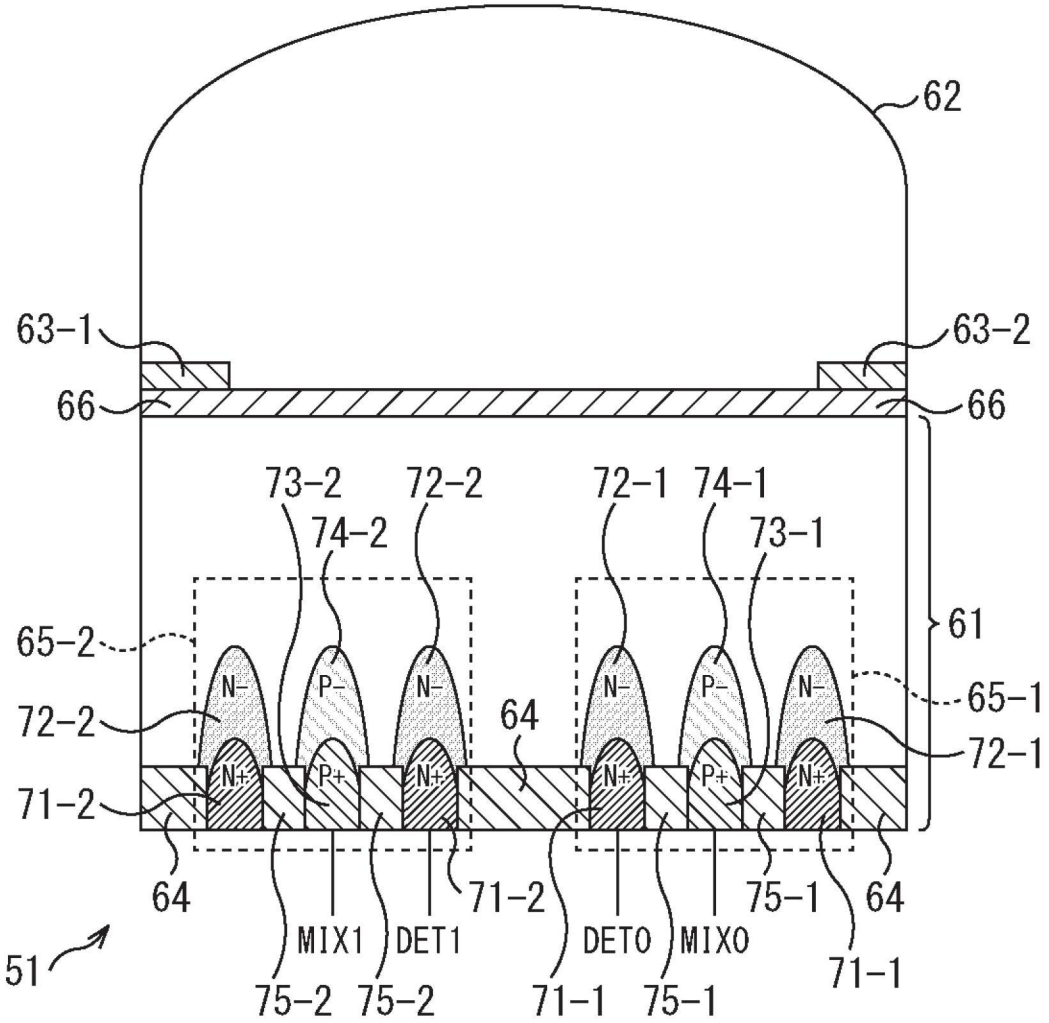
該光源照射亮度週期性地發生變動之照射光，

該發光控制部控制上述照射光之照射時序。

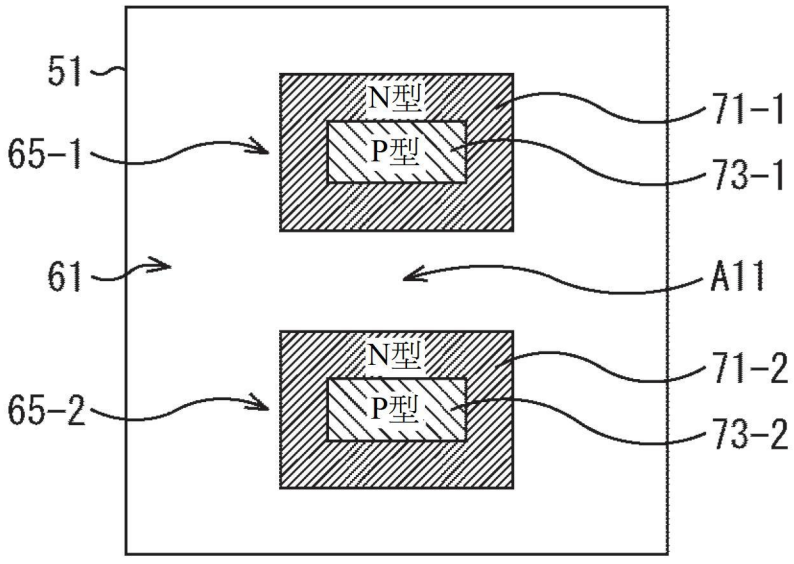
【發明圖式】


32
資料儲存部
信號處理部
31
21
20
29
23
24
抽頭驅動部
像素陣列部
行處理部
水平驅動部
51
51
TA
TB
30
30
28
22
垂直驅動部
系統控制部
25
1

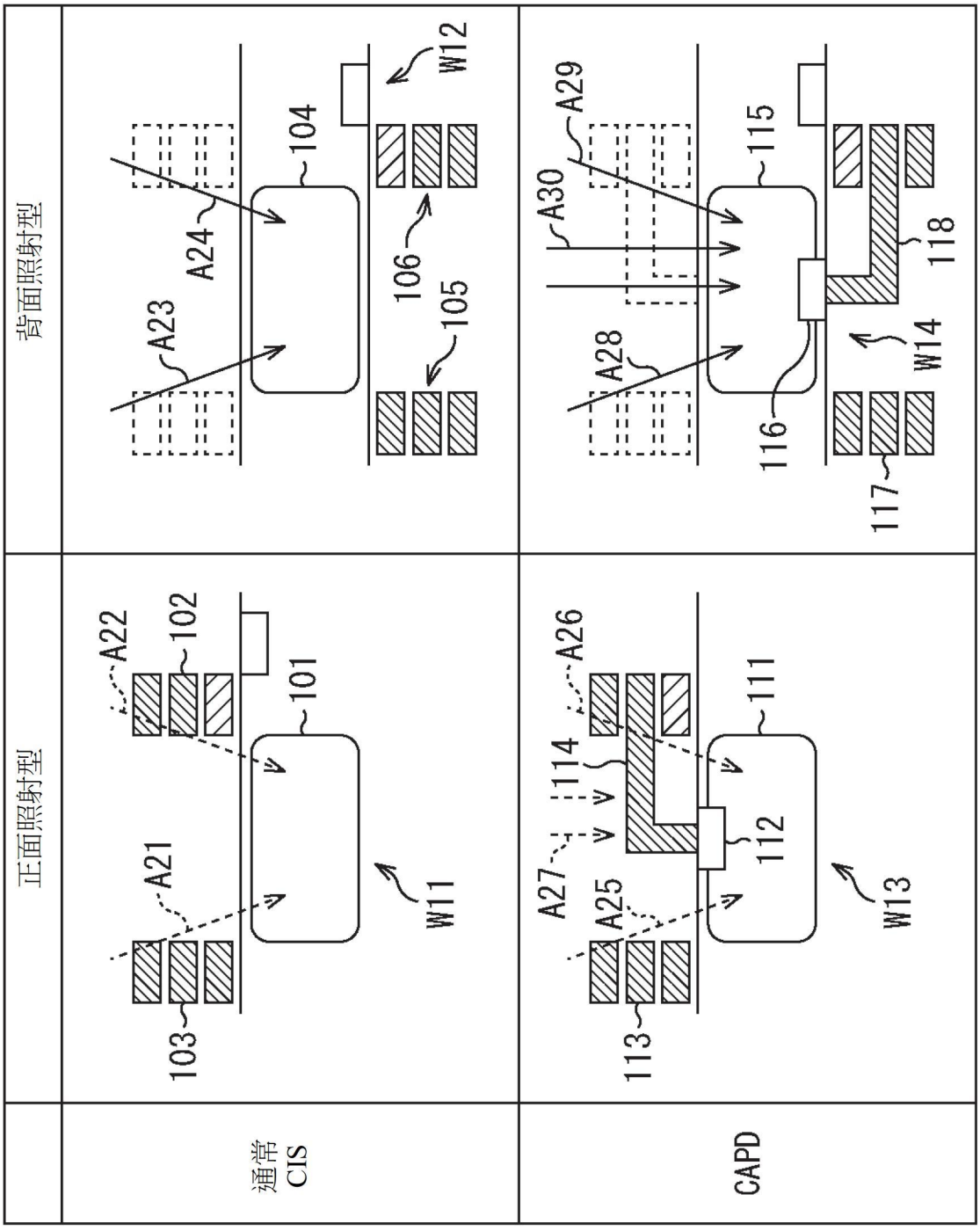
【圖1】


62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
64
71-2
75-1
64
MIX1
DET1
DETO
MIXO
51
75-2
75-2
71-1
75-1
71-1
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+

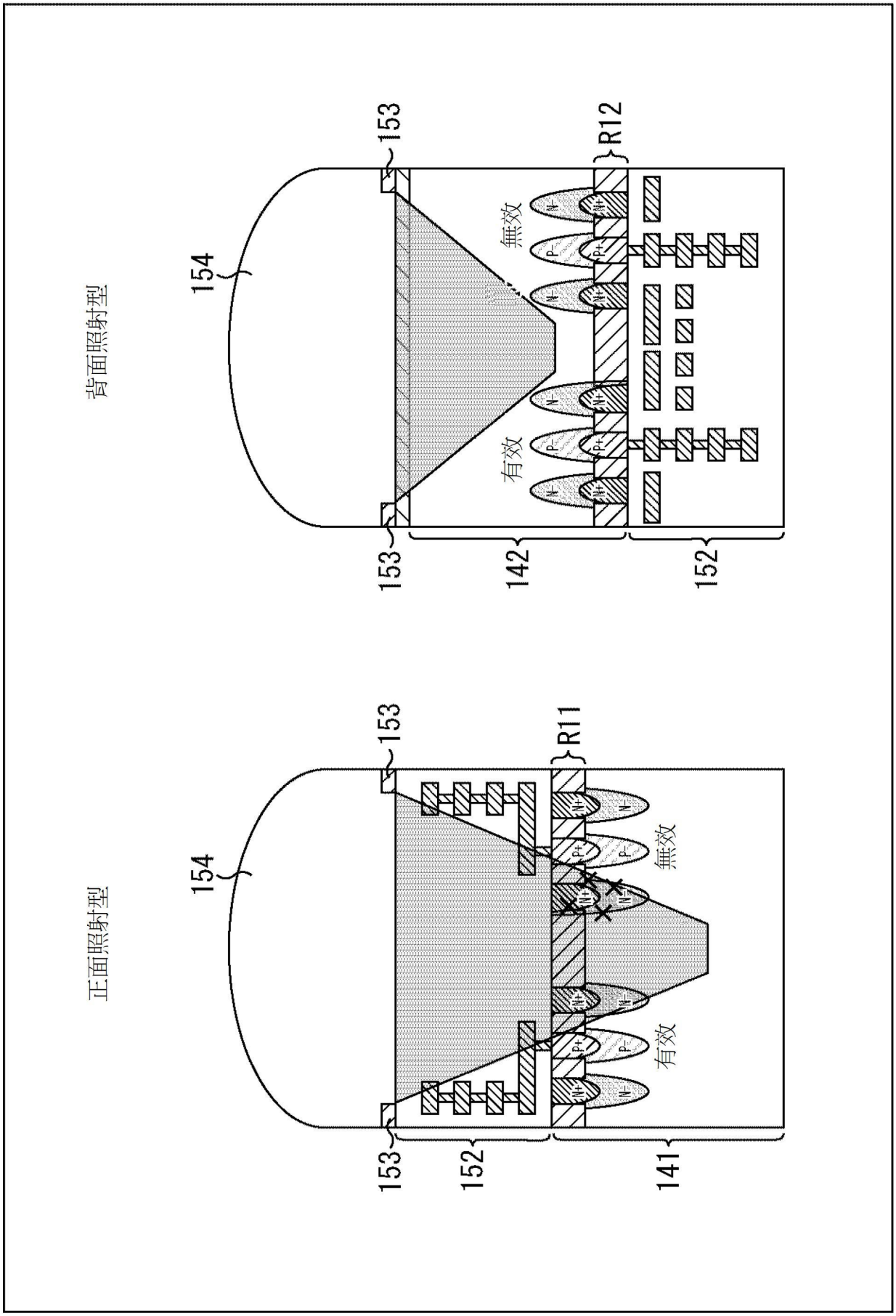
【圖2】


51
N型
P型
71-1
65-1
73-1
61
A11
N型
P型
71-2
65-2
73-2

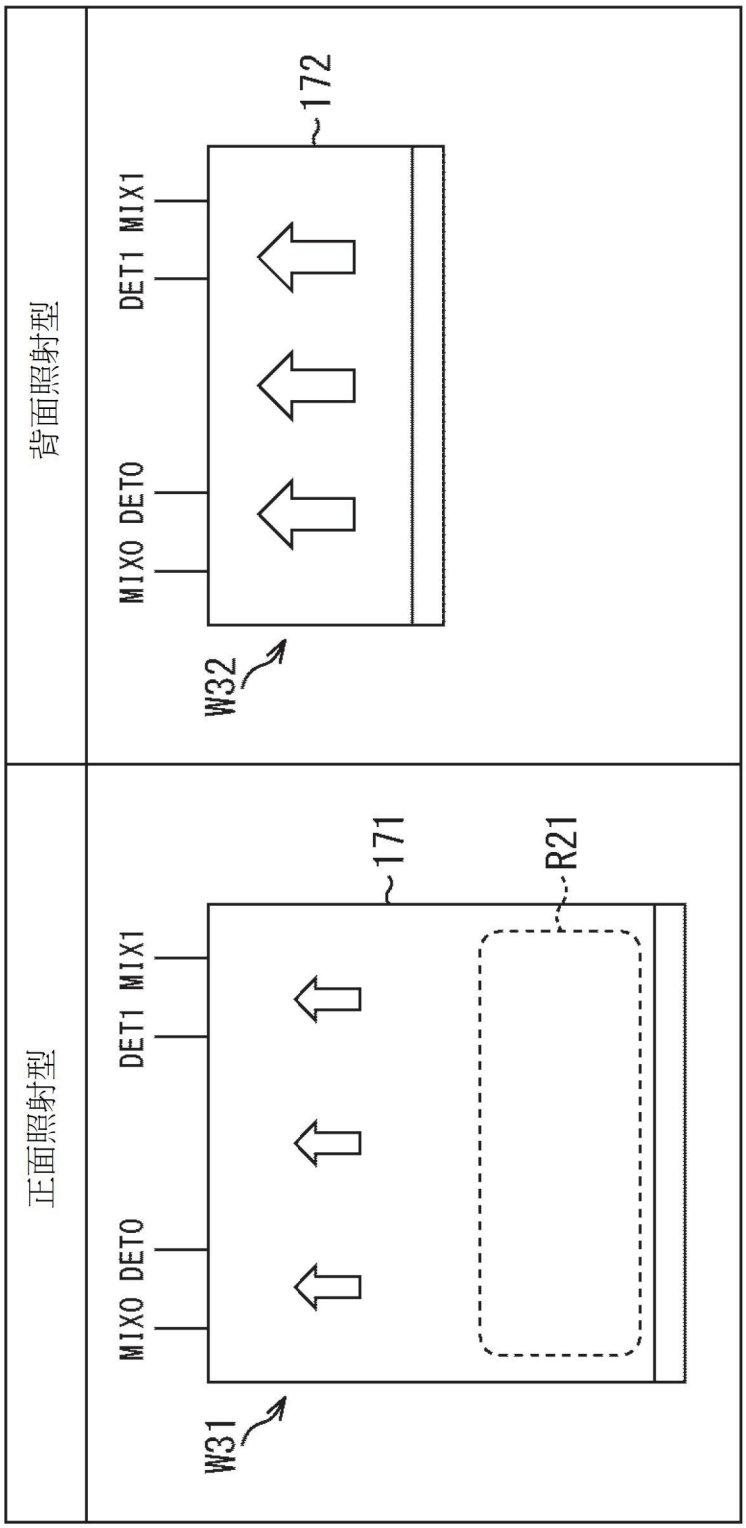
【圖3】


正面照射型
背面照射型
通常 CIS
CAPD
A21
A22
A23
A24
A25
A26
A27
A28
A29
A30
101
102
103
104
105
106
111
112
113
114
115
116
117
118
W11
W12
W13
W14

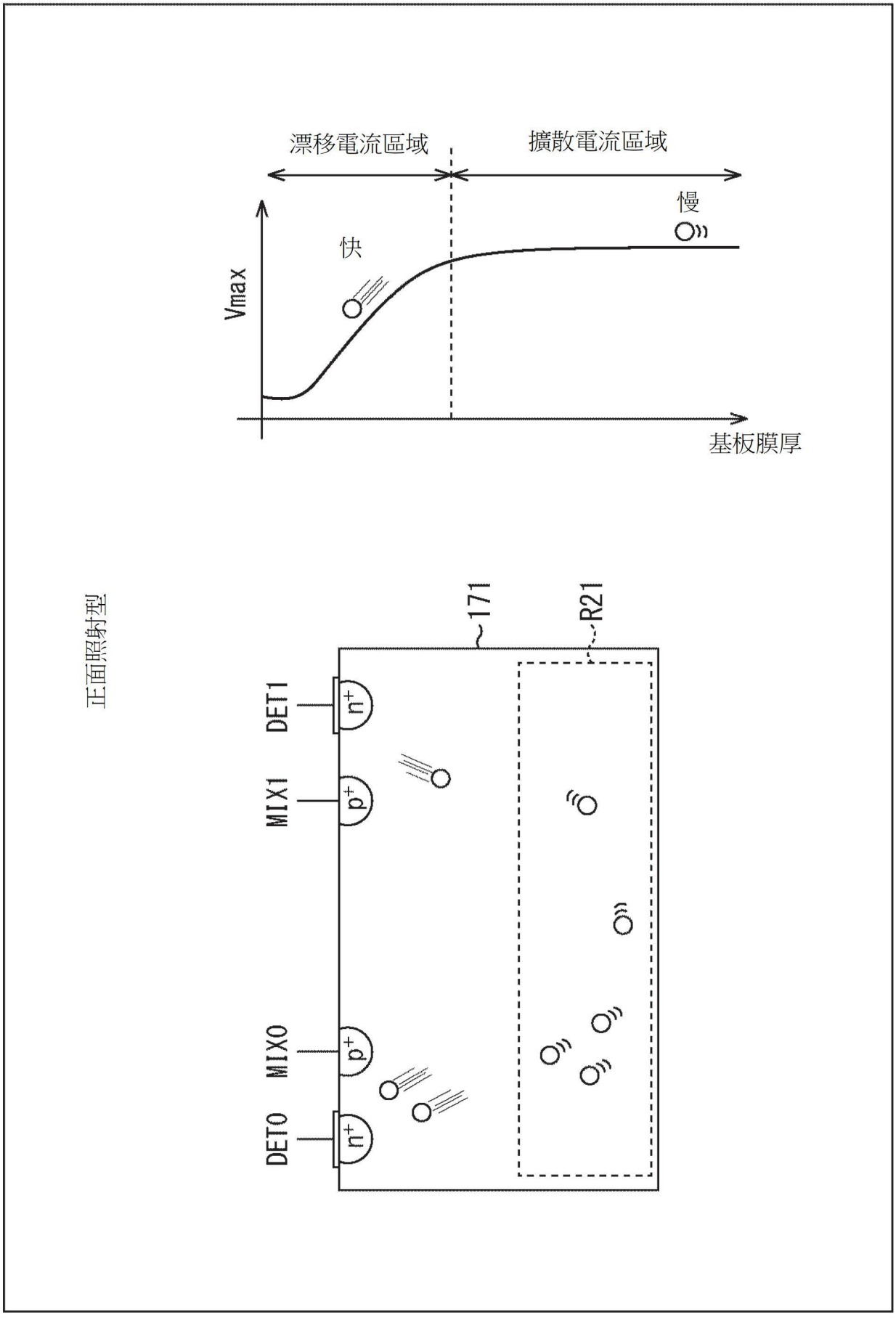
【圖4】


背面照射型
154
153
R12
無效
有效
153
142
152
正面照射型
154
153
R11
無效
有效
153
152
141

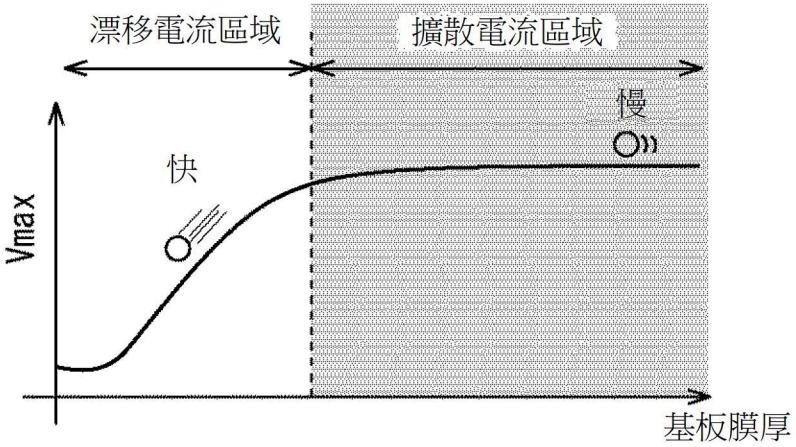
【圖5】

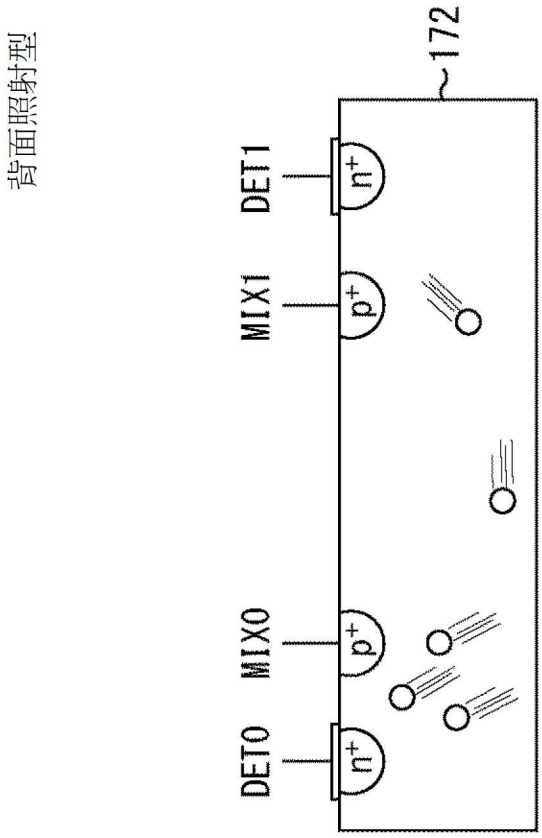


【圖6】

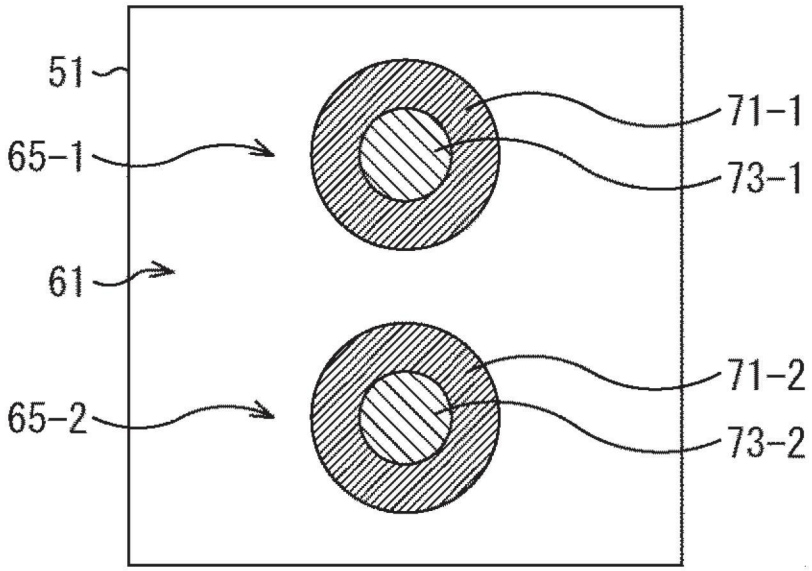

漂移電流區域
擴散電流區域
慢
快
Vmax
基板膜厚
正面照射型
171
R21
DET1
MIX1
MIX0
DET0
n+
p+
p+
n+

【圖7】

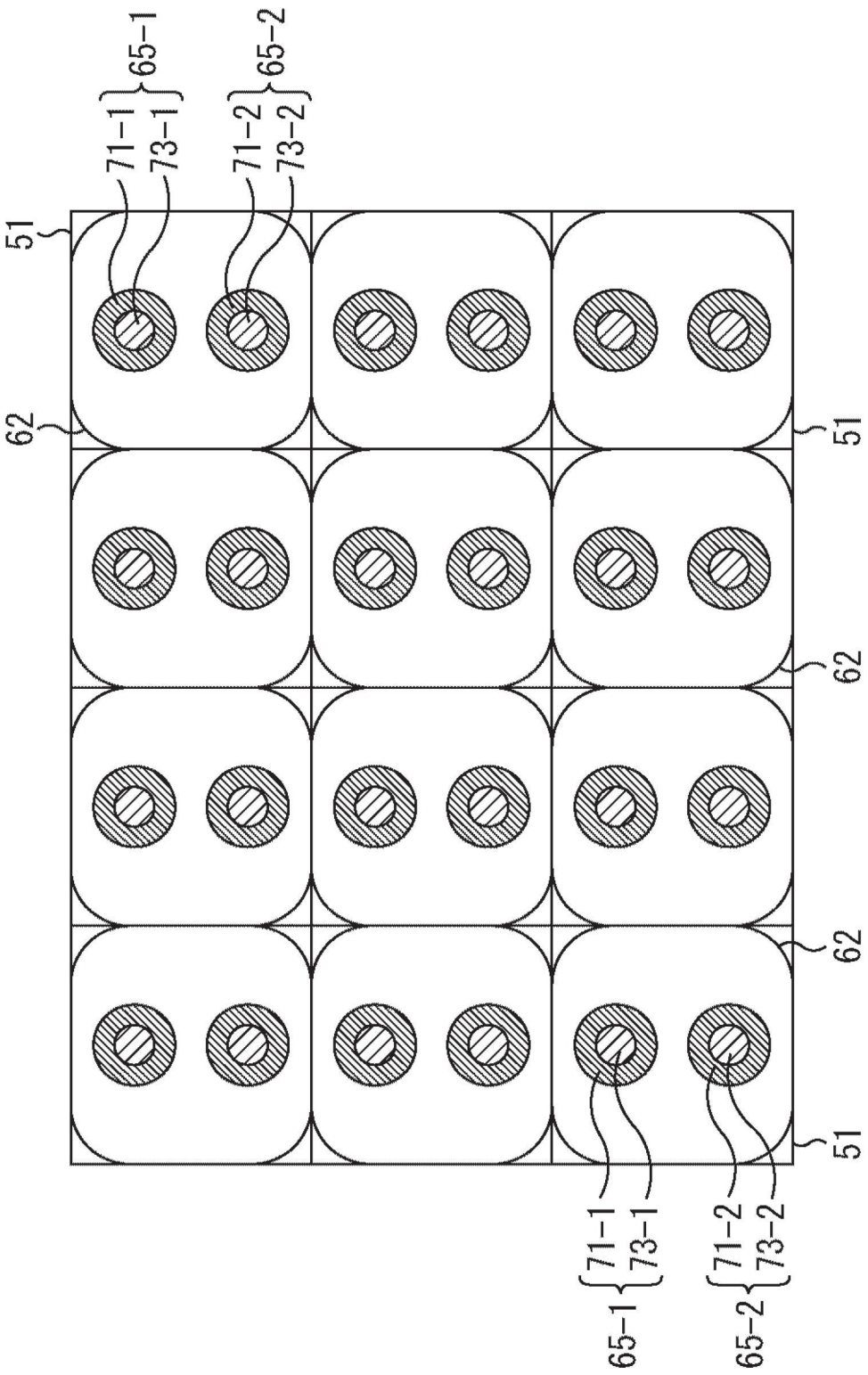




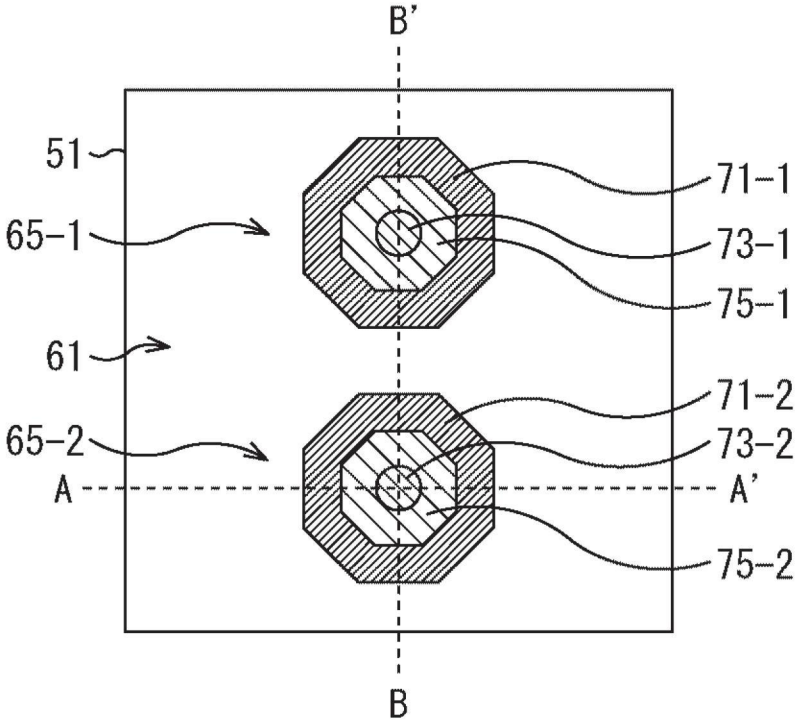
【圖8】



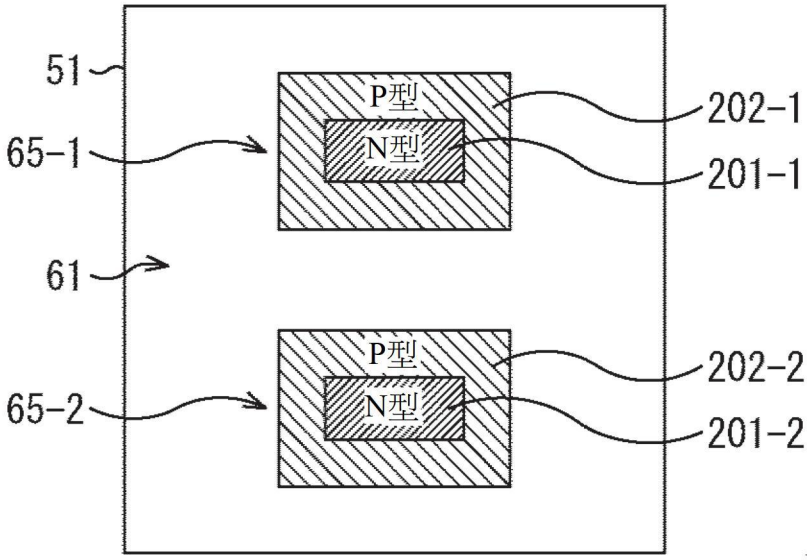
【圖9】



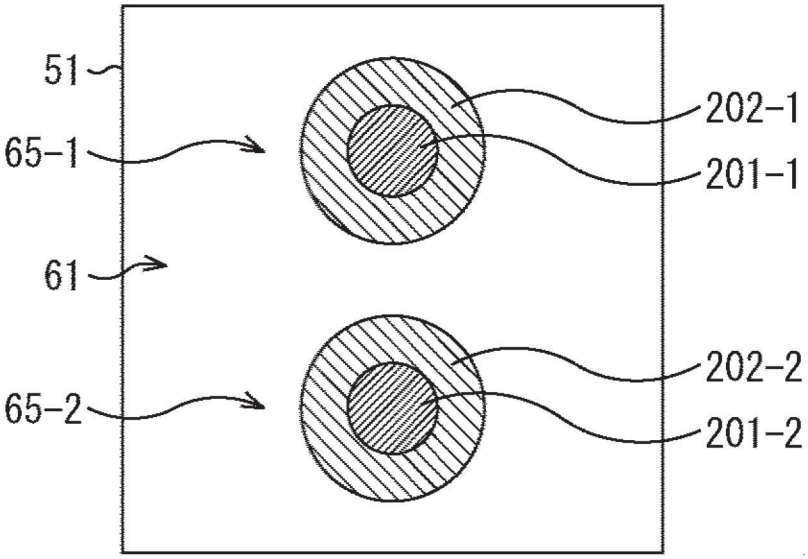
【圖10】


B'
51
65-1
71-1
73-1
75-1
61
71-2
65-2
73-2
A
A'
75-2
B

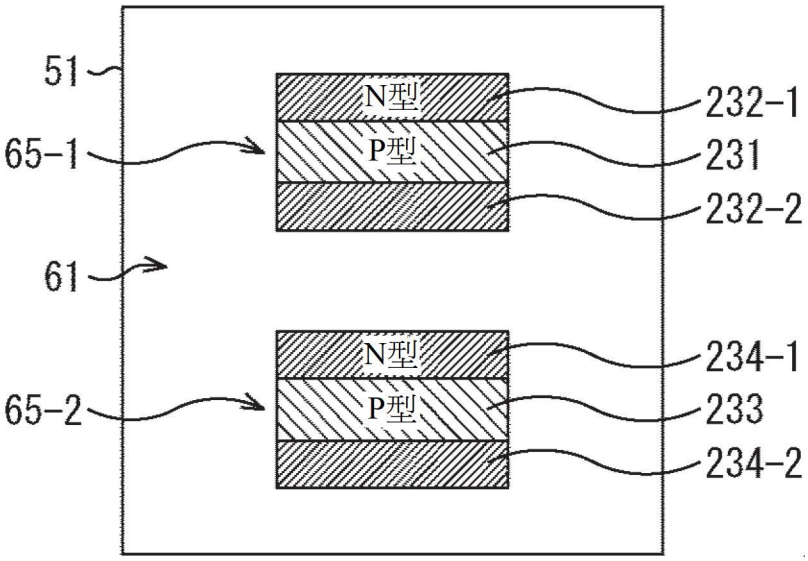
【圖11】


51
P型
202-1
65-1
N型
201-1
61
P型
202-2
65-2
N型
201-2

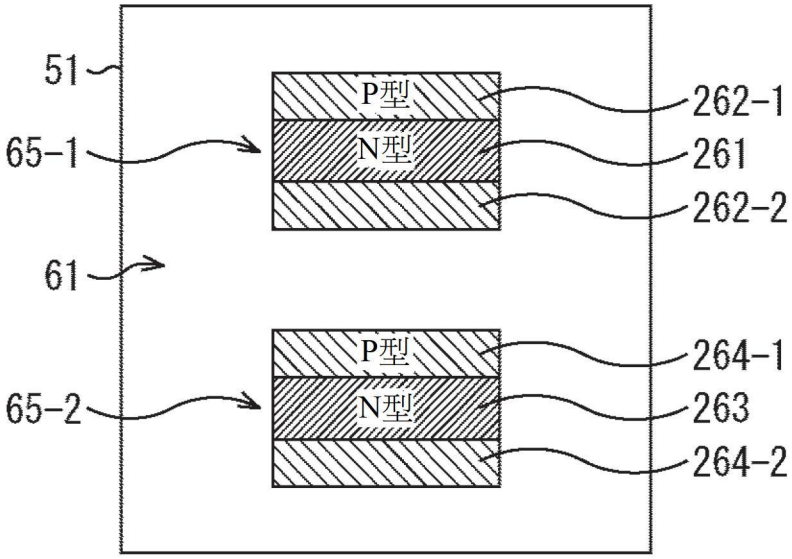
【圖12】


51
65-1
61
65-2
202-1
201-1
202-2
201-2

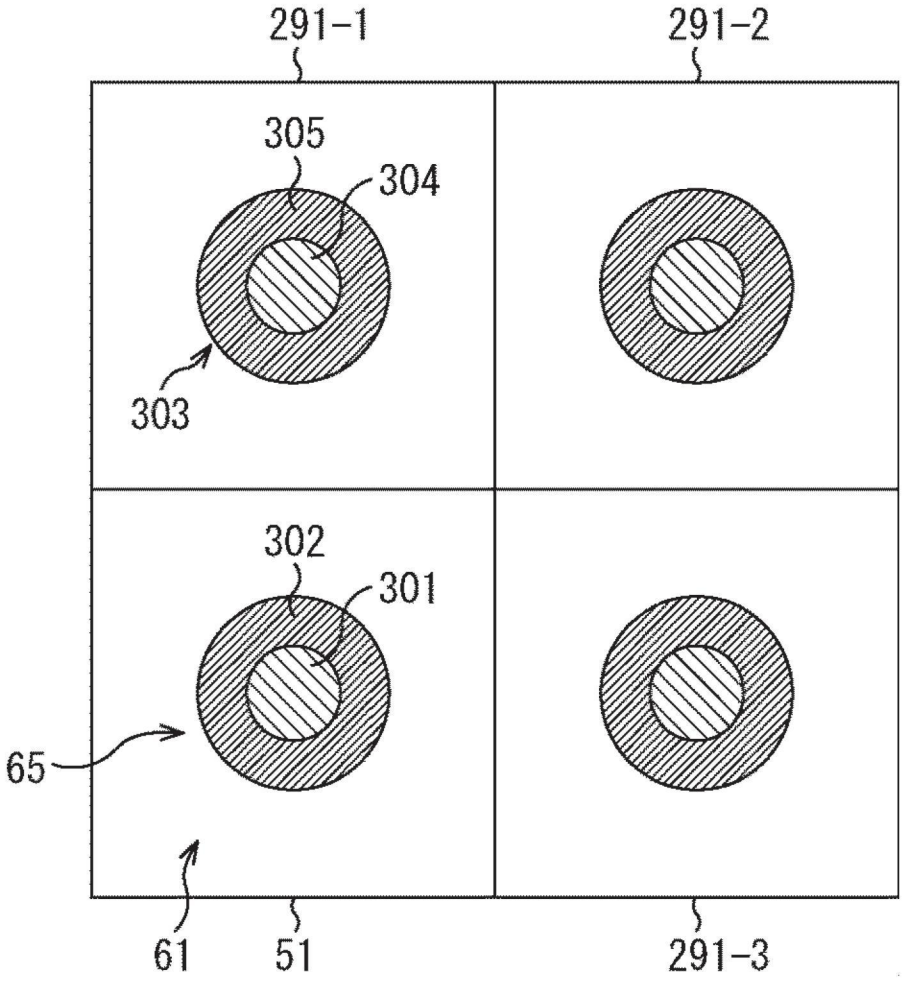
【圖13】


51
65-1
61
65-2
N型
P型
N型
P型
232-1
231
232-2
234-1
233
234-2

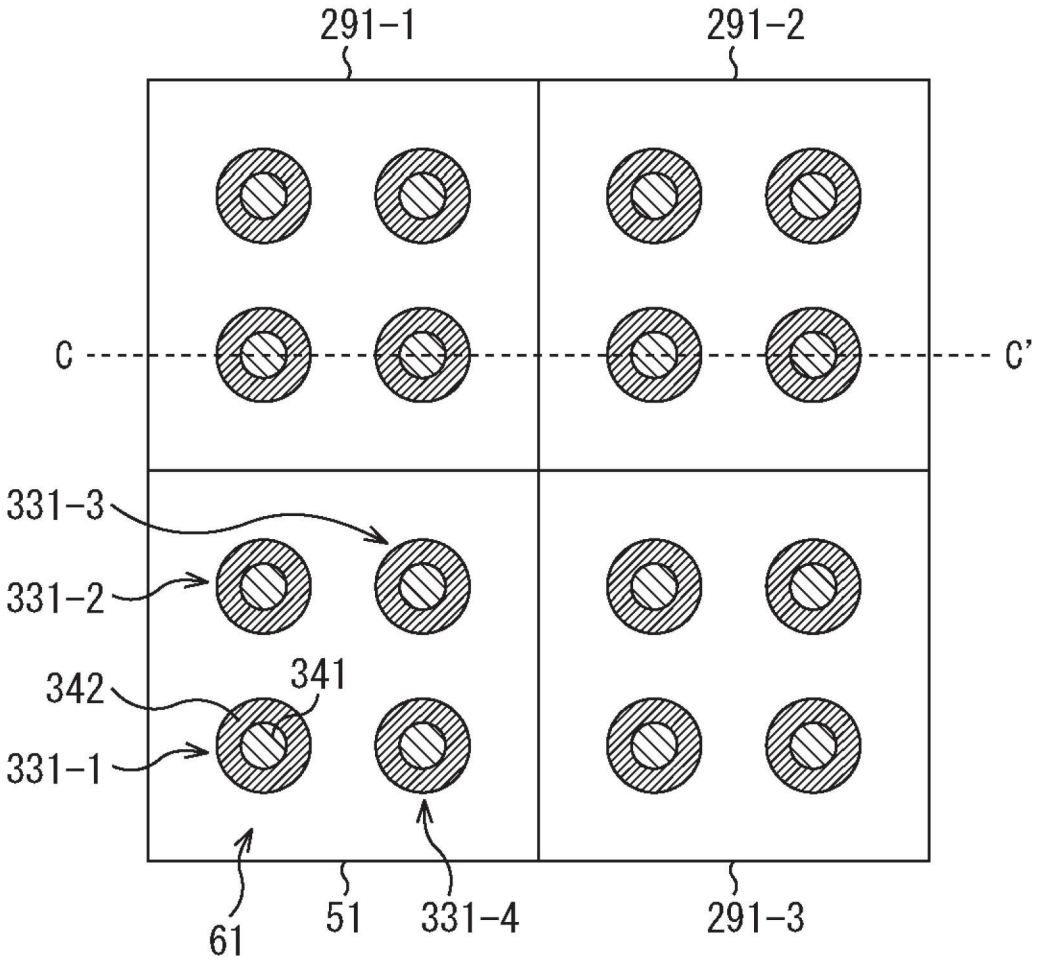
【圖14】


51
65-1
61
65-2
P型
N型
P型
N型
262-1
261
262-2
264-1
263
264-2

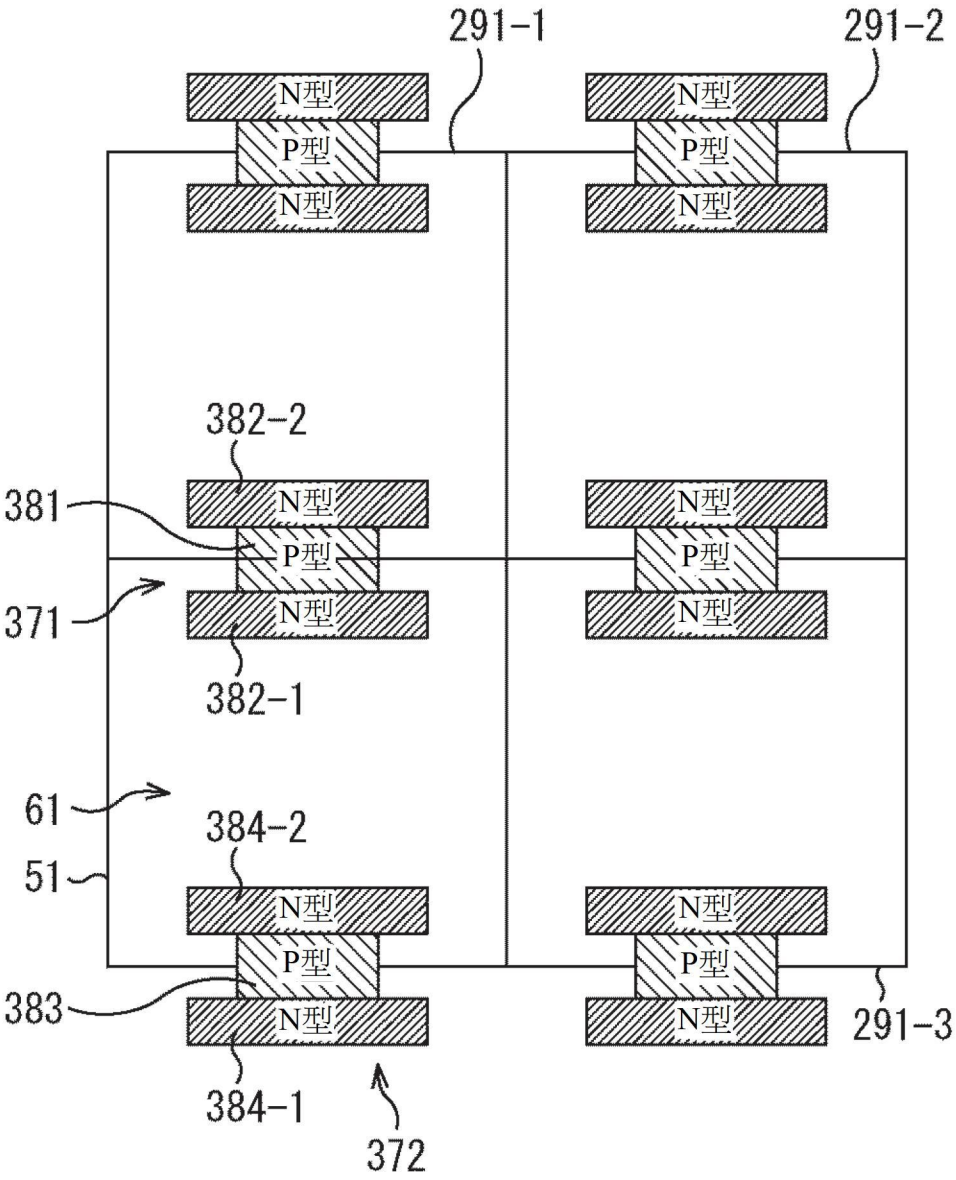
【圖15】


291-1
291-2
305
304
303
302
301
65
61
51
291-3

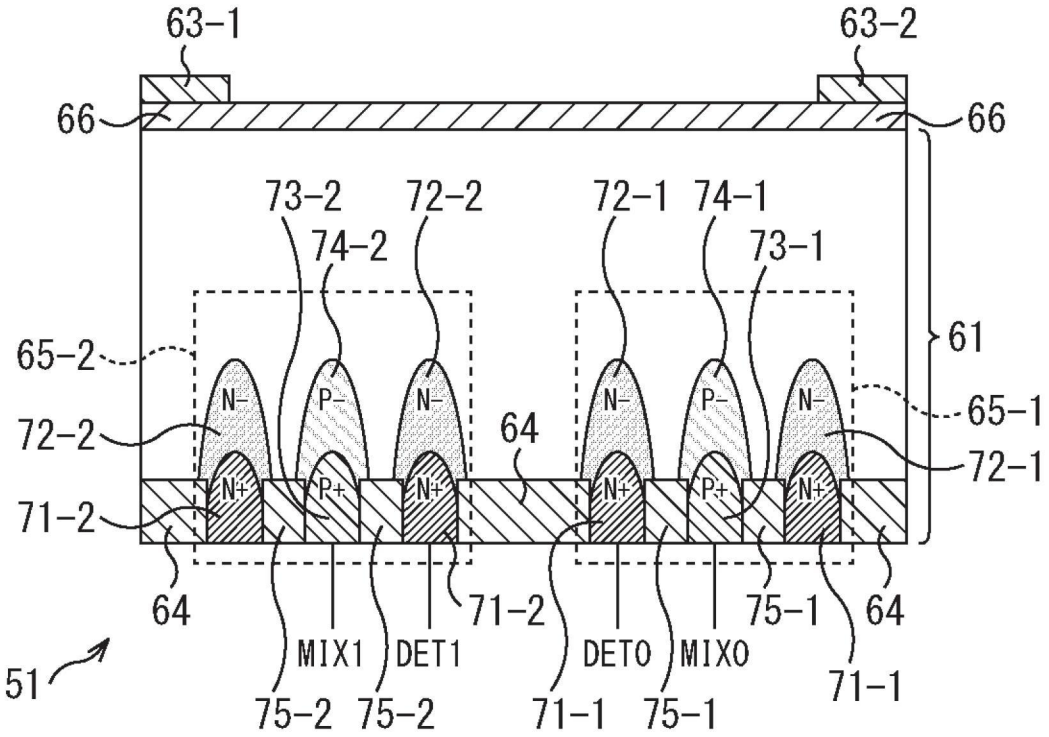
【圖16】



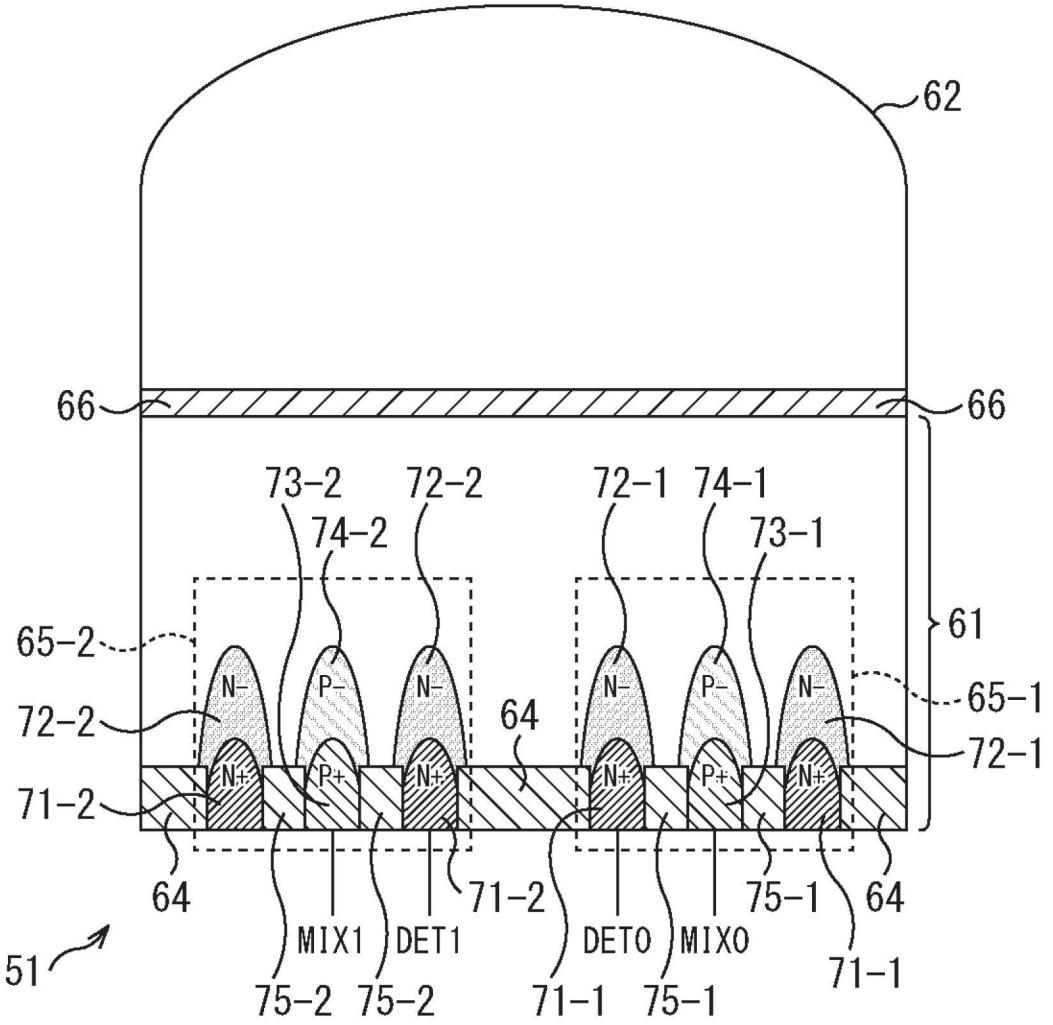
【圖17】


291-1
291-2
N型
P型
N型
382-2
381
371
382-1
61
384-2
51
383
384-1
372
291-3

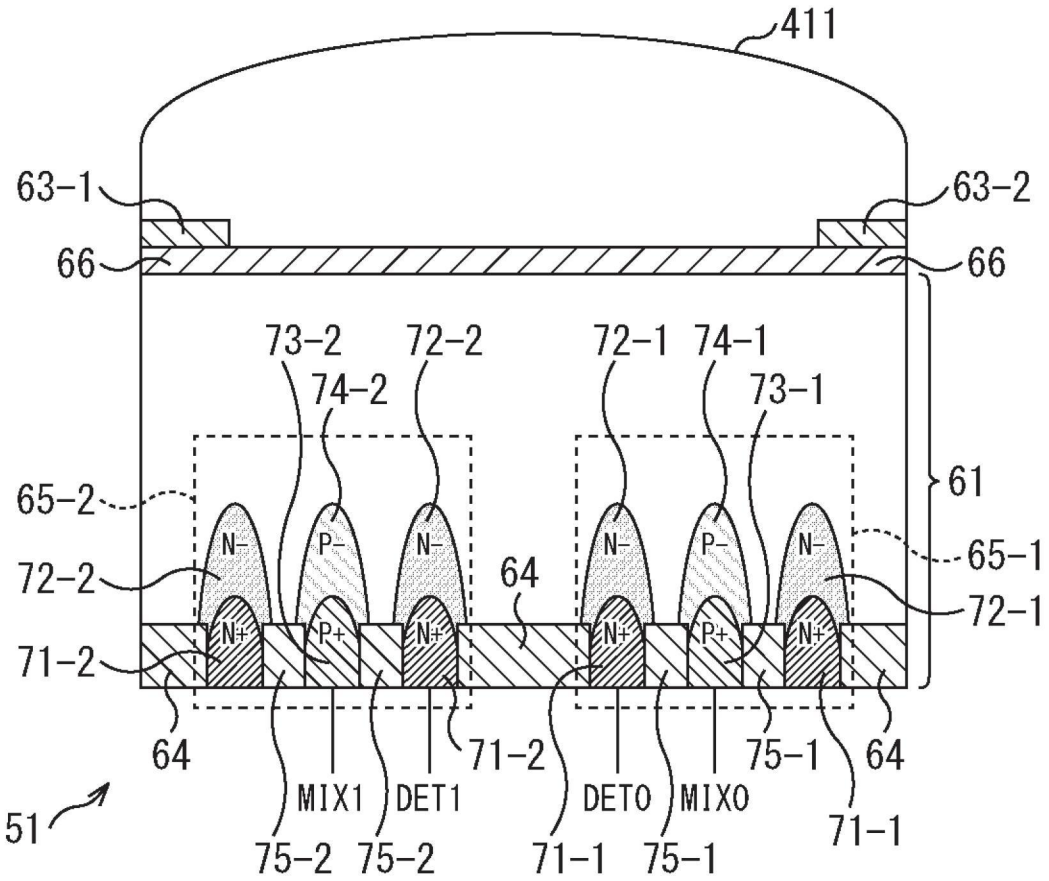
【圖18】


63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+

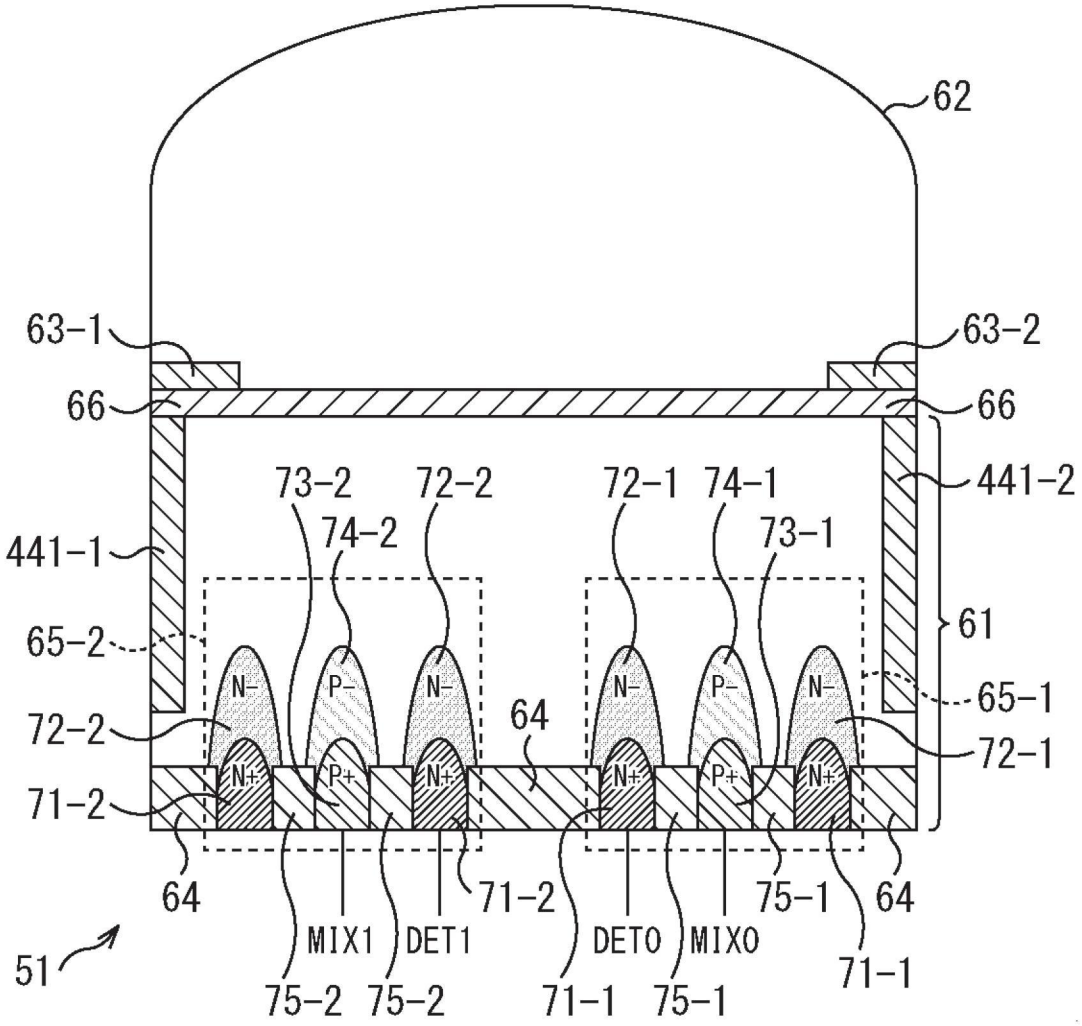
【圖19】


62
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
64
71-2
75-1
64
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
71-1
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+

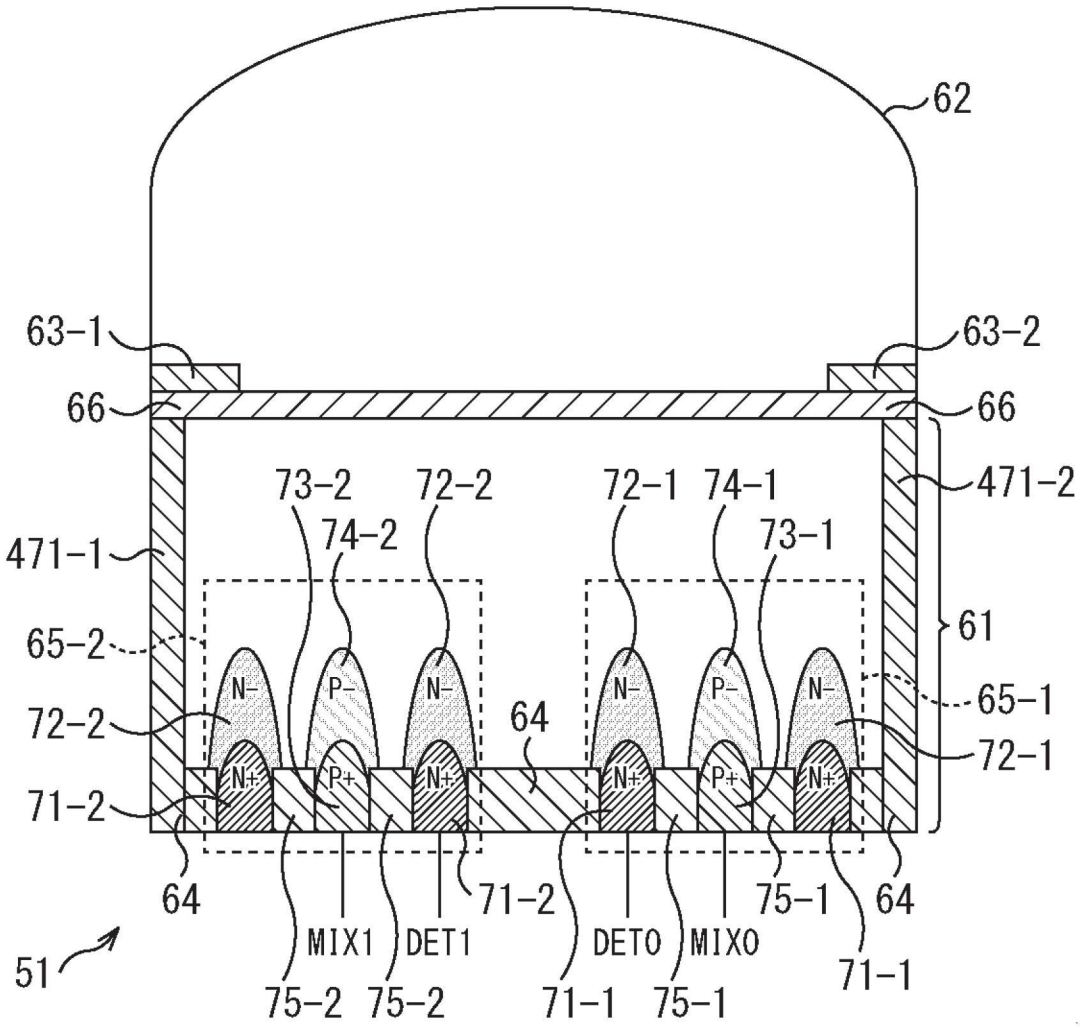
【圖20】


411
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N+
P+
64
71-2
75-1
64
51
MIX1
DET1
DETO
MIXO
75-2
75-2
71-1
75-1
71-1

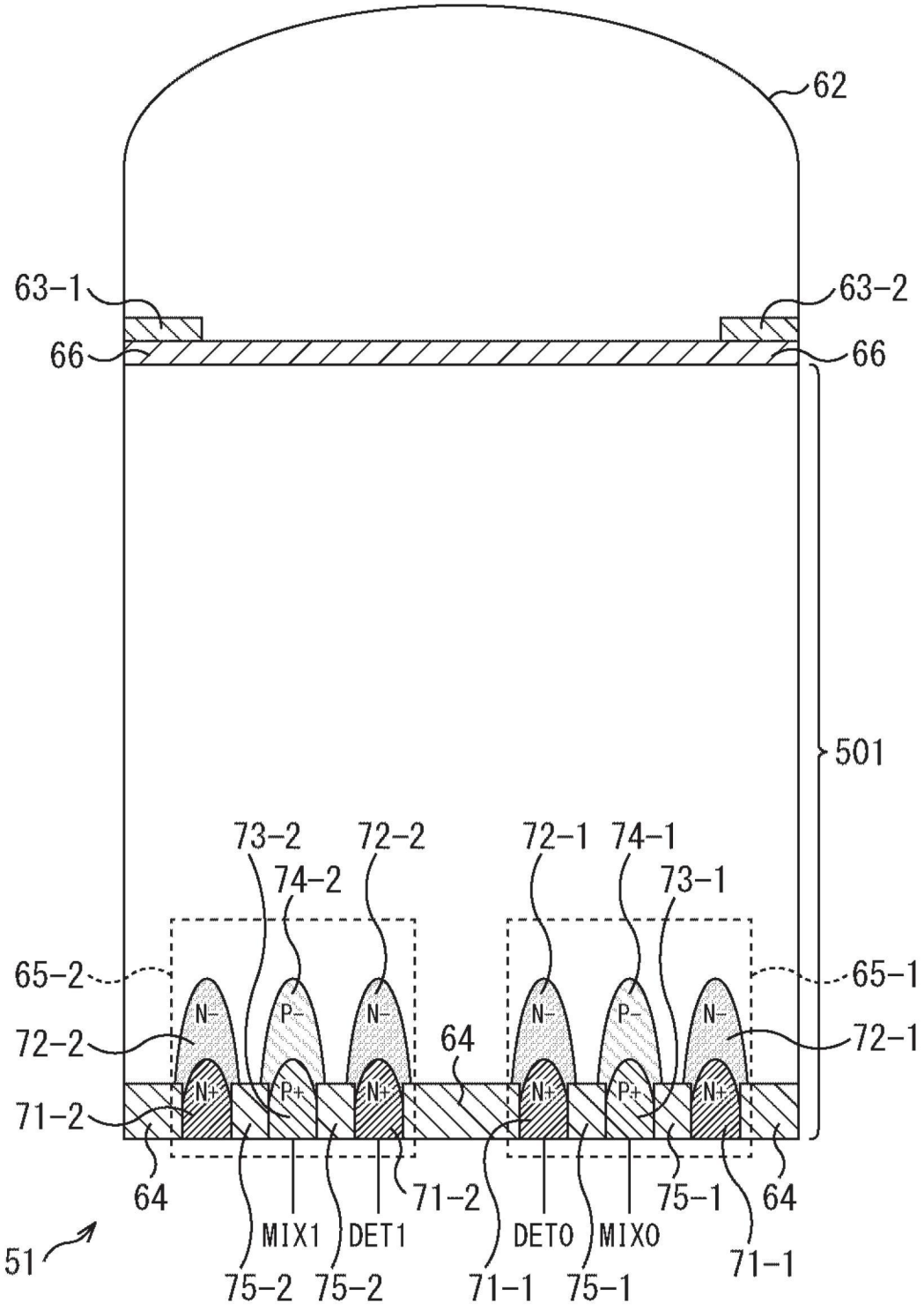
【圖21】


62
63-1
63-2
66
66
441-2
73-2
72-2
72-1
74-1
74-2
73-1
441-1
61
65-2
N-
P-
N-
N-
P-
N-
65-1
64
72-2
72-1
N+
P+
N+
N+
P+
N+
71-2
64
64
71-2
75-1
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1

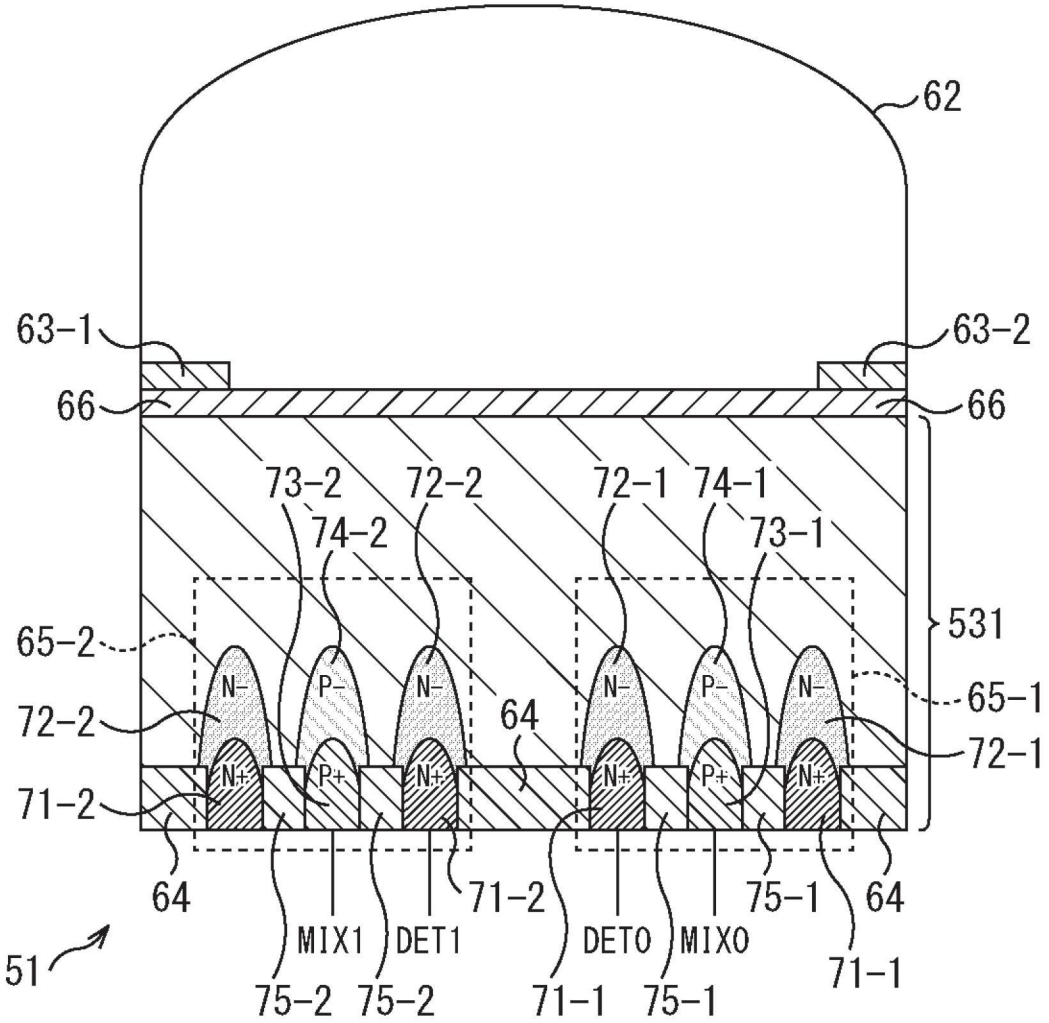
【圖22】


62
63-1
63-2
66
66
471-2
471-1
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+
64
64
71-2
75-1
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
71-1

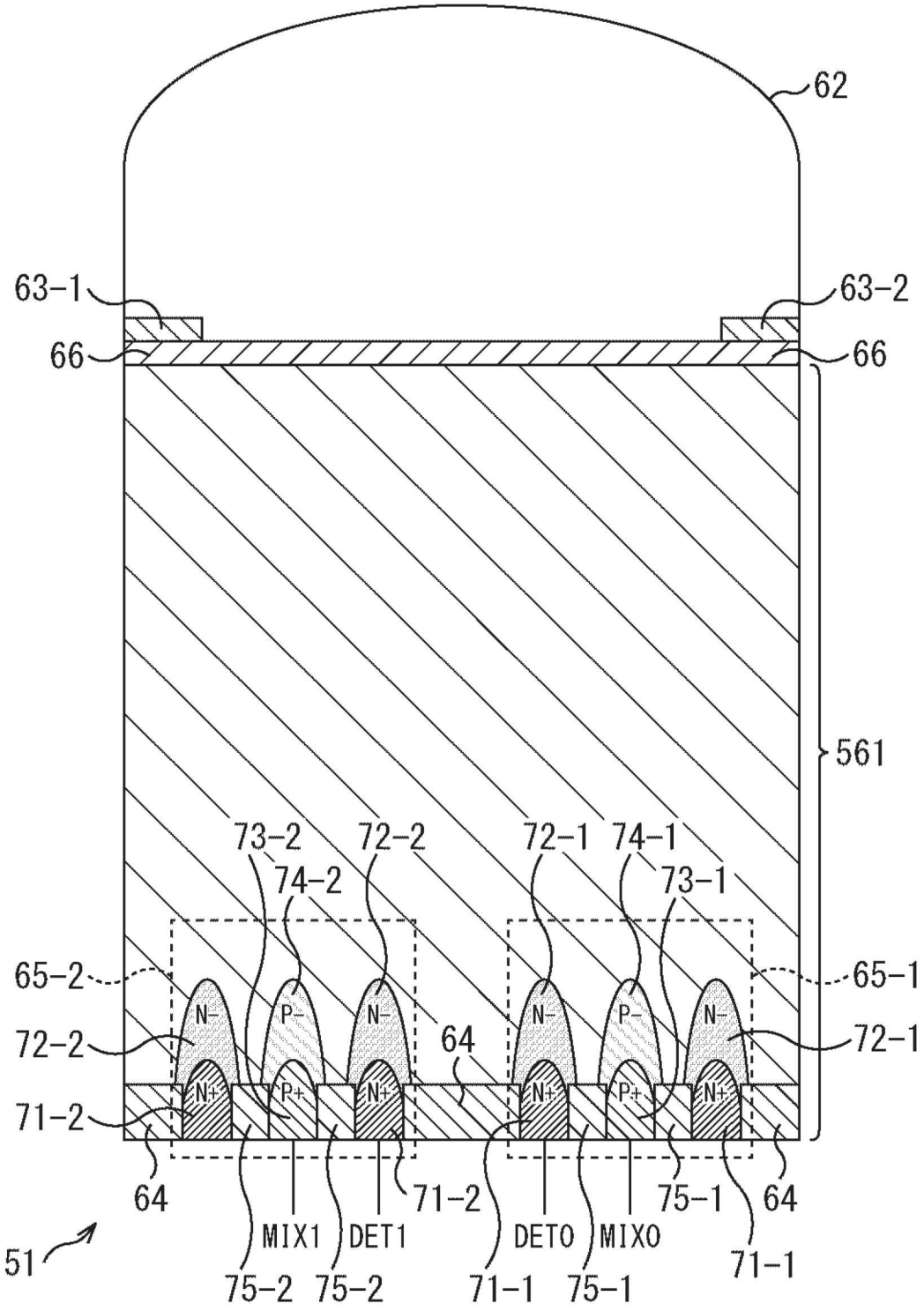
【圖23】


62
63-1
63-2
66
66
501
73-2
72-2
74-2
72-1
74-1
73-1
65-2
65-1
72-2
72-1
64
71-2
64
71-2
64
75-1
64
71-1
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+

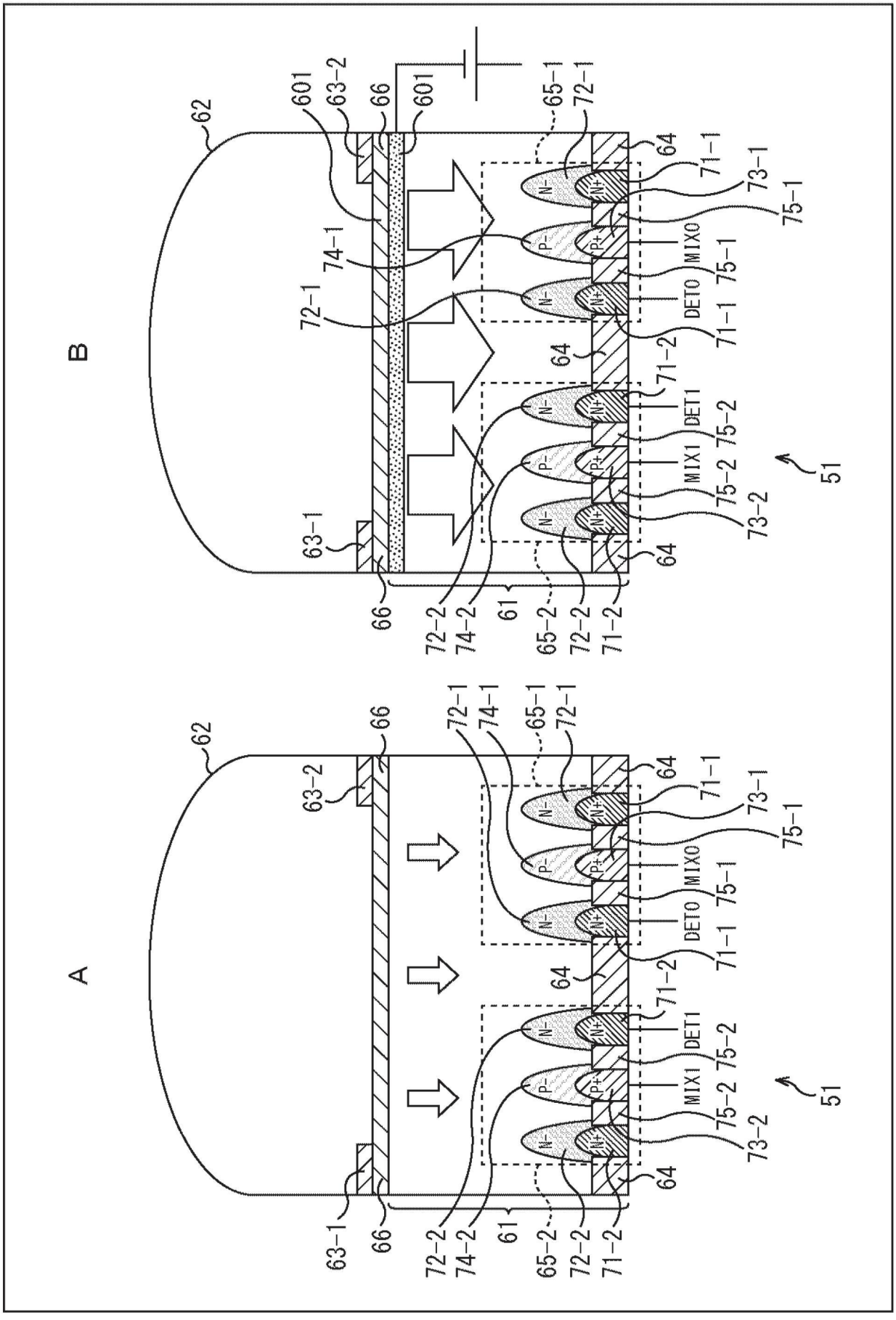
【圖24】


62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
531
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+
64
64
71-2
75-1
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
71-1

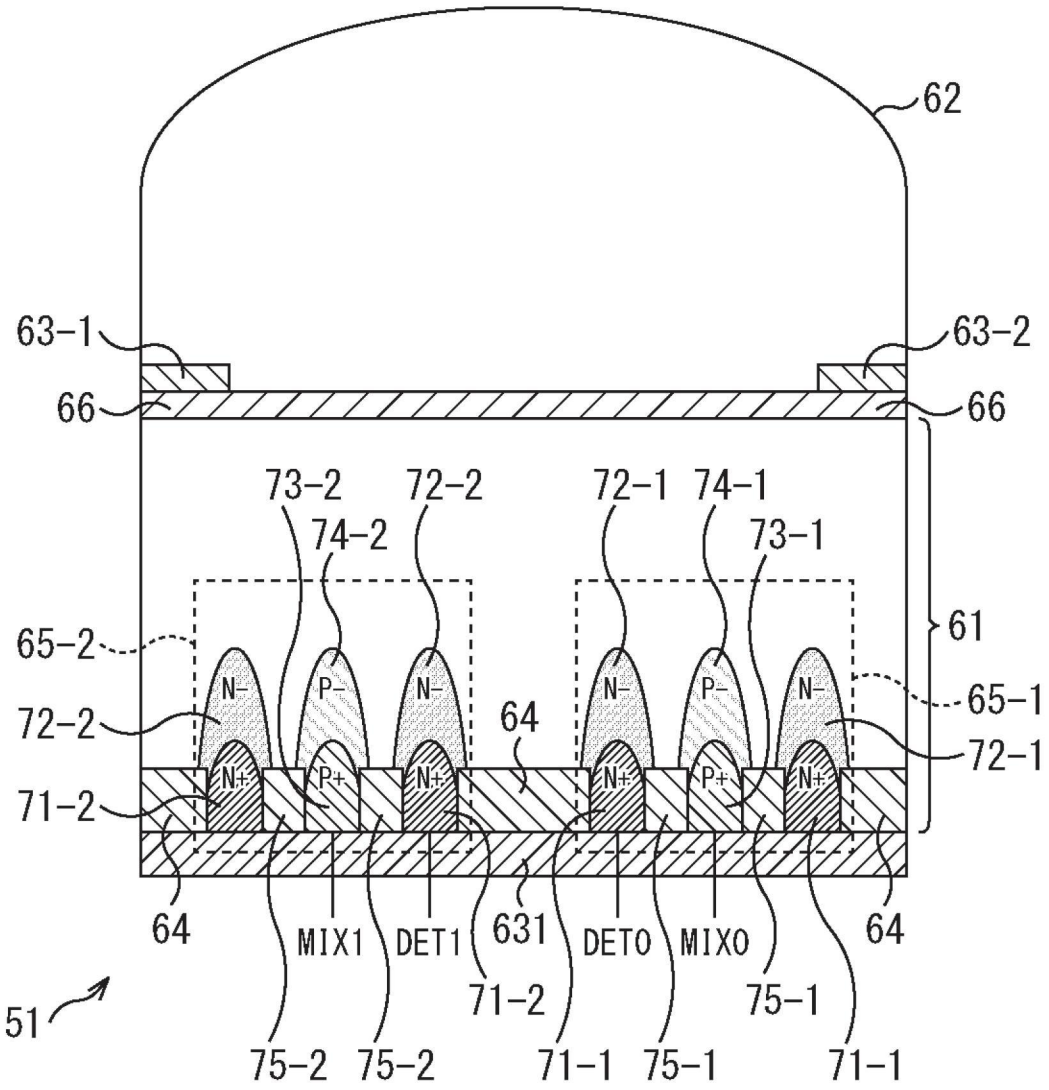
【圖25】


62
63-1
63-2
66
66
561
73-2
72-2
72-1
74-1
74-2
73-1
65-2
65-1
N-
P-
N-
N-
P-
N-
72-2
72-1
64
N+
P+
N+
N+
P+
N+
71-2
64
71-2
75-1
64
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
75-1
71-1

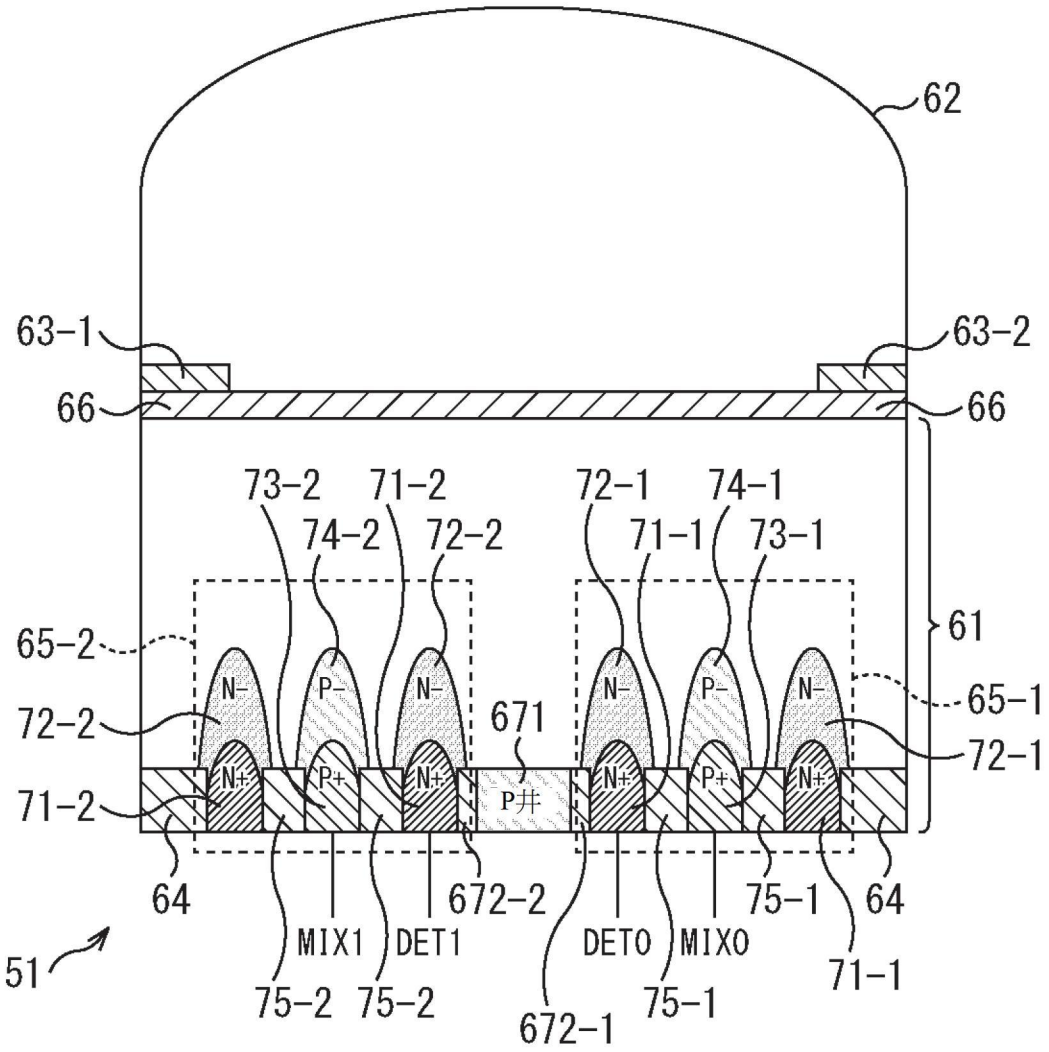
【圖26】


A
B
62
601
63-2
66
601
65-1
72-1
64
71-1
73-1
75-1
74-1
72-1
MIX0
DET0
71-1
75-1
71-2
64
DET1
MIX1
75-2
75-2
73-2
51
63-1
66
72-2
74-2
61
65-2
72-2
71-2

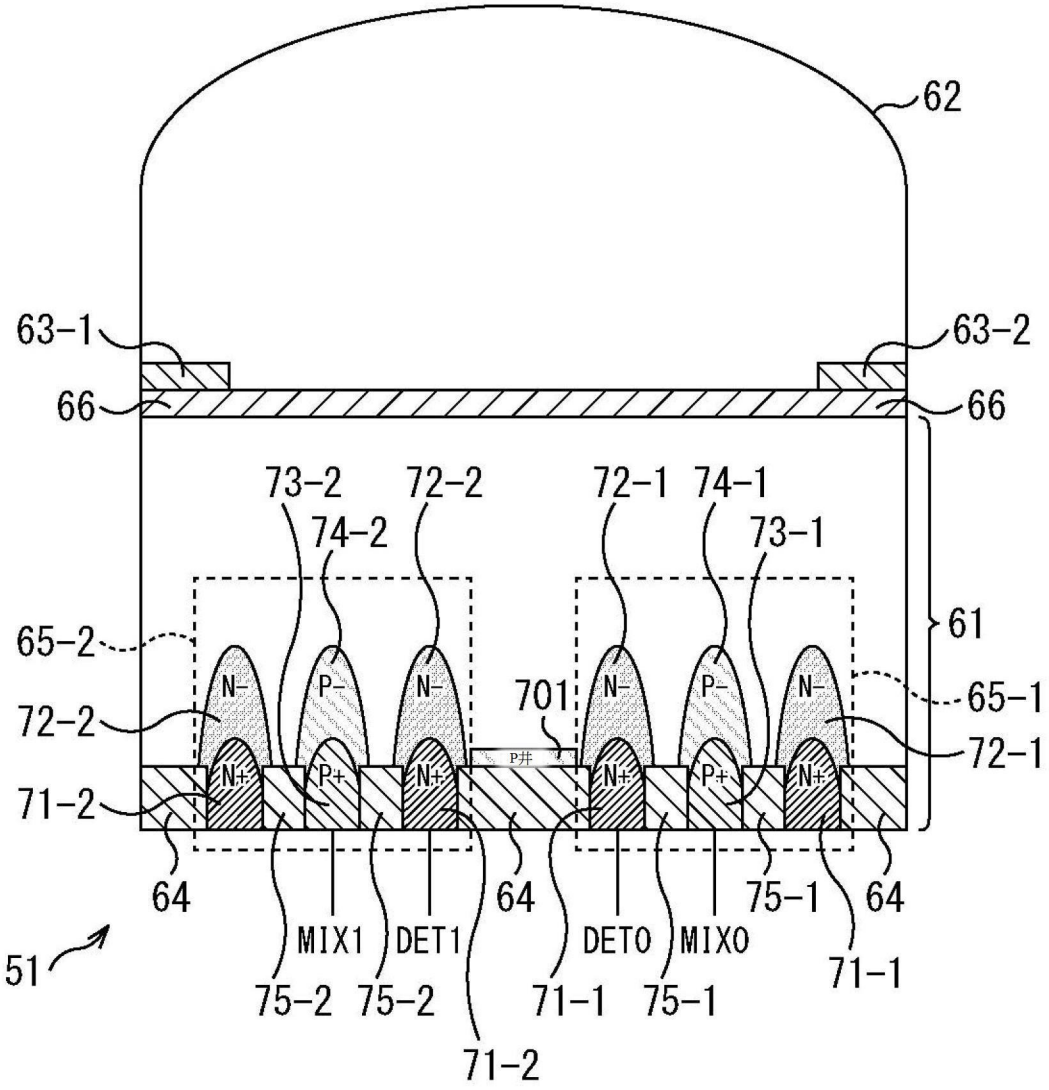
【圖27】


62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
64
71-2
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+
64
64
MIX1
DET1
631
DETO
MIXO
51
71-2
75-1
75-2
75-2
71-1
75-1
71-1

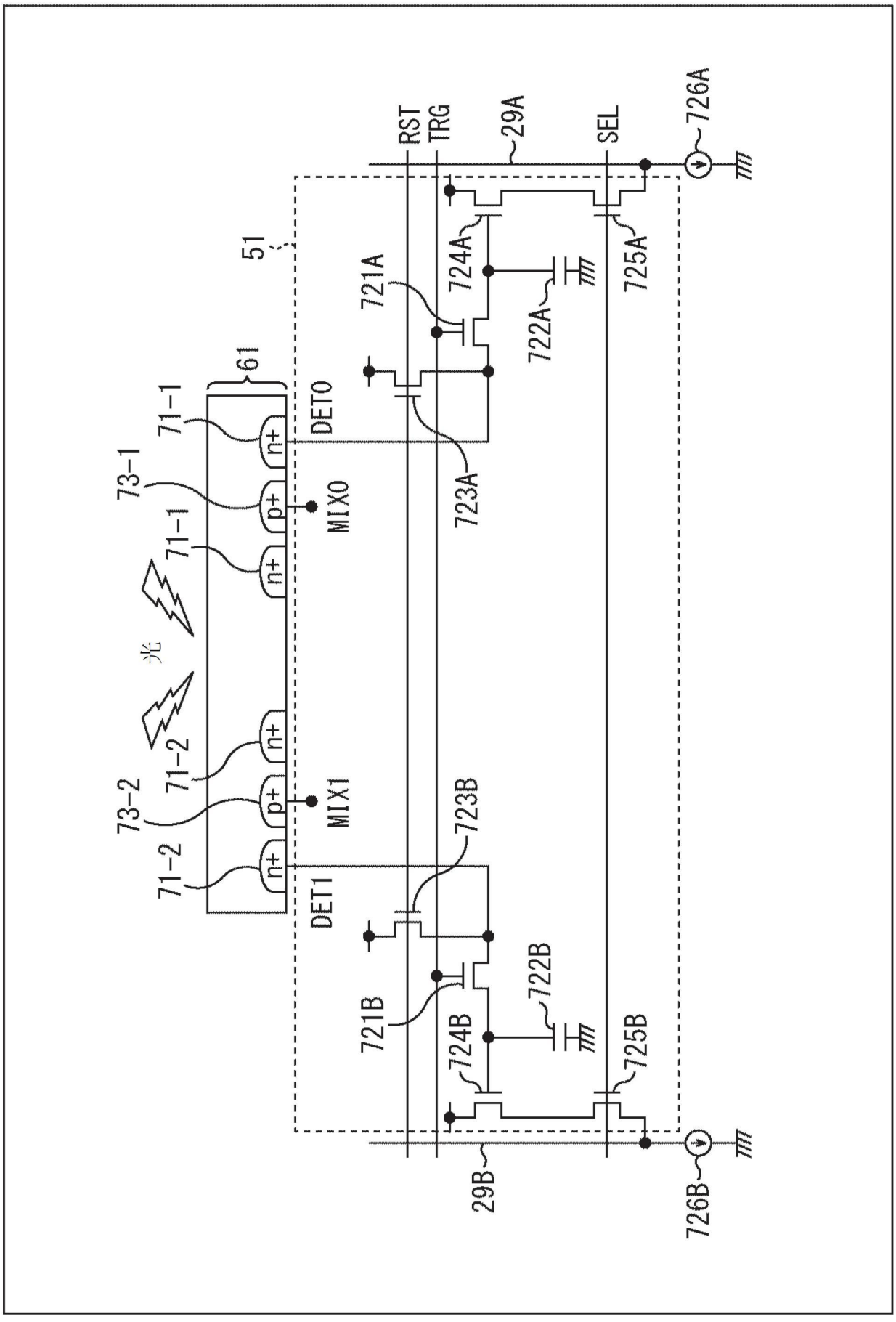
【圖28】


62
63-1
63-2
66
66
73-2
71-2
72-1
74-1
74-2
72-2
71-1
73-1
61
65-2
65-1
72-2
72-1
671
71-2
P井
64
64
672-2
75-1
MIX1
DET1
DET0
MIX0
51
75-2
75-2
71-1
672-1
75-1
N-
P-
N-
N-
P-
N-
N+
P+
N+
N+
P+
N+

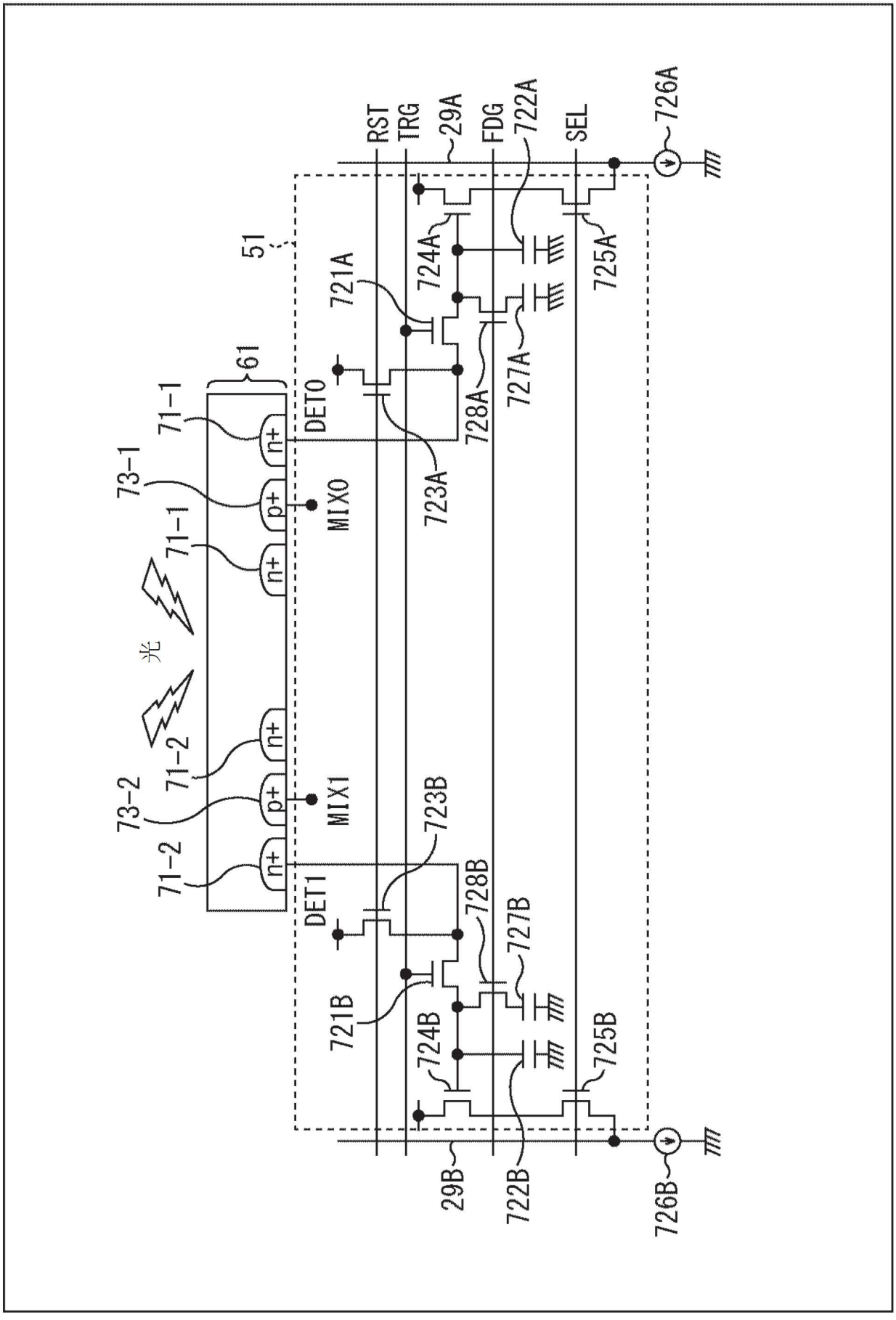
【圖29】


62
63-1
63-2
66
66
73-2
72-2
72-1
74-1
74-2
73-1
61
65-2
65-1
72-2
72-1
71-2
701
N-
P-
N-
N-
P-
N-
N+
P+
N+
P井
N+
P+
N+
64
64
64
75-1
71-1
51
MIX1
DET1
DET0
MIX0
75-2
75-2
71-1
75-1
71-2

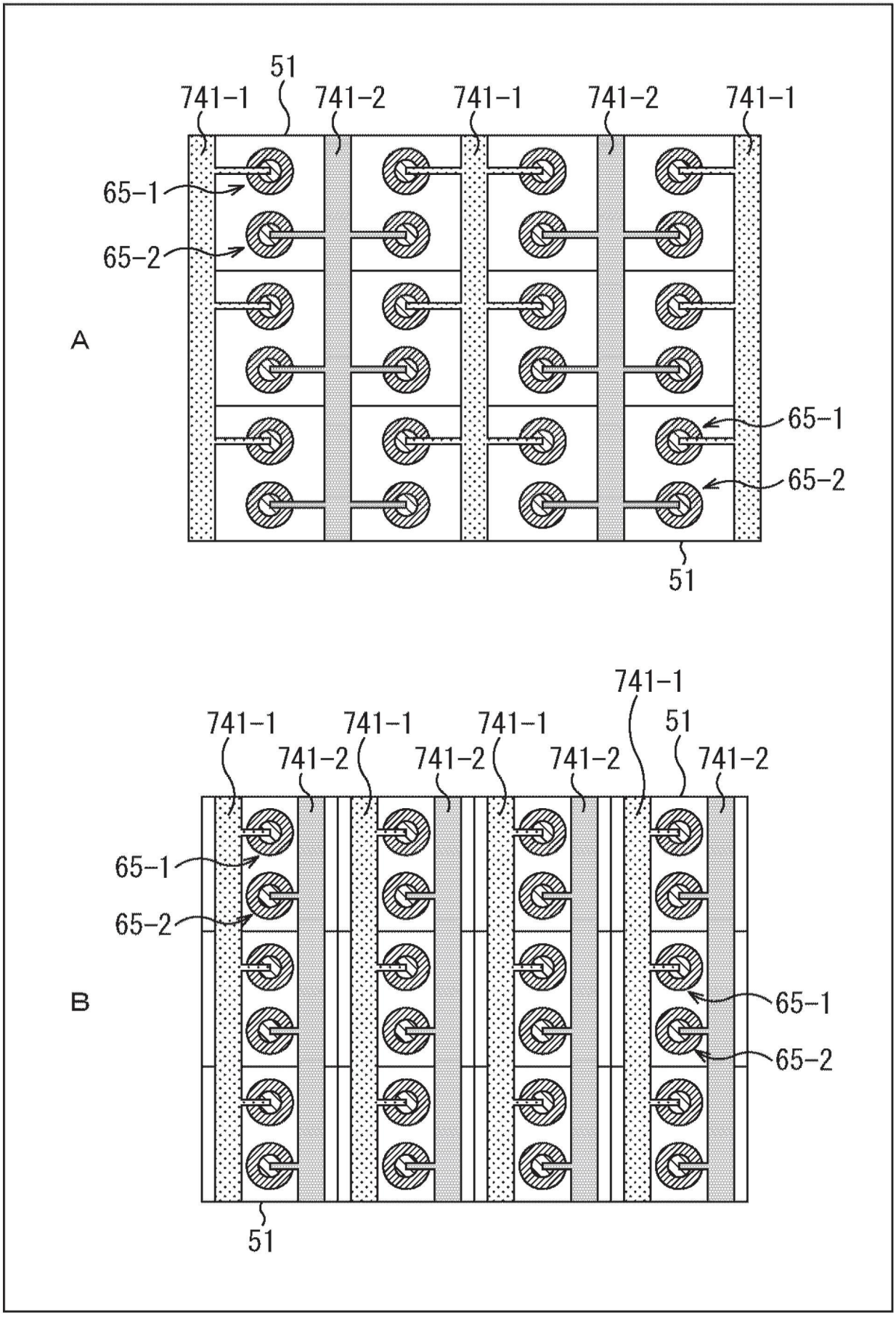
【圖30】


51
61
71-1
71-1
71-2
71-2
73-1
73-2
光
n+
p+
n+
n+
p+
n+
DET0
DET1
MIX0
MIX1
RST
TRG
SEL
29A
29B
721A
721B
722A
722B
723A
723B
724A
724B
725A
725B
726A
726B

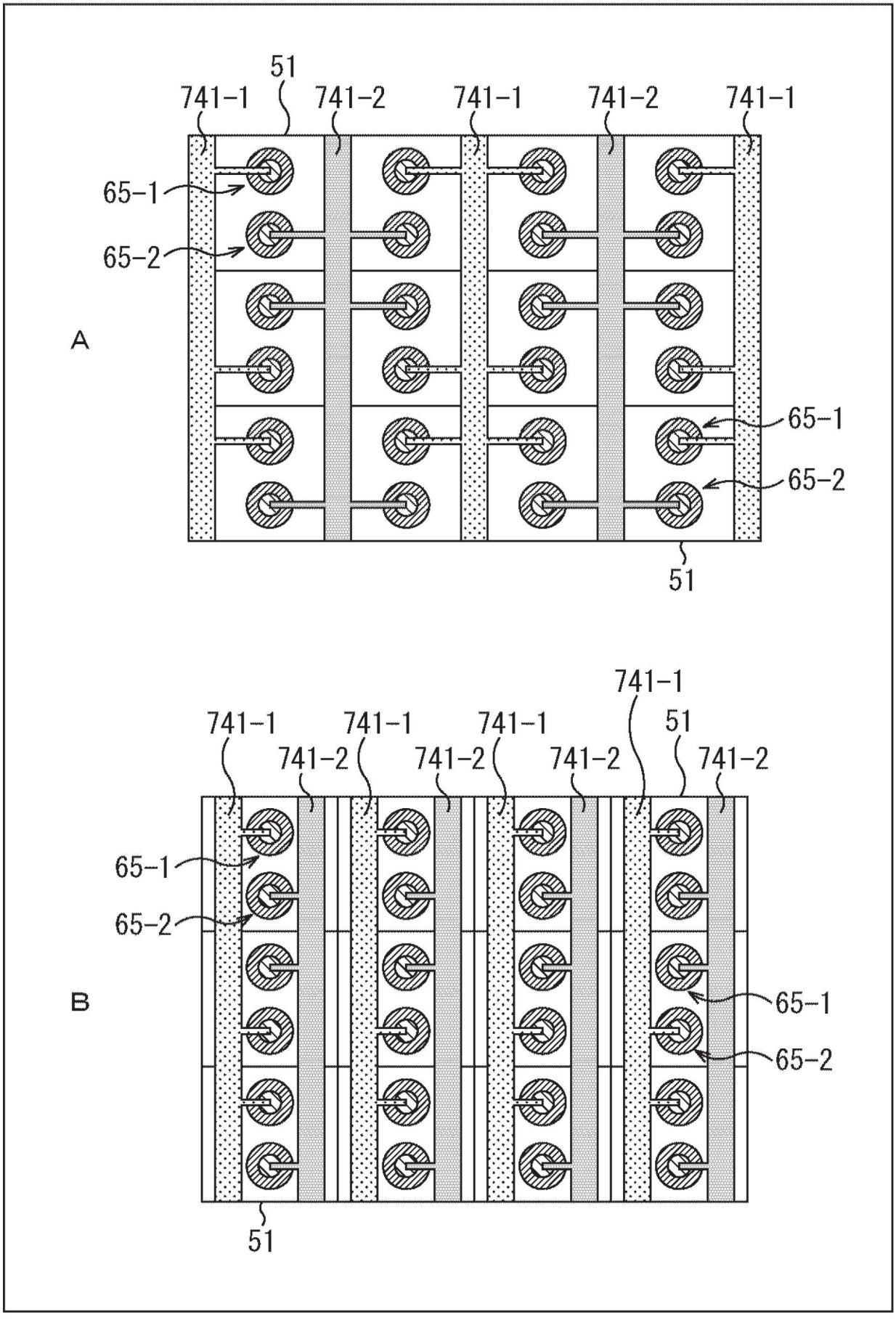
【圖31】


RST
TRG
29A
FDG
722A
SEL
726A
51
721A
724A
725A
61
71-1
73-1
DET0
MIX0
727A
728A
723A
光
71-1
71-2
73-2
71-2
MIX1
723B
DET1
728B
727B
721B
724B
725B
29B
722B
726B

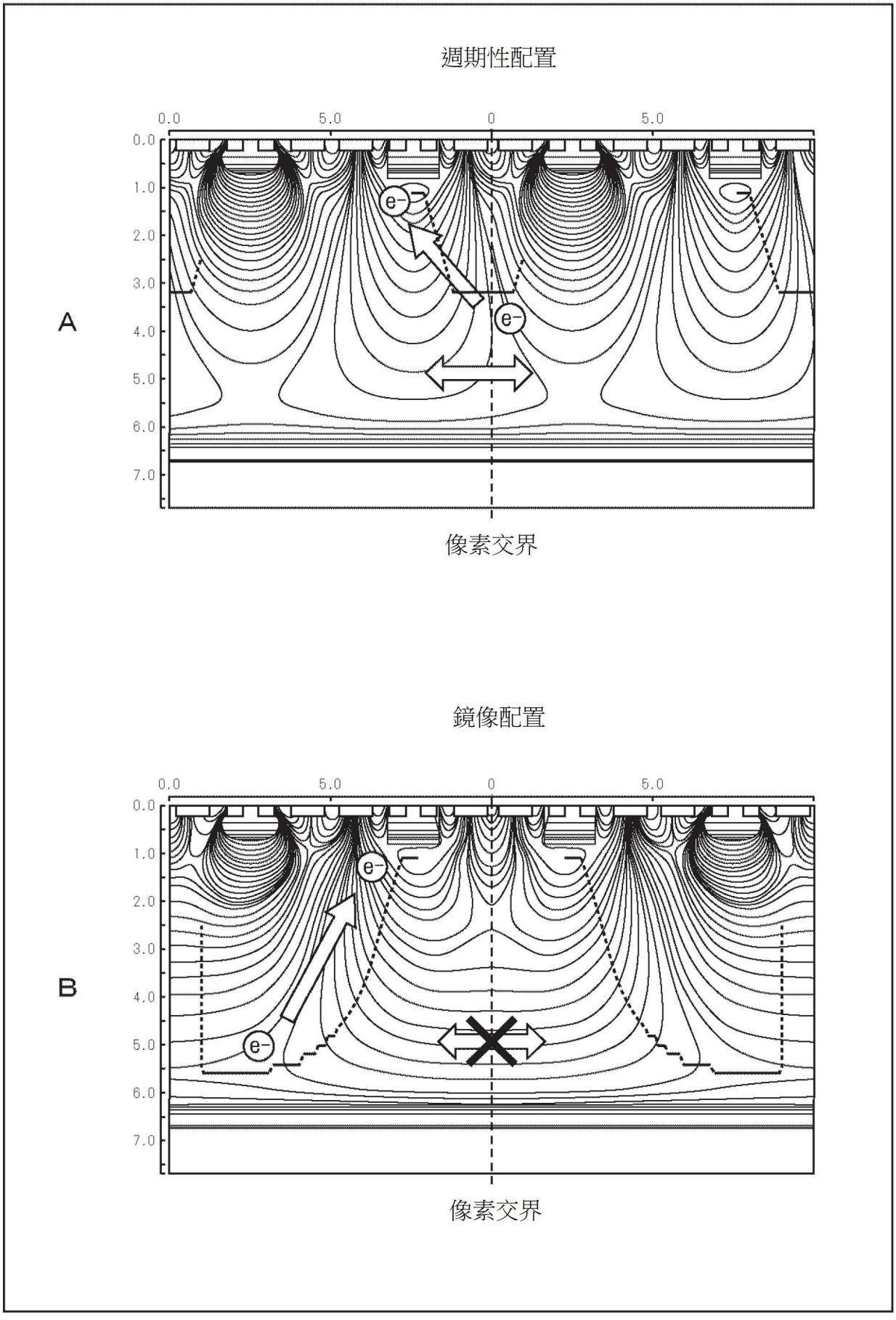
【圖32】


51
741-1
741-2
741-1
741-2
741-1
65-1
65-2
A
65-1
65-2
51
741-1
741-1
741-1
741-1
51
741-2
741-2
741-2
741-2
65-1
65-2
B
65-1
65-2
51

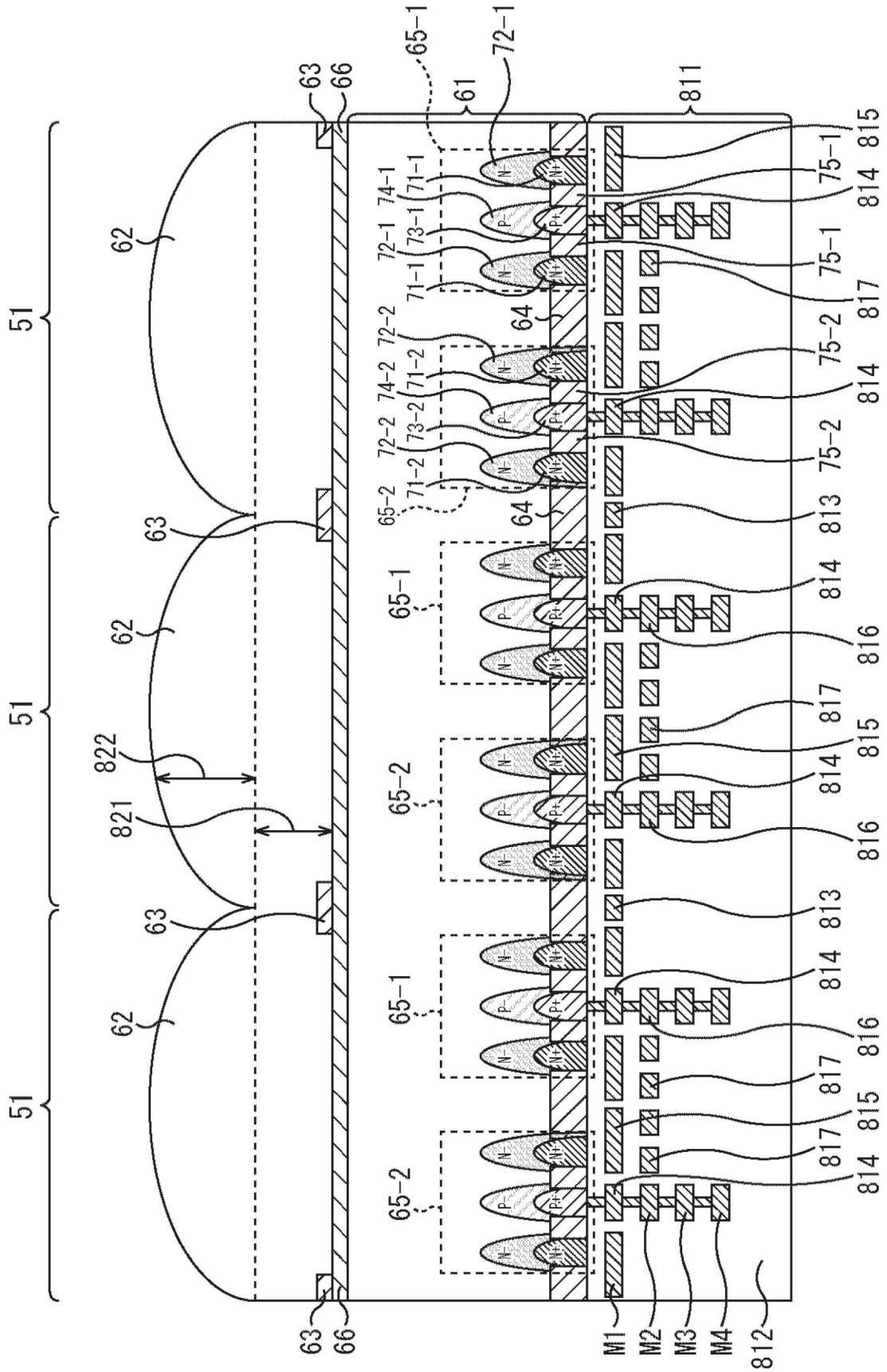
【圖33】


51
741-1
741-2
741-1
741-2
741-1
65-1
65-2
A
65-1
65-2
51
741-1
741-1
741-1
741-1
51
741-2
741-2
741-2
741-2
65-1
65-2
B
65-1
65-2
51

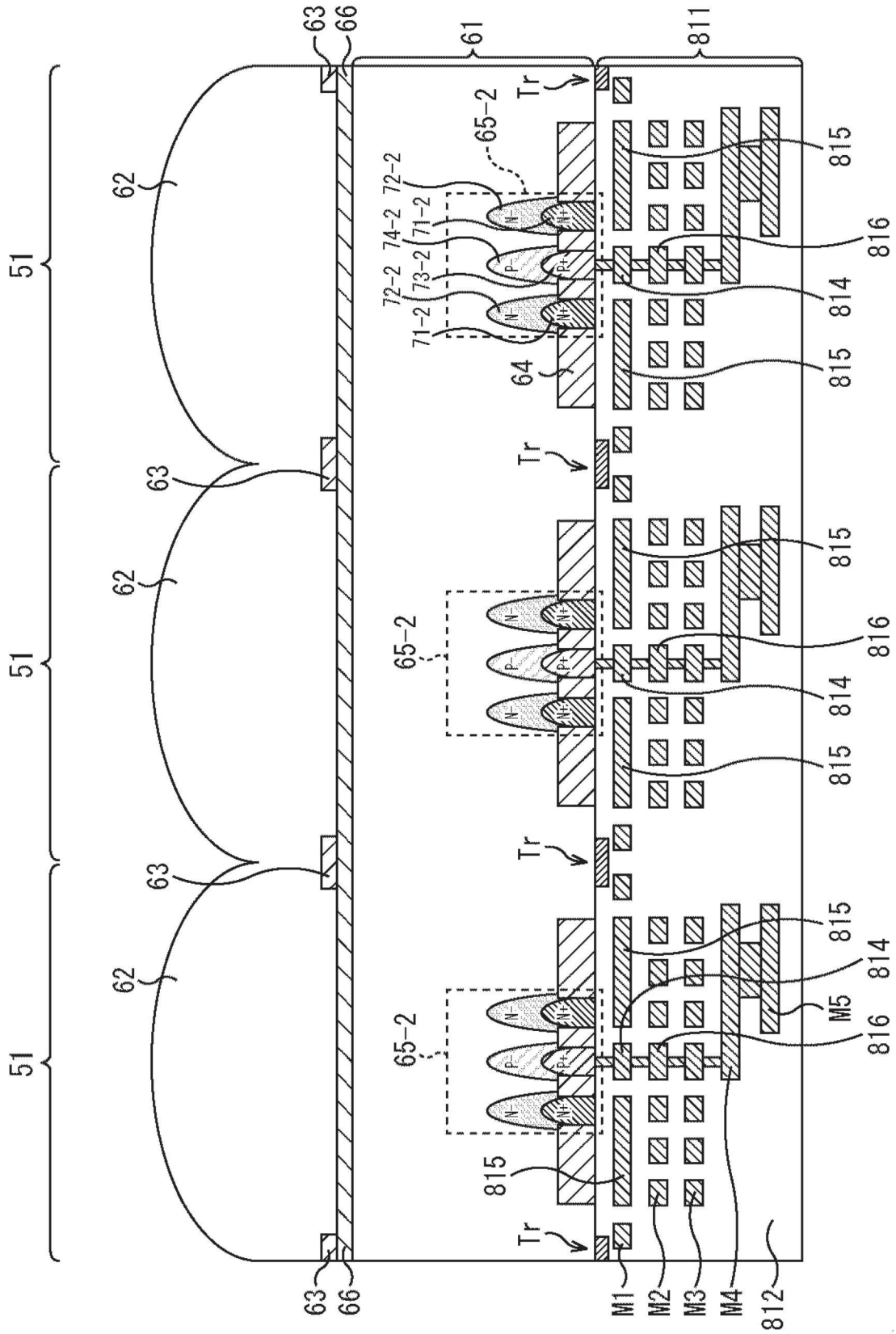
【圖34】


週期性配置
0.0
5.0
0
5.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
e−
e−
A
像素交界
鏡像配置
0.0
5.0
0
5.0
0.0
1.0
2.0
3.0
4.0
5.0
6.0
7.0
e−
e−
B
像素交界

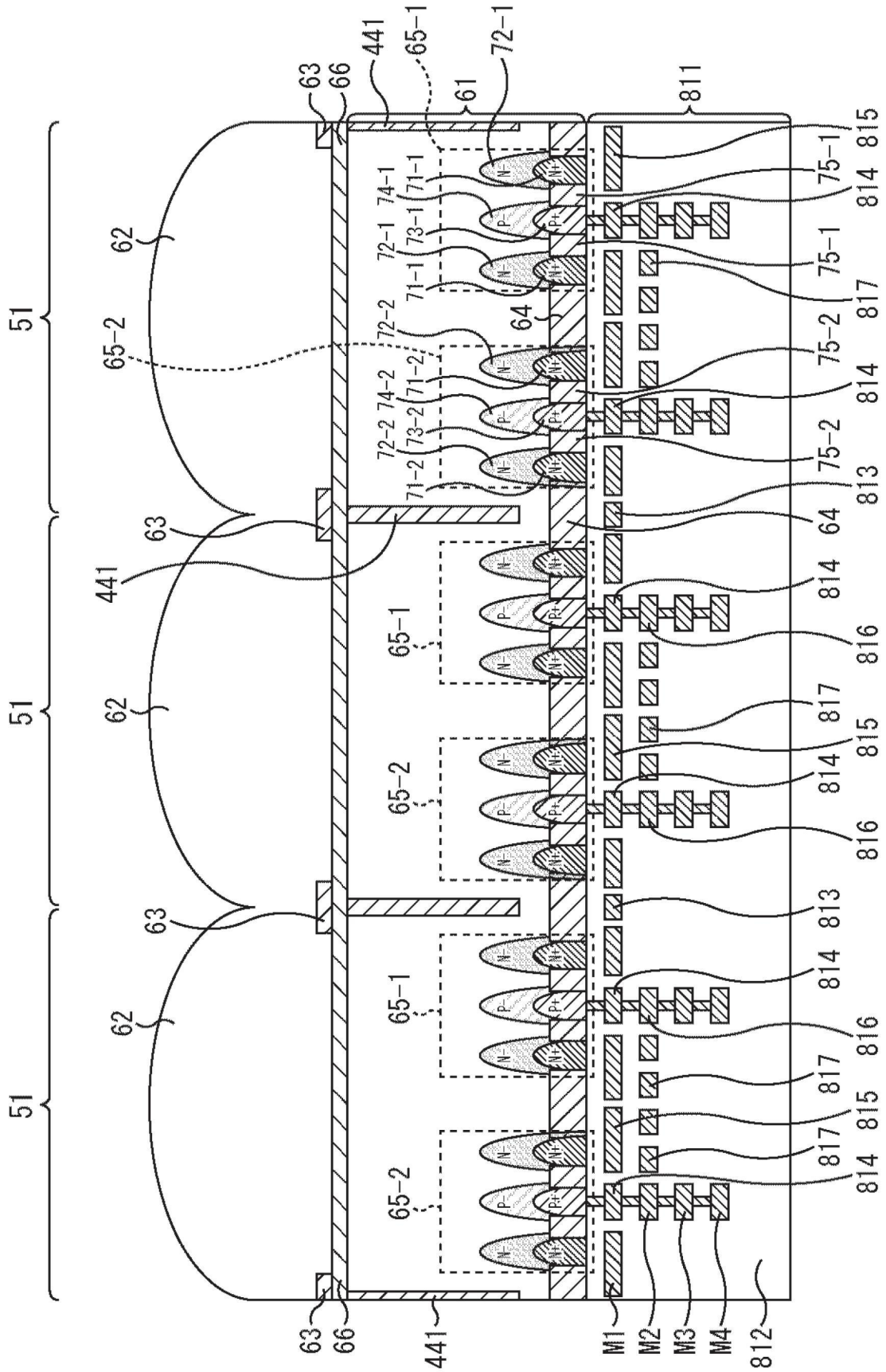
【圖35】


51
51
51
62
62
62
63
63
63
66
66
61
811
65-1
65-1
65-1
65-2
65-2
64
64
72-1
71-1
74-1
73-1
72-2
71-2
74-2
73-2
65-2
822
821
75-1
75-2
813
814
815
816
817
M1
M2
M3
M4
812

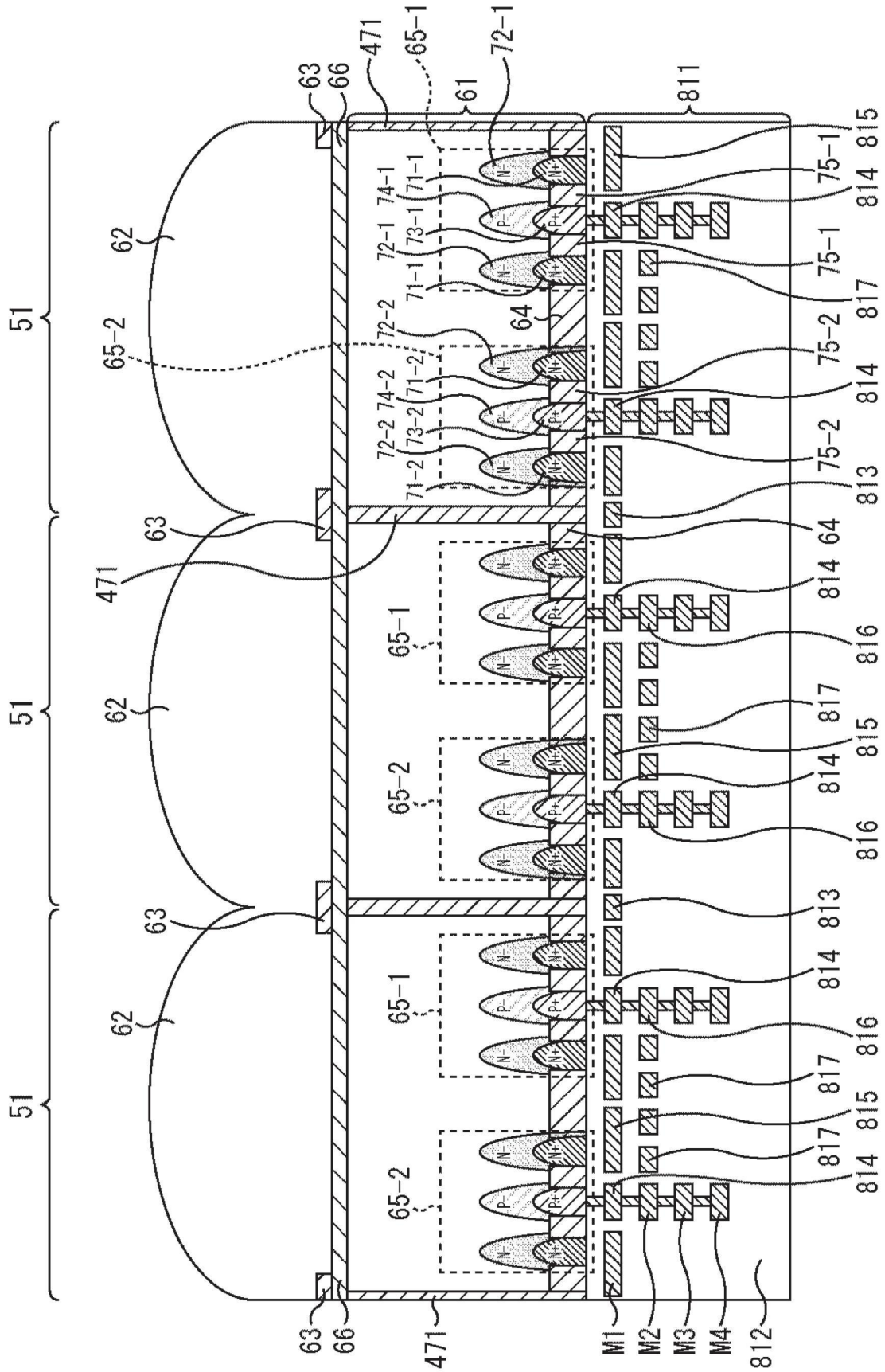
【圖36】


51
62
63
66
61
811
Tr
65-2
72-2
74-2
71-2
73-2
64
815
816
814
M1
M2
M3
M4
M5
812

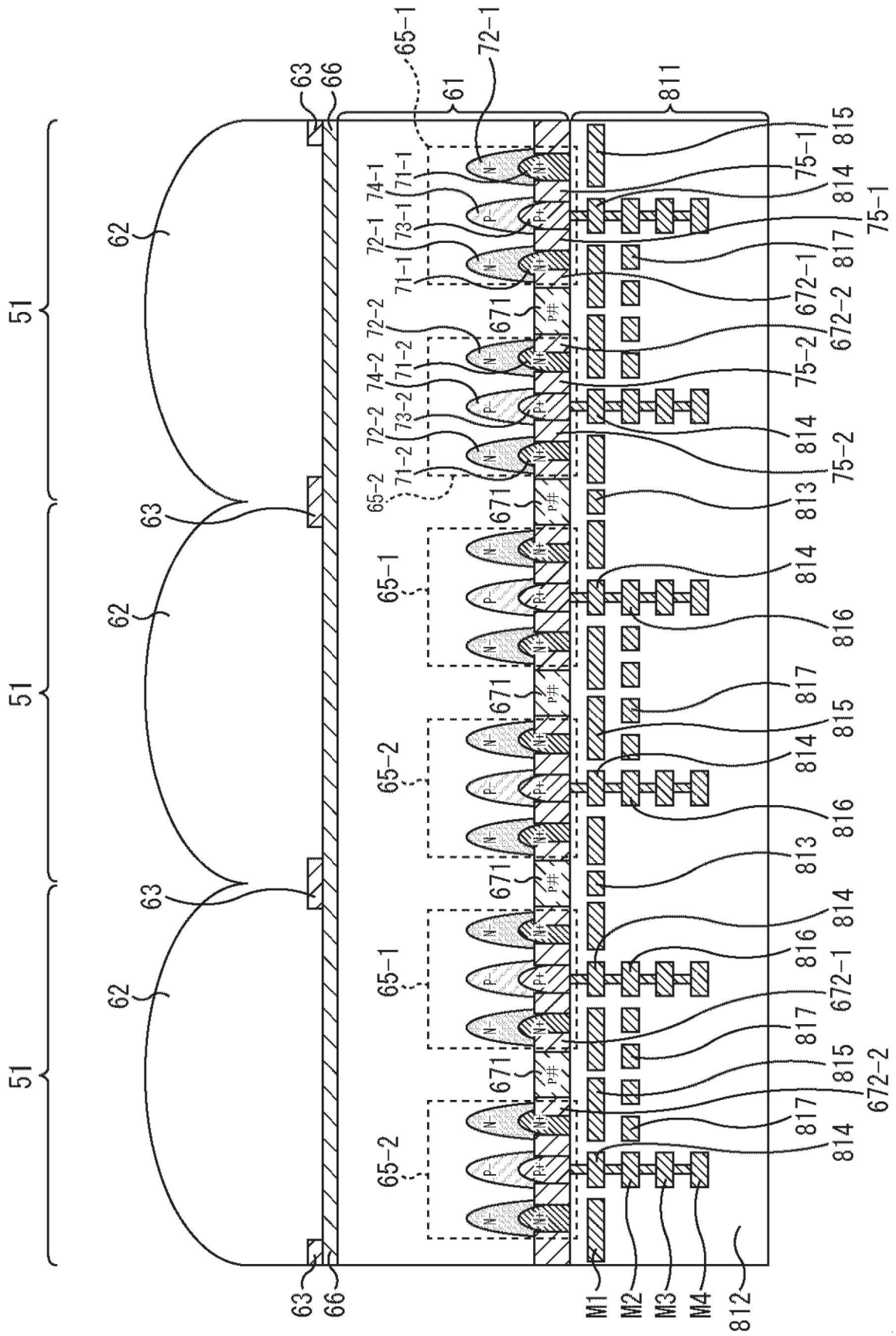
【圖37】


51
51
51
62
62
62
63
63
63
66
66
441
441
441
61
811
65-1
65-2
65-1
65-2
64
64
72-1
72-2
71-1
71-2
73-1
73-2
74-1
74-2
N-
N+
P-
P+
75-1
75-2
813
814
815
816
817
M1
M2
M3
M4
812

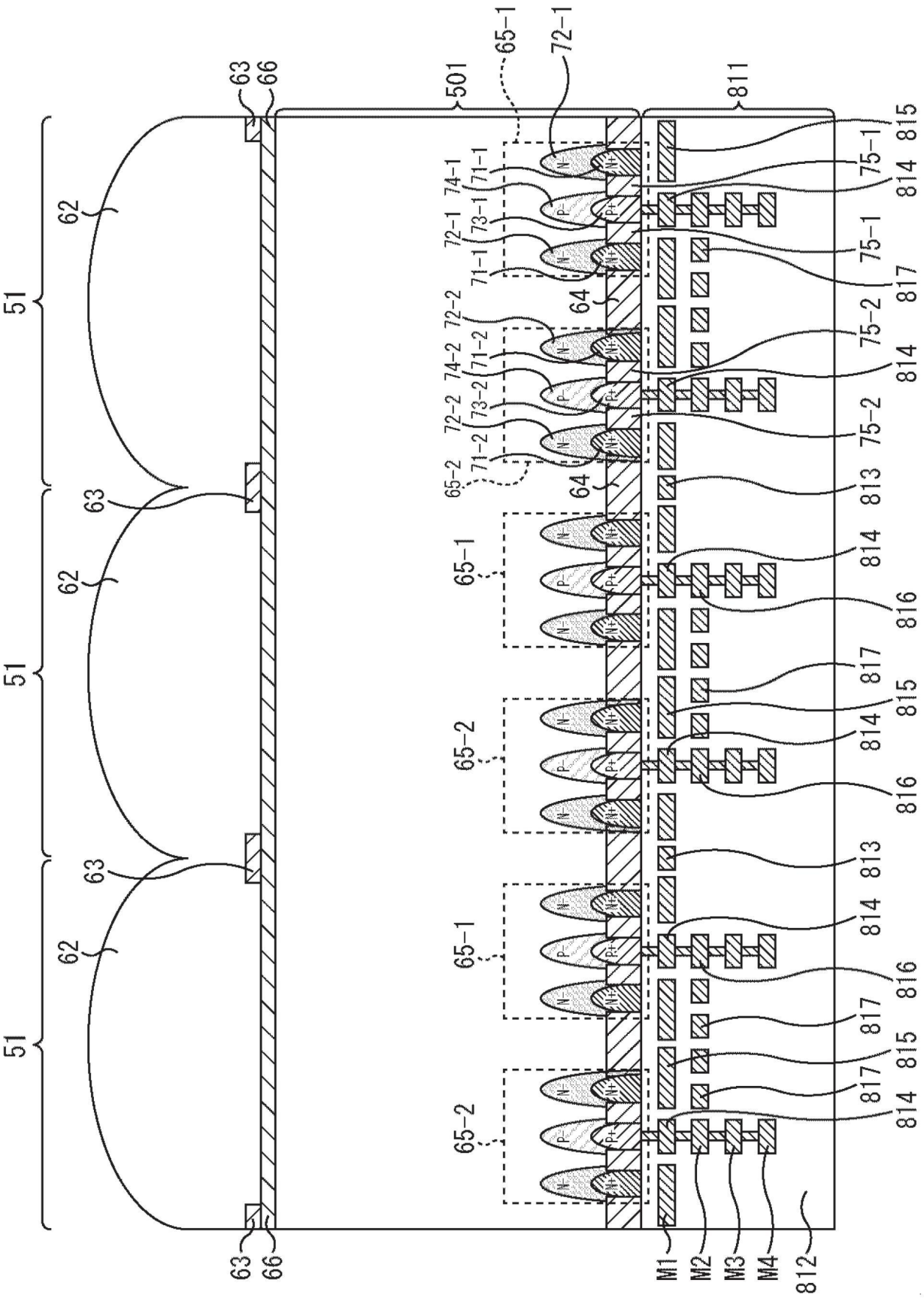
【圖38】


51
51
51
62
62
62
63
63
63
66
66
471
471
471
61
811
65-1
65-2
65-1
65-2
65-1
65-2
72-1
72-2
71-1
71-2
73-1
73-2
74-1
74-2
64
64
75-1
75-2
75-1
75-2
813
814
815
816
817
812
M1
M2
M3
M4

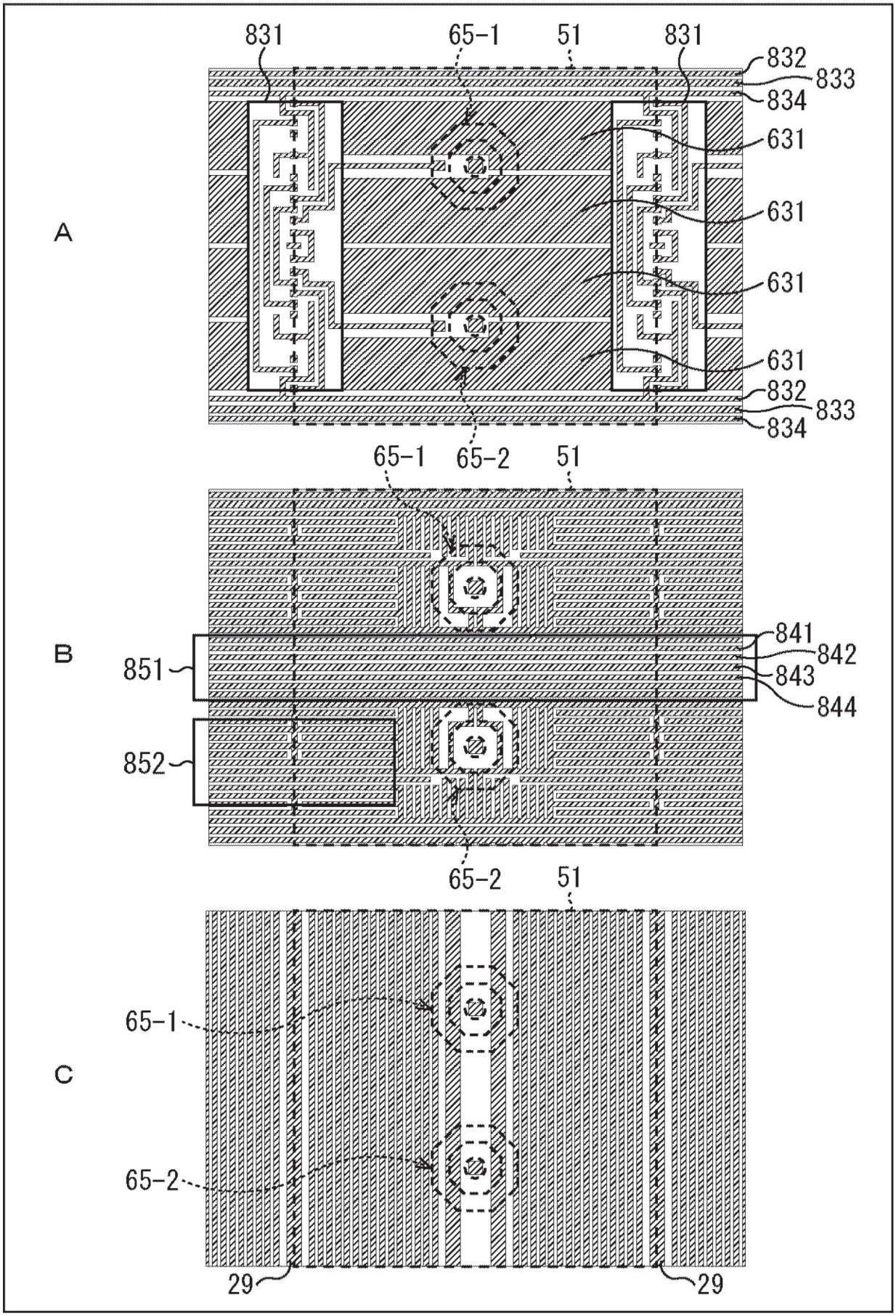
【圖39】


51
62
63
66
61
811
65-1
72-1
71-1
74-1
73-1
75-1
814
815
817
672-1
672-2
671
72-2
71-2
74-2
73-2
75-2
65-2
813
816
812
M1
M2
M3
M4
N+
P+
P#

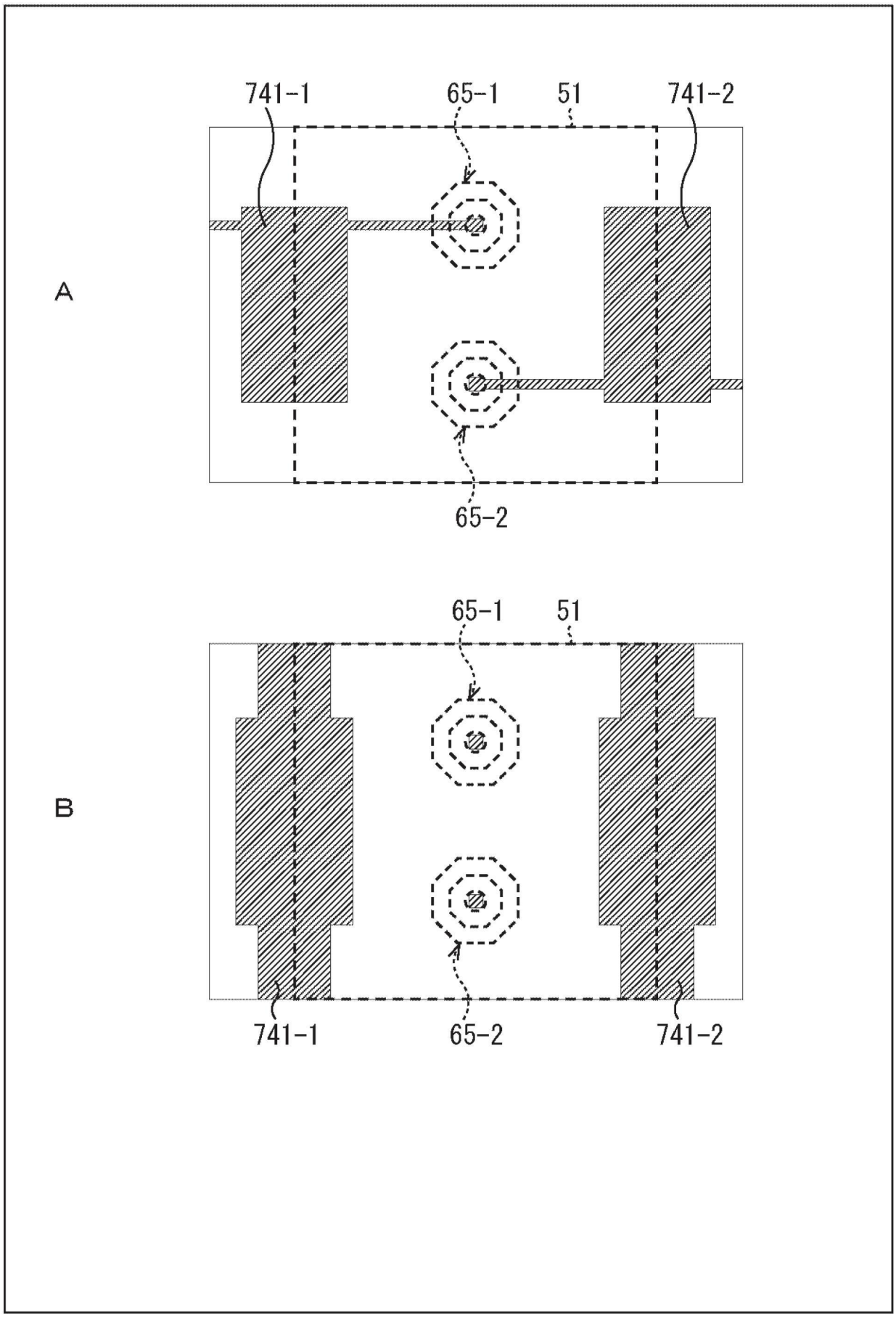
【圖40】


51
62
63
66
501
811
65-1
72-1
74-1
71-1
73-1
64
72-2
74-2
71-2
73-2
65-2
75-1
75-2
814
815
816
817
813
812
M1
M2
M3
M4
N-
N+
P-
P+

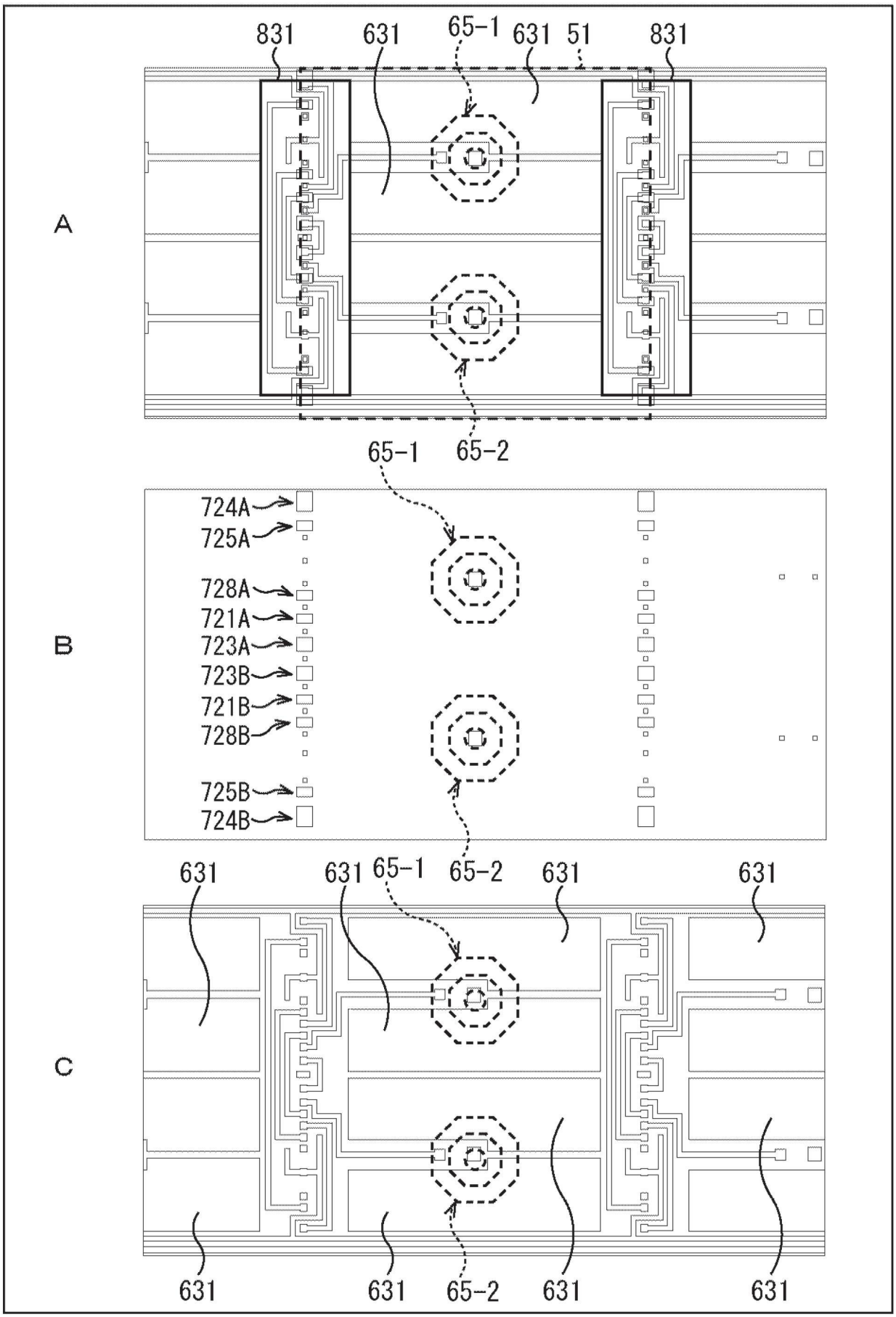
【圖41】


A
831
65-1
51
831
832
833
834
631
631
631
631
832
833
834
65-1
65-2
51
B
851
852
841
842
843
844
65-2
51
C
65-1
65-2
29
29

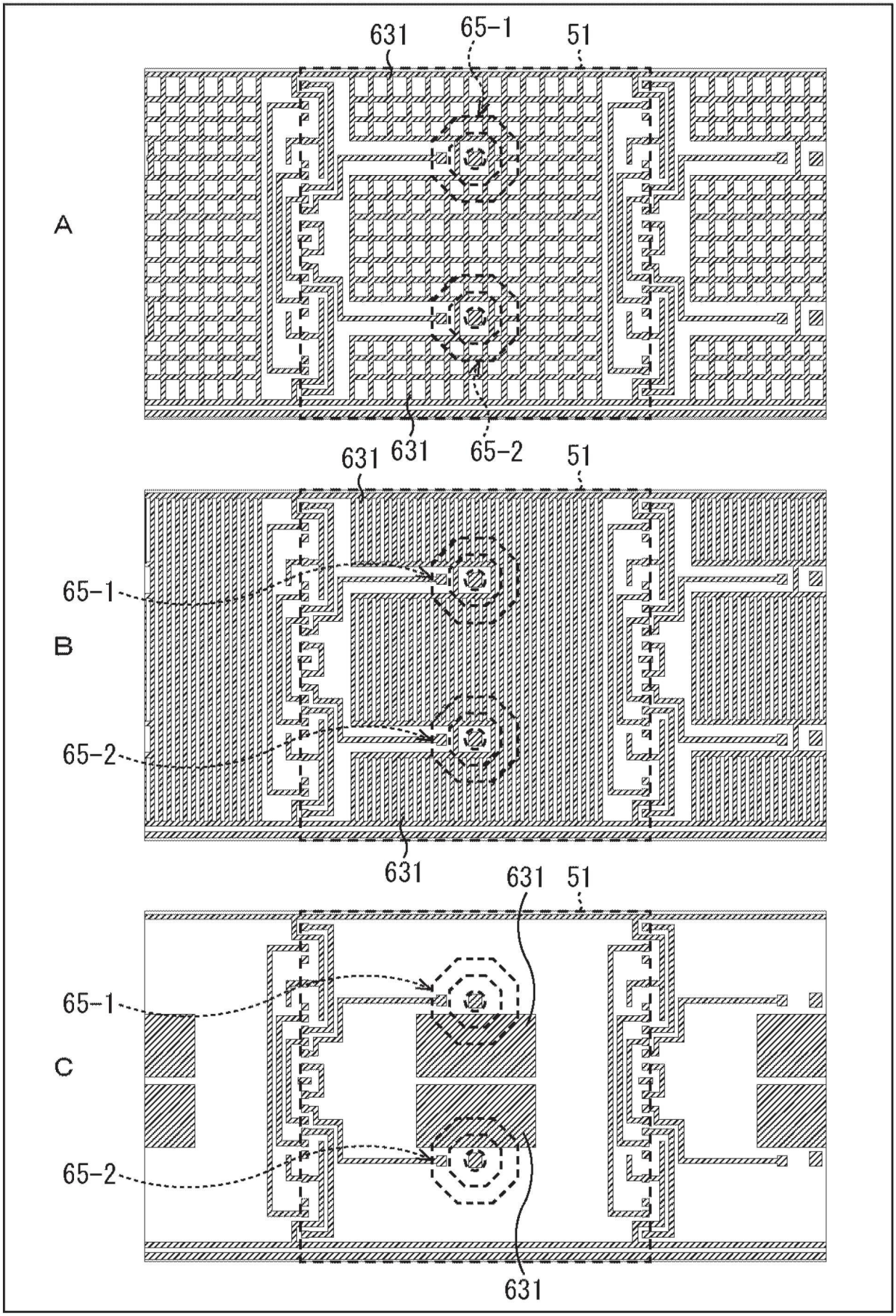
【圖42】



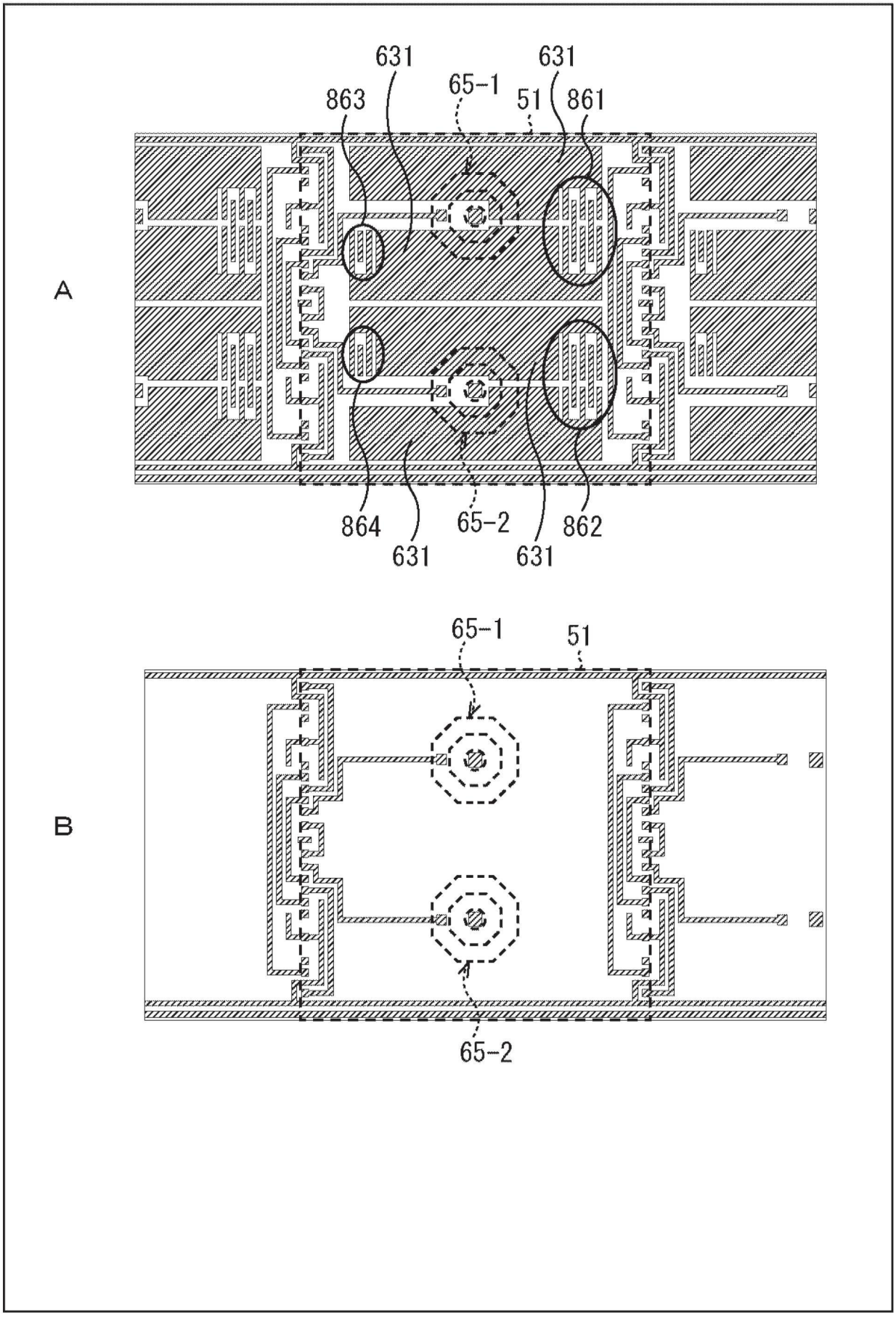
【圖43】


A
831
631
65-1
631
51
831
65-1
65-2
B
724A
725A
728A
721A
723A
723B
721B
728B
725B
724B
C
631
631
65-1
65-2
631
631
631
631
65-2
631
631

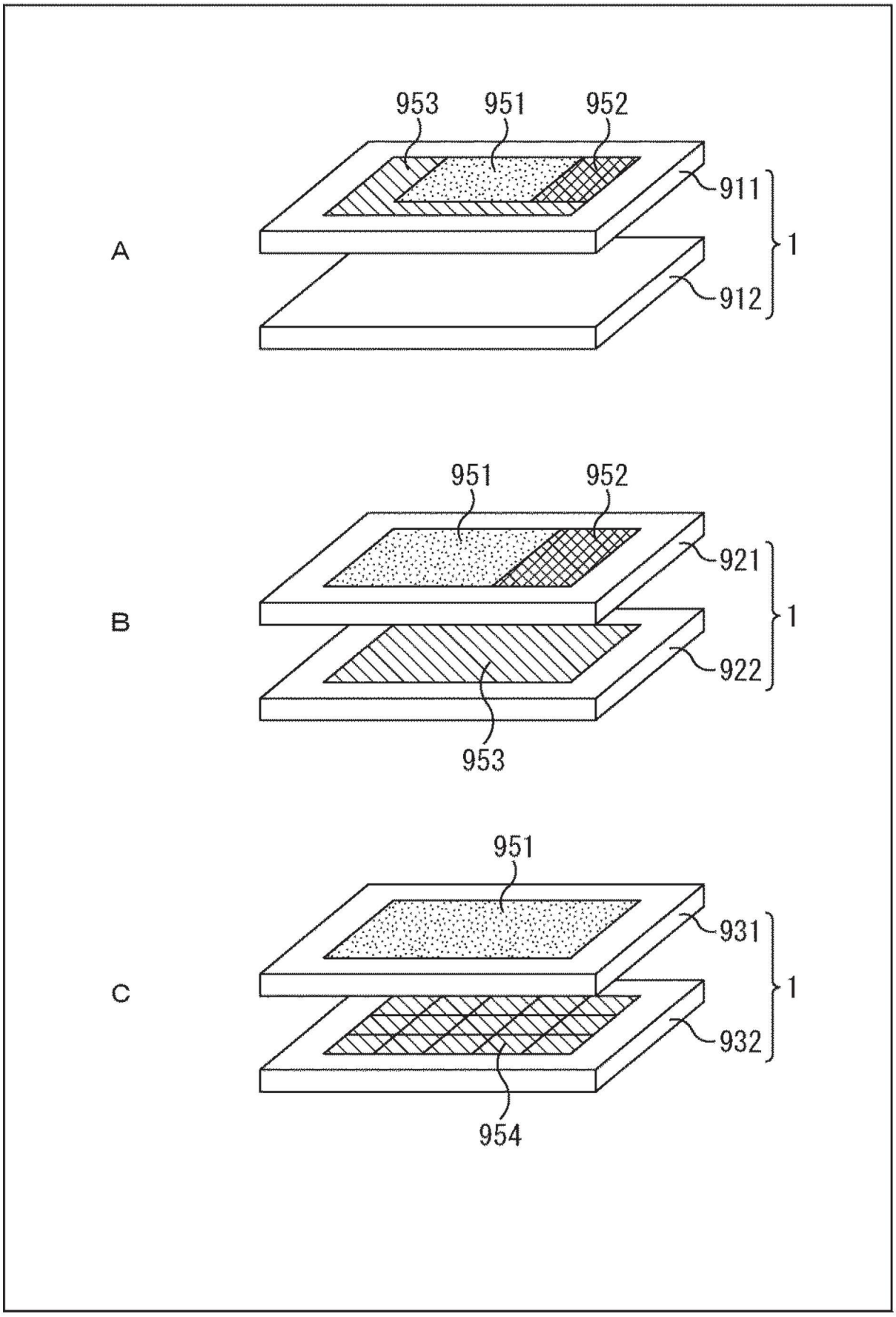
【圖44】



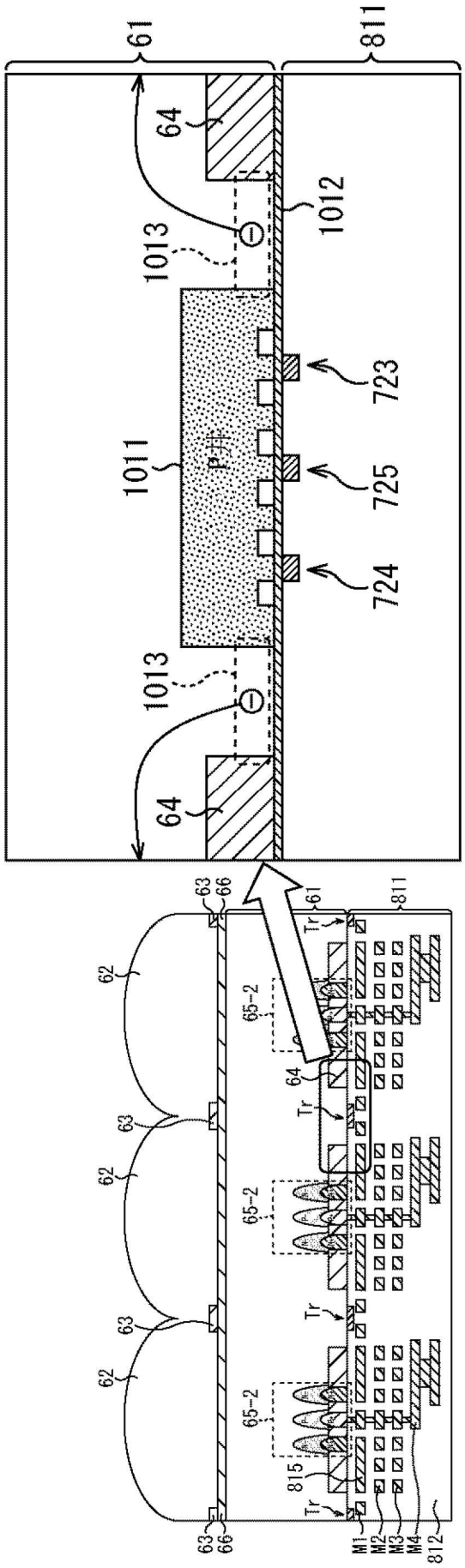
【圖45】



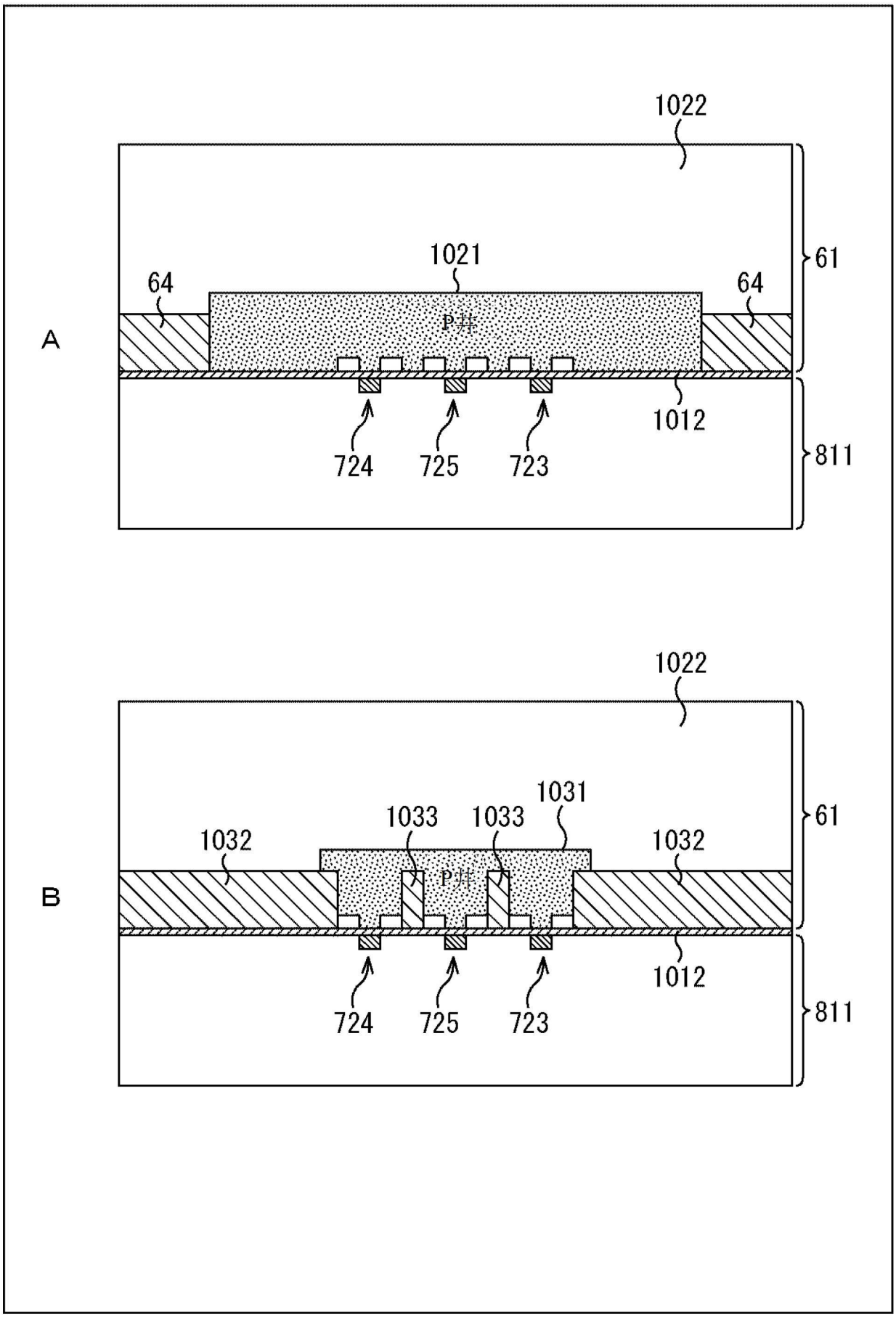
【圖46】



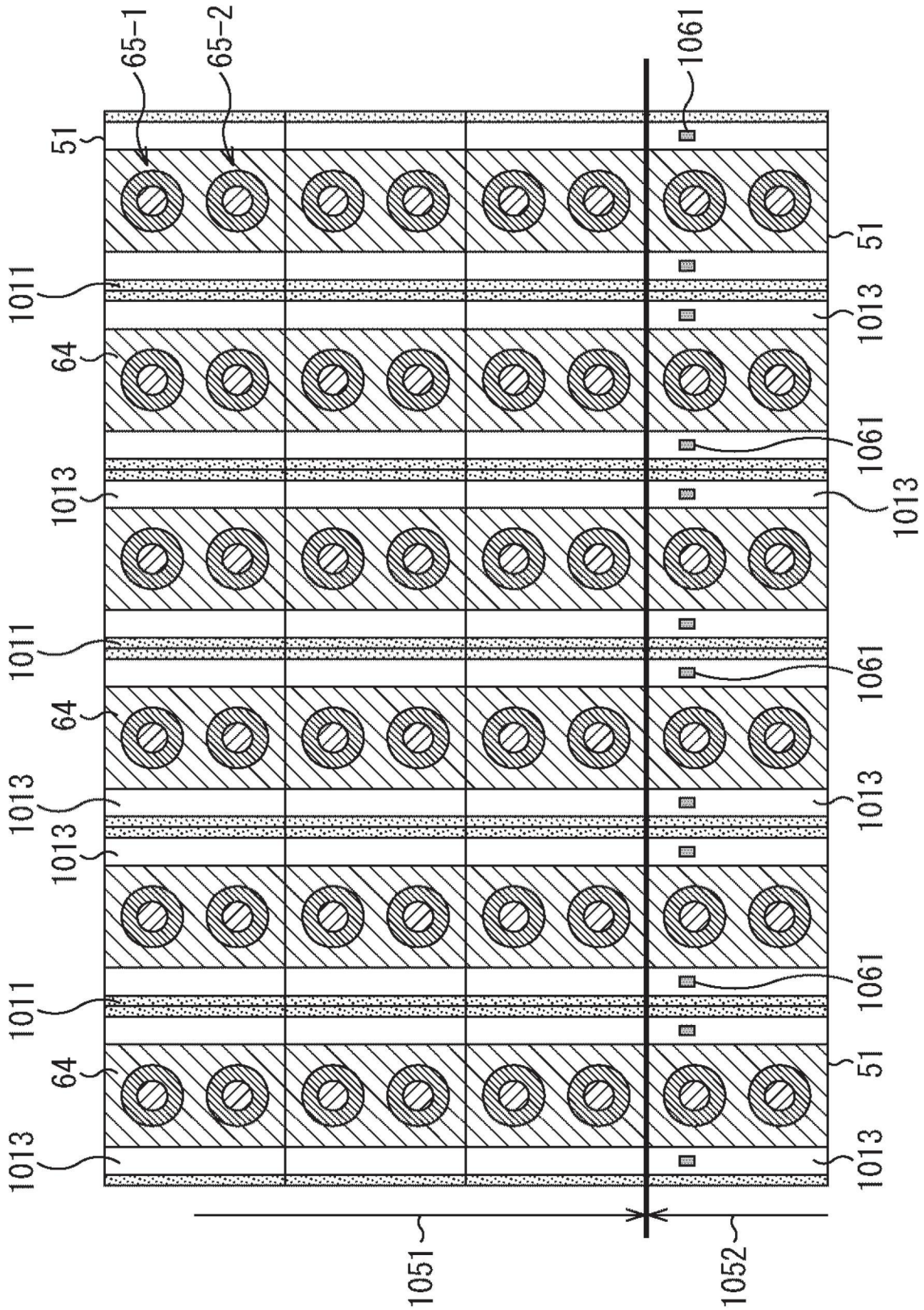
【圖47】


61
811
64
1012
1013
723
1011
P井
725
724
1013
64
63
66
61
811
Tr
62
65-2
64
Tr
63
62
65-2
Tr
63
62
65-2
815
Tr
63
66
M1
M2
M3
M4
812

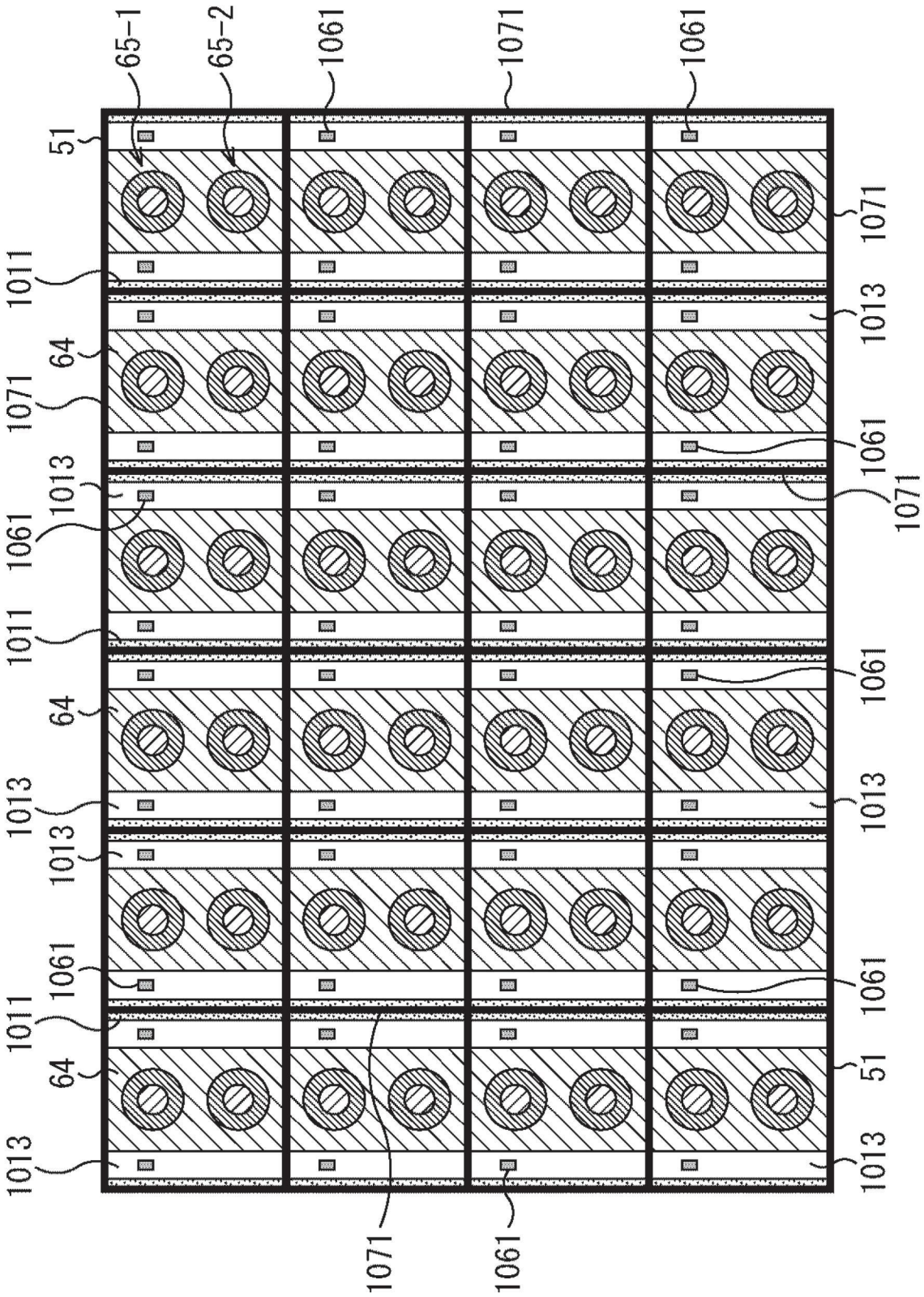
【圖48】


A
1022
1021
64
64
61
P井
1012
724
725
723
811
B
1022
1031
1033
1033
1032
1032
61
P井
1012
724
725
723
811

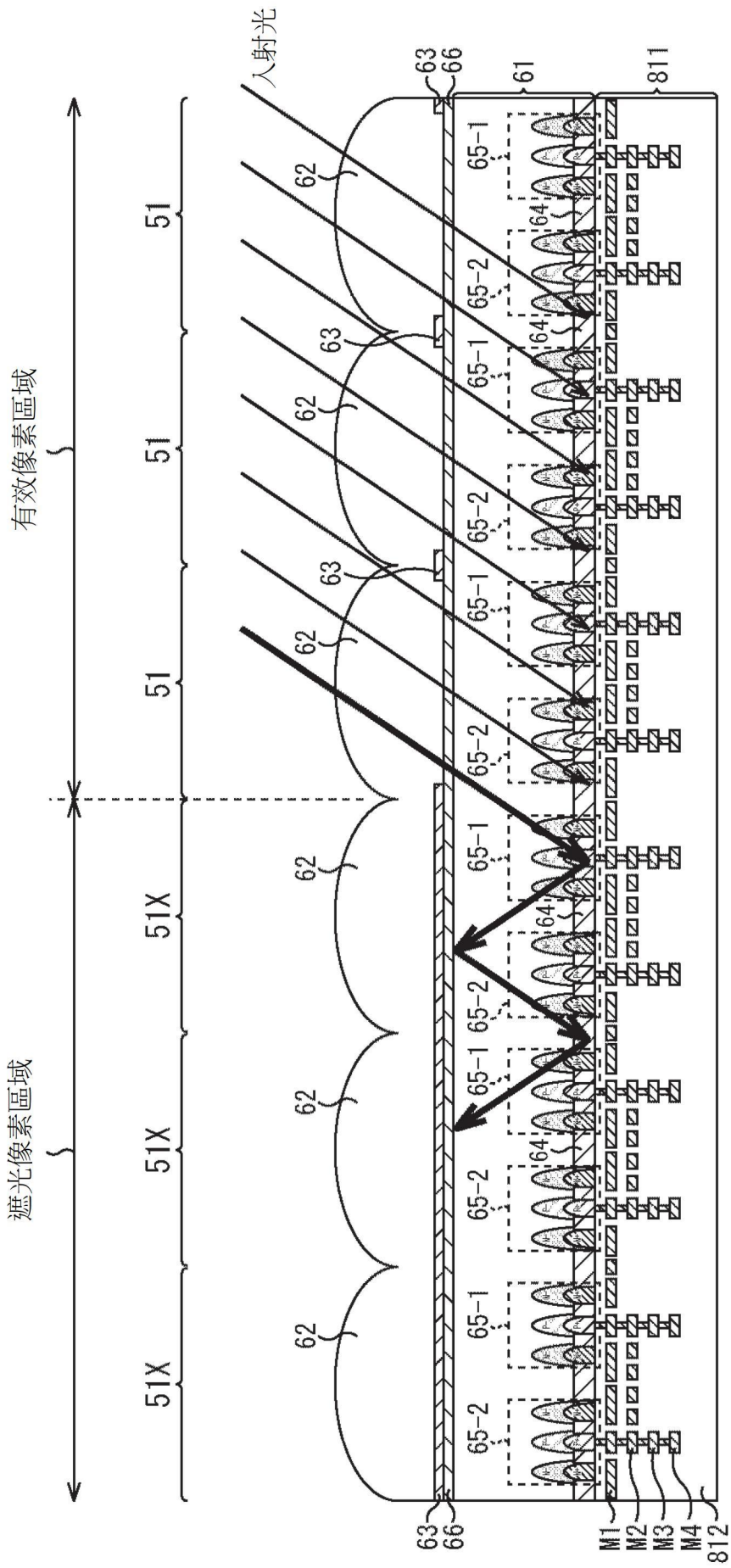
【圖49】



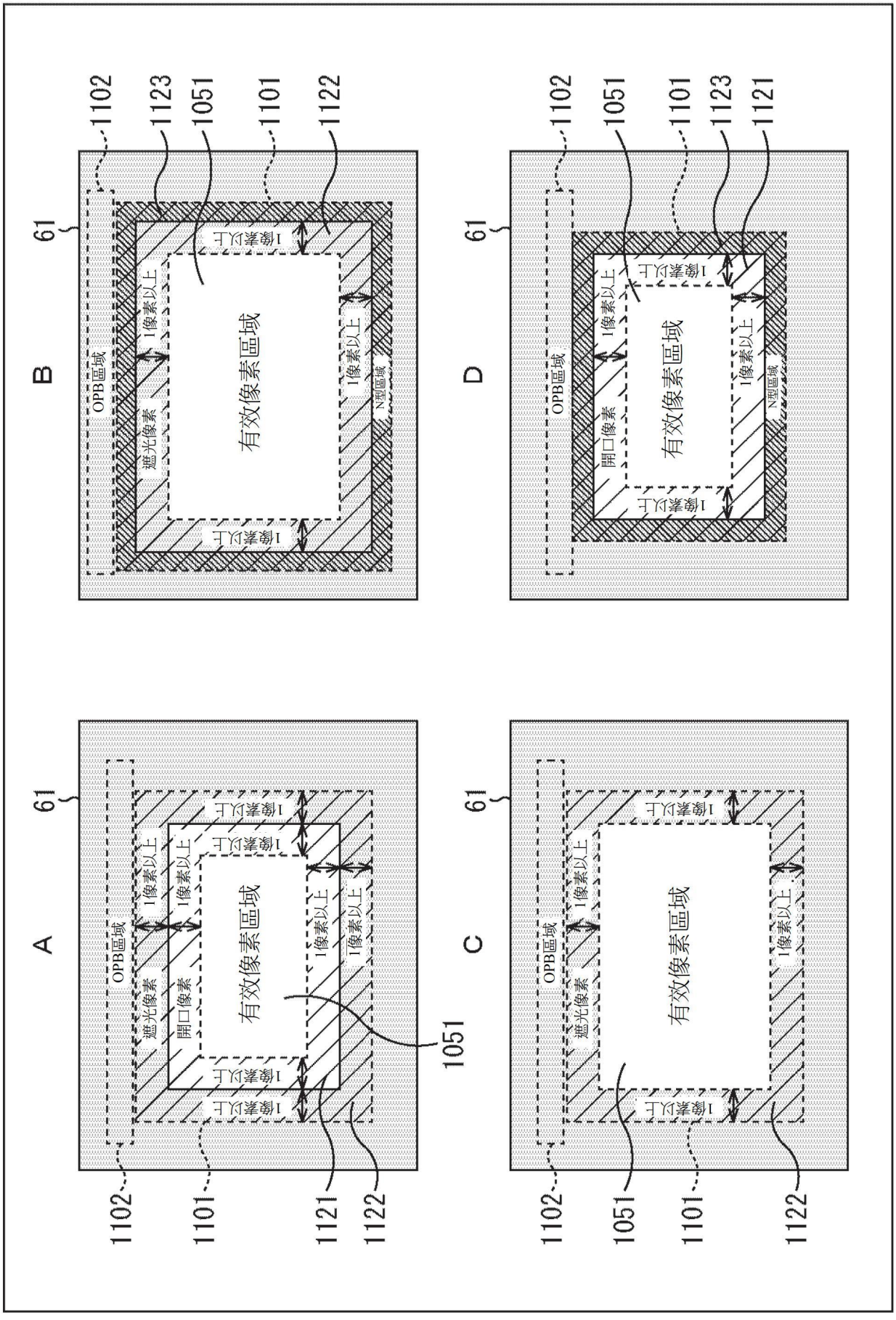
【圖50】


65-1
65-2
1061
1071
1061
51
1011
64
1071
1013
1061
1011
64
1013
1013
1061
1011
64
1013
1071
1061
1071
1013
1061
1071
1061
1013
1061
1013
1061
1013
51
1013

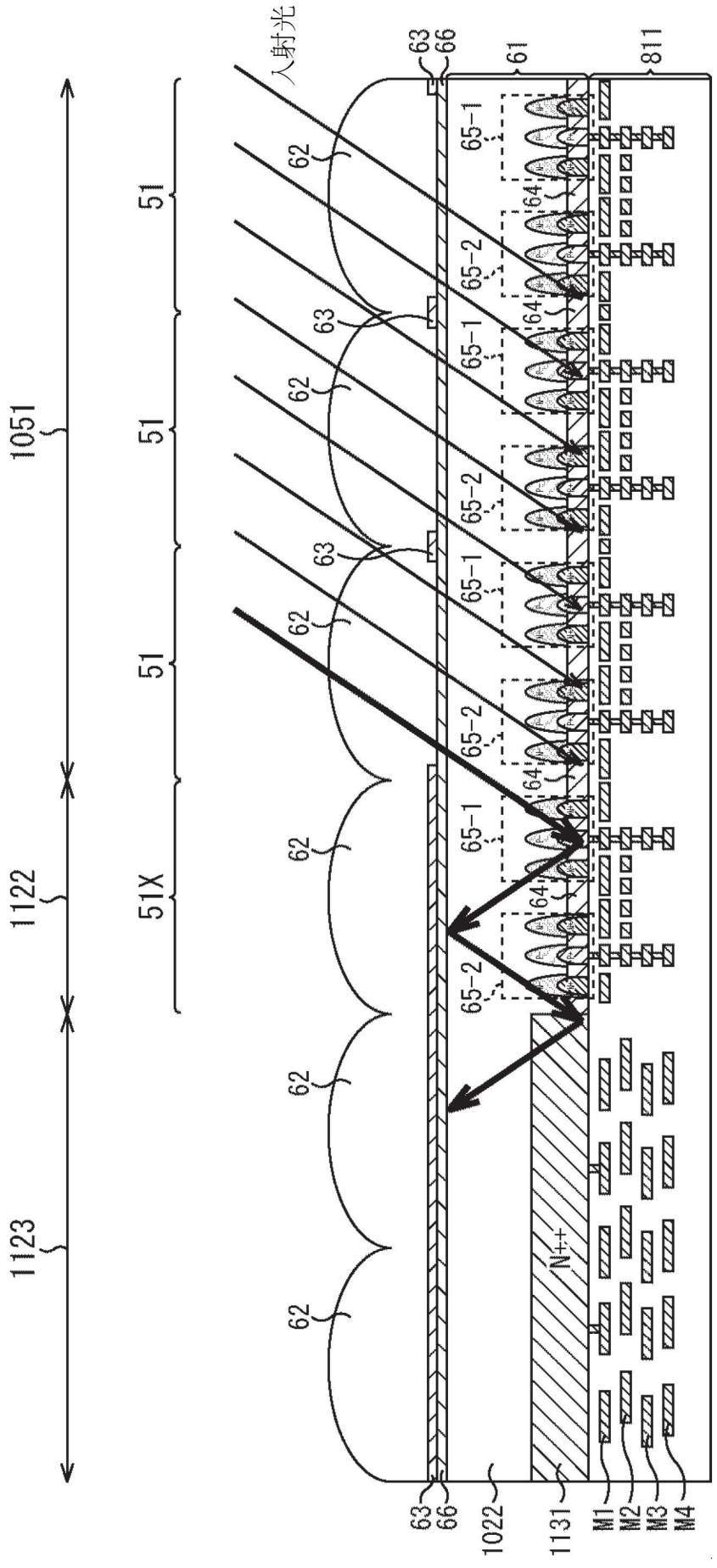
【圖51】


入射光
有效像素區域
遮光像素區域
51
51X
62
63
66
61
811
64
65-1
65-2
M1
M2
M3
M4
812

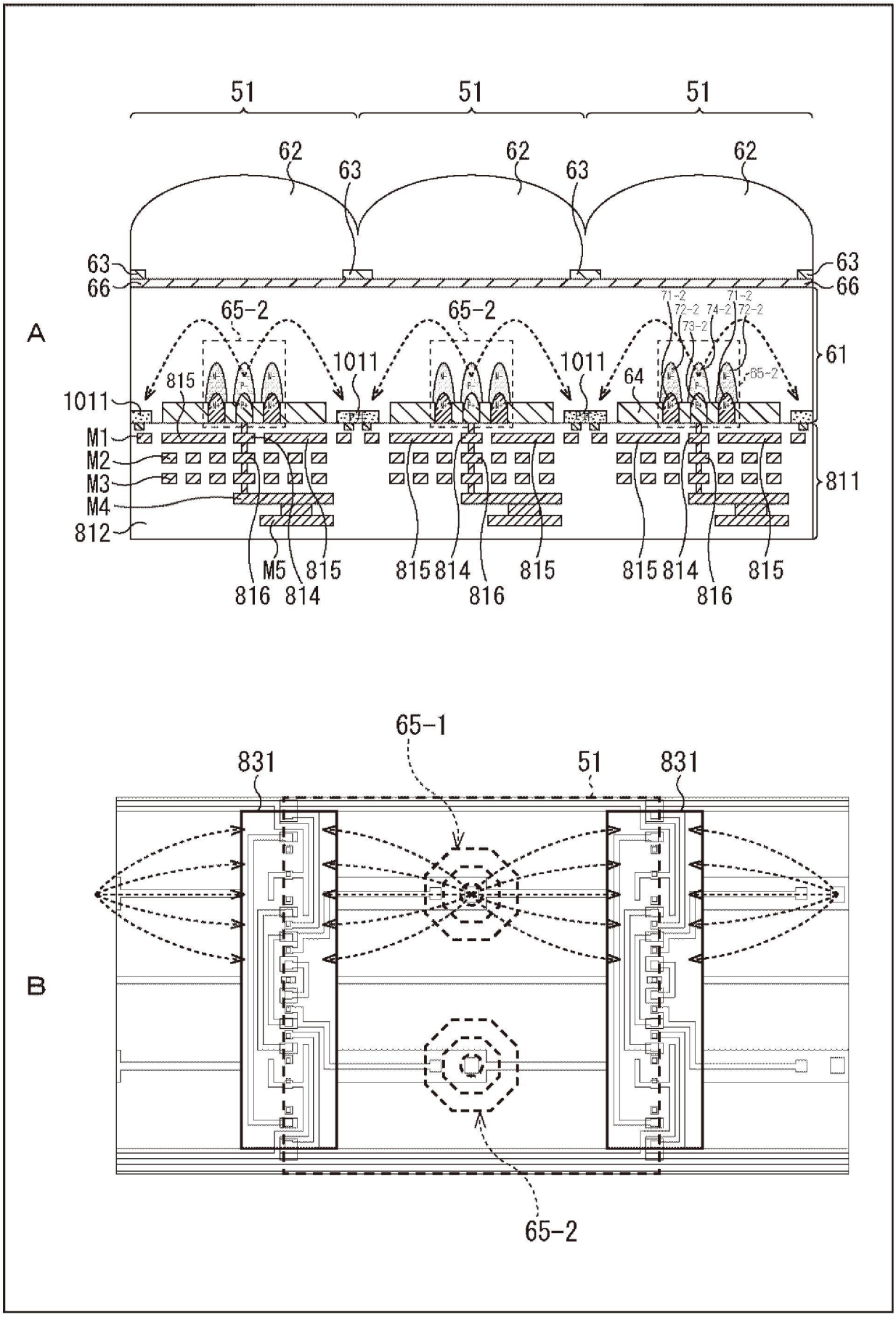
【圖52】


A
B
C
D
61
1102
1101
1121
1122
1123
1051
1121
OPB區域
遮光像素
開口像素
有效像素區域
N型區域
1像素以上

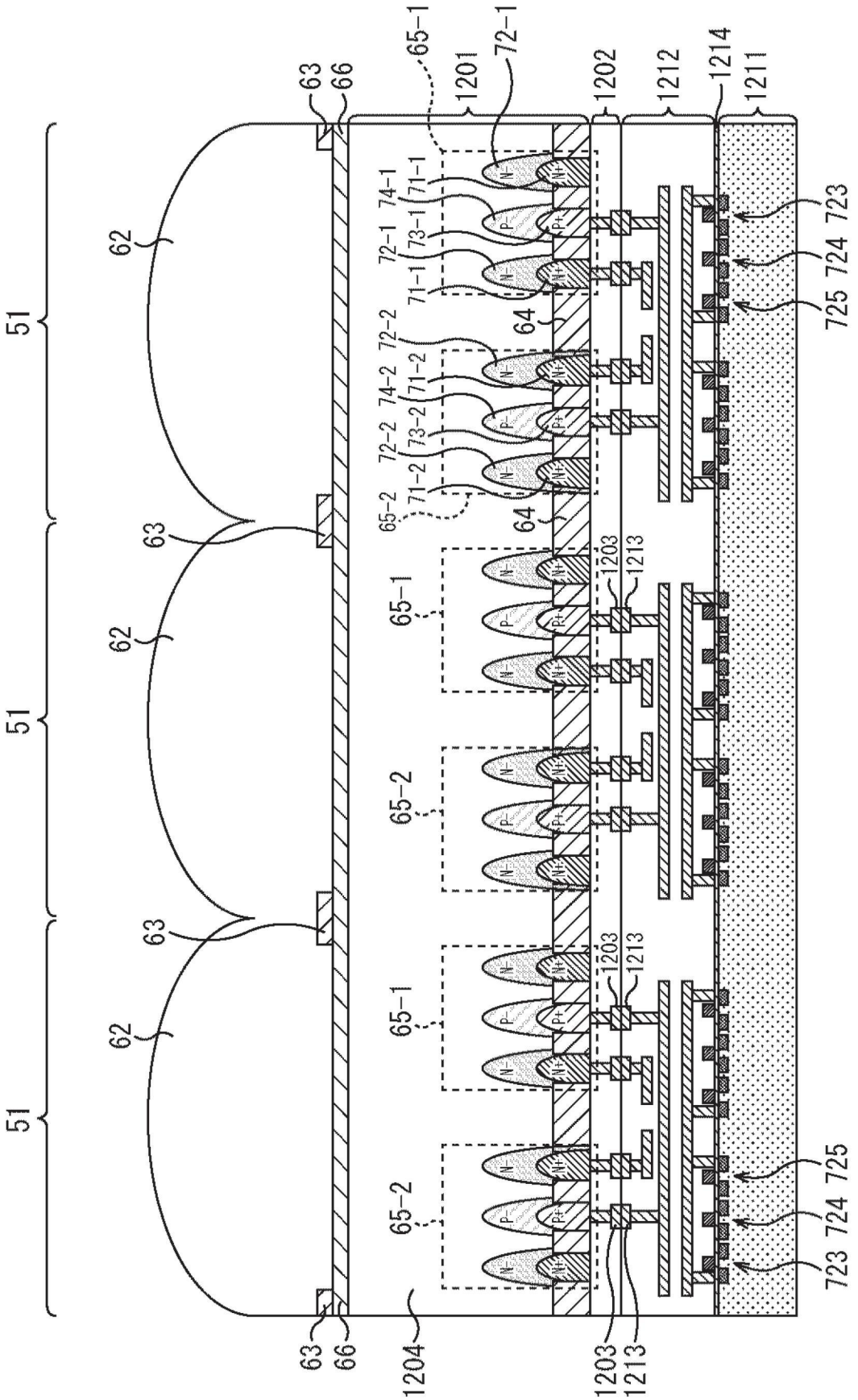
【圖53】


入射光
1051
1122
1123
51
51X
62
63
64
65-1
65-2
66
61
811
1022
1131
N++
M1
M2
M3
M4

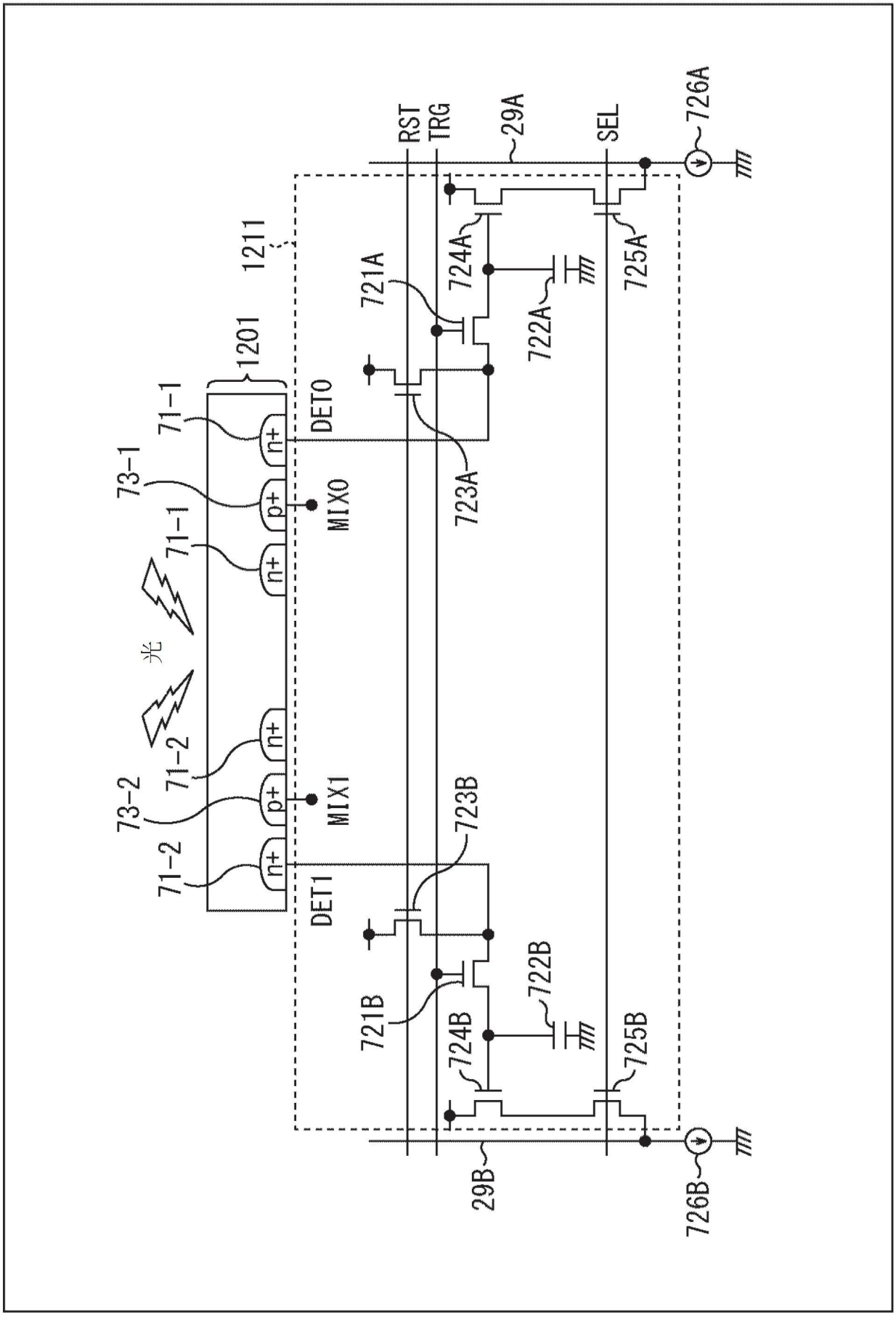
【圖54】


A
51
51
51
62
63
62
63
62
63
66
63
66
65-2
65-2
71-2
72-2
74-2
73-2
71-2
72-2
1011
1011
1011
815
64
61
M1
M2
M3
M4
812
811
M5
815
816
814
815
815
814
816
815
815
814
816
815
B
65-1
831
51
831
65-2

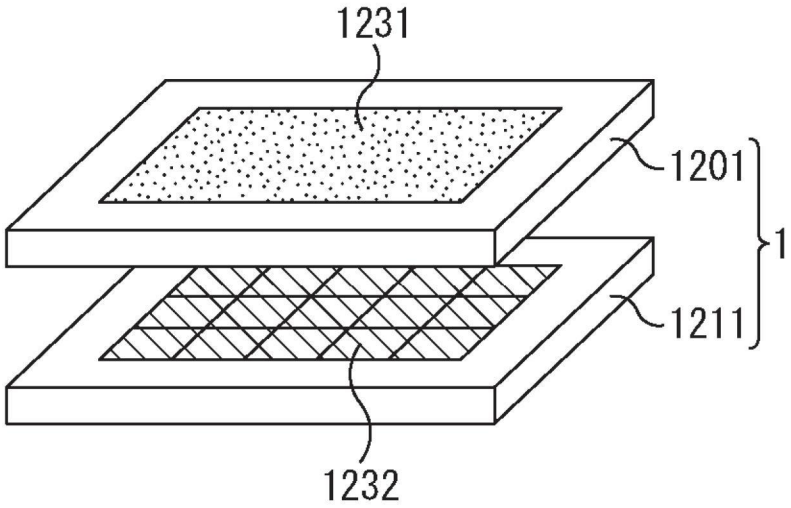
【圖55】


51
62
63
66
65-1
65-2
1201
1202
1212
1214
1211
72-1
71-1
74-1
73-1
64
72-2
71-2
74-2
73-2
1203
1213
1204
723
724
725
N-
N+
P-
P+

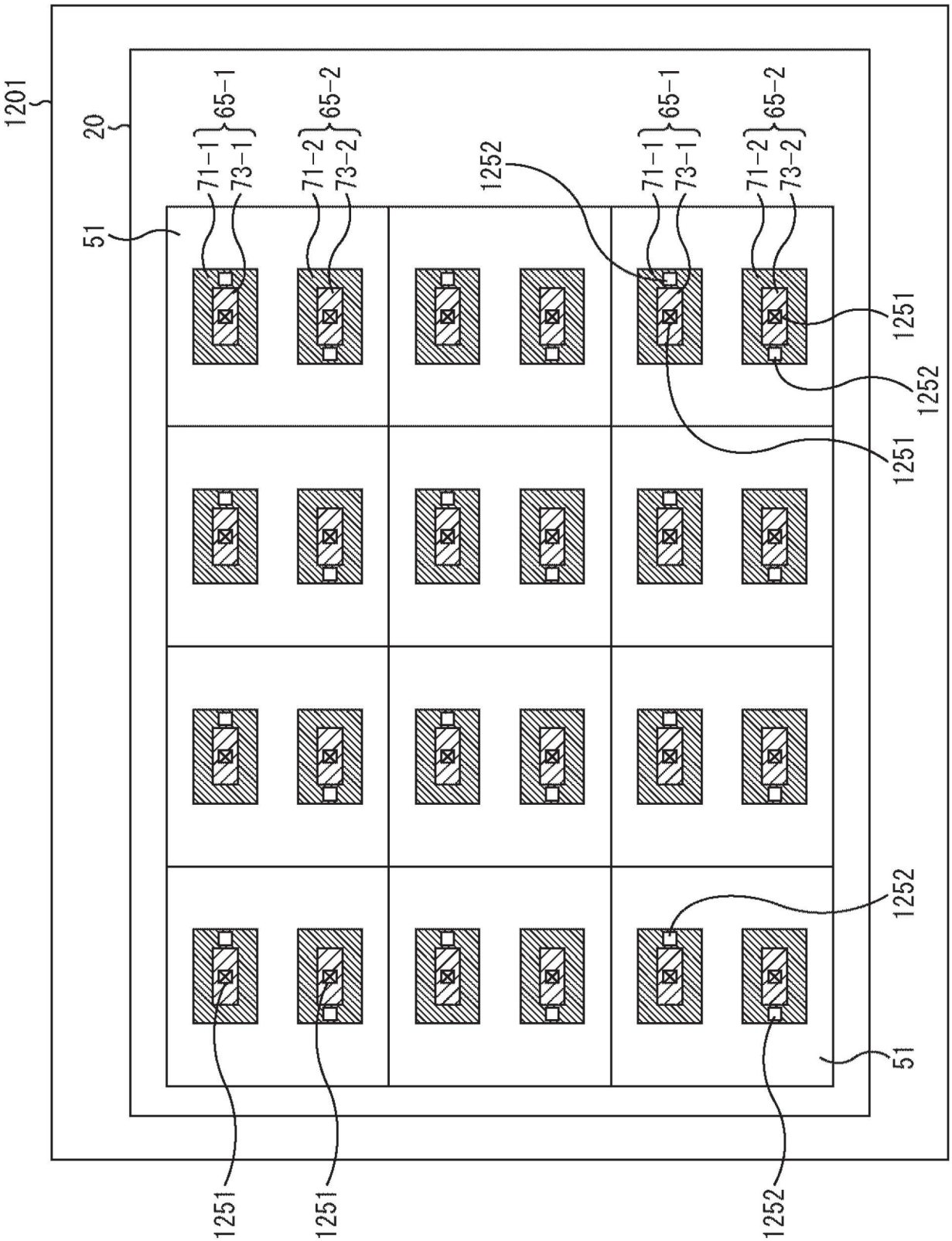
【圖56】


RST
TRG
29A
SEL
726A
1211
1201
721A
724A
722A
725A
71-1
73-1
DET0
MIX0
723A
光
71-2
73-2
MIX1
723B
DET1
721B
722B
724B
725B
29B
726B

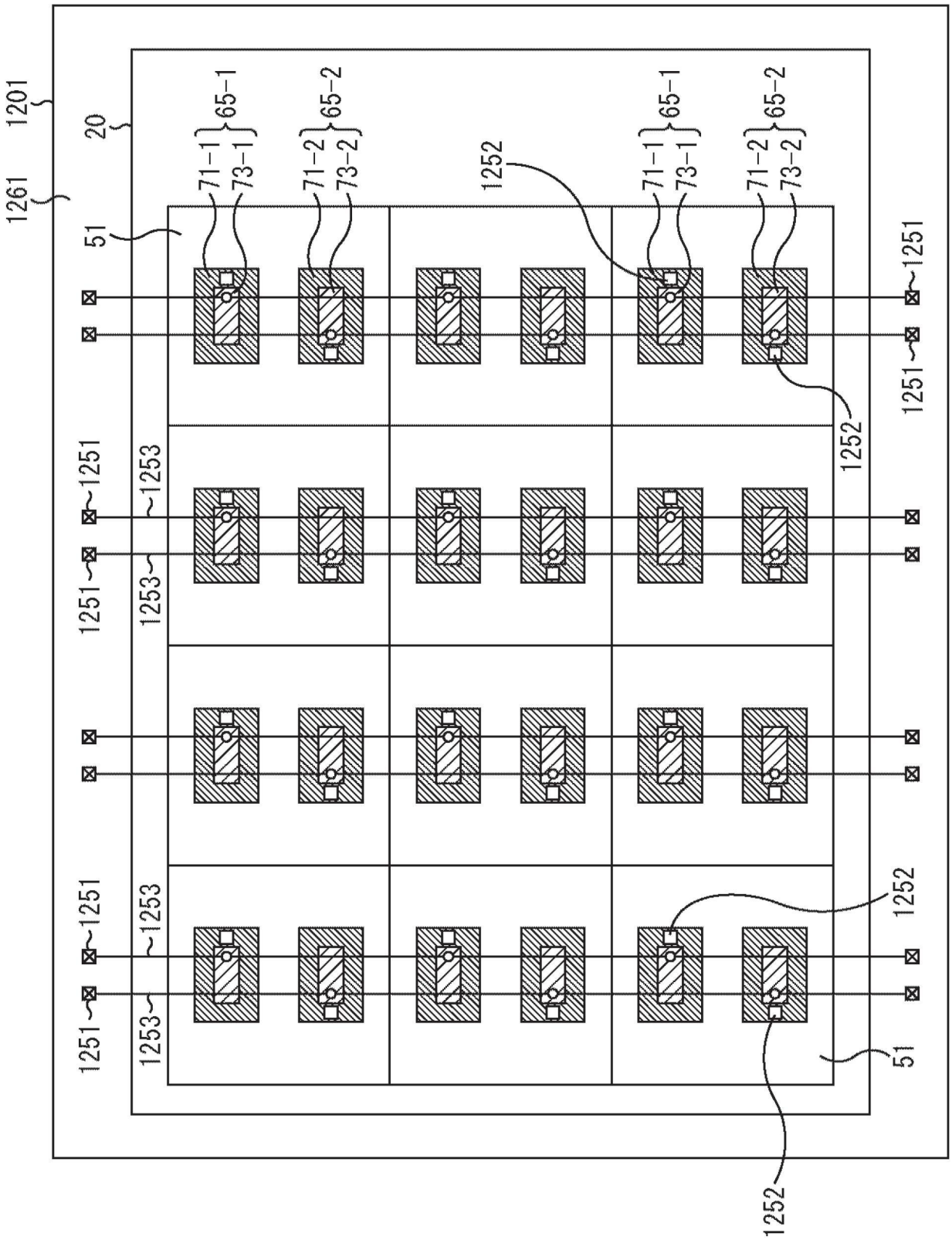
【圖57】



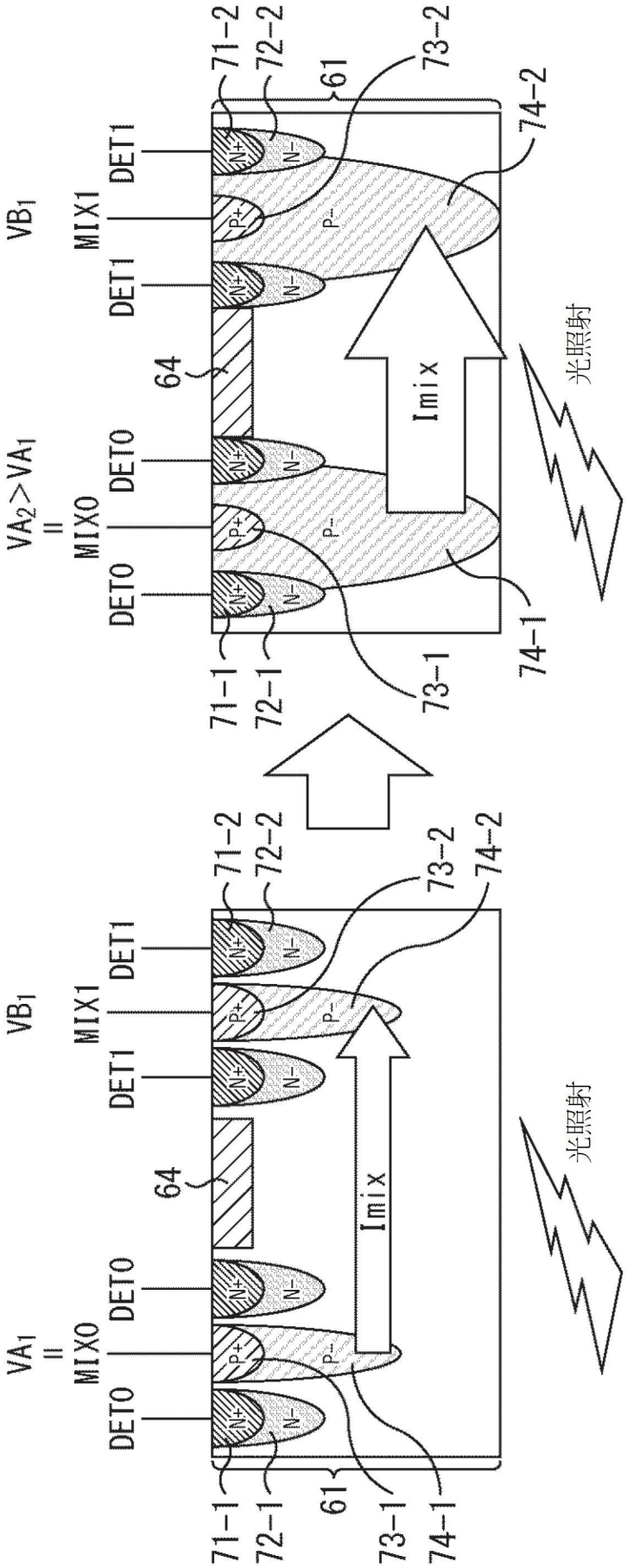
【圖58】


1201
20
51
65-1
71-1
73-1
65-2
71-2
73-2
1252
1251
1252
1251
1252
51
1251
1251
1252

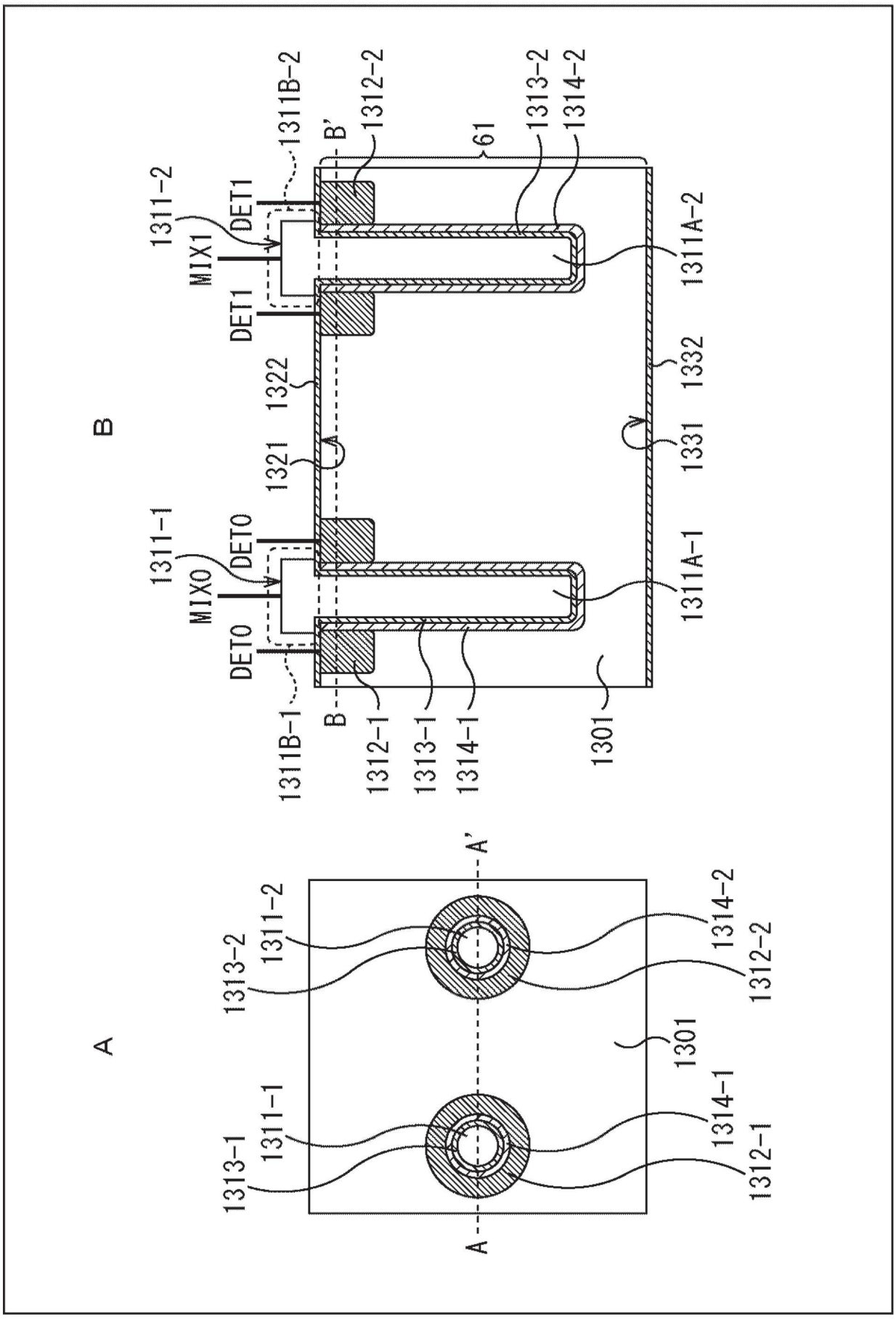
【圖59】



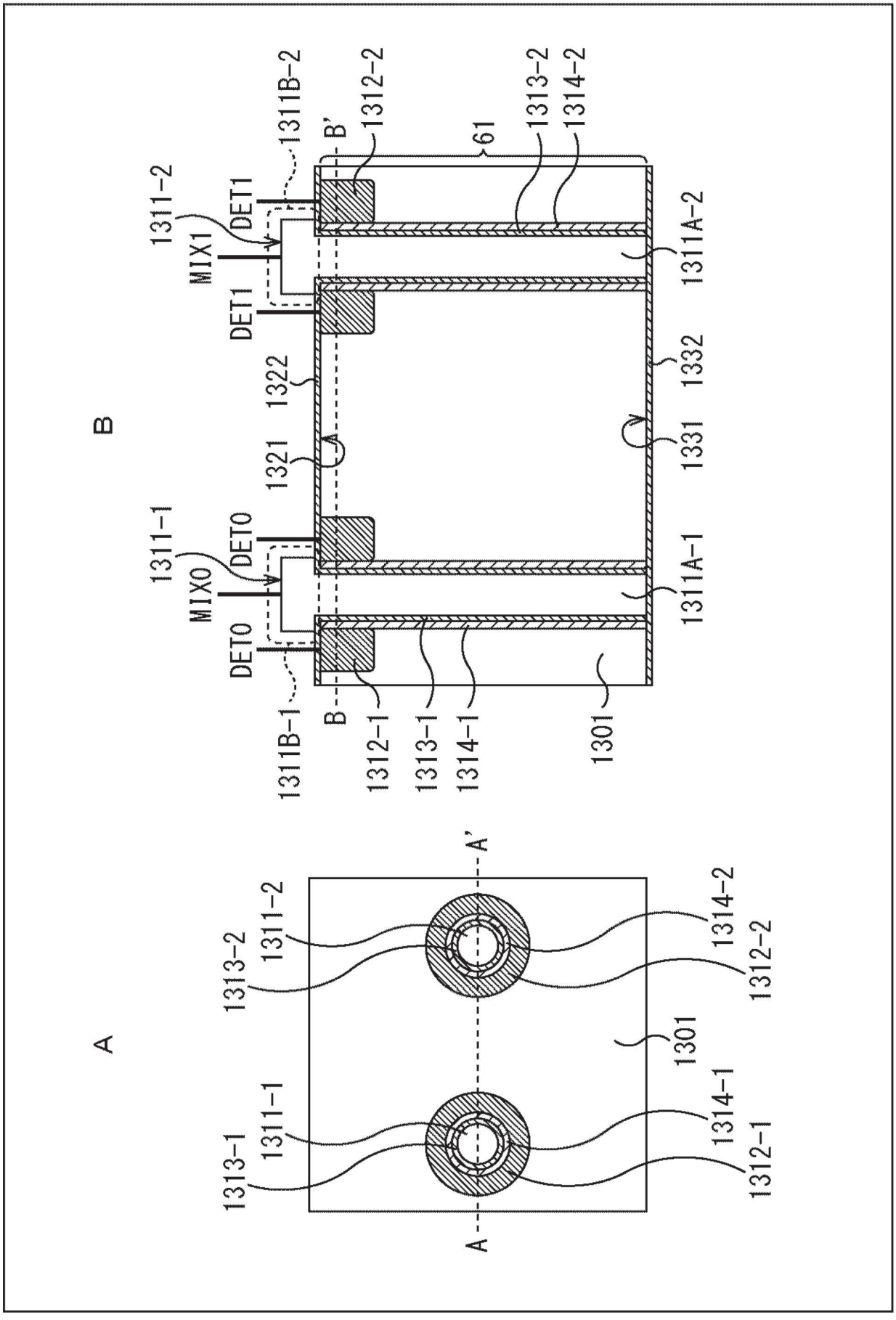
【圖60】


VB1
MIX1
DET1
VA2>VA1
=
MIX0
DET0
VA1
=
MIX0
DET0
N+
N-
P+
P-
64
61
71-1
72-1
73-1
74-1
71-2
72-2
73-2
74-2
Imix
光照射

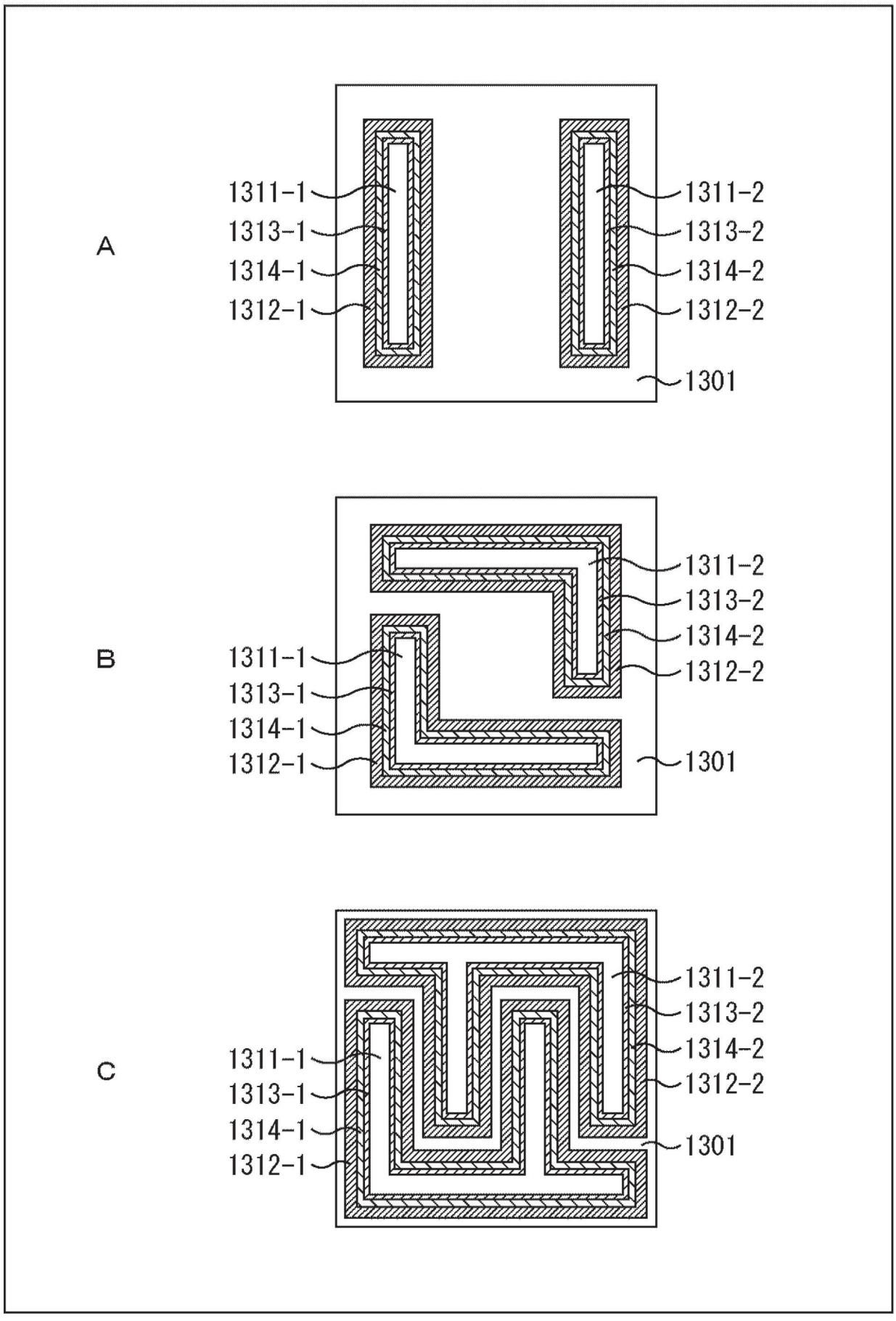
【圖61】


B
1311-2
MIX1
DET1
DET1
1311B-2
B'
1312-2
61
1313-2
1314-2
1311A-2
1322
1321
A
1332
1331
1311-1
MIX0
DET0
DET0
1311A-1
1311B-1
B
1312-1
1313-1
1314-1
1301
A
1313-2
1311-2
A'
1314-2
1312-2
1301
1313-1
1311-1
1314-1
1312-1
A

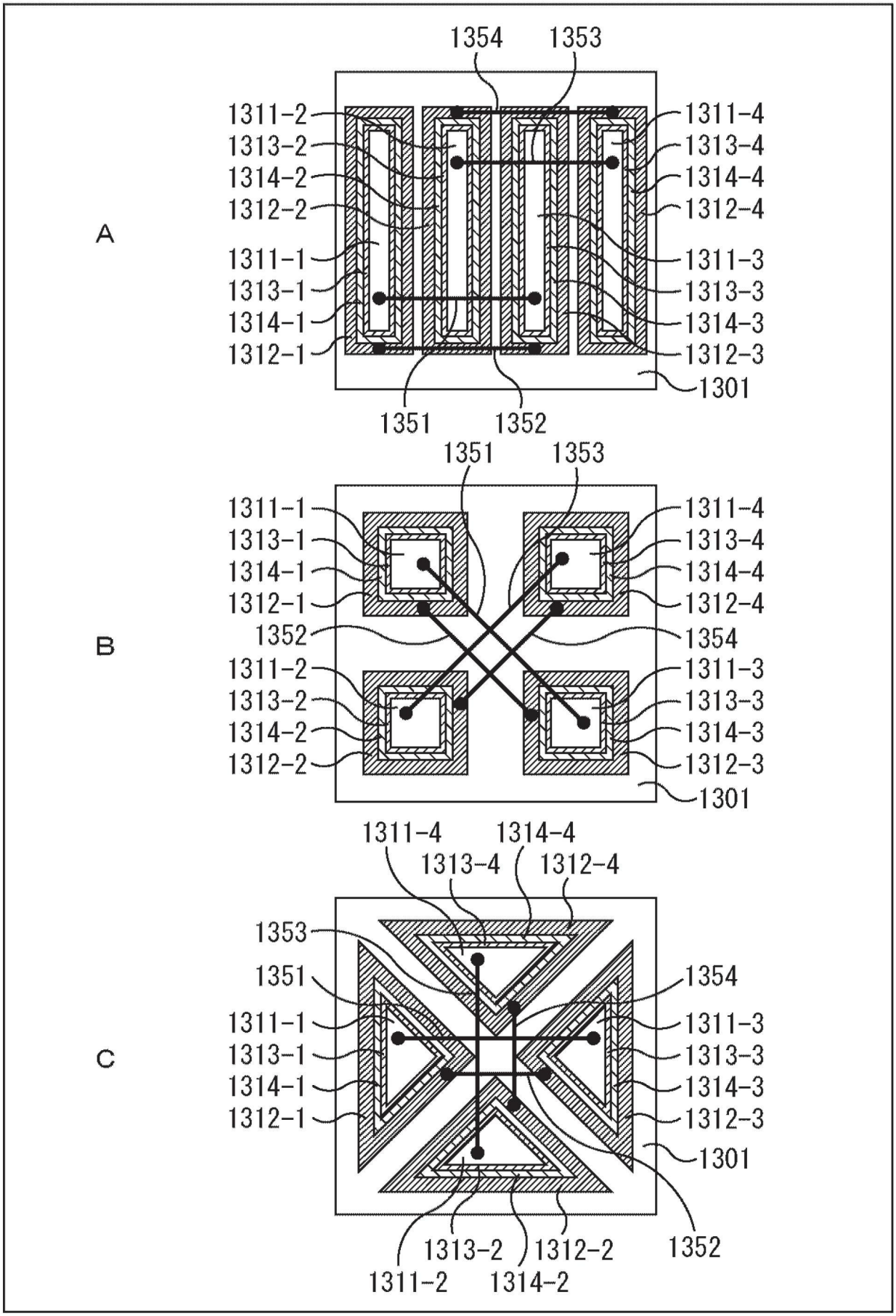
【圖62】


A
A'
1313-2
1311-2
1314-2
1312-2
1301
1313-1
1311-1
1314-1
1312-1
B
B'
1311B-2
1312-2
61
1313-2
1314-2
1311-2
DET1
MIX1
DET1
1311A-2
1322
1332
1321
1331
1311-1
DET0
MIX0
DET0
1311A-1
1311B-1
1312-1
1313-1
1314-1
1301

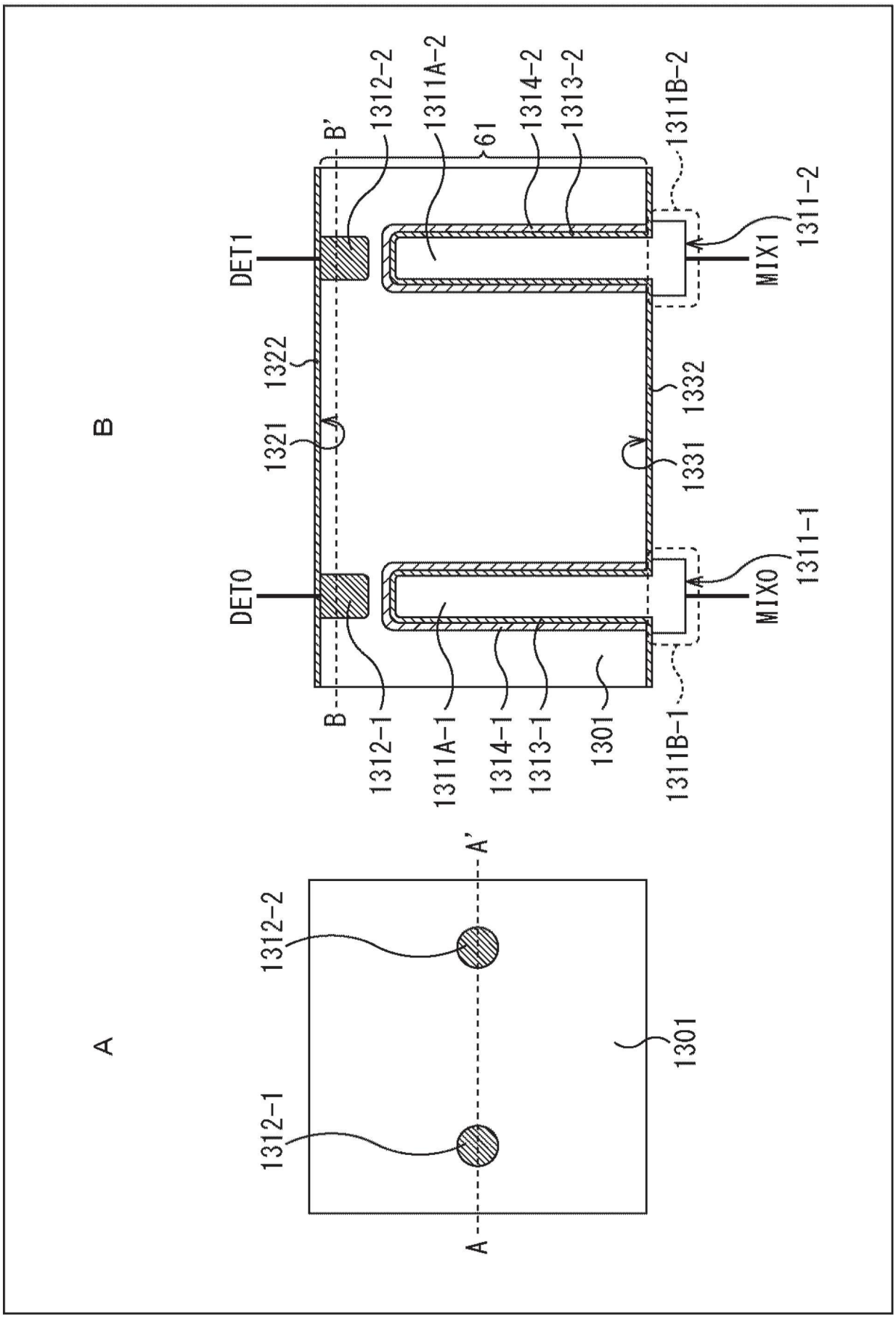
【圖63】


A
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301
B
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301
C
1311-1
1313-1
1314-1
1312-1
1311-2
1313-2
1314-2
1312-2
1301

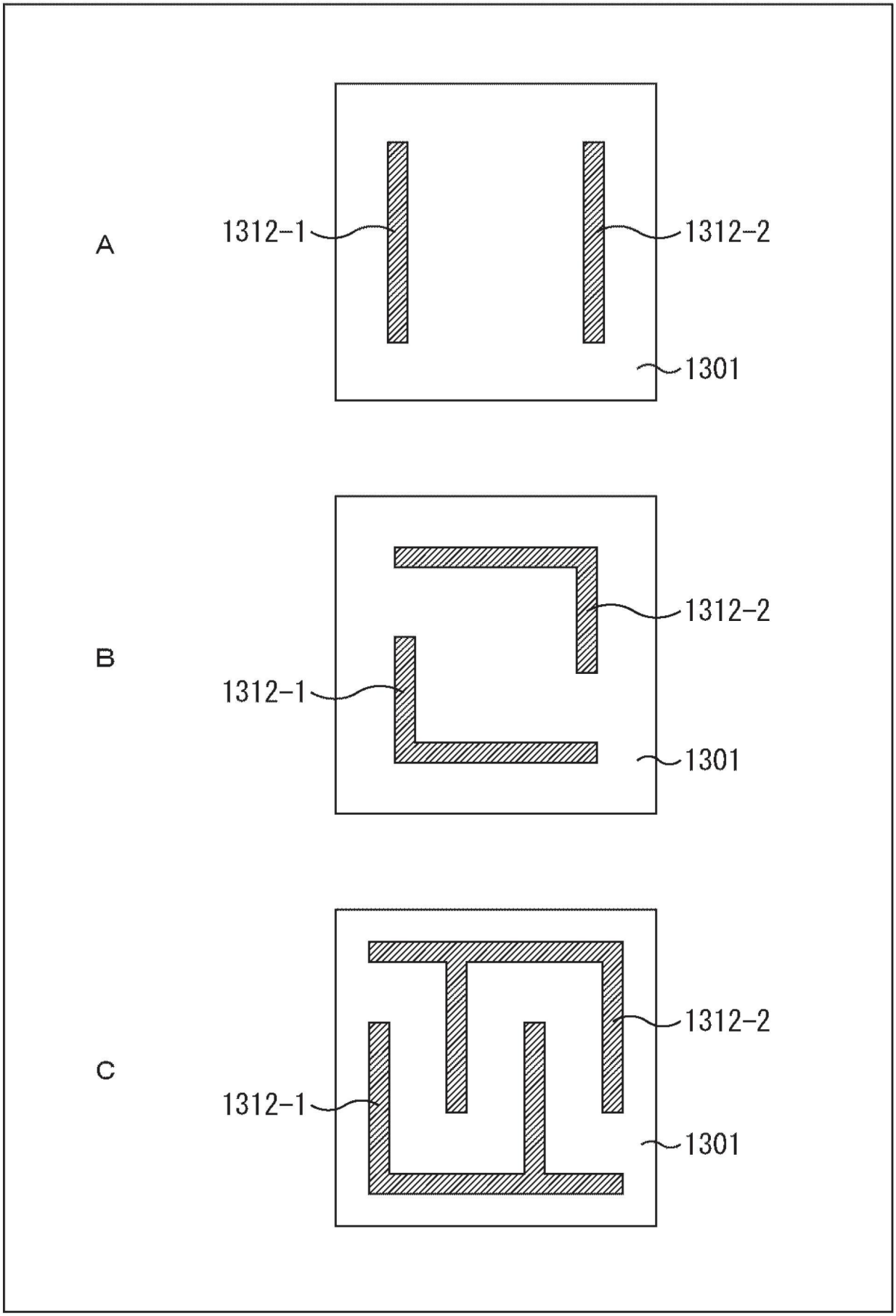
【圖64】


A
1354
1353
1311-2
1313-2
1314-2
1312-2
1311-1
1313-1
1314-1
1312-1
1311-4
1313-4
1314-4
1312-4
1311-3
1313-3
1314-3
1312-3
1301
1351
1352
B
1351
1353
1311-1
1313-1
1314-1
1312-1
1352
1311-2
1313-2
1314-2
1312-2
1311-4
1313-4
1314-4
1312-4
1354
1311-3
1313-3
1314-3
1312-3
1301
C
1311-4
1314-4
1313-4
1312-4
1353
1351
1311-1
1313-1
1314-1
1312-1
1354
1311-3
1313-3
1314-3
1312-3
1301
1313-2
1312-2
1352
1311-2
1314-2

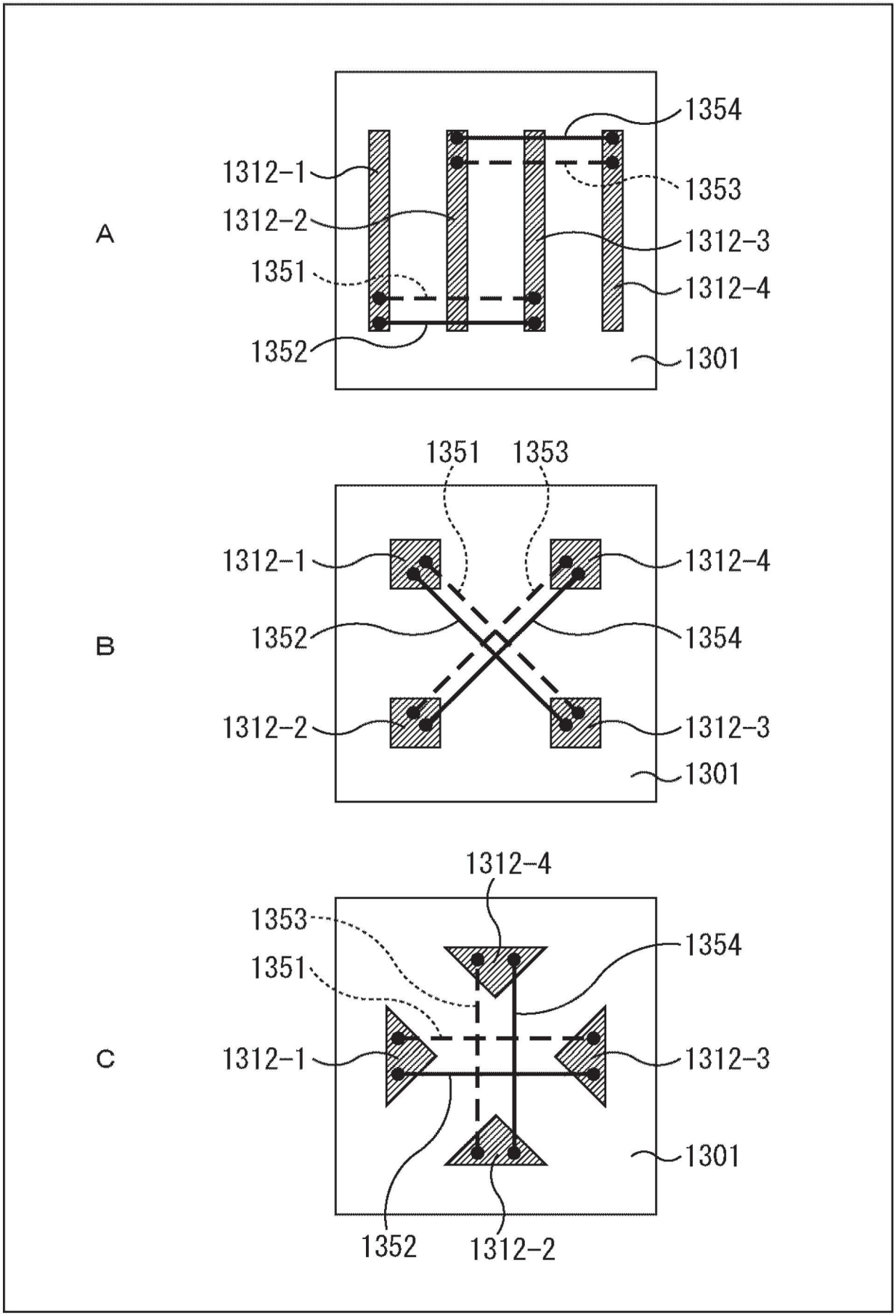
【圖65】


B
DET1
DET0
1322
1321
1312-2
1311A-2
B'
61
1314-2
1313-2
1311B-2
1311-2
MIX1
1332
1331
1311-1
MIX0
1312-1
1311A-1
1314-1
1313-1
1301
1311B-1
A
A'
1312-2
1312-1
1301

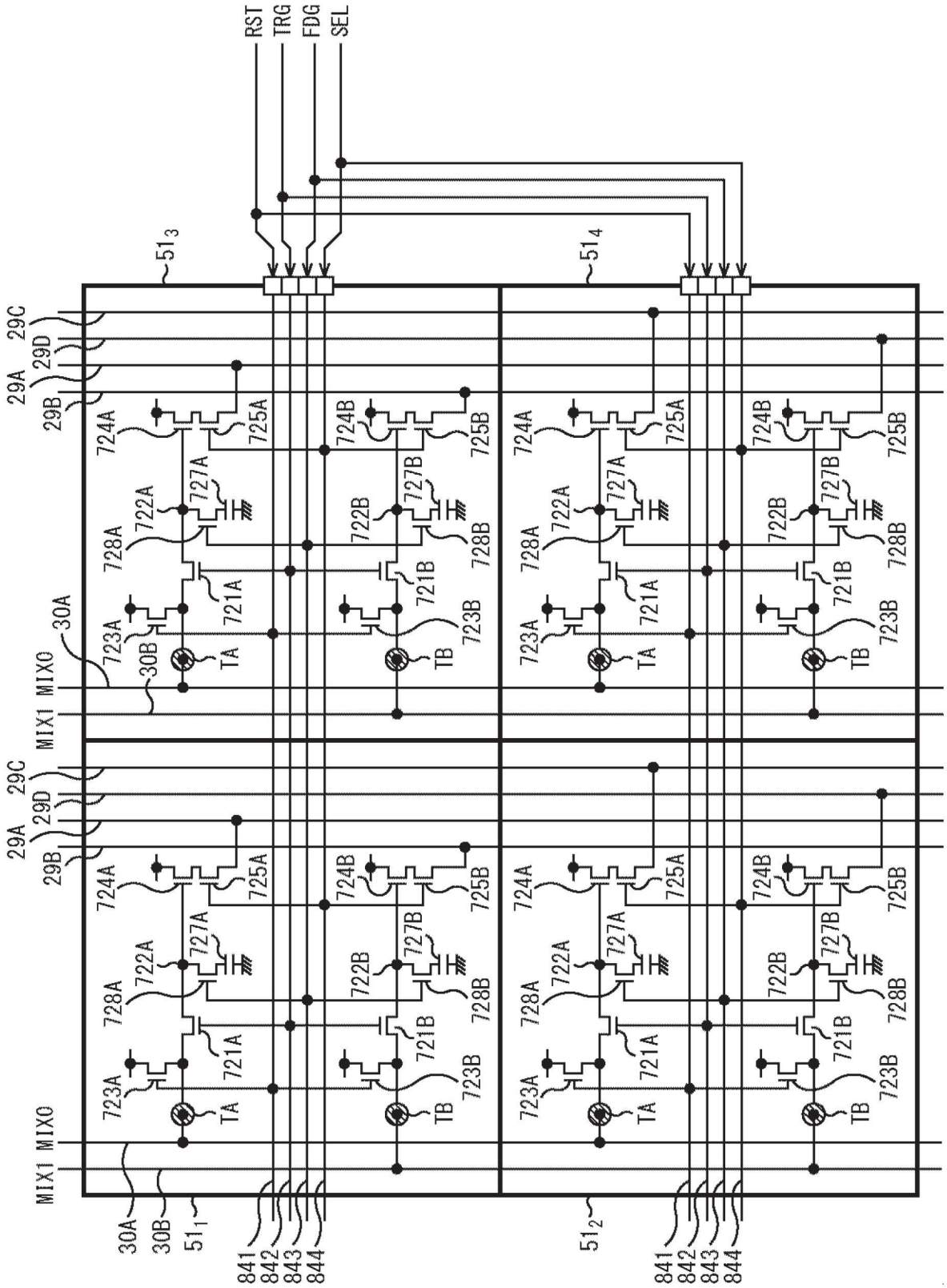
【圖66】



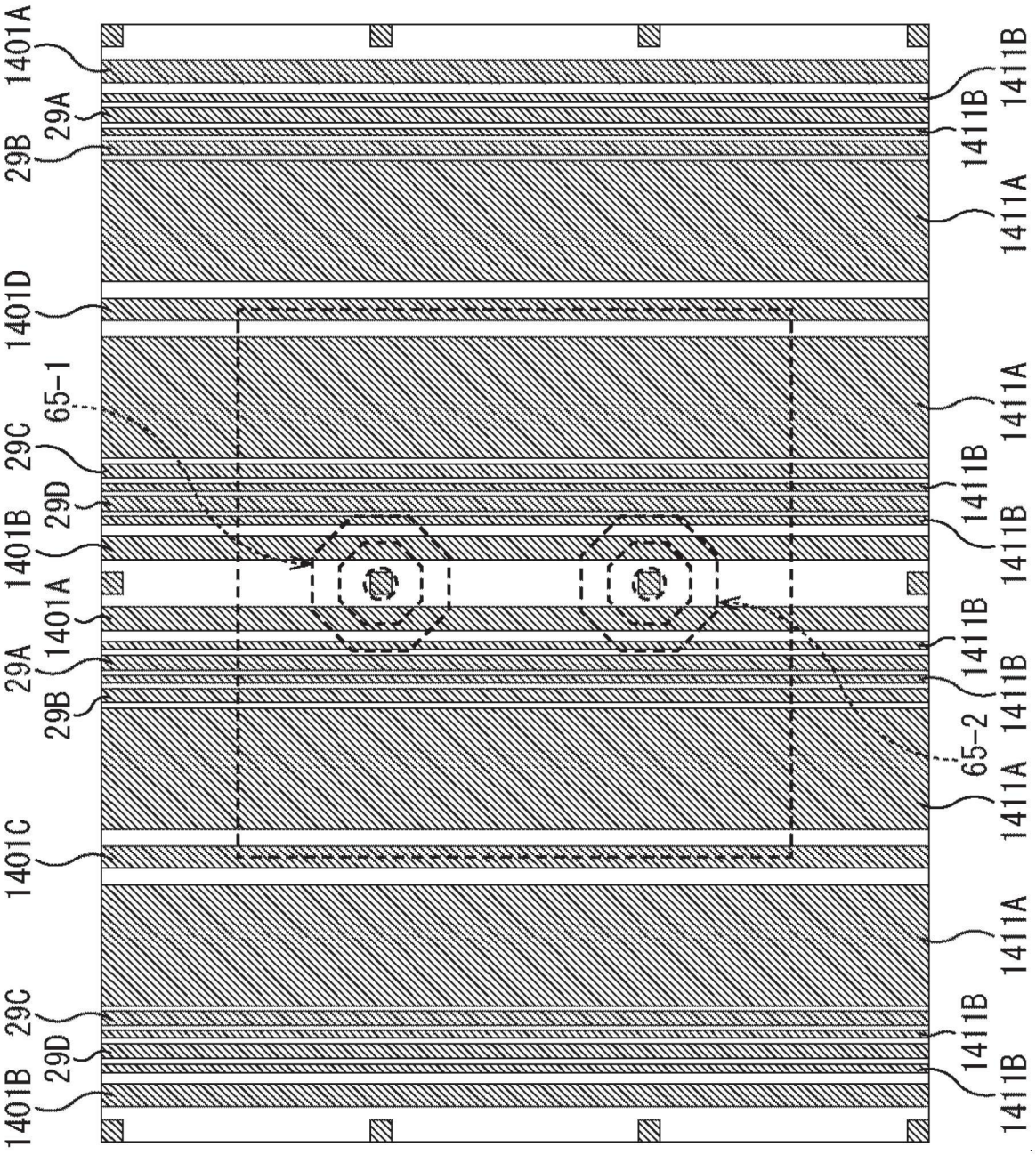
【圖67】


A
1354
1312-1
1353
1312-2
1312-3
1351
1312-4
1352
1301
B
1351
1353
1312-1
1312-4
1352
1354
1312-2
1312-3
1301
C
1312-4
1353
1354
1351
1312-1
1312-3
1301
1352
1312-2

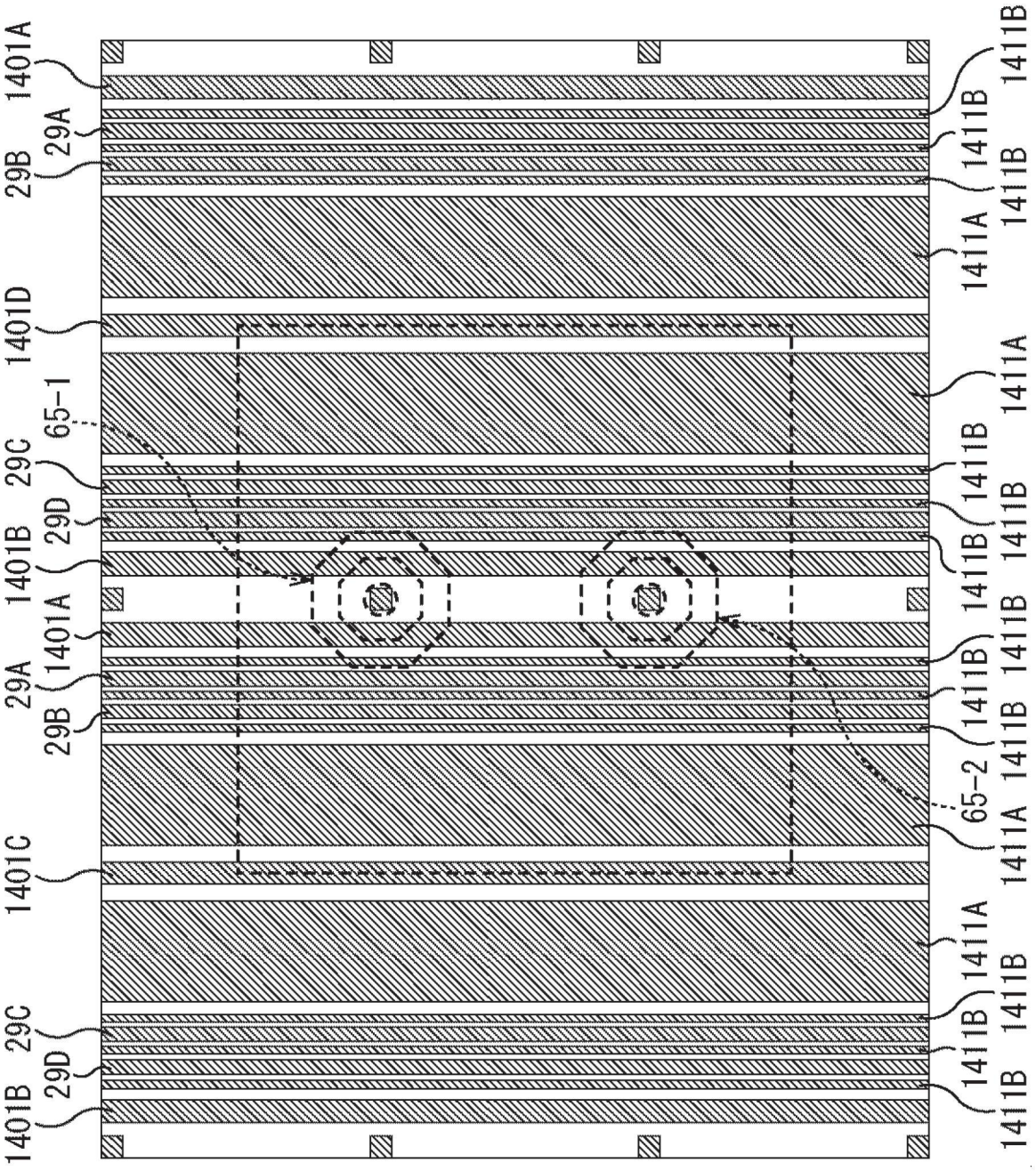
【圖68】


RST
TRG
FDG
SEL
51 3
51 4
29C
29D
29A
29B
724A
725A
724B
725B
727A
727B
722A
722B
728A
728B
721A
721B
723A
723B
30A
30B
MIX0
MIX1
TA
TB
51 1
51 2
841
842
843
844

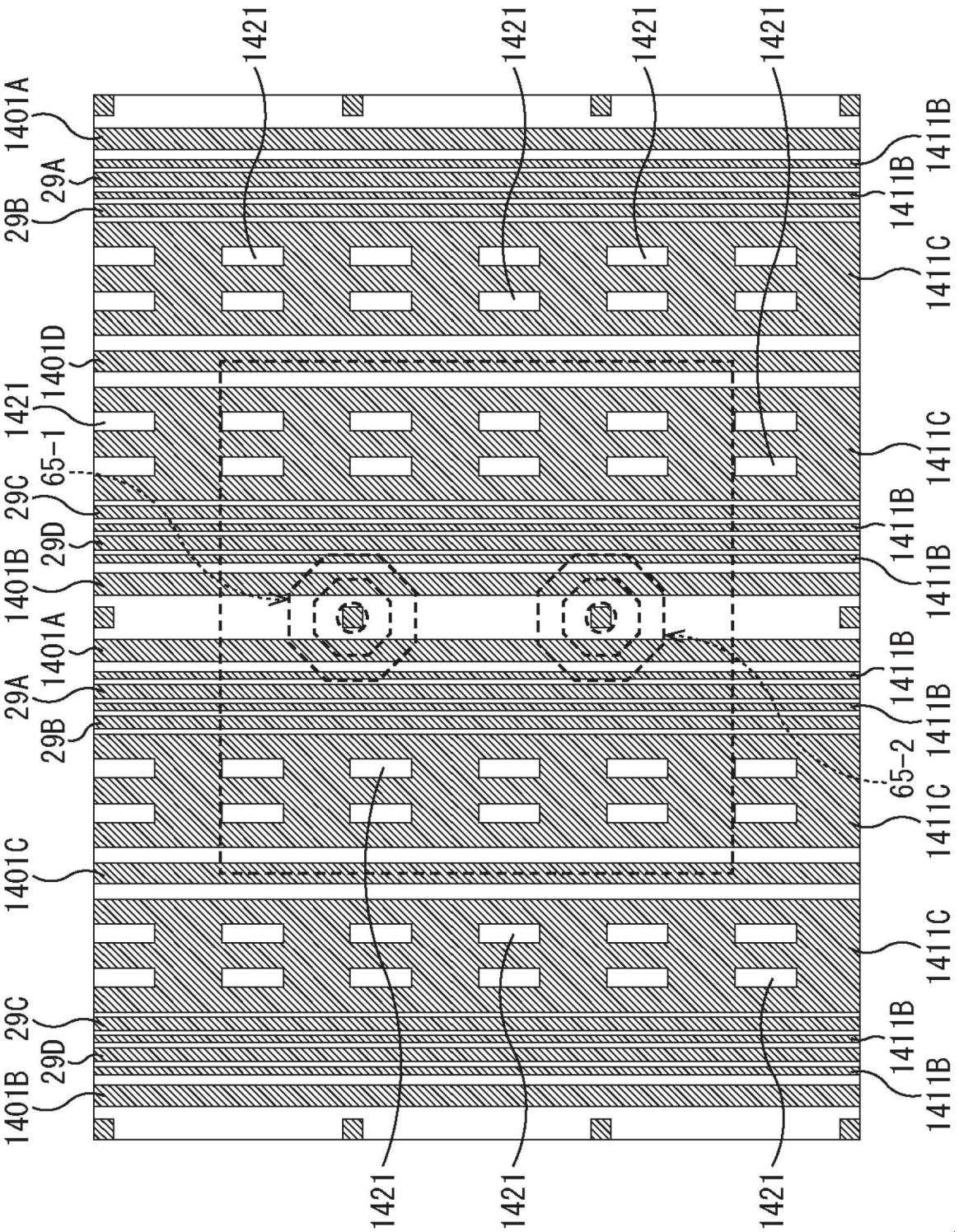
【圖69】


1401A
29A
29B
1401D
65-1
29C
29D
1401B
1401A
29A
29B
65-2
1401C
29C
29D
1401B
1411B
1411A
1411B
1411A
1411B
1411A
1411B
1411A
1411B
1411B

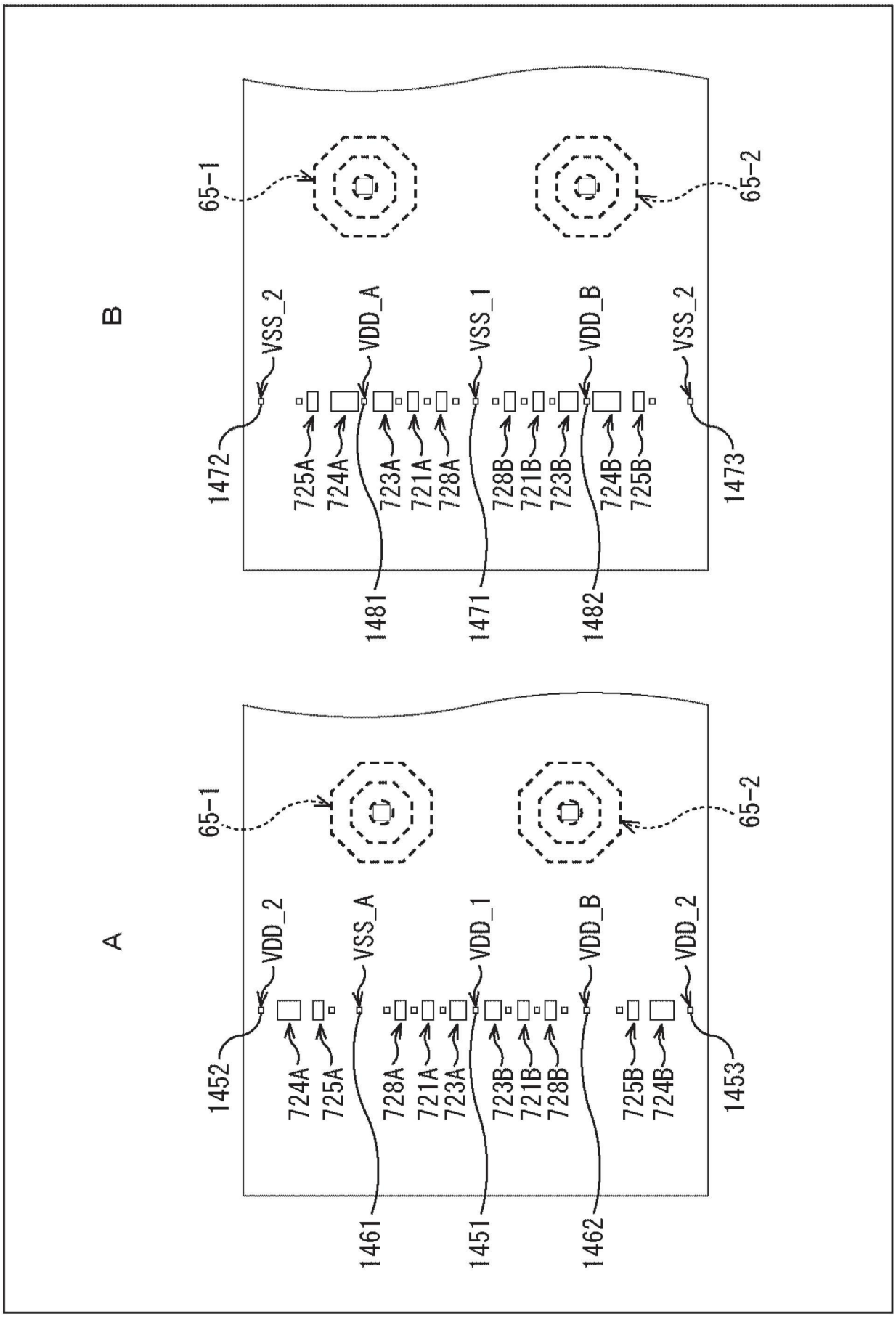
【圖70】


1401A
29A
29B
1401D
65-1
29C
29D
1401B
1401A
29A
29B
65-2
1401C
29C
29D
1401B
1411A
1411B
1411B
1411A
1411B
1411B
1411A
1411B
1411B
1411A
1411B
1411B
1411A
1411B
1411B
1411A
1411B
1411B

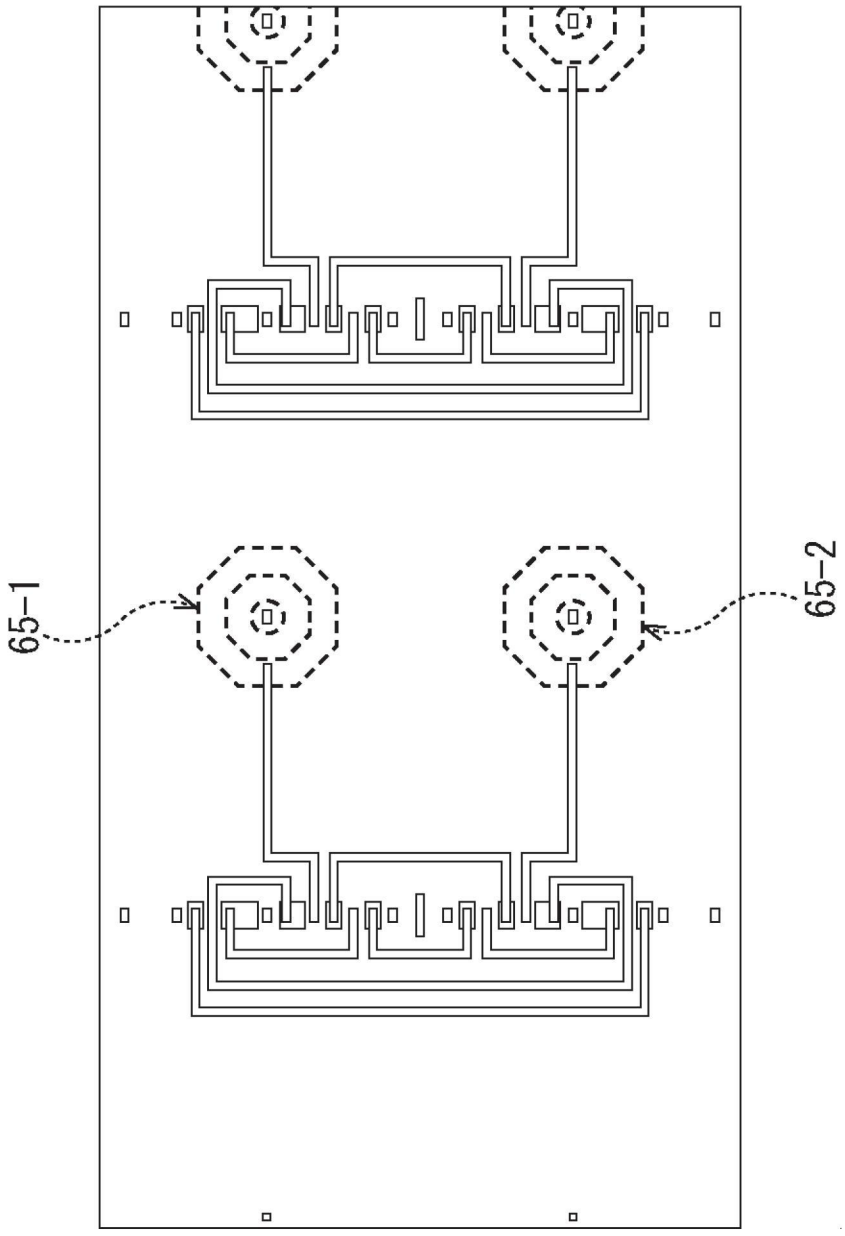
【圖71】


1421
1421
1421
1421
1401A
29A
29B
1411B
1411B
1411C
1401D
1421
65-1
29C
29D
1401B
1401A
29A
29B
65-2
1401C
29C
29D
1401B
1411B
1411C
1411B
1411C
1411B
1411B
1411C
1411B
1411B
1421
1421
1421

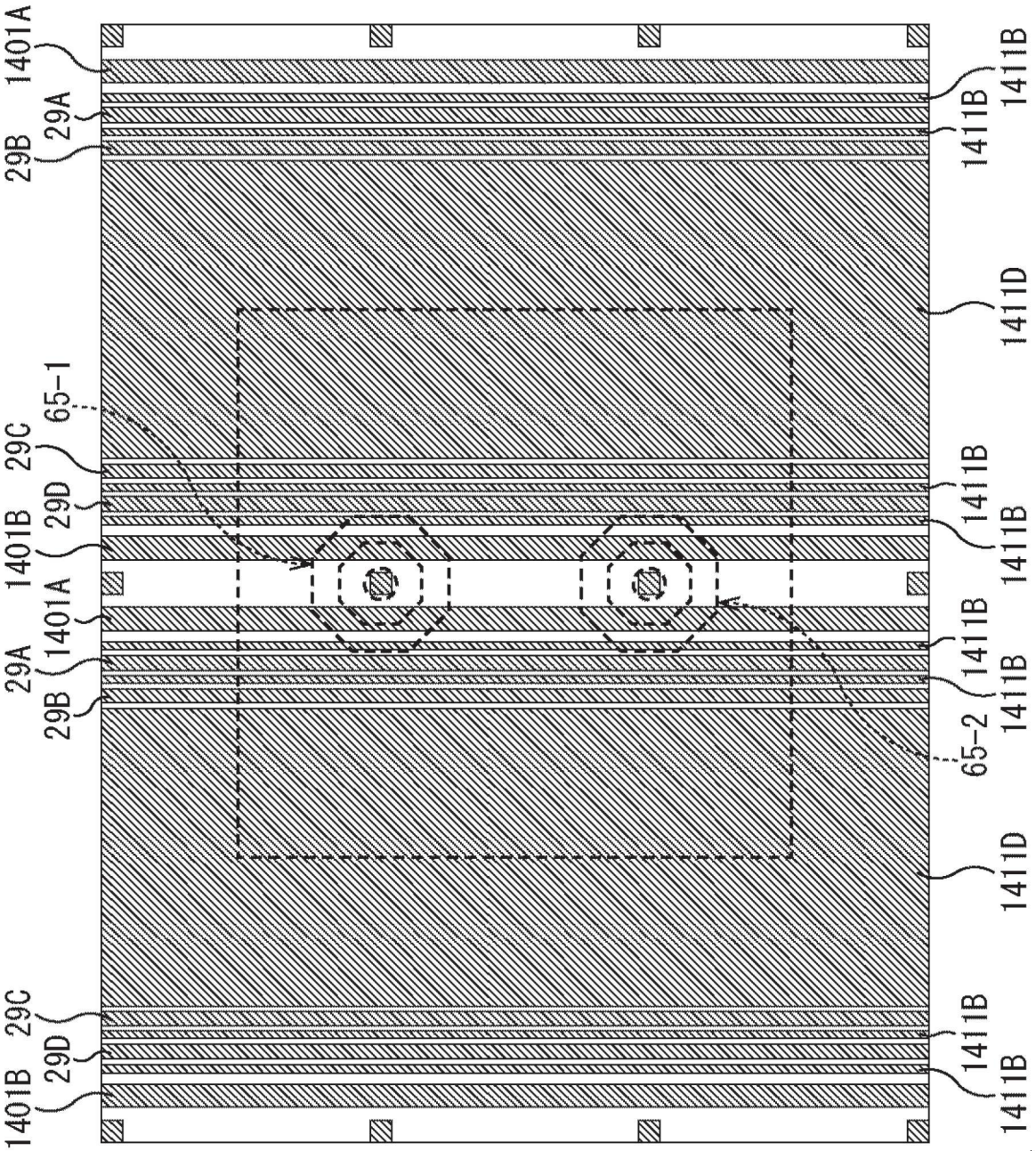
【圖72】


A
B
65-1
65-2
VDD_2
VSS_A
VDD_1
VDD_B
VDD_2
VSS_2
VDD_A
VSS_1
VDD_B
VSS_2
724A
725A
728A
721A
723A
723B
721B
728B
725B
724B
725A
724A
723A
721A
728A
728B
721B
723B
724B
725B
1452
1461
1451
1462
1453
1472
1481
1471
1482
1473

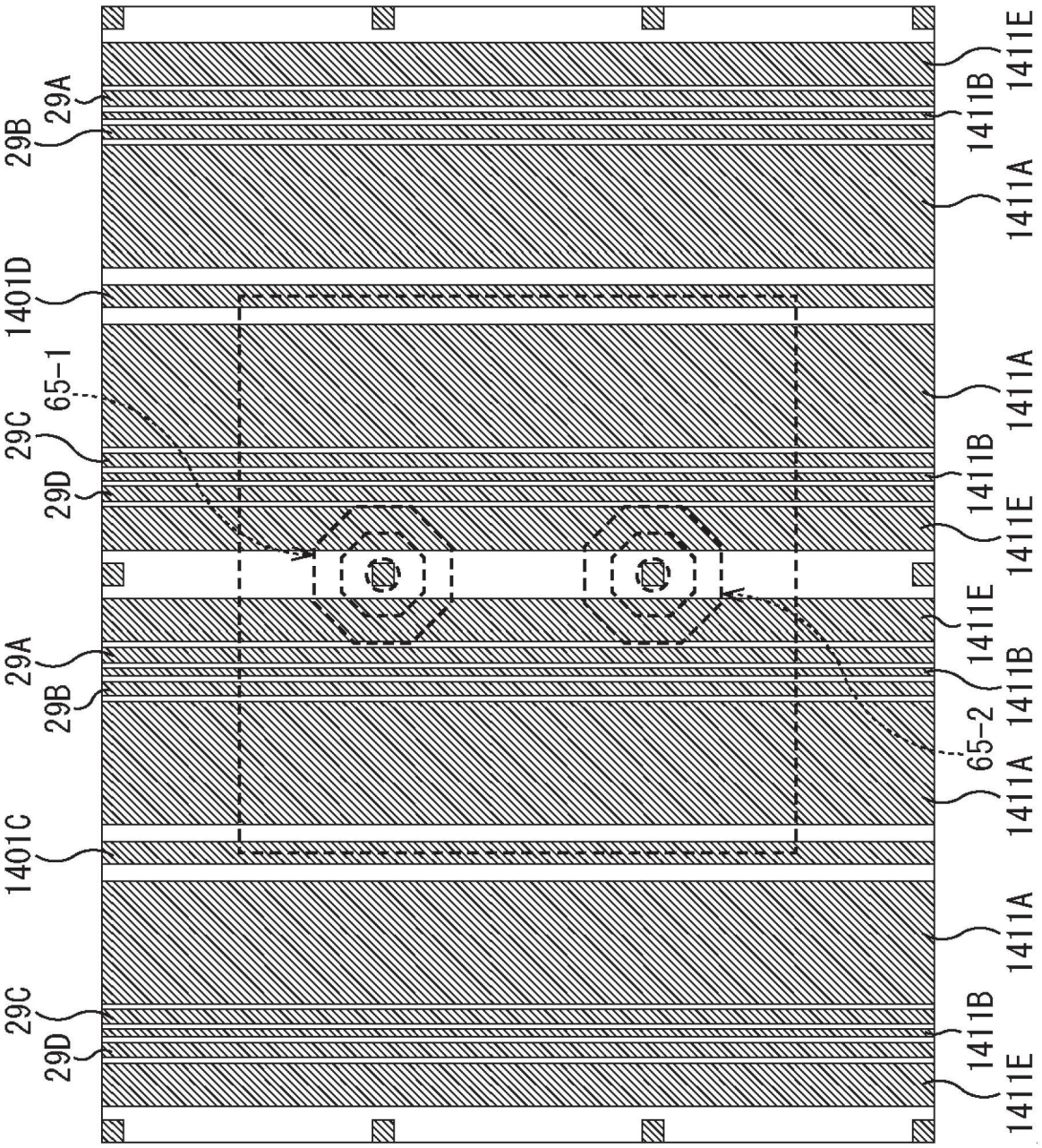
【圖73】



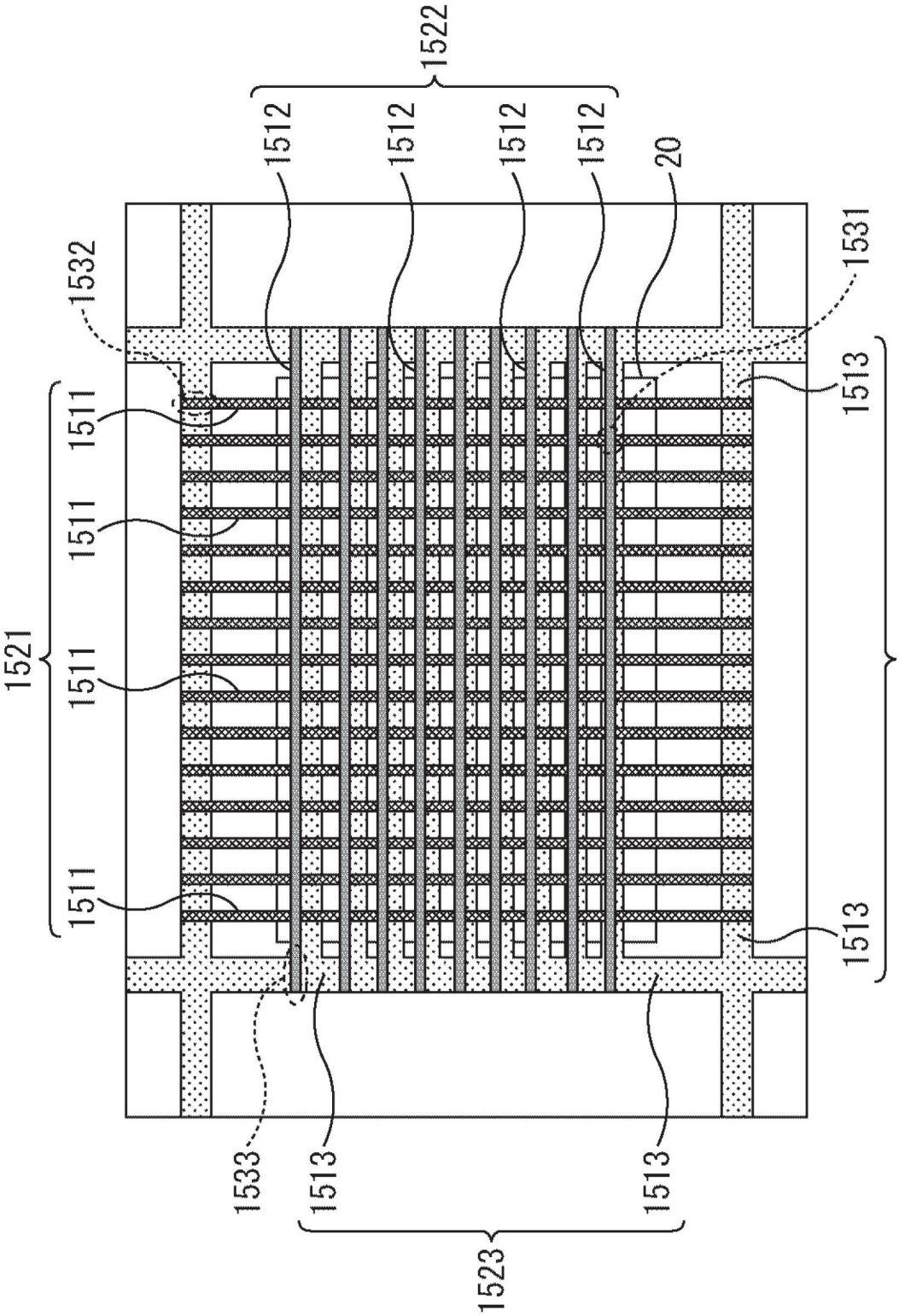
【圖74】


1401A
29A
29B
65-1
29C
29D
1401B
1401A
29A
29B
65-2
29C
29D
1401B
1411B
1411D

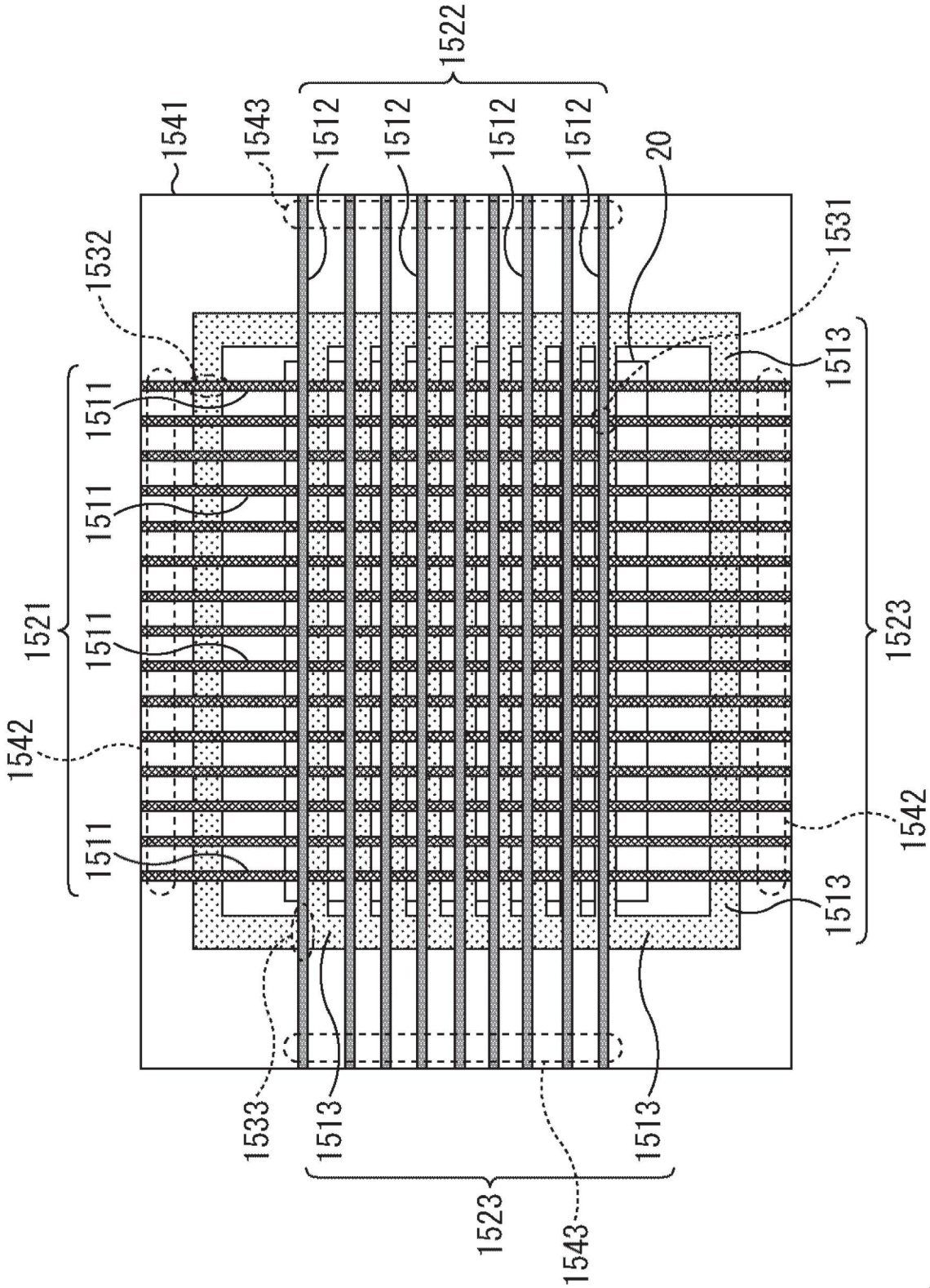
【圖75】


29A
29B
1401D
65-1
29C
29D
29A
29B
65-2
1401C
29C
29D
1411E
1411B
1411A
1411B
1411E
1411A
1411B
1411E
1411A
1411B
1411E
1411A
1411B
1411E

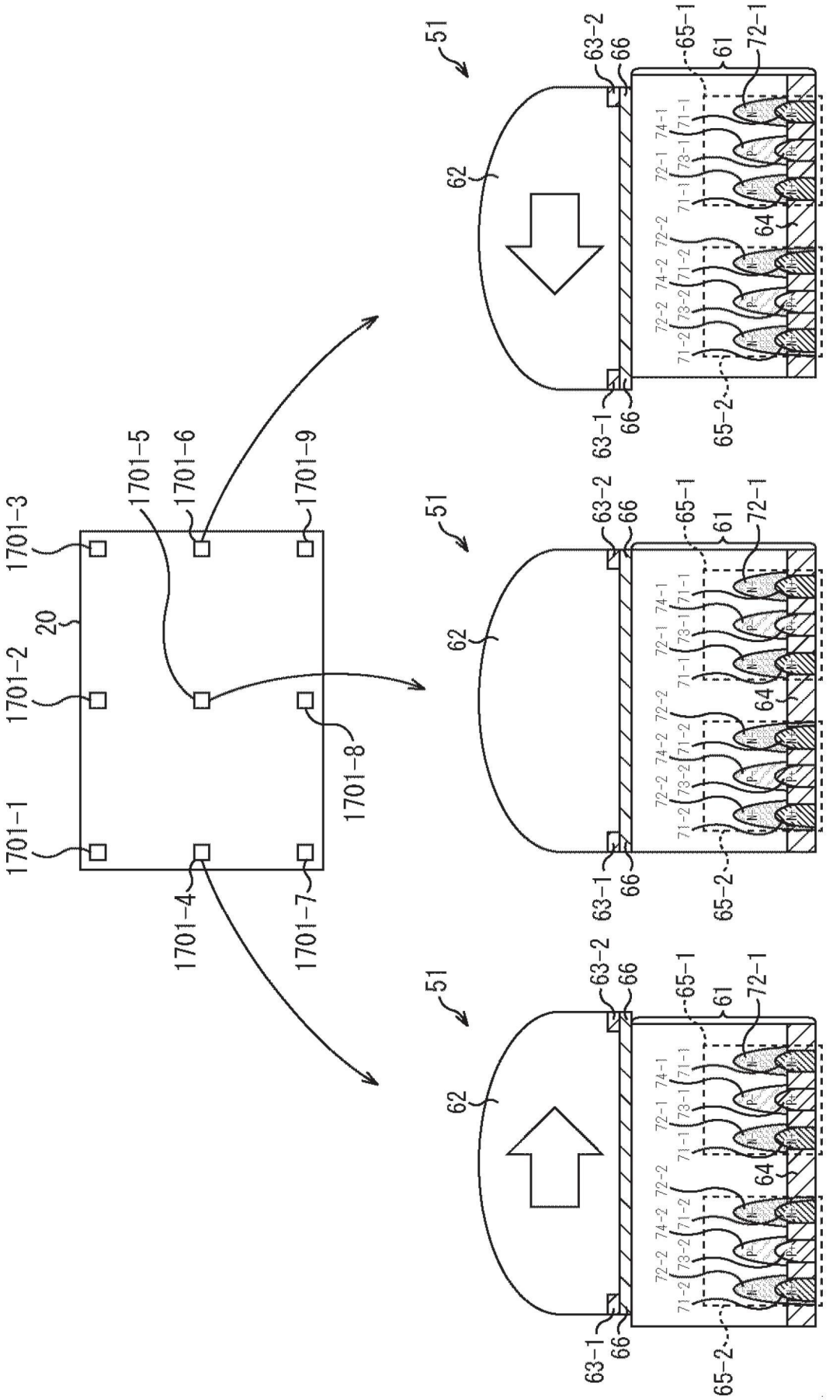
【圖76】


1522
1512
1512
1512
1512
20
1532
1531
1511
1511
1511
1511
1521
1513
1513
1523
1533
1513
1513
1523

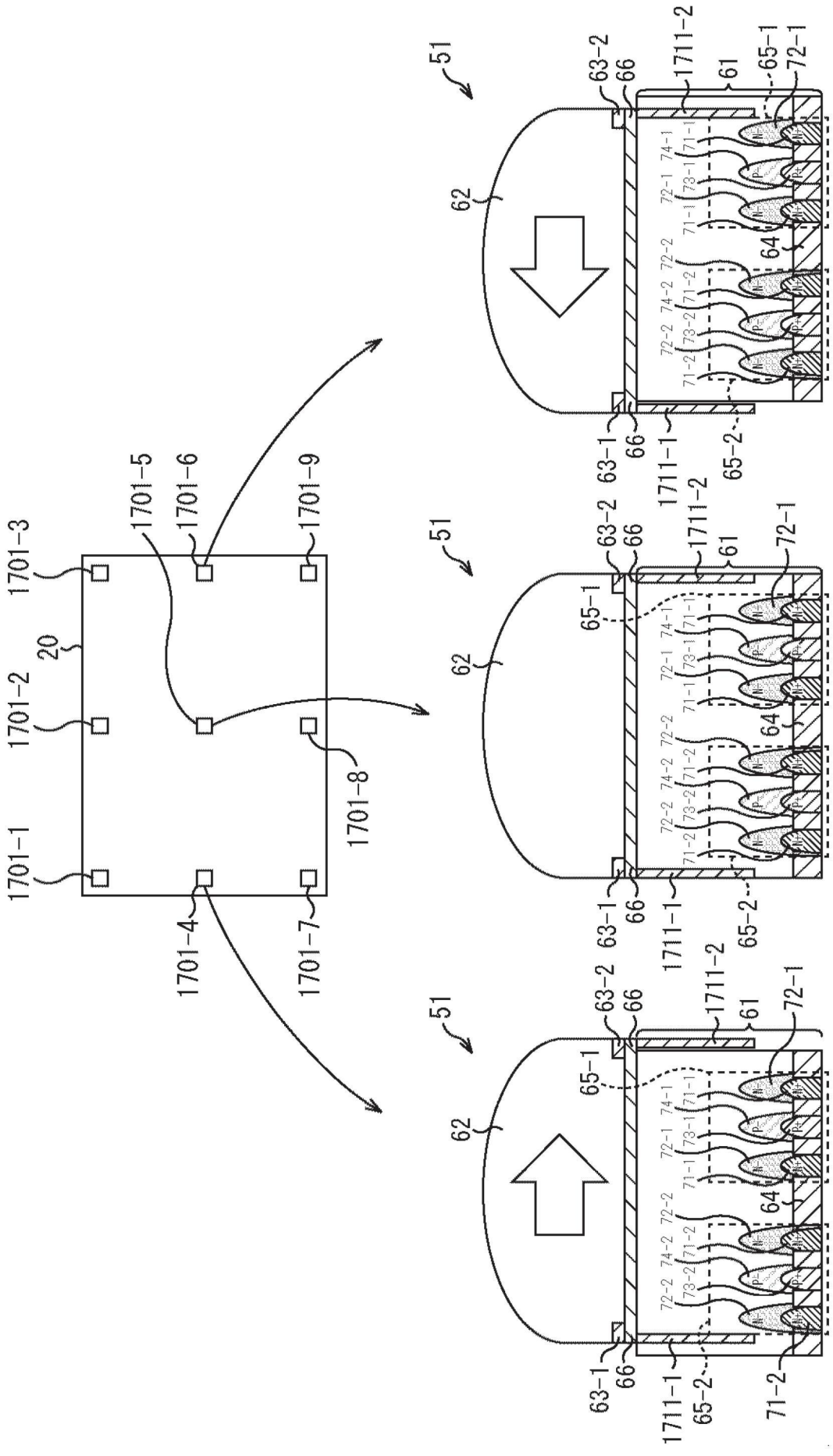
【圖77】


1522
1541
1543
1512
1512
1512
1512
20
1531
1532
1513
1511
1511
1521
1511
1523
1542
1542
1511
1513
1533
1513
1513
1523
1543

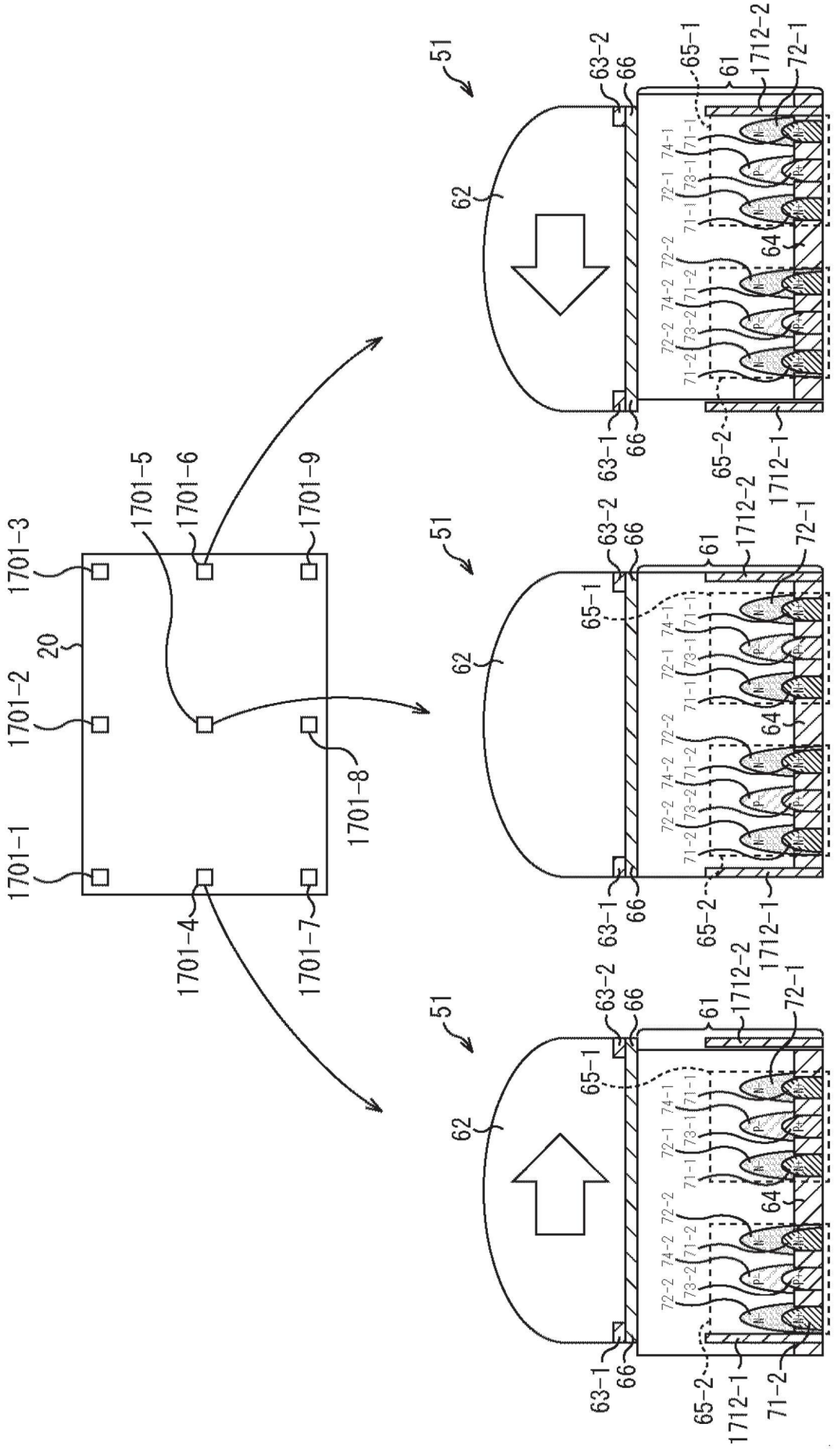
【圖78】


1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
61
72-1
71-1
73-1
74-1
72-2
71-2
73-2
74-2

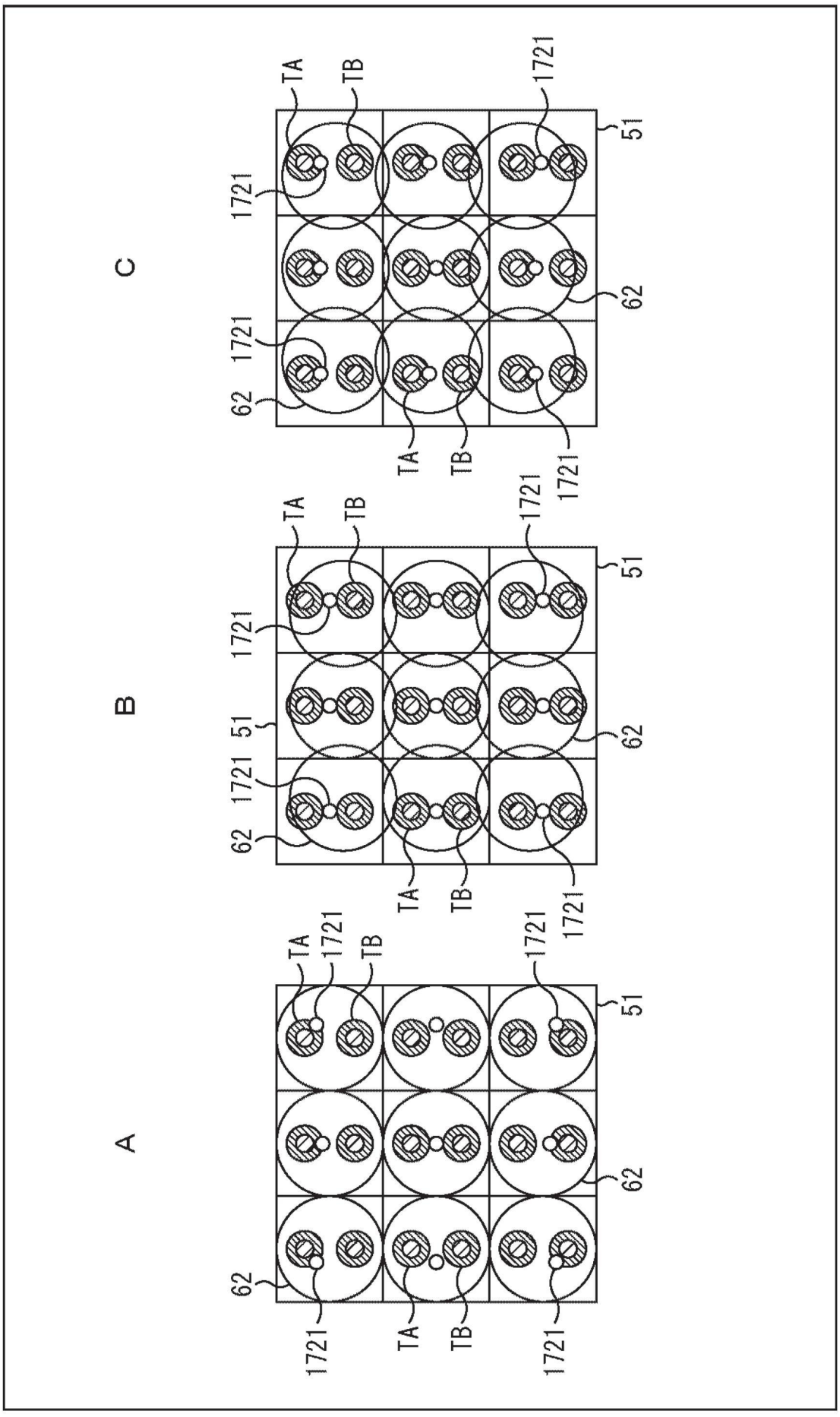
【圖79】


1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
71-1
71-2
72-1
72-2
73-1
73-2
74-1
74-2
61
1711-1
1711-2

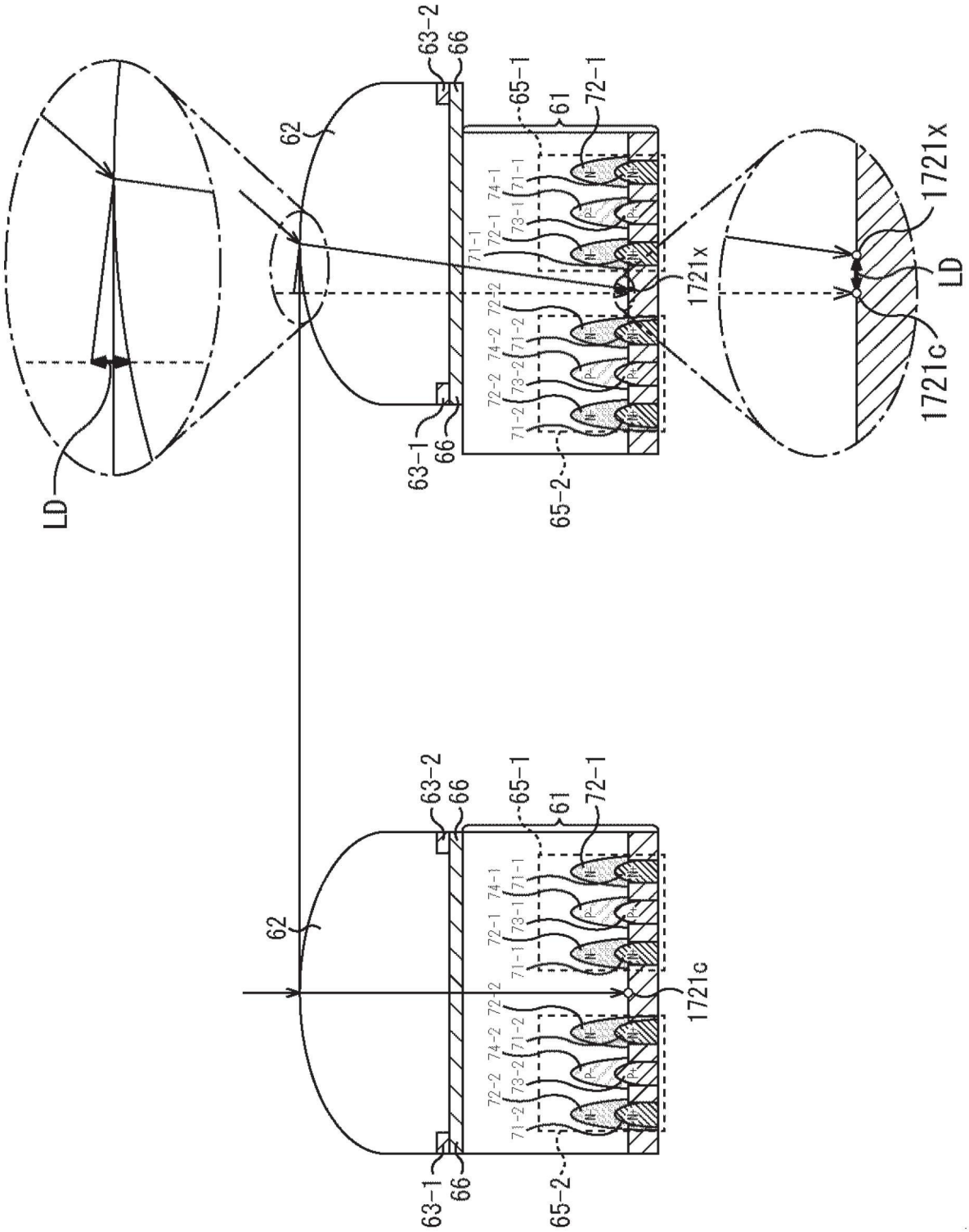
【圖80】


1701-1
1701-2
1701-3
20
1701-4
1701-5
1701-6
1701-7
1701-8
1701-9
51
62
63-1
63-2
64
65-1
65-2
66
71-1
71-2
72-1
72-2
73-1
73-2
74-1
74-2
61
1712-1
1712-2

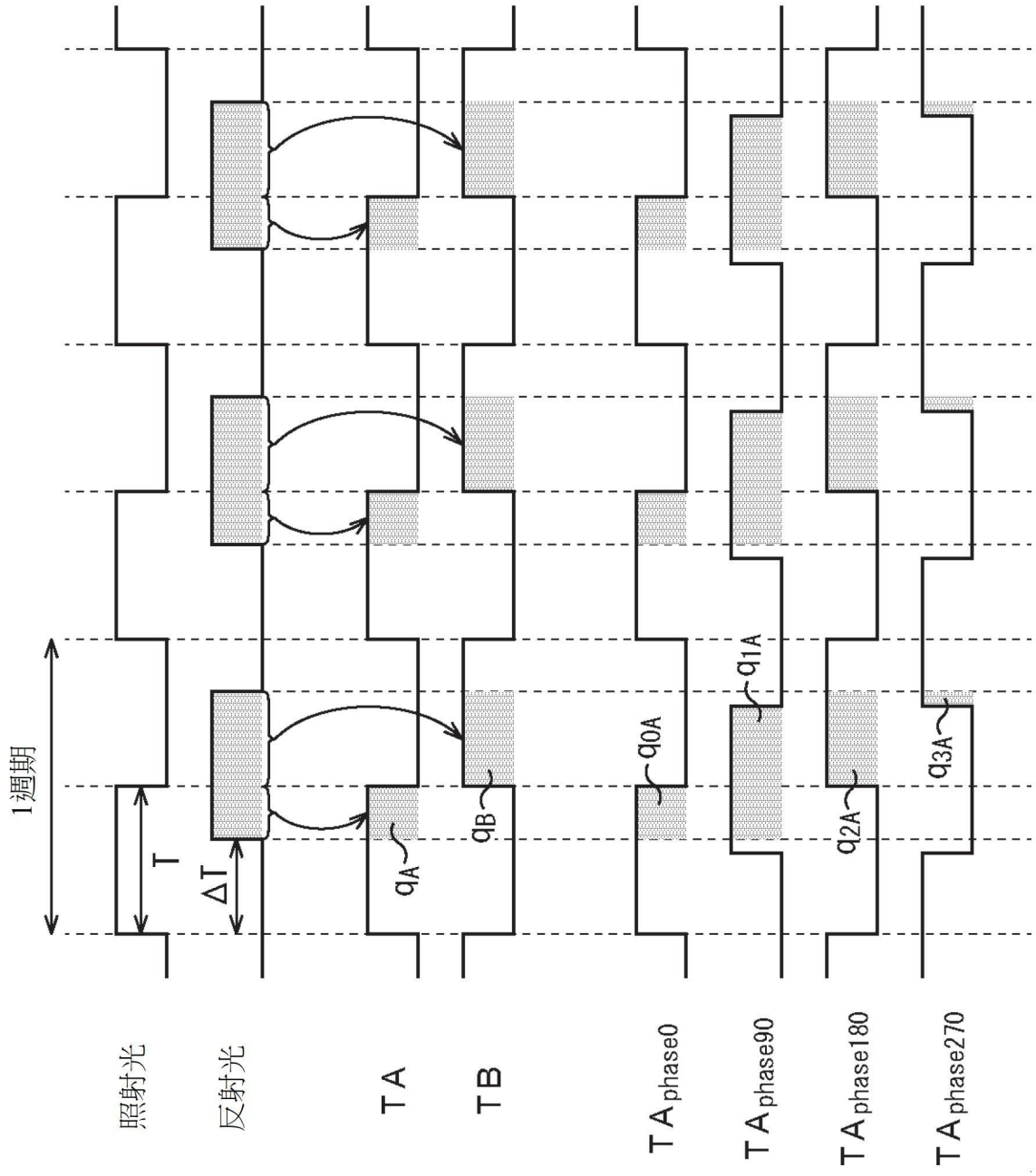
【圖81】



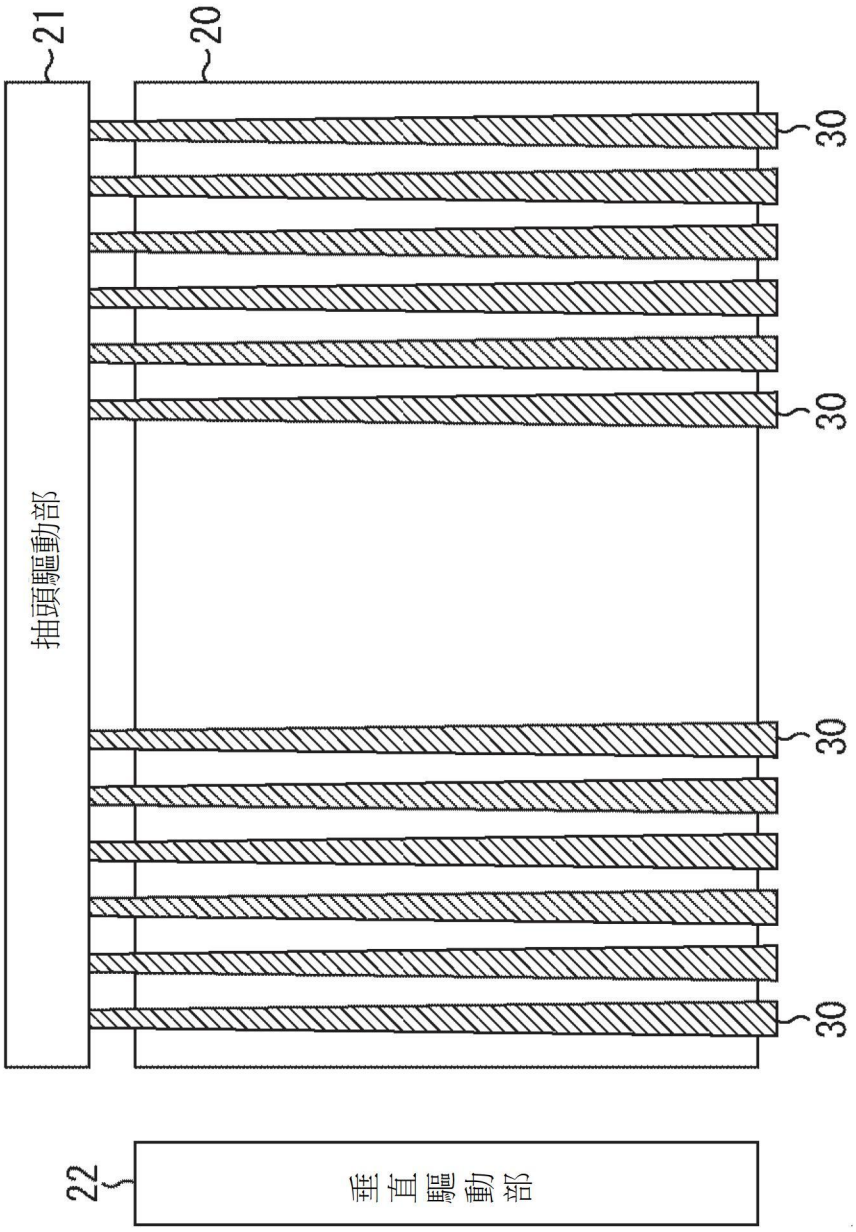
【圖82】



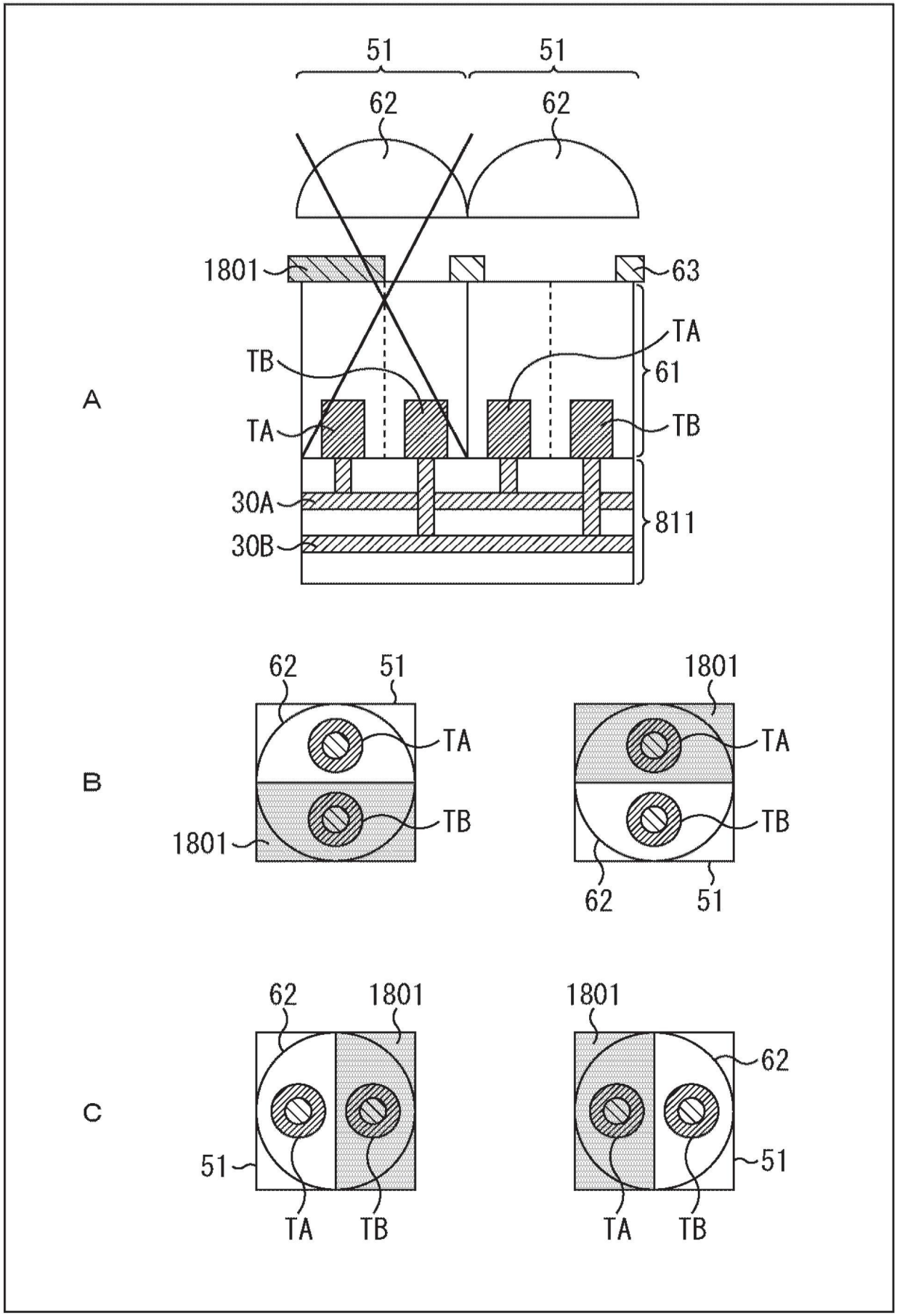
【圖83】


1週期
T
ΔT
照射光
反射光
TA
TB
TA phase0
TA phase90
TA phase180
TA phase270
qA
qB
q0A
q1A
q2A
q3A

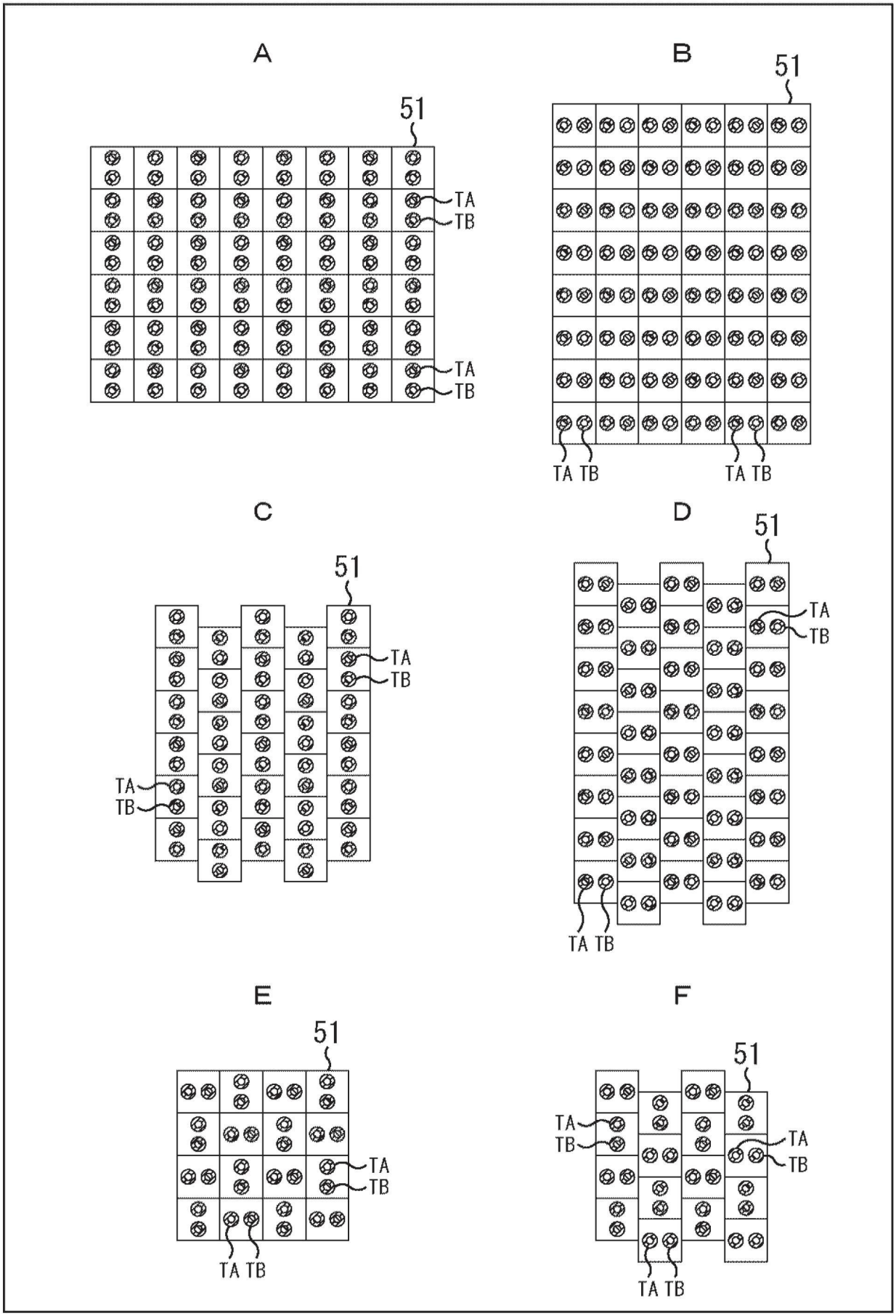
【圖84】



【圖85】


A
51
51
62
62
1801
63
TA
TB
61
TA
TB
30A
30B
811
B
62
51
TA
TB
1801
1801
TA
TB
62
51
C
62
1801
51
TA
TB
1801
62
51
TA
TB

【圖86】

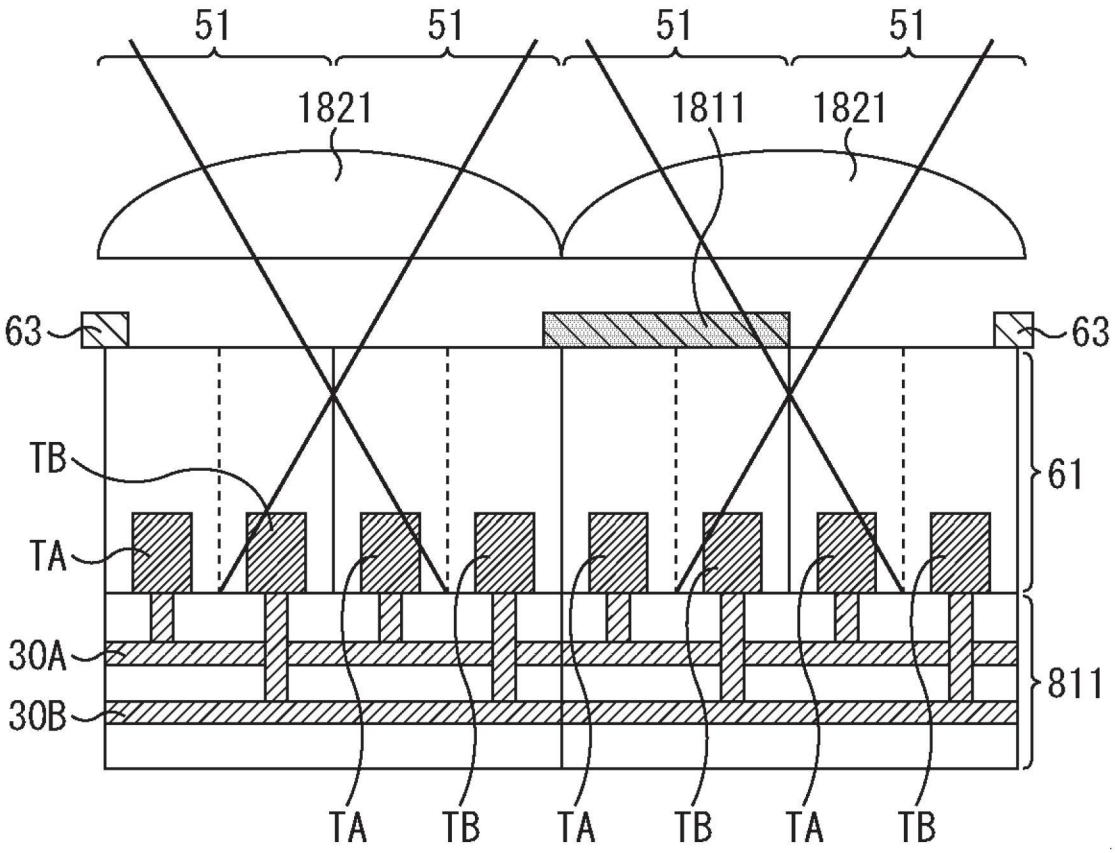

A
51
TA
TB
TA
TB
B
51
TA TB
TA TB
C
51
TA
TB
TA
TB
D
51
TA
TB
TA TB
E
51
TA
TB
TA TB
F
51
TA
TB
TA
TB
TA TB

【圖87】

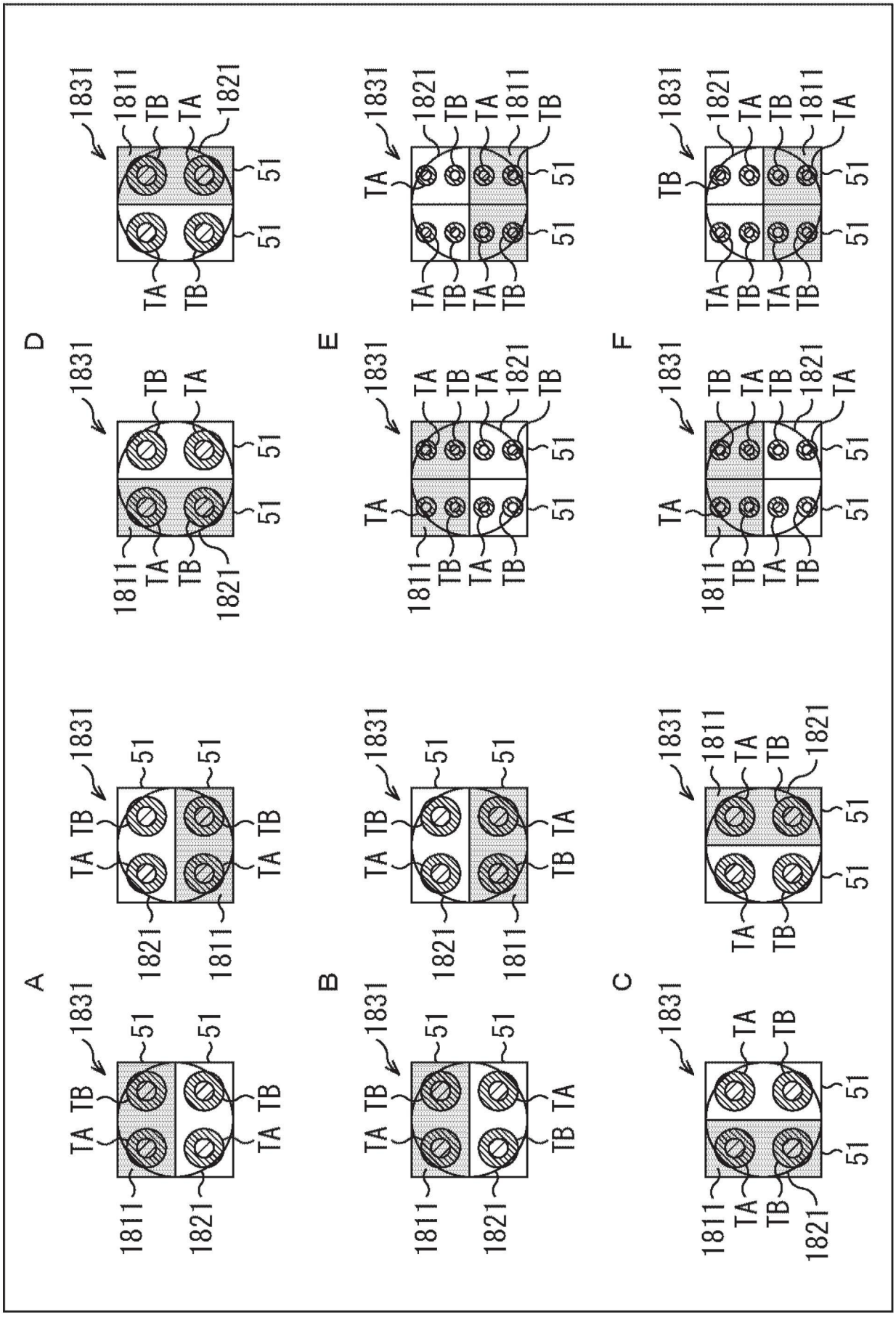
施加電壓	模式1		模式2	模式3	模式4	模式5
抽頭TA	H	0	H	H(像高加權)	H	H(像高加權)
抽頭TB	0	H	H	H(像高加權)	H	H(像高加權)
像素Tr	VSS	VSS	VSS	VSS	L	L

H(高)：1.5 V，VSS：0 V，L(低)=-1.5 V

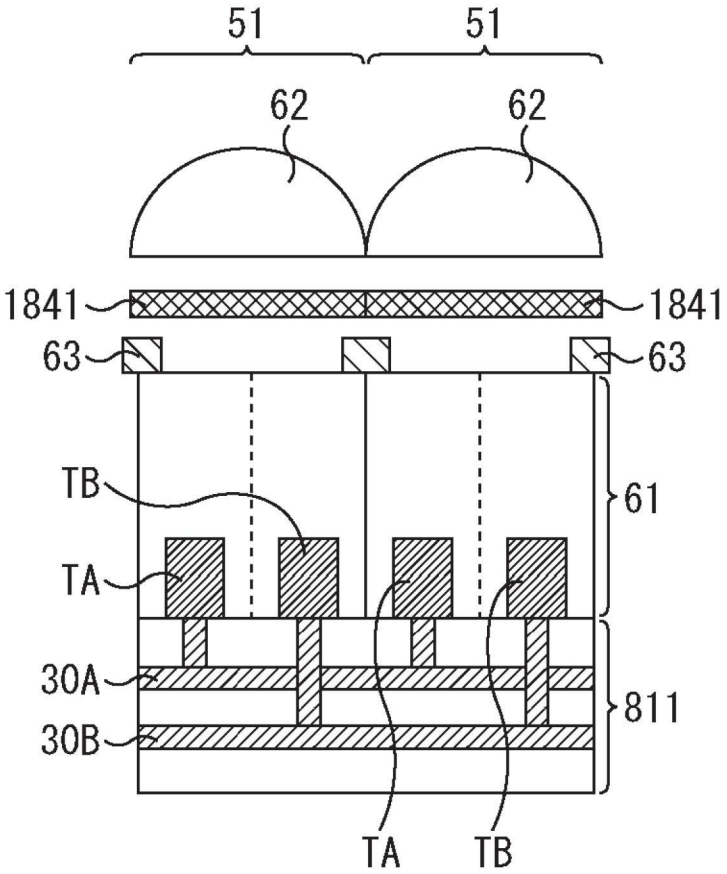
【圖88】


51
51
51
51
1821
1811
1821
63
63
TB
61
TA
30A
811
30B
TA
TB
TA
TB
TA
TB

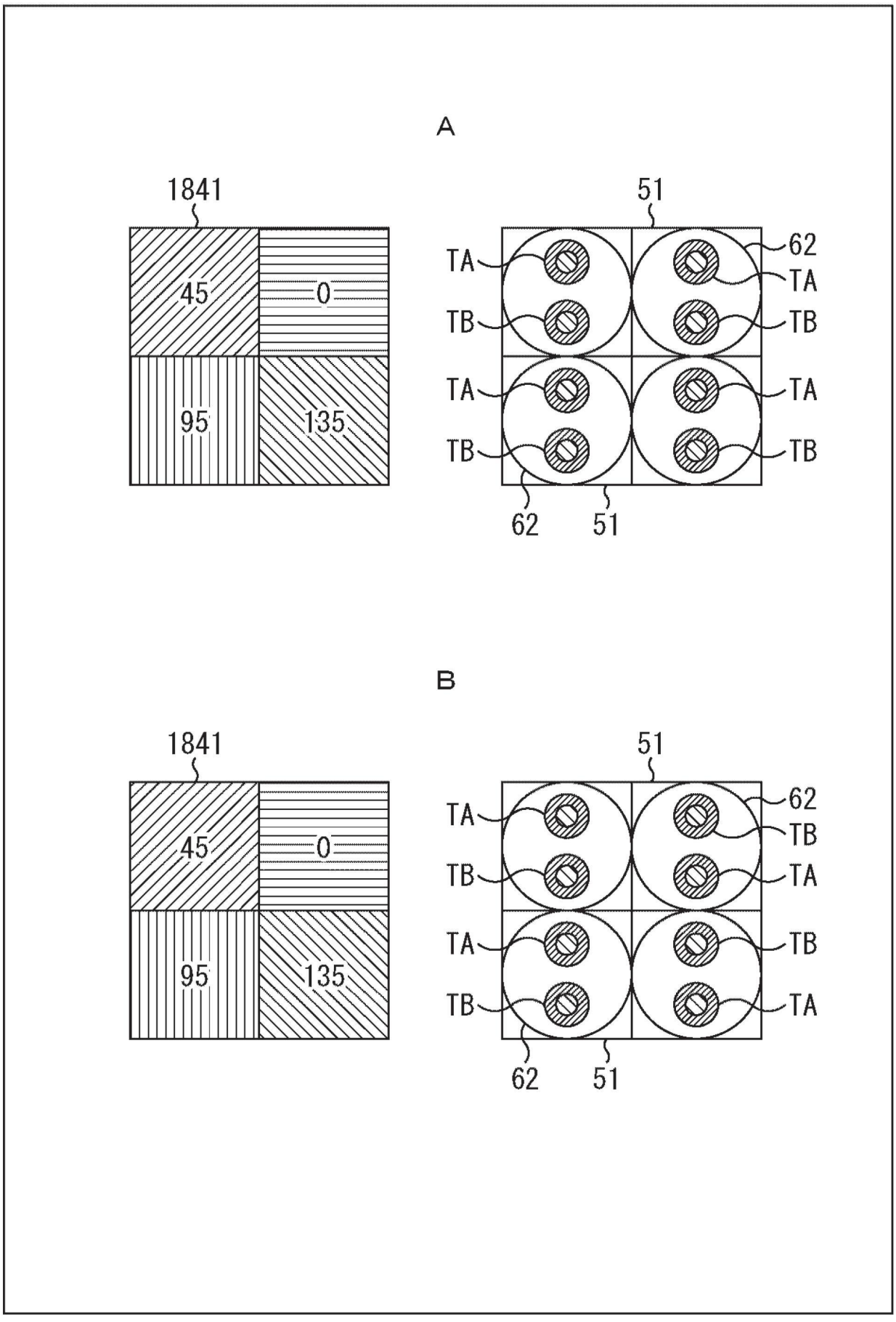
【圖89】



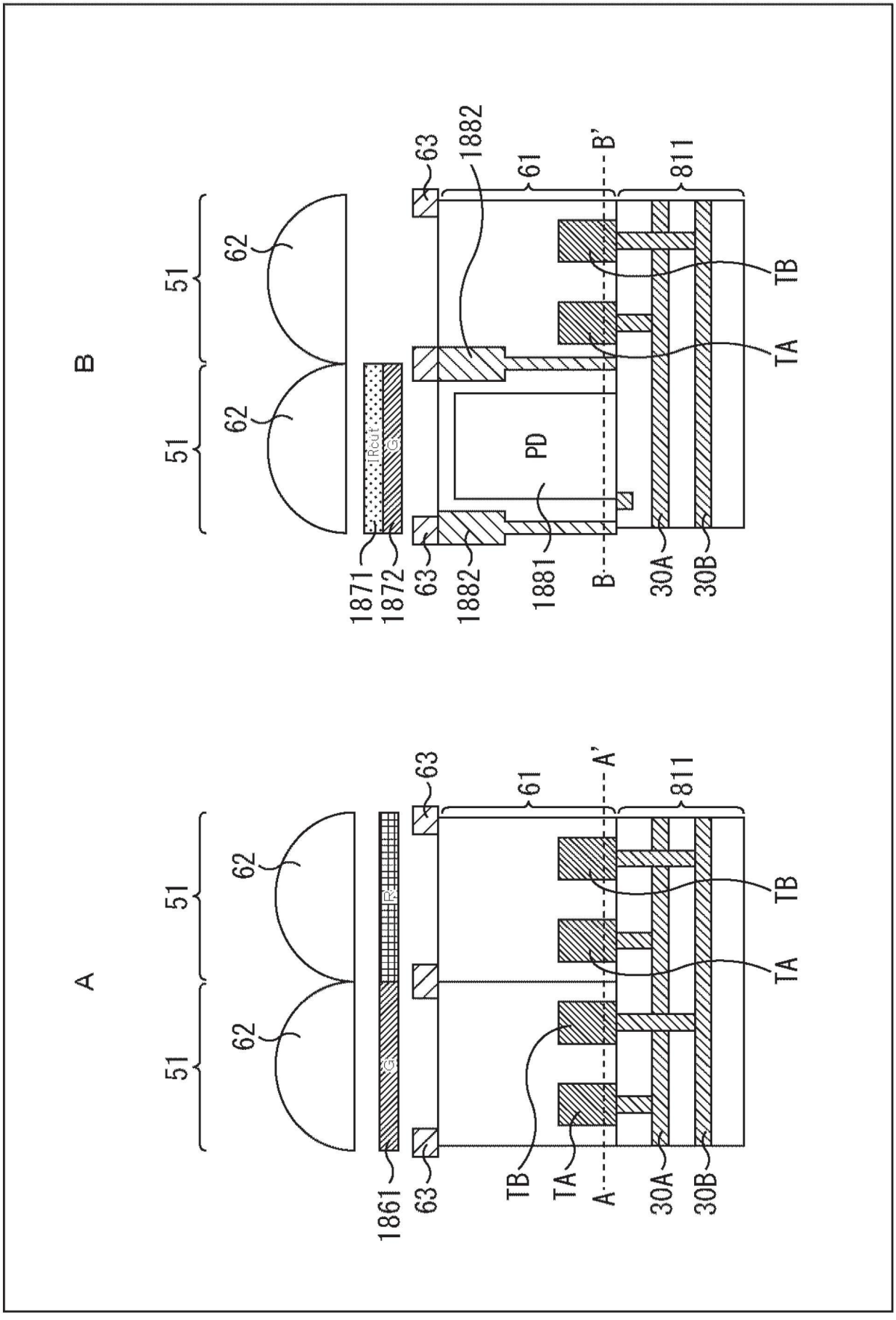
【圖90】



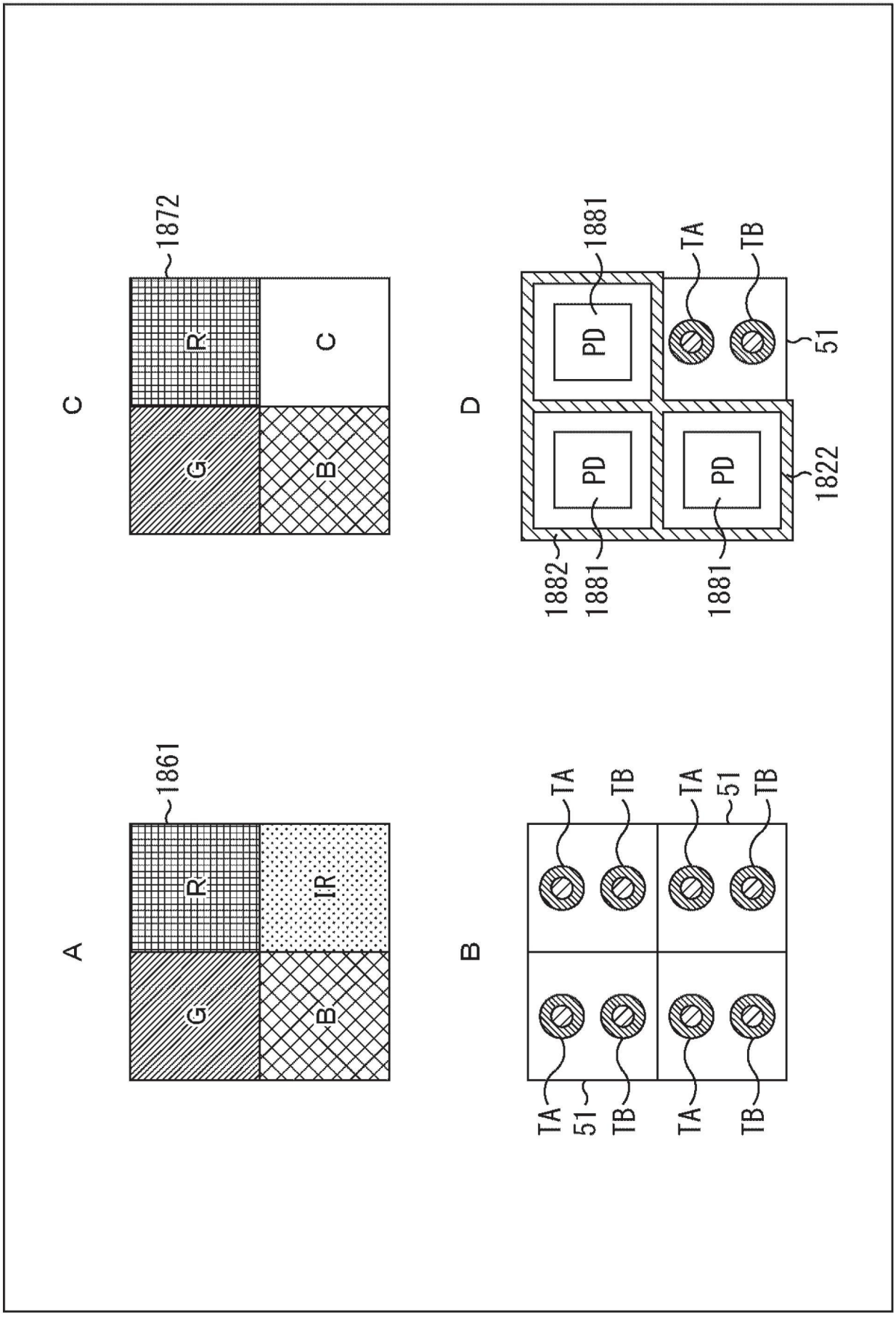
【圖91】



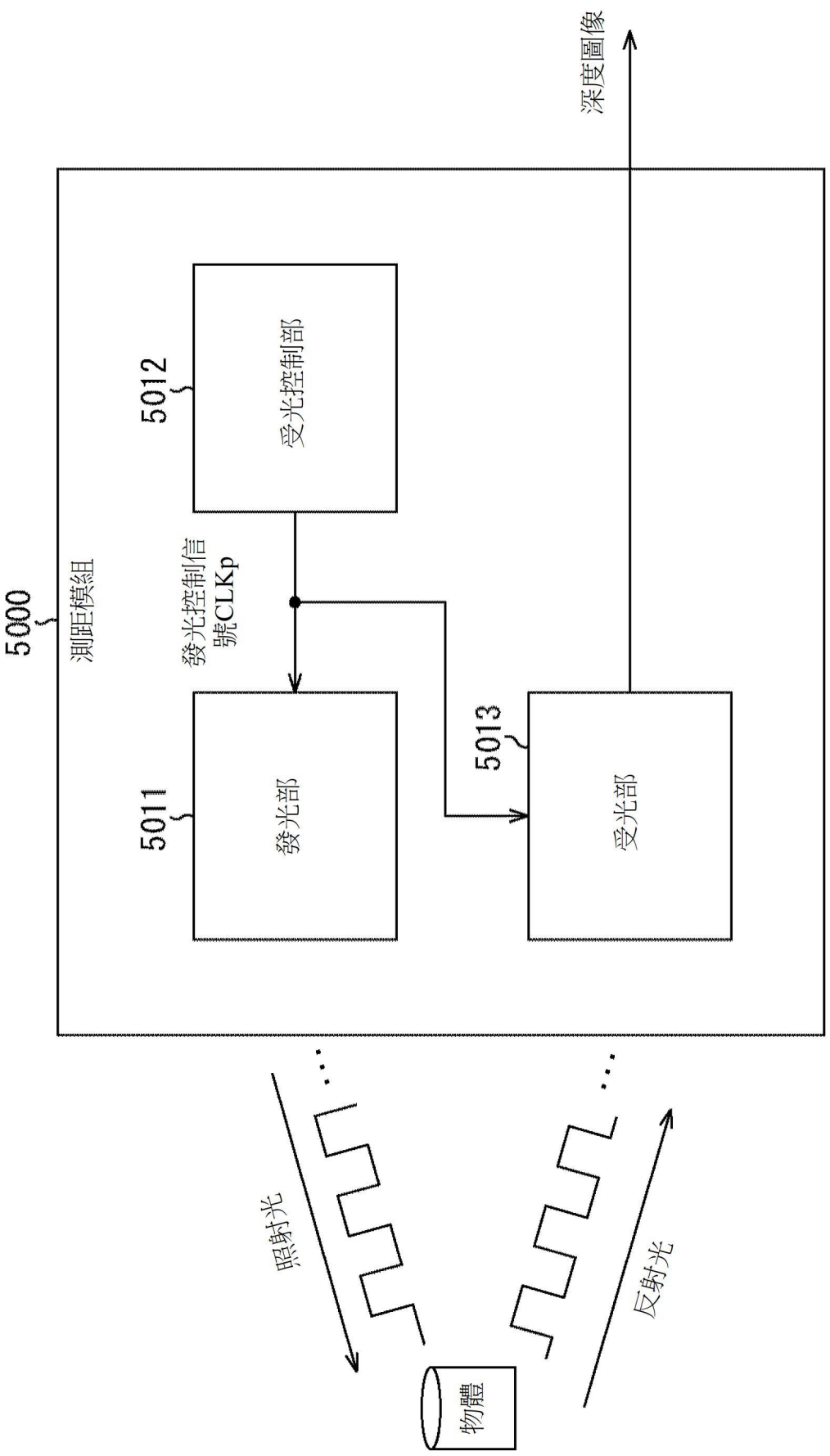
【圖92】


A
B
51
62
63
61
811
1861
1871
1872
1881
1882
30A
30B
TA
TB
A'
B'
PD
R
G
IRcut

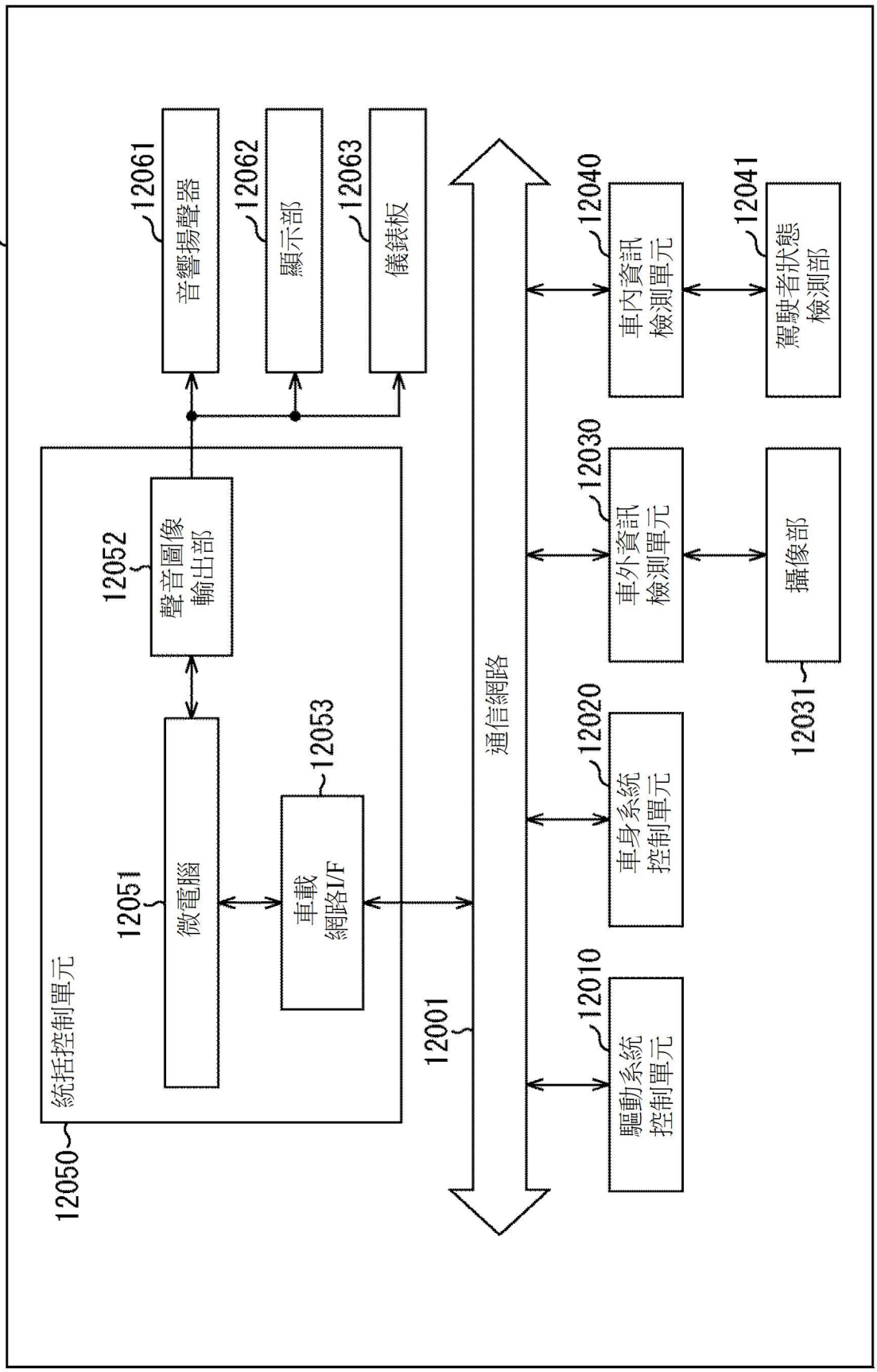
【圖93】


A
1861
R
IR
G
B
B
TA
TB
TA
51
TB
TA
51
TB
TA
TB
C
1872
R
C
G
B
D
1881
PD
PD
PD
PD
TA
TB
51
1822
1882
1881
1881

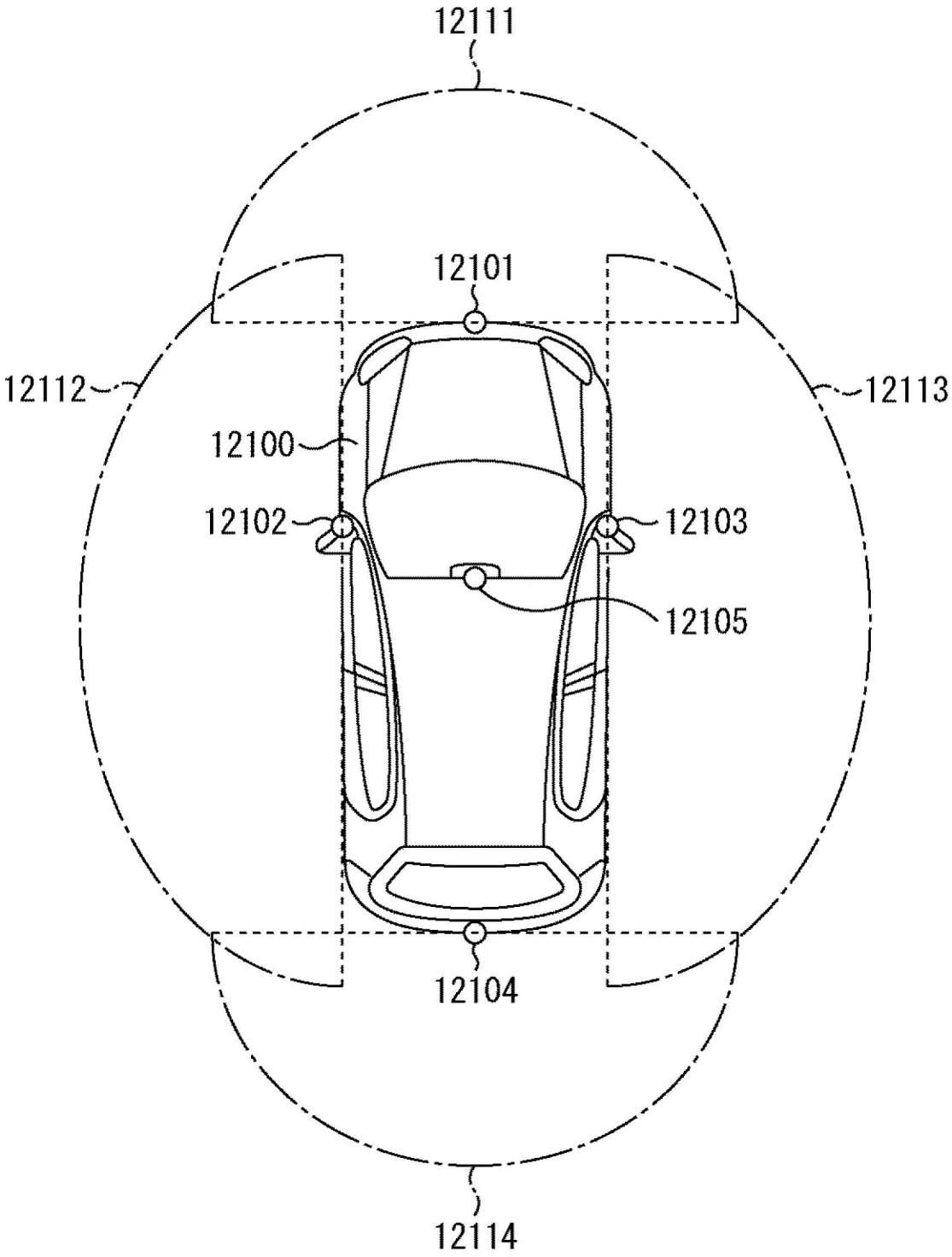
【圖94】


深度圖像
5000
測距模組
5012
受光控制部
發光控制信號CLKp
5011
發光部
5013
受光部
照射光
反射光
物體

【圖95】


12000
12061
音響揚聲器
12062
顯示部
12063
儀錶板
12040
車內資訊
檢測單元
12041
駕駛者狀態
檢測部
12030
車外資訊
檢測單元
12031
攝像部
12020
車身系統
控制單元
12010
驅動系統
控制單元
12001
通信網路
12050
統括控制單元
12052
聲音圖像
輸出部
12051
微電腦
12053
車載
網路I/F

【圖96】


12111
12101
12112
12113
12100
12102
12103
12105
12104
12114

【圖97】