

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4151992号
(P4151992)

(45) 発行日 平成20年9月17日(2008.9.17)

(24) 登録日 平成20年7月11日(2008.7.11)

(51) Int.Cl.	F I	
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08	1 O 2 B
HO 1 L 27/088 (2006.01)	HO 1 L 21/90	C
HO 1 L 21/768 (2006.01)	HO 1 L 21/28	L
HO 1 L 21/28 (2006.01)	HO 1 L 27/10	6 8 1 F
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10	4 3 4
請求項の数 4 (全 59 頁) 最終頁に続く		

(21) 出願番号 特願平10-542607
 (86) (22) 出願日 平成10年4月10日(1998.4.10)
 (86) 国際出願番号 PCT/JP1998/001671
 (87) 国際公開番号 W01998/045876
 (87) 国際公開日 平成10年10月15日(1998.10.15)
 審査請求日 平成15年11月26日(2003.11.26)
 (31) 優先権主張番号 特願平9-92607
 (32) 優先日 平成9年4月10日(1997.4.10)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願平9-92608
 (32) 優先日 平成9年4月10日(1997.4.10)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100115738
 弁理士 鷲頭 光宏
 (74) 代理人 100121681
 弁理士 緒方 和文
 (72) 発明者 渡部 浩三
 東京都小平市上水本町5丁目20番1号
 株式会社日立製作所半導体事業部内
 (72) 発明者 荻島 淳史
 東京都小平市上水本町5丁目20番1号
 株式会社日立製作所半導体事業部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路装置

(57) 【特許請求の範囲】

【請求項1】

半導体基体の主面上にゲート絶縁膜を介して形成されたゲート電極および前記ゲート電極下部の前記半導体基体の主面のチャンネル領域に接する半導体領域を含む第1 MISFETと、

前記半導体基体の主面上にゲート絶縁膜を介して形成されたゲート電極、前記ゲート電極下部の前記半導体基体の主面のチャンネル領域に接する低濃度半導体領域および前記低濃度半導体領域の外側に設けられた高濃度半導体領域を含む第2 MISFETと、を有する半導体集積回路装置であって、

前記第1および第2 MISFETの前記ゲート電極の上にはキャップ絶縁膜が形成され、前記第2 MISFETのゲート電極の側面には、シリコン窒化膜からなる第1の絶縁膜で形成した第1サイドウォールスペーサ、およびその外側に、前記第1サイドウォールスペーサを覆う、シリコン酸化膜からなる第2の絶縁膜で形成された第2サイドウォールスペーサが形成され、前記第1 MISFETのゲート電極の側面には、前記第1の絶縁膜で形成された第3サイドウォールスペーサが形成され、

前記第1 MISFETの半導体領域と前記第1 MISFETの上層に形成された部材とを接続する第1の導体部が、前記第1の絶縁膜で形成された前記第3サイドウォールスペーサに対して自己整合的なエッチングにより形成された接続孔に埋設され、

前記第2 MISFETの半導体領域と前記第2 MISFETの上層に形成された部材とを接続する第2の導体部が形成され、

10

20

前記第 1 の導体部と前記第 2 の導体部は埋設部材が異なり、
 前記第 2 M I S F E T の前記高濃度半導体領域が、前記第 2 の絶縁膜で形成された前記第 2 サイドウォールスペーサに対して自己整合的なイオン注入により形成されており、
 前記第 1 M I S F E T は、D R A M セルのメモリアレイ領域に配置された D R A M の選択 M I S F E T であり、前記第 1 M I S F E T の上層に形成された部材は、D R A M の蓄積容量またはビット線であり、

前記第 2 M I S F E T は、前記 D R A M を駆動する周辺回路に含まれ、
 前記選択 M I S F E T の半導体領域にドーパされた不純物はリンであり、
前記第 2 M I S F E T の N チャネル M I S F E T は、第 1 の N チャネル M I S F E T と第 2 の N チャネル M I S F E T とを含み、前記第 1 の N チャネル M I S F E T は、ヒ素がドーパされた低濃度半導体領域およびヒ素がドーパされた高濃度半導体領域を含み、前記第 2 の N チャネル M I S F E T は、リンがドーパされた低濃度半導体領域およびヒ素がドーパされた高濃度半導体領域を含み、

10

前記第 1 の導体部は多結晶シリコンを埋設した導体部であり、前記第 2 の導体部は高融点金属を埋設した導体部であることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置であって、

前記第 1 の N チャネル M I S F E T は前記低濃度半導体領域の下部の前記高濃度半導体領域に接する領域にボロンがドーパされた半導体領域を含み、前記第 2 の N チャネル M I S F E T は前記ボロンがドーパされた半導体領域を含まないことを特徴とする半導体集積回路装置。

20

【請求項 3】

請求項 1 または 2 記載の半導体集積回路装置であって、

前記選択 M I S F E T の半導体領域の表面にはシリサイド層が形成されず、前記第 2 M I S F E T の前記高濃度半導体領域の表面にはシリサイド層が形成されていることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 1、2 または 3 記載の半導体集積回路装置であって、

前記選択 M I S F E T のゲート絶縁膜の膜厚は、前記第 2 M I S F E T のゲート絶縁膜の膜厚に比較して厚いことを特徴とする半導体集積回路装置。

30

【発明の詳細な説明】

技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、D R A M (Dynamic Random Access Memory) あるいは電氣的書き換え可能な不揮発性メモリの高集積化および高性能化、またはロジック回路と D R A M あるいは電氣的書き換え可能な不揮発性メモリとが混載された高集積半導体集積回路装置に適用して有効な技術に関するものである。

背景技術

大容量メモリを代表する半導体メモリとして D R A M がある。この D R A M のメモリ容量は益々増大する傾向にあり、それに伴って D R A M のメモリセルの集積度を向上させる観点からメモリセルの専有面積も縮小せざるを得ない方向に進んでいる。

40

しかし、D R A M のメモリセルにおける情報蓄積用容量素子(キャパシタ)の蓄積容量値は、D R A M の動作マージンやソフトエラー等を考慮する観点等から世代によらず一定量が必要であり、一般に比例縮小できないことが知られている。

そこで、限られた小さな占有面積内に必要な蓄積容量を確保できるようなキャパシタ構造の開発が進められており、その構造として、ポリシリコン等からなる 2 層の電極を容量絶縁膜を介して積み重ねてなる、いわゆるスタックトキャパシタ等のような立体的なキャパシタ構造が採用されている。

スタックトキャパシタは、キャパシタ電極をメモリセルの選択 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の上層に配置する構造が一般的であり、この場合、小さな占有面積で大きな蓄積容量を確保できるとともに、必要とする蓄積容

50

量が小さくて済むという特徴がある。

このようなスタックトキャパシタ構造として、たとえばキャパシタをビット線の上方に配置する、いわゆるキャパシタ・オーバー・ビットライン (Capacitor Over Bitline; 以下、COBと略す) 構造と、キャパシタをビット線の下方に配置するキャパシタ・アンダー・ビットライン (Capacitor Under Bitline; 以下、CUBと略す) 構造とがある。

これらのCOB、CUB構造のDRAMにおいて、そのキャパシタ用接続孔内の導体膜またはビット線がワード線と短絡しないようにその接続孔を形成する必要があるために、互いに隣接するワード線の間隔を、接続孔の位置合わせずれ等を考慮して、ある程度広くしなければならず、素子集積度の向上やチップサイズの縮小を阻害する。したがって、高集積化を実現するためには、高度な合わせ技術や工程管理が必要となっている。

そこで、このような問題を回避すべく、ワード線の上面および側壁を、窒化膜等のような層間絶縁膜とは異種の絶縁材料で被覆することにより、キャパシタ用接続孔およびビット線接続孔をエッチング処理によってワード線に対して自己整合的に形成する技術がある。この技術の場合、キャパシタ用接続孔およびビット線接続孔をエッチング処理によって穿孔する場合に、その接続孔が平面的にはワード線にかかるようになっていてもワード線の周りの窒化膜がエッチングストッパとして機能するので、その接続孔からワード線が露出してしまうこともなく、接続孔を形成することができる。

なお、キャパシタ用接続孔およびビット線接続孔をワード線に対して自己整合的に形成する技術については、特開平9-55479号公報に記載がある。

ところで、本発明者は、上記したキャパシタ用接続孔またはビット線接続孔をワード線に対して自己整合的に形成する技術について検討した。以下は公知とされた技術ではないが、本発明者によって検討された技術であり、その概要は次のとおりである。

前述のDRAMは、以下のプロセスフローによって形成される。

まず、半導体基板上にゲート絶縁膜を介して、導体層を形成する。その導体層上に第1窒化膜を堆積する。第1窒化膜と導体膜とを同一マスクでパターニングすることにより、メモリセル選択用MISFETのゲート電極と周辺回路用MISFETのゲート電極を形成する。ここで、メモリセルアレイの行方向に配置された複数のメモリセルのゲート電極は、一体に形成され、DRAMのワード線として機能する。次に、メモリセル選択用MISFETのゲート電極と周辺回路用MISFETのゲート電極に対して自己整合的にメモリセル選択用MISFET及び周辺回路用MISFETの低濃度半導体領域を形成する。次に、半導体基板上に第2窒化膜を堆積し、第2窒化膜に異方性エッチングを施すことによって、メモリセル選択用MISFETのゲート電極と周辺回路用MISFETのゲート電極の側壁に窒化膜のサイドウォールスペーサを形成する。サイドウォールスペーサに対して自己整合的に周辺回路用MISFETの高濃度半導体領域を形成する。半導体基板上に、酸化膜系の層間絶縁膜を堆積し、メモリセル領域に、ビット線接続孔及びキャパシタ用接続孔をワード線に対して自己整合的に開口する。この、層間絶縁膜に対するビット線接続孔及びキャパシタ用接続孔の開口工程は、サイドウォールを構成する窒化膜と層間絶縁膜を構成する酸化膜とのエッチング選択比が大となる条件で行われるので、ワード線を露出することなく、ビット線接続孔及びキャパシタ用接続孔を形成することが可能となる。

一方、DRAMのメモリセルの集積度を向上する為には、ワード線間隔も小さくする必要が有る。このワード線間隔が小となったワード線上に前述の第2窒化膜を所定の膜厚以上堆積すると、メモリセル領域においてワード線間が第2窒化膜で完全に埋まってしまい、サイドウォールスペーサを形成するために異方性エッチングを施しても、半導体基板表面が露出しない。または、露出面積が非常に小さくビット線またはキャパシタ電極との接触抵抗が大となるという問題がある。

また、メモリセル選択用MISFETのゲート電極と周辺回路用MISFETのゲート電極の側壁に形成されるサイドウォールスペーサは、LDD構造を有する周辺回路用MISFETの低濃度半導体領域の長さを決めており、このサイドウォールスペーサ幅が小になると、周辺回路用MISFETのショートチャネル効果が顕著になるとか、ソース/ドレイン間のパンチスルー耐圧が低下するという問題がある。従って、サイドウォールスペー

10

20

30

40

50

サを形成するための第2窒化膜の膜厚は、所定の厚さ以上必要となる。

すなわち、MISFETの所定の性能を確保するためにはLDD構造を最適化する必要がある。DRAMのメモリセル選択用MISFETの微細化で、サイドウォールスペースの幅を小さくするとき、周辺回路用MISFETの高濃度半導体領域が低濃度半導体領域を越えて拡散することを防止するため、サイドウォールスペースの幅は所定の幅以上にすることがある。つまり、サイドウォールスペースの幅に下限が存在する。

一方、メモリアレイの微細化を進めると必然的にゲート電極の間隔、すなわち、隣接するメモリセルの選択MISFET間の間隔が狭くなり、自己整合接続される部分の幅も狭くなる。接続面積の狭小化はコンタクト抵抗の顕著な増加を来すため、サイドウォールスペースの幅はできるだけ小さくしたいという要求が生じる。このような要求は、最適化されたLDD構造を実現するための要求とは相反するものであり、極端な場合には、最適化されたLDD構造を実現しようとするればメモリアレイ領域において隣接するサイドウォールスペースが重なり、自己整合接続が実現できない状況も生じる。

本発明の目的は、DRAMを搭載した半導体集積回路装置において、DRAMのメモリセルを微細化して高集積化するとともに高速動作可能な半導体集積回路技術を提供することにある。

本発明の他の目的は、DRAMの他に電氣的書き換え可能な不揮発性メモリをも搭載した半導体集積回路装置において、メモリセルを微細化して高集積化するとともに高速動作可能な半導体集積回路技術を提供することにある。

本発明のさらに他の目的は、DRAMのリフレッシュ特性に優れるとともに高性能な半導体集積回路技術を提供することにある。

本発明のさらに他の目的は、接続孔開孔の際の半導体基体の素子分離領域の過剰エッチングを防止して、信頼性の高い半導体集積回路技術を提供することにある。

本発明のさらに他の目的は、DRAMおよび電氣的書き換え可能な不揮発性メモリをも搭載した半導体集積回路装置において、その製造工程を簡略化する技術を提供することにある。

本発明のさらに他の目的は、DRAMを搭載した半導体集積回路装置において、DRAMのメモリセルを微細化して高集積化するとともに、周辺回路用MISFETの信頼性を向上することが可能な半導体集積回路技術を提供することにある。

本発明の目的は、高集積化されたDRAMのメモリセル領域においても、接続孔を自己整合的に形成するとともに、接続孔底部の素子分離領域の過剰エッチングを防止する技術を提供することにある。

また、本発明の他の目的は、接続孔を自己整合的に形成するとともに接続孔底部の素子分離領域の過剰エッチングを防止する場合に、その接続孔の加工マージンを向上させることのできる技術を提供することにある。

また、本発明の他の目的は、接続孔を自己整合的に形成するとともに接続孔底部の素子分離領域の過剰エッチングを防止する場合に、工程の増加を抑制することのできる技術を提供することにある。

また、本発明の他の目的は、半導体集積回路装置の高集積化を実現するとともに、DRAMのリフレッシュ特性を向上し、メモリセル領域のトランジスタ特性を向上することのできる技術を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

(1) 本発明の半導体集積回路装置は、半導体基体の主面上にゲート絶縁膜を介して形成されたゲート電極およびゲート電極下部の半導体基体の主面のチャンネル領域に接する半導体領域を含む第1MISFETと、半導体基体の主面上にゲート絶縁膜を介して形成されたゲート電極、ゲート電極下部の半導体基体の主面のチャンネル領域に接する低濃度半導体

10

20

30

40

50

領域および低濃度半導体領域の外側に設けられた高濃度半導体領域を含む第2 MISFETと、を有する半導体集積回路装置であって、第1および第2 MISFETのゲート電極の上面にはキャップ絶縁膜が形成され、第2 MISFETのゲート電極の側面には、第1の絶縁膜で形成した第1サイドウォール、およびその外側に第1の絶縁膜とは異なる部材からなる第2の絶縁膜で形成された第2サイドウォールが形成され、第1 MISFETの半導体領域と第1 MISFETの上層に形成された部材とを接続する導体部が、第1の絶縁膜で形成された第3サイドウォールに対して自己整合で形成され、第2 MISFETの高濃度半導体領域が、第2の絶縁膜で形成された第2サイドウォールに対して自己整合で形成されているものである。

このような半導体集積回路装置によれば、ゲート電極側面に第1および第2の絶縁膜を形成し、第1のMISFETについてはその上層に形成された部材との接続部を第1の絶縁膜で形成した第3サイドウォールに対して自己整合で形成し、第2のMISFETについては高濃度半導体領域を第2の絶縁膜で形成した第2サイドウォールに対して自己整合で形成するため、半導体集積回路装置の集積度を向上するとともにその性能を向上することができる。

すなわち、第1の絶縁膜で形成した第3サイドウォールにより第1のMISFETの半導体領域と第1のMISFETの上層に形成された部材とを接続する導体部の自己整合性を確保し、第2の絶縁膜で形成した第2サイドウォールにより第2のMISFETのいわゆるLDDを形成するために必要な高濃度半導体領域の位置を最適化して第2 MISFETの性能を高く保持することが可能となる。つまり、第1の絶縁膜として、一般的な層間絶縁膜の材料であるシリコン酸化膜に対してエッチング選択比を持つ材料たとえばシリコン窒化膜を用いることができ、第2の絶縁膜としてLDDを形成するために必要な注入イオンの阻止能を有するシリコン酸化膜を用いることができ、第1のMISFETに対しては第2の絶縁膜は自己整合接合を行うための障害とはならず、一方、第2のMISFETに対しては第1および第2の絶縁膜はLDD形成のための有効なスペーサとして作用させることができる。したがって、第1の絶縁膜については、LDD構造を形成するために必要なスペースを考慮して設計する必要がなく、自己整合接続を実現するに十分な膜厚とすればよいので、その膜厚を低減して、第1のMISFETを高集積に形成することができ、一方、第2の絶縁膜については、第1のMISFET形成領域におけるゲート電極配線間の間隔を考慮する必要がなく、第2のMISFETの性能保持に必要な十分な膜厚のサイドウォールスペーサスペーサを形成することが可能となっており、第2のMISFETの性能を高性能なものとするのが可能となる。

なお、第1の絶縁膜は、ゲート電極の側面に形成されたシリコン窒化膜からなる第1および第3のサイドウォールスペーサとし、第2の絶縁膜は、第1のサイドウォールスペーサを挟んでゲート電極の側面に形成されたシリコン酸化膜からなる第2のサイドウォールスペーサとすることができる。

また、第1の絶縁膜は、ゲート電極の側面を含む半導体基体に形成されたシリコン窒化膜とし、第2の絶縁膜は、シリコン窒化膜を挟んでゲート電極の側面に形成されたシリコン酸化膜からなるサイドウォールスペーサとすることができる。このような場合、MISFETに接続するための接続孔の開口の際に、エッチング工程をシリコン酸化膜をエッチングするための第1のエッチング工程と、シリコン窒化膜をエッチングするための第2のエッチング工程との2段階のエッチング工程に分け、シリコン窒化膜を第1のエッチング工程のエッチングストッパに用いることが可能である。このようにエッチング工程を2段階に分離することにより、第1のエッチング工程を確実に開口するとともに、第2のエッチング工程において過剰なエッチングを防止することが可能となる。

さらに、本発明の半導体集積回路装置は、第2のMISFETにNチャネルMISFETおよびPチャネルMISFETを含み、C(Complementary)MISFET構造を有するものとするのができる。このような半導体集積回路装置によれば、CMISFET構造により高性能かつ低消費電力の半導体集積回路装置とすることができ、第2のMISFETによりDRAMの周辺回路のみならず、ロジック回路をも構成することができ、メモリ

10

20

30

40

50

およびロジック混載形の半導体集積回路装置とすることもできる。

(2) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、第1のMISFETをDRAMセルのメモリアレイ領域に配置されたDRAMの選択MISFETとし、第1のMISFETの上層に形成された部材をDRAMの蓄積容量またはビット線とするものである。

このような半導体集積回路装置によれば、DRAMメモリセルの集積度を向上するとともに、前記第2のMISFETにより形成される周辺回路の性能を向上し、高速動作等が可能な高性能なDRAM集積回路装置とすることができる。

また、選択MISFETの半導体領域にドーパされた不純物はリンとし、第2のMISFETのうちNチャンネルMISFETの低濃度半導体領域または高濃度半導体領域には、少なくともヒ素がドーパされているものとすることができる。また、NチャンネルMISFETは、第1のNチャンネルMISFETと第2のNチャンネルMISFETとを含み、第1のNチャンネルMISFETは、ヒ素がドーパされた低濃度半導体領域およびヒ素がドーパされた高濃度半導体領域を含み、第2のNチャンネルMISFETは、リンがドーパされた低濃度半導体領域およびヒ素がドーパされた高濃度半導体領域を含むことができる。さらに、第1のNチャンネルMISFETは低濃度半導体領域の下部の高濃度半導体領域に接する領域にボロンがドーパされた半導体領域を含み、第2のNチャンネルMISFETはボロンがドーパされた半導体領域を含まないものとすることができる。

このように、選択MISFETの半導体領域にドーパされる不純物をリンとすることにより選択MISFETの耐圧を向上することができ、ソース、ドレイン間のリーク電流を減少してDRAMのリフレッシュ特性を向上することができる。また、第1のNチャンネルMISFETの低濃度半導体領域および高濃度半導体領域の双方にヒ素をドーパすることにより、第1のNチャンネルMISFETのチャンネル長を短くすることができ、第2のNチャンネルMISFETの低濃度半導体領域にリンをドーパし高濃度半導体領域にヒ素をドーパすることにより、第2のNチャンネルMISFETを高耐圧なMISFETとすることができる。さらに、第1のNチャンネルMISFETにパンチスルーストップパとなるボロンがドーパされた半導体領域を形成することによりさらにチャンネル長を短くすることが可能となり、第2のNチャンネルMISFETにパンチスルーストップパを設けないことによりさらに高耐圧化することが可能となる。

また、選択MISFETの半導体領域の表面にはシリサイド層が形成されず、高濃度半導体領域の表面にはシリサイド層が形成されているものとすることができる。選択MISFETの半導体領域の表面にシリサイド層を設けないことによりチャンネル間リークを抑制してリフレッシュ特性に優れたDRAMを形成することができ、高濃度半導体領域の表面にシリサイド層を設けることにより、第2のMISFETの接続孔における接続抵抗および半導体領域のシート抵抗を低減して、高速動作可能なMISFETとすることができ、半導体集積回路装置の性能を向上することが可能となる。

さらに、選択MISFETのゲート絶縁膜の膜厚は、第2のMISFETのゲート絶縁膜の膜厚に比較して厚いものとすることができる。第2のMISFETのゲート絶縁膜の膜厚を薄くすることにより第2のMISFETのチャンネル長を短くすることができ、選択MISFETのゲート絶縁膜の膜厚を厚くすることにより耐圧に優れたMISFETとすることができ、リフレッシュ特性に優れたDRAMを形成することが可能となる。なお、第2のMISFETのチャンネル長を短くすることは、MISFETの駆動電流を増加する作用を有し、高性能なすなわち高速動作可能な半導体集積回路装置とすることができるという効果を有するものである。

(3) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、第1のMISFETを、そのゲート絶縁膜がトンネル絶縁膜であり、ゲート電極にフローティングゲート電極およびフローティングゲート電極上に絶縁膜を介して形成された制御ゲート電極を含む不揮発性メモリセルのメモリアレイ領域に配置されたフローティングゲート形MISFETとするものである。

このような半導体集積回路装置によれば、前記(2)に記載したDRAMと同様に、不揮

10

20

30

40

50

発性メモリセルのメモリアレイ領域を高集積化することができるとともに、第2のMISFETで構成される不揮発性メモリの周辺回路のMISFETを高性能化することが可能である。

なお、第2のMISFETのゲート絶縁膜の膜厚は、第1のMISFETのゲート絶縁膜の膜厚に比較して厚いものとすることができる。このように第2のMISFETのゲート絶縁膜の膜厚を厚くすることにより、一般的に高い電圧で駆動される不揮発性メモリの周辺回路用MISFETを高耐圧なMISFETとすることができる。

(4)本発明の半導体集積回路装置は、前記(2)および(3)に記載したDRAMおよび不揮発性メモリを両方含むものである。すなわち、第1のMISFETには、選択MISFETおよびフローティングゲート形MISFETの両方が含まれるものである。

10

このような半導体集積回路装置によれば、DRAMおよび不揮発性メモリのメモリアレイ領域において高集積化が実現され、それらの周辺回路あるいはロジック回路領域において高性能化された半導体集積回路装置を形成することができる。

なお、DRAMのビット線とフローティングゲート形MISFETの上層に形成された配線とは、同一の工程で形成されたものとすることができる。これにより工程を短縮することが可能である。

また、選択MISFET、フローティングゲート形MISFET、DRAMを駆動する周辺回路またはロジック回路のMISFETおよびフローティングゲート形MISFETを駆動する周辺回路のMISFETの各ゲート絶縁膜の膜厚は相互に相違し、フローティングゲート形MISFETを駆動する周辺回路のMISFETのゲート絶縁膜の膜厚は、フローティングゲート形MISFETのゲート絶縁膜の膜厚に比較して厚く、フローティングゲート形MISFETのゲート絶縁膜の膜厚は、選択MISFETのゲート絶縁膜の膜厚に比較して厚く、選択MISFETのゲート絶縁膜の膜厚は、DRAMを駆動する周辺回路またはロジック回路のMISFETのゲート絶縁膜の膜厚に比較して厚いものとすることができる。これにより、選択MISFET、フローティングゲート形MISFET、DRAMを駆動する周辺回路またはロジック回路のMISFETおよびフローティングゲート形MISFETを駆動する周辺回路のMISFETの各MISFETに最適なゲート絶縁膜の膜厚とすることができる。

20

なお、前記(1)~(4)記載の半導体集積回路装置は、第2のMISFETが形成された領域に、第2のMISFETおよび半導体基体を覆うシリコン窒化膜が形成されている

30

ものとする。このような半導体集積回路装置によれば、周辺回路あるいはロジック回路領域において、半導体基体上にシリコン窒化膜が形成されているため、半導体基体の素子分離領域上に接続孔が形成された場合であっても、素子分離領域を過剰にエッチングすることがなく、素子間リークを発生することがない。この結果、半導体集積回路装置の不良発生を防止し、その信頼性および性能を向上することができる。

(5)本発明の半導体集積回路装置の製造方法は、(a)半導体基体の主面にゲート絶縁膜を形成する工程、(b)ゲート絶縁膜上に、ゲート電極およびキャップ絶縁膜を形成する工程、(c)ゲート電極に対して自己整合で第1および第2MISFETの低濃度半導体領域を形成する工程、(d)ゲート電極の側面に第1のサイドウォールスペーサを形成する工程、(e)第1のサイドウォールスペーサの外側に第2のサイドウォールスペーサを形成する工程、(f)第2MISFETの第2のサイドウォールスペーサに対して自己整合で高濃度半導体領域を形成する工程、(g)半導体基体の全面にシリコン酸化膜からなる層間絶縁膜を堆積する工程、(h)第1MISFETの第1のサイドウォールスペーサに対して自己整合で層間絶縁膜および第2のサイドウォールスペーサをエッチングし、接続孔を開口する工程、(i)接続孔に導体部を形成する工程、を含むものである。

40

また、本発明の半導体集積回路装置の製造方法は、(a)半導体基体の主面にゲート絶縁膜を形成する工程、(b)ゲート絶縁膜上に、ゲート電極およびキャップ絶縁膜を形成する工程、(c)ゲート電極に対して自己整合で第1および第2MISFETの低濃度半導体領域を形成する工程、(d)ゲート電極の側面を含む半導体基体の全面にシリコン窒化

50

膜を堆積する工程、(e)シリコン窒化膜を挟んだゲート電極の側面にサイドウォールスペーサを形成する工程、(f)第2MISFETのサイドウォールスペーサに対して自己整合で高濃度半導体領域を形成する工程、(g)半導体基体の全面にシリコン酸化膜からなる層間絶縁膜を堆積する工程、(h)シリコン窒化膜に対して自己整合で層間絶縁膜およびサイドウォールスペーサをエッチングして開口を形成し、さらに開口底部のシリコン窒化膜をエッチングして接続孔を開口する工程、(i)接続孔に導体部を形成する工程、を含むものである。

このような半導体集積回路装置の製造方法によれば、前記した(1)記載の半導体集積回路装置を形成することができる。

(6)本発明の半導体集積回路装置の製造方法は、前記(c)工程において、第1のMISFETの半導体領域にリンを注入し、第2のMISFETの低濃度半導体領域のうち少なくとも1つ以上の低濃度半導体領域にヒ素を注入することができる。このような半導体集積回路装置の製造方法によれば、第1のMISFETの耐圧を向上し、第2のMISFETの低濃度半導体領域にヒ素が注入されたものについてはチャンネル長を短くすることが可能となる。

10

また、前記(a)工程において、第1のMISFETのゲート絶縁膜と、第2のMISFETのゲート絶縁膜とは、同一の工程で形成することができる。

このような場合、ゲート絶縁膜の形成工程を短縮して工程を簡略化することができる。

また、(a)工程においてゲート絶縁膜の形成を、第1および第2のMISFETが形成される領域に第1のゲート絶縁膜を形成する工程、第2のMISFETが形成される領域の第1のゲート絶縁膜を選択的に除去する工程、第2のMISFETが形成される領域に第2のゲート絶縁膜を形成する工程が含まれるものとすることができる。このような場合、第1および第2のMISFETのゲート絶縁膜の膜厚を相互に異なるものとすることができ、第1のゲート絶縁膜を形成した後に第2のゲート絶縁膜を形成するため、第2のゲート絶縁膜を第1のゲート絶縁膜よりも薄く形成することが可能である。

20

(7)本発明の半導体集積回路装置の製造方法は、前記(5)記載の半導体集積回路装置の製造方法であって、ゲート絶縁膜を不揮発性メモリを構成するフローティングゲート形MISFETのトンネル絶縁膜とし、ゲート電極の形成には、トンネル絶縁膜上にフローティングゲート形MISFETのフローティングゲート電極を形成する工程およびフローティングゲート電極上に絶縁膜を介してフローティングゲート形MISFETの制御ゲート電極を形成する工程を含めることができる。このような半導体集積回路装置の製造方法によれば、メモリアレイ領域において高集積化し、周辺回路領域において高性能化を実現した不揮発性メモリを形成することができる。

30

(8)本発明の半導体集積回路装置の製造方法は、前記(5)または(6)記載の半導体集積回路装置の製造方法であって、(a)工程の前に、半導体基体の主面上に不揮発性メモリを構成するフローティングゲート形MISFETのトンネル絶縁膜を形成し、トンネル絶縁膜上にフローティングゲート形MISFETのフローティングゲート電極を形成する工程を有するものである。

このような半導体集積回路装置の製造方法によれば、メモリアレイ領域において高集積化し、周辺回路領域において高性能化を実現したDRAMおよび不揮発性メモリが混載された半導体集積回路装置を製造することができる。

40

なお、(b)工程におけるゲート電極の形成と、フローティングゲート形MISFETの制御ゲート電極の形成とを、同一の工程で形成し、工程を簡略化することも可能である。さらに、トンネル絶縁膜の膜厚を、(a)工程におけるゲート絶縁膜の膜厚よりも厚く形成することも可能である。

(9)本発明の半導体集積回路装置の製造方法は、前記(5)~(8)記載の半導体集積回路装置の製造方法であって、(g)工程の前に、第2のMISFETが形成される領域に第2のシリコン窒化膜を堆積し、第2のMISFETとその上層に形成される部材とを接続する導電部が形成される領域の層間絶縁膜を第2のシリコン窒化膜に対してエッチング選択比がとれる条件でエッチングして開口を形成し、さらに開口底部の第2のシリコン

50

窒化膜をエッチングして接続孔を開口し、導電部を形成する工程を有するものとして行うことができる。

このような半導体集積回路装置の製造方法によれば、第2のシリコン窒化膜により層間絶縁膜のエッチングをストップし、層間絶縁膜に比較して極めて薄くすることができる第2のシリコン窒化膜をその後エッチングすることができるため、エッチングのオーバーエッチは第2のシリコン窒化膜の膜厚の2分の1に相当する程度で十分であり、接続孔が半導体基体の素子分離領域にかかった場合であっても素子分離領域が過剰にエッチングされることがない。この結果、エッチング工程のプロセスマージンが確保されるとともに、素子分離領域の素子分離能が確保され、半導体集積回路装置の性能および信頼性を確保することができる。

10

なお、第2のシリコン窒化膜は、第1の絶縁膜として形成されるシリコン窒化膜と同一の工程で形成することが可能である。

以上開示される発明のうち、代表的なものによって得られる効果を簡単にまとめて説明すれば以下のとおりである。

(1) DRAMまたは不揮発性メモリを搭載した半導体集積回路装置において、DRAMまたは不揮発性メモリのメモリセルを微細化して高集積化するとともに高速動作可能な半導体集積回路技術を提供することができる。

(2) DRAMおよび電氣的書き換え可能な不揮発性メモリを搭載した半導体集積回路装置において、メモリセルを微細化して高集積化するとともに高速動作可能な半導体集積回路技術を提供することができる。

20

(3) DRAMのリフレッシュ特性に優れるとともに高性能な半導体集積回路技術を提供することができる。

(4) 接続孔開口の際の半導体基体の素子分離領域の過剰エッチングを防止して、信頼性の高い半導体集積回路技術を提供することができる。

(5) DRAMおよび電氣的書き換え可能な不揮発性メモリを搭載した半導体集積回路装置において、その製造工程を簡略化することができる。

【図面の簡単な説明】

図1は、本発明の実施の形態1である半導体集積回路装置の一例を示した要部断面図であり、図2は、実施の形態1の半導体集積回路装置に含まれるDRAMのメモリセル領域における平面図であり、図3は、実施の形態1の半導体集積回路装置のブロック図であり、図4は、実施の形態1の半導体集積回路装置に含まれるDRAMの等価回路図であり、図5～図25は、実施の形態1の半導体集積回路装置の製造方法の一例をその工程順に示した断面図または平面図であり、図48および図49は、実施の形態1の半導体集積回路装置の製造方法の他の一例を工程順に示した断面図である。

30

また、図26は、本発明の実施の形態2である半導体集積回路装置の一例をその要部について示した断面図であり、図27～図29は、実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

また、図30は、本発明の実施の形態3である半導体集積回路装置の一例をその要部について示した断面図であり、図31～図33は、実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

40

また、図34は、本発明の実施の形態4である半導体集積回路装置の一例をその要部について示した断面図であり、図35は、図34における領域Cおよび領域Dの拡大断面図であり、図36は、実施の形態4の半導体集積回路装置に含まれる電氣的書き換え可能な一括消去形不揮発性メモリいわゆるフラッシュメモリのメモリアレイ領域の平面図であり、図37は、フラッシュメモリの部分の等価回路図であり、図38～図46は、実施の形態4の半導体集積回路装置の製造方法の一例を工程順に示した平面図または断面図である。また、図47は、本発明の実施の形態5である半導体集積回路装置の一例をその要部について示した断面図である。

また、図50(a)は、本発明の実施の形態6であるDRAMの一例をそのメモリセル領域について示した断面図であり、図50(b)は、実施の形態6のDRAMの周辺回路領

50

域について示した断面図であり、図51は、実施の形態6のDRAMのメモリセル領域の平面図であり、図52(a)は、図51におけるIIIa-IIIa線断面、図52(b)は、図51におけるIIIb-IIIb線断面であり、図35~図79は、実施の形態6のDRAMの製造方法の一例を工程順に示した断面図である。

また、図80および図81は、本発明の実施の形態7であるDRAMの製造方法の一例を示した断面図であり、図82~図84は、本発明の実施の形態8であるDRAMの製造方法の一例を示した断面図である。

発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

10

(実施の形態1)

図1は本発明の一実施の形態である半導体集積回路装置の一例を示した要部断面図である。図2は本実施の形態1の半導体集積回路装置に含まれるDRAMのメモリセル領域における平面図であり、図3は本実施の形態1の半導体集積回路装置のブロック図である。また、図4は本実施の形態1の半導体集積回路装置に含まれるDRAMの等価回路図である。

本実施の形態1の半導体集積回路装置は、図1の領域Aに示すように、DRAMのメモリセルを構成する情報記憶用蓄積容量素子C2、C3と、これに接続された選択MISFETQs2、Qs3およびこれらに隣接するワード線WL1、WL4を含むものである。図1に示すDRAMの断面は、図2に示すDRAMのメモリセル領域の平面図のI-I線断面を示したものである。また、本実施の形態1の半導体集積回路装置は、図1の領域Bに示すように、DRAMのメモリセル以外の周辺回路あるいは他の論理回路を構成するためのNチャネルMISFETQn1、PチャネルMISFETQp1および第2のNチャネルMISFETQn2を含むものである。

20

また、本実施の形態1の半導体集積回路装置は、図3に示すように、情報処理部CPU、入出力部PORT、アナログデジタル回路部ADC、タイマー等の他の論理回路部LG、OS等のデータ記憶用のROMおよびメモリとしてのDRAMを同一の半導体基体1に形成されたマイクロコンピュータであり、各々の回路はバスBUSにより相互に接続されている。そして、NチャネルMISFETQn1とPチャネルMISFETQp1とは情報処理部CPU等の論理構成に使用することができる。

30

また、図4の等価回路に示すように、1ビットのメモリセルは情報記憶用蓄積容量素子Cと選択MISFETQs(Qs2、Qs3)とで構成され、情報記憶用蓄積容量素子Cと選択MISFETQs(Qs2、Qs3)は直列に接続される。選択MISFETQsのゲート電極はワード線WL(WL0、WL1、WLn)に電氣的に接続され、かつ、一体に構成される。ワード線WLは、ワード線ドライバWDに接続されている。選択MISFETQsのソースまたはドレイン領域の一方は、情報記憶用蓄積容量素子Cの一方の電極と電氣的に接続される。また選択MISFETQsのソースまたはドレイン領域の他方はビット線BLに接続され、ビット線BLはセンスアンプSAに接続されている。このように、1ビットのメモリセルは、ワード線WLとビット線BLとの交点に配置される。後述するように、ワード線WLは第1方向に延在し、ビット線BLは第1方向に垂直な第2方向に延在する。

40

なお、センスアンプSAは特に限定はされないが、前記NチャネルMISFETQn1とPチャネルMISFETQp1で構成することができる。ワード線ドライバWDを構成するNチャネルMOSFETは後述するようにNチャネルMISFETQn1とは低濃度の半導体領域の不純物が異なるNチャネルMISFETQn2で構成することができる。さらにこのNチャネルMISFETQn2はチャージポンプ回路や必要に応じて入出力部PORT等で、NチャネルMISFETQn1よりも高い電圧で動作する回路部に使用される。

次に図1の要部断面図を用いて各部の構成を説明する。

50

1 ビットのメモリセルは情報記憶用蓄積容量素子C (C 2 , C 3) と選択M I S F E T Q s (Q s 2 , Q s 3) とから構成される。選択M I S F E T Q s はP形の半導体基体1の主面に形成されたP形ウエル領域5に形成される。メモリセルのP形ウエル領域5はN形のN形半導体領域3でP形の半導体基体1から電気的に分離されている。これにより同一の半導体基体1に搭載された他の回路からのノイズの防止やD R A Mのビット線蓄積容量を低減するために選択M I S F E T Q sのチャネル領域であるP形ウエル領域5に基板バイアスを印加するにすることができる。

選択M I S F E T Q sは、P形ウエル領域5においてフィールド絶縁膜2で規定された活性領域5bに形成され、P形ウエル領域5(チャネル形成領域)、ゲート絶縁膜6、ゲート電極7およびソース・ドレイン領域を構成する一対の低濃度に不純物がドーブされた低濃度N形半導体領域9から構成される。ゲート電極7は低抵抗化のためにリン(P)等からなる不純物を含んだシリコン膜あるいはシリコン膜上部にタングステンシリサイド(W S i)等のシリサイドまたはタングステン(W)等の金属膜を形成した多層構造とすることができる。

ゲート電極7の上部は窒化シリコン膜8で覆われ、ゲート電極7および窒化シリコン膜8の側面には窒化シリコンからなる第1サイドウォールスペーサ14と酸化シリコンからなる第2サイドウォールスペーサ15とが形成されている。なお、窒化シリコン膜8は、ゲート電極7上に同じパターンを有するように構成される。

低濃度N形半導体領域9には不純物として、たとえばリンをドーブすることができる。これにより、ゲート電極7の端部とP形ウエル領域5との間での電界強度(ドレイン端部における電界強度)を弱め、さらに不純物注入時に発生する結晶欠陥の発生を防止してリーク電流を減らし、リフレッシュ時間を長くすることができる。

また、後述する図6に示すように、選択M I S F E T Q sは、2つのメモリセルを一単位としてフィールド絶縁膜2でメモリセルと電気的に分離され、活性領域5bはフィールド絶縁膜2で規定されている。

選択M I S F E T Q sの一方の低濃度N形半導体領域9は接続孔19を介して導電体20に接続され、導電体20は情報記憶用蓄積容量素子Cの一方の電極に接続されている。

導電体20は窒化シリコンからなる第1サイドウォールスペーサ14に対して自己整合で形成されている。すなわち接続孔19がゲート電極7の側面に形成された窒化シリコンからなる第1サイドウォールスペーサ14に対して自己整合で形成されている。このように、導電体20が第1サイドウォールスペーサ14に対して自己整合で低濃度N形半導体領域9と接続できるのは第2サイドウォールスペーサ15が後に説明する絶縁膜18と同一の材料である酸化シリコンで形成され、かつ、第2サイドウォールスペーサ15および絶縁膜18は、第1サイドウォールスペーサ14とエッチングレートが異なる材料で形成されているためである。すなわち、絶縁膜18および第2サイドウォールスペーサ15をエッチングするとき、第1サイドウォールスペーサ14は酸化シリコンに比べてエッチングされにくい条件で行う。これにより、エッチングにより接続孔19を形成するとき、導電体20が第1サイドウォールスペーサ14に対して自己整合で接続されているため接続孔19の開口を大きくし、マージンを大きくとれるためゲート電極7の間隔を小さくして集積度を向上することが可能となる。すなわち、図18を用いて後述するように、第2方向に隣接するワード線W L間の間隔、すなわちゲート電極7間の間隔を小さくして集積度を向上しても、接続孔19の開口を大きくとることができ、コンタクト抵抗を低減することができる。また、接続孔19をリソグラフィで形成する際に、第2方向における合わせ余裕を小さくすることができるので、第2方向における間隔を縮小することができる。

なお、本実施の形態1においては接続孔19はゲート電極7の上部に位置しないように形成されているが、ゲート電極7の上部にも窒化シリコン膜8が形成されているので接続孔19をゲート電極7に位置するように開孔してもよい。これによりマージンをさらに大きくすることができる。

選択M I S F E T Q sの他方の低濃度N形半導体領域9は接続孔21を介してビット線B Lと一体に構成されて導電体22に接続されている。

10

20

30

40

50

導電体 22 は導電体 20 と同様に、ゲート電極 7 の側面に形成された窒化シリコンからなる第一サイドウォールスペーサに対して自己整合で形成されている。また、前記接続孔 19 と同様に、ビット線 BL への接続孔 21 もゲート電極 7 の上部に延びて位置するようにしてもよい。これにより、接続孔 19 と同様に接続孔 21 の開口を大きくし、マージンを大きくとれるため、ゲート電極 7 の間隔（ワード線 WL の間隔）を小さくして集積度を向上することが可能となる。すなわち、図 20 を用いて後述するように、第 2 方向に隣接するメモリセルの選択 MISFETQs の間隔、すなわちゲート電極 7 間隔を小さくして集積度を向上させても、接続孔 21 の開口を大きくとることができ、コンタクト抵抗を低減することができる。また、接続孔 21 をリソグラフィで形成する際に、第 2 方向における合わせ余裕を小さくすることができるので、第 2 方向における間隔を縮小できる。

また、導電体 20 および導電体 22 は低抵抗化のためにリン等からなる不純物を含んだシリコンあるいは WSi 等のシリサイドとしてもよい。

10

情報記憶用蓄積容量素子 C は一方の電極（下部電極）を構成する導電体 25 と導電体 27、誘電体膜 28 と他方の電極を構成する上部電極 29 とから構成されている。図 22 を用いて後述するように、導電体 25 および導電体 27 は接続孔 24 を介して導電体 20 に接続され、他の情報記憶用蓄積容量素子 C の一方の電極と一つずつ電氣的に分離され、各々の一方の電極はこれに対応した一つの選択 MISFETQs の一方の低濃度 N 形半導体領域 9 に接続されている。情報記憶用蓄積容量素子 C の他方の電極は複数のメモリセル間で電氣的に接続され、図示しない領域において、たとえば電源電圧の 1/2 であるプレート電位の発生回路に接続されている。

20

導電体 25、導電体 27 および上部電極 29 は、たとえば低抵抗化のためにリン等からなる不純物を含んだシリコン膜から形成されている。誘電体膜 28 は、たとえば窒化シリコン膜と酸化シリコン膜とからなる積層膜、あるいは酸化タンタル膜等から形成されている。

N チャネル MISFETQn1 は P 形ウエル領域 5 に形成され、P 形ウエル領域 5（チャネル形成領域）、ゲート絶縁膜 6、ゲート電極 7、ソースおよびドレインを構成する一対の低濃度 N 形半導体領域 10 および高濃度 N 形半導体領域 16 から構成される。低濃度 N 形半導体領域 10 の下部には N チャネル MISFETQn1 のゲート長を短くして短チャネルな N チャネル MISFET を得るために P 形半導体領域 11 が形成されている。P 形半導体領域 11 はいわゆる MISFET のパンチスルーストップアの働きをしている。

30

DRAM の選択 MISFETQs と同様にゲート電極 7 の上部には窒化シリコン膜 8 が形成され、ゲート電極 7 の側面には窒化シリコンからなる第 1 サイドウォールスペーサ 14 と酸化シリコンからなる第 2 サイドウォールスペーサ 15 が形成されている。そして、高濃度 N 形半導体領域 16 は後述するように酸化シリコンからなる第 2 サイドウォールスペーサ 15 に対して自己整合で形成されている。このように高濃度 N 形半導体領域 16 を第 2 サイドウォールスペーサ 15 に対して自己整合で形成するため、第 2 サイドウォールスペーサ 15 の厚さを最適化して N チャネル MISFETQn1 の性能を向上することができる。

低濃度 N 形半導体領域 10 はゲート長の短チャネルな N チャネル MISFET を得るためにたとえばヒ素 (As) が不純物として注入されている。ヒ素はリンに比べて熱拡散係数が小さいので横方向の拡散を短くできるため、ゲート長の短チャネルな N チャネル MISFET を得ることができる。さらに熱拡散係数が小さいことから低濃度 N 形半導体領域 10 の濃度を高くでき、この結果寄生抵抗も小さくできるので高性能な N チャネル MISFET を得ることができる。なお、低濃度 N 形半導体領域 10 は、ゲート電極 7 および窒化シリコン膜 8 に対して自己整合的に形成される。

40

低濃度 N 形半導体領域 10 の下部にパンチスルーストップアとして作用する P 形半導体領域 11 はボロン (B) を不純物として注入して形成されている。この P 形半導体領域 11 が設けられているため空乏層の延びを抑えることができ、さらに短チャネル特性を良好にすることができる。

P チャネル MISFETQp1 は N 形ウエル領域 4 内に形成され、N 形ウエル領域 4（チ

50

ヤネル形成領域)、ゲート絶縁膜6、ゲート電極7、ソースおよびドレインを構成する一対の低濃度P形半導体領域12および高濃度P形半導体領域17から構成される。低濃度P形半導体領域12は、チャンネル形成領域と高濃度P形半導体領域17との間に形成される。低濃度P形半導体領域12の下部にはPチャンネルMISFETQp1のゲート長を短くして短チャンネルなPチャンネルMISFETを得るためにN形半導体領域13が形成されている。N形半導体領域13はいわゆるMISFETのパンチスルーストップパの働きをしている。DRAMの選択MISFETQsと同様にゲート電極7の上部には窒化シリコン膜8が形成され、ゲート電極7および窒化シリコン膜8の側面には窒化シリコンからなる第1サイドウォールスペーサ14と酸化シリコンからなる第2サイドウォールスペーサ15が形成されている。そして、高濃度P形半導体領域17は後述するように酸化シリコンからなる第2サイドウォールスペーサ15に対して自己整合で形成されている。このように高濃度P形半導体領域17を第2サイドウォールスペーサ15に対して自己整合で形成するため、第2サイドウォールスペーサ15の厚さを最適化してPチャンネルMISFETQp1の性能を向上することができる。これにより、高濃度P形半導体領域17が低濃度P形半導体領域12を越えて拡散しないようにすることができる。

10

低濃度P形半導体領域12はボロンを不純物として注入されている。低濃度P形半導体領域12の下部にパンチスルーストップパとして作用するN形半導体領域13はヒ素またはリンを不純物として注入して形成されている。このN形半導体領域13が設けられているため空乏層の伸びを抑えることができ、さらに短チャンネル特性を良好にすることができる。NチャンネルMISFETQn2はP形ウエル領域5に形成され、P形ウエル領域5(チャンネル形成領域)、ゲート絶縁膜6、ゲート電極7、ソースおよびドレインを構成する一対の低濃度N形半導体領域10bおよび高濃度N形半導体領域16bから構成される。低濃度N形半導体領域10bは、チャンネル形成領域と高濃度N形半導体領域16bとの間に形成される。DRAMの選択MISFETQsと同様にゲート電極7の上部には窒化シリコン膜8が形成され、ゲート電極7の側面には窒化シリコンからなる第1サイドウォールスペーサ14と酸化シリコンからなる第2サイドウォールスペーサ15が形成されている。そして、低濃度N形半導体領域10bはゲート電極7および窒化シリコン膜8に対して自己整合で形成され、高濃度N形半導体領域16bは後述するように酸化シリコンからなる第2サイドウォールスペーサ15に対して自己整合で形成されている。このように高濃度N形半導体領域16bを第2サイドウォールスペーサ15に対して自己整合で形成して、高濃度N形半導体領域16bが低濃度N形半導体領域10bを越えて拡散せずに、かつ、低濃度N形半導体領域10bで電界強度を緩和するとともに所定の抵抗値を持つように第2サイドウォールスペーサ15の厚さを最適化してNチャンネルMISFETQn2の性能を向上することができる。すなわち、NチャンネルMISFETQn2の性能を向上するため、第2サイドウォールスペーサ15の厚さを最適化したとしても、メモリセルアレイにおいて、第2方向におけるワード線WL間すなわち選択MISFETQsのゲート電極7間の間隔を小さくできるとともに、接続孔19,21の開口を大きくし、マージンを大きくとれるので、コンタクト抵抗を低減することができる。

20

30

低濃度N形半導体領域10bには不純物としてたとえばリンを注入し、その下部にはP形半導体領域のパンチスルーストップパが設けられていない。このように、NチャンネルMISFETQn2の低濃度N形半導体領域10bの不純物がリンで形成されているので、同じ低濃度N形半導体領域10をヒ素で形成したNチャンネルMISFETQn1よりも耐圧を高くできる。また、パンチスルーストップパが設けられていないため耐圧を高くすることができる。このNチャンネルMISFETQn2はDRAMのワード線ドライバWDやチャージポンプ回路あるいは入出力部PORT等、NチャンネルMISFETQn1よりも高い電圧での動作が必要な回路に使用することができる。

40

NチャンネルMISFETQn1、NチャンネルMISFETQn2、PチャンネルMISFETQp1の各ソースおよびドレインを構成する半導体領域は接続孔30を介して、第一の配線32に接続される接続部材31に接続されている。接続部材31は必要に応じてMISFETのゲート電極7の側面に形成された窒化シリコンからなる第1サイドウォールス

50

ペーサ 14 に対して自己整合で形成することができる。図 1 においては P チャネル M I S F E T Q p 1 の左側の接続領域が該当する。

さらに、各々の第一の配線 32 は接続孔 34 を介して、第二の配線 36 と接続される接続部材 35 に接続され、各々の第二の配線 36 は接続孔 38 を介して、第三の配線 40 と接続される接続部材 39 に接続されている。そして、その上部にはパッシベーション膜 41 が形成され、パッシベーション膜 41 にはボンディング領域 42 が形成されている。

上下の配線を接続する接続部材 31, 35, 39 は特に限定されないがタングステン (W) を用いることができる。配線 32, 36, 40 は特に限定されないが窒化チタン (TiN) と銅 (Cu) を含むアルミニウム (Al) との積層膜で形成することができる。

各々の配線 32, 36, 40 は、絶縁膜 18, 23, 33, 37 により絶縁され、絶縁膜 18, 23, 33, 37 は酸化シリコン膜あるいはボロン、リンの一方または両方を含むドーパされた酸化シリコン膜で形成することができる。パッシベーション膜 41 は酸化シリコン膜あるいはボロン、リンの一方または両方を含むドーパされた酸化シリコン膜またはその上部に形成された窒化シリコン膜で形成することができる。

次に、本実施の形態 1 の半導体集積回路装置の製造方法を図 5 ~ 図 25 を用いて説明する。図 5 ~ 図 25 は、本実施の形態 1 の半導体集積回路装置の製造方法の一例をその工程順に示した断面図または平面図である。

まず、図 5 および図 6 に示すように、P 形の半導体基体 1 の所定領域にフィールド絶縁膜 2 を形成する。フィールド絶縁膜 2 は公知の窒化シリコンによる選択酸化法による L O C O S (Local Oxidation of Silicon) 法あるいは次に概要を説明する浅溝アイソレーション法等により形成することができる。

浅溝アイソレーション法は P 形の半導体基体 1 の主平面に図示しない酸化シリコン膜および窒化シリコン膜を順次形成する。そしてフォトレジスト等によりフィールド絶縁膜 2 の形成領域の前記酸化シリコン膜と窒化シリコン膜を除去した後、P 形の半導体基体 1 を深さ方向にたとえば $0.3 \sim 0.4 \mu\text{m}$ の溝を形成する。次に前記窒化シリコン膜を酸化マスクとして前記溝の側面と底面に熱酸化シリコンを形成する。そして、C V D (Chemical Vapor Deposition) 法により全面に酸化シリコン膜を堆積した後に、C M P (Chemical Mechanical Polishing) 法あるいはドライエッチング法により溝以外の領域の前記 C V D 法による酸化シリコン膜を除去して、構内に酸化シリコンを選択的に埋め込む。酸化性雰囲気で行う。そして、前記窒化シリコン膜を除去することにより浅溝アイソレーション法によるフィールド絶縁膜 2 を形成することができる。残った部分は活性領域 5b を形成する。

次に、図 7 に示すように、N 形半導体領域 3 を形成する。N 形半導体領域 3 は、たとえばフォトレジストをマスクにして、リンをイオン注入法により、加速エネルギー $500 \sim 1000 \text{ keV}$ 、ドーズ量約 $1 \times 10^{12} \text{ atoms/cm}^2$ の条件で 1 回あるいは条件を変えて数回注入することにより形成することができる。この後、 1000 程度の熱処理により不純物の活性化を行う。この場合、1% 程度の酸素を含む窒素雰囲気中で $20 \sim 30$ 分程度行うことができる。望ましくは赤外線による加熱を用いた R T A (Rapid Thermal Annealing) 法により短時間で熱処理を行い、不純物分布の制御を行うことができる。

次に N 形ウエル領域 4 と P 形ウエル領域 5 を形成する。N 形ウエル領域 4 はたとえばフォトレジストをマスクにして、リンをイオン注入法により、加速エネルギー $300 \sim 500 \text{ keV}$ 、ドーズ量約 $1 \times 10^{13} \text{ atoms/cm}^2$ の条件で 1 回あるいは条件を変えて数回注入することにより形成することができる。P 形ウエル領域 5 はたとえばフォトレジストをマスクにして、ボロンをイオン注入法により、加速エネルギー $200 \sim 300 \text{ keV}$ 、ドーズ量約 $1 \times 10^{13} \text{ atoms/cm}^2$ の条件で 1 回あるいは条件を変えて数回注入することにより形成することができる。この後、 1000 程度の熱処理により不純物の活性化を行う。この場合、1% 程度の酸素を含む窒素雰囲気中で $20 \sim 30$ 分程度行うことができる。望ましくは R T A 法により短時間熱処理を行い、不純物分布の制御を行うことができる。

次に、図 8 および図 9 に示すように、P 形の半導体基体 1 上の酸化シリコン膜を除去して新たに清浄なゲート絶縁膜 6 を形成する。ゲート絶縁膜 6 は $700 \sim 800$ の熱酸化法

10

20

30

40

50

で酸化シリコン膜を形成した後に、NOあるいは N_2O からなる酸化窒素雰囲気にて熱処理することにより窒素を含んだ酸化シリコン膜からなるゲート絶縁膜6を形成する。酸化窒素雰囲気の熱処理はNO雰囲気の場合は900~1000、 N_2O 雰囲気の場合は1000~1100で20~30分程度行うことができる。あるいはRTA法により1000~1100の短時間熱処理を行う。この熱処理によりゲート絶縁膜6とP形の半導体基体1の界面が良好となり、MISFETの動作により発生するホットキャリアによるゲート絶縁膜6の劣化を抑制できる。この界面が良好になるのは、ゲート絶縁膜6と半導体基体1との界面にSi-O結合よりも強い結合を有するSi-N結合が形成されるからと考えられている。

ゲート絶縁膜6の膜厚は動作時の最大電界が5MeV/cm以下になるように設定する。たとえば、3.3Vで動作する場合は7~9nm、2.5Vで動作する場合は5~7nm、1.8Vで動作する場合には4~5nmに設定することができる。

次にゲート電極7と窒化シリコン膜8とを順次形成する。ゲート電極7は低抵抗化のためにリン等からなる不純物を含んだシリコン膜あるいはシリコン膜の上部にWSi等のシリサイドまたはW等の金属を形成した多層構造で構成されている。これらの導体膜をCVD法あるいはスパッタ法で全面に堆積させ、次に、窒化シリコン膜8をCVD法あるいはプラズマCVD法で全面に堆積させた後、たとえばフォトリソをマスクにして窒化シリコン膜および導体膜を順次所定のパターンでパターンニングを行う。これによりDRAMのメモセルの選択MISFETQs、NチャネルMISFETQn1、NチャネルMISFETQn2やPチャネルMISFETQp1等のゲート電極7、第1方向に延在するワード線WLを形成する。ゲート電極7のチャンネル長は0.2~0.4 μ m程度に形成する。このゲート電極7、ワード線WLの上部には窒化シリコン膜8が同じ平面パターンを有するように形成される。

なお、MISFETのしきい値(V_{th})を制御するチャンネル不純物の注入はゲート絶縁膜6の形成前あるいはゲート電極7の形成後にイオン注入法で形成することができる。

次に、図10および図11に示すように、選択MISFETQsの低濃度N形半導体領域9とNチャネルMISFETQn2の低濃度N形半導体領域10bをフォトリソをマスクにして選択的に形成する。低濃度N形半導体領域9,10bは、たとえばイオン注入法により、リンを加速エネルギー20~40keV、ドーズ量約 5×10^{13} atoms/cm²の条件で注入して形成する。このように低濃度N形半導体領域9,10bは、ゲート電極7および窒化シリコン膜8に対して自己整合的に不純物を導入することにより形成される。すなわち、低濃度N形半導体領域9,10bは、ゲート電極7および窒化シリコン膜8に対して自己整合的に形成される。

次に、NチャネルMISFETQn1の低濃度N形半導体領域10とその下部のP形半導体領域11をフォトリソをマスクにして選択的に形成する。低濃度N形半導体領域10は、たとえばイオン注入法により、ヒ素を加速エネルギー20~40keV、ドーズ量約 1×10^{14} atoms/cm²の条件で注入して形成する。この場合、特に限定されないがゲート電極7の側面に対して30~50度傾けて(P形半導体領域の垂線に対して30~50度傾けて)注入することができる。これによりゲート電極7の下部にも低濃度N形半導体領域10が形成されるのでホットキャリア耐性を良くすることができる。このように、低濃度N形半導体領域10は、ゲート電極7および窒化シリコン膜8に対して自己整合的に不純物を導入することにより形成される。すなわち、低濃度N形半導体領域10は、ゲート電極7および窒化シリコン膜8に対して自己整合的に形成される。

P形半導体領域11は、たとえばイオン注入法により、ボロンを加速エネルギー10~20keV、ドーズ量約 1×10^{13} atoms/cm²の条件で注入して形成する。この場合、特に限定されないがゲート電極7の側面に対して30~50度傾けて(P形半導体領域の垂線に対して30~50度傾けて)注入することができる。これにより低濃度N形半導体領域10の下部に十分に回り込ませることができるので良好な短チャンネル特性を得ることができる。

さらに、PチャネルMISFETQp1の低濃度P形半導体領域12とその下部のN形半

10

20

30

40

50

導体領域 13 を形成する。低濃度 P 形半導体領域 12 は、たとえばイオン注入法により、ボロンを加速エネルギー 5 ~ 10 keV、ドーズ量約 5×10^{13} atoms/cm² の条件で注入して形成する。この場合、特に限定されないがゲート電極 7 の側面に対して 30 ~ 50 度傾けて (P 形半導体領域の垂線に対して 30 ~ 50 度傾けて) 注入することができる。N 形半導体領域 13 は、たとえばイオン注入法により、リンを加速エネルギー 50 ~ 80 keV、ドーズ量約 1×10^{13} atoms/cm² の条件で注入して形成する。この場合、特に限定されないがゲート電極 7 の側面に対して 30 ~ 50 度傾けて (P 形半導体領域の垂線に対して 30 ~ 50 度傾けて) 注入することができる。これにより低濃度 P 形半導体領域 12 の下部に十分に回り込ませることが出来るので良好な短チャネル特性を得ることができる。この後、850 程度の熱処理により不純物の活性化を行う。この場合、1% 程度の酸素を含む窒素雰囲気中で 20 ~ 30 分程度行う。望ましくは RTA 法により 1000 程度の短時間熱処理を行い、不純物分布の制御を行うことができる。

なお、好ましくは、前記各低濃度半導体領域を形成する前に 700 ~ 800 程度で酸化性雰囲気中で熱処理を行うことができる。これによりゲート電極 7 のパターニング時に薄くなったゲート電極 7 の端部を補強でき、そのためゲート耐圧を向上することができる。

次に、図 12 および図 13 に示すように、ゲート電極 7 および窒化シリコン膜 8 の側面に窒化シリコンからなる第 1 サイドウォールスペーサ 14 を形成する。第 1 サイドウォールスペーサ 14 は CVD 法あるいはプラズマ CVD で窒化シリコン膜を全面に堆積した後に異方性ドライエッチングでエッチングすることにより形成することができる。窒化シリコンからなる第 1 サイドウォールスペーサ 14 の厚さはゲート電極 7 の下部でチャネル長方向 (第 2 方向) における厚さ t_1 が 0.04 ~ 0.08 μm 程度になるように形成する。これによりゲート電極 7 は上部を窒化シリコン膜 8、側面を窒化シリコン膜からなる第 1 サイドウォールスペーサ 14 で覆われることとなり、後に説明する接続孔 19, 21 の開口の際に自己整合な接続孔の開口を実現できる。また、第 1 サイドウォールスペーサ 14 の厚さ t_1 を 0.04 ~ 0.08 μm 程度に薄く形成することができるため、第 2 方向における選択 MISFETQs のゲート電極 7 間の間隔を小さくして半導体集積回路装置の高集積化を図ることができる。

なお、窒化シリコンからなる第 1 サイドウォールスペーサ 14 を薄く形成して、前記低濃度の半導体領域をこの第 1 サイドウォールスペーサ 14 の形成後に形成してもよい。この場合にはさらに短チャネルな特性を得ることができる。すなわち、図 48 に示すように、第 1 サイドウォールスペーサ 14 を形成した後、図 49 に示すように低濃度 N 形半導体領域 9, 10, 10b および低濃度 P 形半導体領域 12 は、第 1 サイドウォールスペーサ 14 に対して自己整合的に形成することにより、第 1 サイドウォールスペーサ 14 に対して自己整合的に形成される。

次に、図 14 および図 15 に示すように、第 1 サイドウォールスペーサ 14 の側面に酸化シリコンからなる第 2 サイドウォールスペーサ 15 を形成する。第 2 サイドウォールスペーサ 15 は、CVD 法あるいはプラズマ CVD で酸化シリコン膜を全面に堆積した後に異方性ドライエッチングによりエッチングすることで形成することができる。第 2 サイドウォールスペーサ 15 は、その厚さ (幅) が第 1 サイドウォールスペーサ 14 よりも大となるようにする。窒化シリコンからなる第 1 サイドウォールスペーサ 14 と酸化シリコンからなる第 2 サイドウォールスペーサ 15 を合わせた厚さ t_2 はゲート電極 7 の下部でチャネル方向における厚さ t_2 が 0.1 - 0.15 μm 程度になるように形成する。この時、第 2 方向において選択 MISFETQs の二つのゲート電極 7 の間が酸化シリコンからなる第 2 サイドウォールスペーサ 15 で埋められても、後述するように問題はない。すなわち窒化シリコンからなる第 1 サイドウォールスペーサ 14 の隙間 (スペース) t_3 があればよい。すなわち、接続孔 19, 21 は第 1 サイドウォールスペーサ 14 に対して自己整合で開口することができるので、図 13 に示すように、第 2 方向における第 1 サイドウォールスペーサ 14 の間隔 t_3 が接続孔 19, 21 の開口になる。すなわち、第 1 サイドウォールスペーサ 14 の厚さ t_1 を十分小さくして、第 2 方向に厚さ t_1 を微細化するとともに、第 1 サイドウォールスペーサ 14 間の間隔 t_3 が所定のコンタクト抵抗をとれる大

10

20

30

40

50

きさにまで小さくすることができる。

次に、図16に示すように、NチャネルMISFETQn1の高濃度N形半導体領域16とNチャネルMISFETQn2の高濃度N形半導体領域16bを形成する。高濃度N形半導体領域16, 16bは、たとえばイオン注入法により、ヒ素を加速エネルギー20~60keV、ドーズ量約 $1 \sim 5 \times 10^{15}$ atoms/cm²の条件で注入して形成する。この時、選択MISFETQsには高濃度の半導体領域を形成しない。これにより高濃度の半導体領域を形成するときのイオン注入により発生する結晶欠陥を抑制し、PN接合のリーク電流が増加してDRAMのリフレッシュ時間を短くするという不具合の発生を防止することができる。

さらに、PチャネルMISFETQp1の高濃度P形半導体領域17を形成する。高濃度P形半導体領域17は、たとえばイオン注入法により、ボロンを加速エネルギー10~20keV、ドーズ量約 $1 \sim 5 \times 10^{15}$ atoms/cm²の条件で注入して形成する。この後、850程度の熱処理により不純物の活性化を行う。この場合、1%程度の酸素を含む窒素雰囲気20~30分程度行う。望ましくはRTA法により1000程度の短時間熱処理を行い、不純物分布の制御を行うことができる。

このように、第2サイドウォールスペーサ15を設け、最適なサイドウォールスペーサの長さt2で高濃度の半導体領域を形成できるので高性能なNチャネルMISFETQn1, Qn2およびPチャネルMISFETQp1を得ることができる。一方、メモリアレイにおいては、第1サイドウォールスペーサ14の厚さt1を小さくするとともに、第1サイドウォールスペーサ14間の間隔t3を小さくできるので、第2方向における微細化を図ることができ、かつ、接続孔19, 21の開口マージンを大きくし、コンタクト抵抗を低減することができる。

次に、図17および図18に示すように、酸化シリコン膜またはボロンとリンの両方あるいは一方を含むドーパされた酸化シリコン膜からなる絶縁膜18を形成する。絶縁膜18は、たとえばCVD法あるいはプラズマCVD法により全面に酸化シリコン膜あるいはボロンとリンの両方あるいは一方を含むドーパされた酸化シリコン膜を堆積した後、リフローあるいはCMP法により、全面において基体表面からの高さが均一になるように平坦化する。

さらに、DRAMのメモリセルの情報記憶用蓄積容量素子Cの一方の電極に接続するための接続孔19を形成する。接続孔19はドライエッチングにより行い、ゲート電極7上部の窒化シリコン膜8や窒化シリコンからなる第1サイドウォールスペーサ14と、酸化シリコンからなる第2サイドウォールスペーサ15および酸化シリコンからなる絶縁膜18との選択比を大きくした条件で行う。つまり、窒化シリコンのエッチング速度(エッチング量)を小さく、酸化シリコンのエッチング速度(エッチング量)が速くなるエッチング条件で行う。このようなエッチングは、たとえばC₄F₈とO₂の混合ガスにArスパッタを併用することで達成できる。このような条件でエッチングを行うことにより、接続孔19を第1サイドウォールスペーサ14に対して自己整合で開口することができる。すなわち光リソグラフィを用いて接続孔19を形成するために第2方向における合わせ余裕を小さくでき、第2方向において微細化を図ることができる。

さらに、半導体基体1の全面に低抵抗化のためのリン等の不純物を含んだ多結晶シリコン膜を形成する。そして異方性エッチングにより接続孔19以外の前記多結晶シリコン膜を除去して、接続孔19内に導電体20を形成する。

次に、図示しない絶縁膜(シリコン酸化膜)を堆積し、導電体20を被覆する。

次に、図19および図20に示すように、DRAMのメモリセルのビット線BLに接続するための接続孔21を形成する。接続孔21はドライエッチングにより行い、前記接続孔19の場合と同様に窒化シリコンと酸化シリコンとの選択比を大きくした条件で行う。これにより接続孔21を第1サイドウォールスペーサ14に対して自己整合で開口することができる。これにより、接続孔19と同様に、光リソグラフィを用いて接続孔21を形成する際に、第2方向における合わせ余裕を小さくでき、第2方向において微細化を図ることができる。

10

20

30

40

50

さらに、低抵抗化のためのリン等の不純物を含んだシリコン膜あるいはWSi等のシリサイド膜を形成する。そしてフォトレジストをマスクに接続孔21内に導電体22を形成するとともにワード線WLと垂直方向(第2方向)に延在してビット線BLとなるようパターンニングする。

次に、図21および図22に示すように、酸化シリコンまたはボロンとリンの両方あるいは一方を含むドーパされた酸化シリコンからなる絶縁膜23を形成する。絶縁膜23は、たとえば前記絶縁膜18と同様にCVD法あるいはプラズマCVD法により、全面に酸化シリコン膜またはボロンとリンの両方あるいは一方を含むドーパされた酸化シリコン膜を堆積した後、リフローあるいはCMP法により、全面において基体表面からの高さが均一になるように平坦化する。そしてDRAMのメモリセルの情報記憶用蓄積容量素子Cの一方の電極に接続するための接続孔24を形成する。接続孔24はドライエッチングによりエッチングを行い、導電体20に達する孔を形成する。このようなエッチングはCF₄とCHF₃の混合ガスにArスパッタを併用することで達成できる。

10

さらに、DRAMのメモリセルの情報記憶用蓄積容量素子Cの一方の電極となる導電体25を形成する。導電体25は低抵抗化のためのリン等の不純物を含んだ多結晶シリコン膜あるいはWSi等のシリサイド膜で形成する。次に、たとえば酸化シリコンからなる絶縁膜26を形成し、そしてフォトレジストをマスクに接続孔24内に導電体25を形成するとともに絶縁膜26と前記導電体25を情報記憶用蓄積容量素子Cの一方の電極となるようパターンニングする。

次に、図23に示すように、低抵抗化のためのリン等の不純物を含んだ多結晶シリコン膜あるいはWSi等のシリサイド膜を形成する。そして異方性のドライエッチングを行うことにより、絶縁膜26の側面に導電体25に接続された導電体27を形成する。導電体25と導電体27で情報記憶用蓄積容量素子Cの一方の電極を形成する。

20

次に、図24に示すように、絶縁膜26を除去した後、情報記憶用蓄積容量素子Cの誘電体膜28と上部電極29を順次形成する。誘電体膜28は酸化シリコンと窒化シリコンからなる積層膜、あるいは酸化タンタル(Ta₂O₃)膜で形成する。上部電極29は低抵抗化のためのリン等の不純物を含んだ多結晶シリコン膜あるいはWSi等のシリサイド膜を形成する。

次に、図25に示すように、第一の配線32とゲート電極あるいは半導体領域とを接続するための接続孔30を形成する。接続孔30は前記接続孔19, 21の形成時と同様に窒化シリコン膜8や窒化シリコンからなる第1サイドウォールスペーサ14と、酸化シリコンからなる第2サイドウォールスペーサ15および酸化シリコンからなる絶縁膜18との選択比を大きくした条件で行う。そして、接続孔30内に接続部材31を形成する。接続部材31はたとえばスパッタ法でチタン(Ti)膜を10~50nmとチタンナイトライド(TiN)膜を約100nm形成した後にCVD法でタングステン(W)膜を形成し、ドライエッチングあるいはCMP法で接続孔30以外の前記タングステン膜を除去する。さらに、第一の配線32を形成する。第一の配線はスパッタ法によりチタンナイトライド(TiN)膜と銅(Cu)を含むアルミニウム(AL)膜の積層膜で形成することができる。

30

最後に、絶縁膜33、接続孔34、接続部材35、第二の配線36、絶縁膜37、接続孔38、接続部材39と第二の配線40を順次形成する。絶縁膜33と37は前記絶縁膜23と同様に形成する。接続孔34と38は前記接続孔30と同様に形成する。接続部材35と39および第二の配線36と第三の配線40は前記接続部材31および第一の配線32と同様に形成する。そしてプラズマCVD法により、窒化シリコンあるいはその下部に酸化シリコンからなる積層のパッシベーション膜41を形成した後、ボンディング領域42を形成して図1に示す半導体集積回路装置がほぼ完成する。

40

(実施の形態2)

図26は、本発明の他の実施の形態である半導体集積回路装置の一例をその要部について示した断面図である。

本実施の形態2の半導体集積回路装置が前記実施の形態1の半導体集積回路装置と異なる

50

点は、NチャネルMISFET Q_n1 、NチャネルMISFET Q_n2 およびPチャネルMISFET Q_p1 の上部に窒化シリコン膜104が形成され、この窒化シリコン膜104を接続孔30を形成する時のエッチングストップパとして使用している点である。したがって、その他の構成は実施の形態1と同様であるため、説明を省略する。本実施の形態2の半導体集積回路装置では、窒化シリコン膜104を設けているため、たとえば図26においてPチャネルMISFET Q_p1 の右側に示すように接続孔30の一部がフィールド絶縁膜2に重なっても、接続孔30の開口の際にフィールド絶縁膜2を過剰にエッチングすることがなく、過剰エッチングに起因するリーク電流等を発生せず、半導体集積回路装置の性能と信頼性を保持することができる。

本実施の形態2の半導体集積回路装置の製造方法の一例を図27～図29を用いて説明する。図27～図29は、本実施の形態2の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

実施の形態1の製造方法と同様に、図16に示す選択MISFET Q_s 、NチャネルMISFET Q_n1 、 Q_n2 およびPチャネルMISFET Q_p1 を形成した後、NチャネルMISFET Q_n1 、 Q_n2 およびPチャネルMISFET Q_p1 の上層に約50nmの膜厚の窒化シリコン膜104を堆積する。次に、フォトレジスト等をマスクにして、少なくともDRAMのメモリセルの接続孔19、21が形成される領域の窒化シリコン膜104を除去する。(図27)。

その後、絶縁膜18、ビット線BL、情報記憶用蓄積容量素子Cを形成するまでは、実施の形態1と同様である。その後、接続孔30を開口するに際して、まず、第1段階のエッチングを行う(図28)。第1段階のエッチングでは、窒化シリコンに対して酸化シリコンのエッチング速度が高いいわゆるエッチング選択比の大きくなる条件でエッチングする。これにより、接続孔30は、窒化シリコン膜104の上層まで確実に開口することができる。また、この第1段階のエッチングの際には、窒化シリコン膜104がエッチングストップパとして作用するため、オーバーエッチングの危険を考慮する必要がなく、十分な時間のエッチングを行ってプロセスマージンを大きくとることができる。

次に、第2段階のエッチングを行って、接続孔30の底面の窒化シリコン膜104をエッチングする(図29)。この第2段階のエッチングの条件は、窒化シリコンがエッチングされる条件とするが、酸化シリコンに対してエッチング選択比がとれる必要はない。この時のエッチング量を窒化シリコン膜104の膜厚よりも若干だけ多くする。たとえば窒化シリコン膜104の膜厚の110～130%にする。このようなエッチングは CF_4 と CHF_3 の混合にArスパッタを併用することで達成できる。この結果フィールド絶縁膜2がほとんどエッチングされない。これによりエッチングされた接続孔30の底面がソースおよびドレインを構成する半導体領域よりも深い位置に来ることがなくなる。すなわち、窒化シリコン膜104の膜厚はフィールド絶縁膜2の膜厚に対して十分に薄い膜厚とすることができ、窒化シリコン膜104を十分にエッチングするためにオーバーエッチングを行ったとしても、フィールド絶縁膜2がエッチングされる量は、高々窒化シリコン膜104の膜厚の半分以下であり、このようなオーバーエッチングはプロセス上ほとんど問題とはならない。

このように窒化シリコン膜104を用いて2段階のエッチングを行うことにより、接続孔30を確実にかつ十分なプロセスマージンをもって開口することができ、半導体集積回路装置の性能と信頼性を保持することが可能となる。

なお、この後の製造方法は実施の形態1と同様であるため説明を省略する。

(実施の形態3)

図30は、本発明のさらに他の実施の形態である半導体集積回路装置の一例をその要部について示した断面図である。

本実施の形態3の半導体集積回路装置が実施の形態1および実施の形態2と異なる点は、少なくともDRAMのメモリセルの選択MISFET Q_s のソースおよびドレインを構成する低濃度N形半導体領域9を除く、半導体領域の上部にシリサイド層105が形成されていることである。また本実施の形態3においては実施の形態2と同様に窒化シリコン膜

10

20

30

40

50

104も設けられている。これにより、DRAMのメモリセルのリーク電流を増加することなく、MISFETQn1, Qn2, Qp1のソースおよびドレインを構成する半導体領域の寄生抵抗を低減してMISFETQn1, Qn2, Qp1を高性能化できる。

次に、本実施の形態3の半導体集積回路装置の製造方法の一例を図31~図33を用いて説明する。図31~図33は、本実施の形態3の半導体集積回路装置の製造方法の一例をその工程順に示した断面図である。

まず、実施の形態1と同様に、図16に示す高濃度N形半導体領域16, 16bと高濃度P形半導体領域17まで形成する。次に絶縁膜106を形成した後、フォトレジスト等をマスクにして、少なくともDRAMのメモリセルの以外の絶縁膜106を除去する(図31)。なお、絶縁膜106の形成以前に半導体領域の上部に絶縁膜がある場合には、絶縁膜106を形成せずに前記絶縁膜の選択的な除去に代えることができる。

次に、たとえばチタン(Ti)またはコバルト(Co)からなる金属膜107をスパッタ法等により全面に堆積する(図32)。次に、約500の不活性雰囲気中で第一のシリサイド反応を行った後、半導体領域以外の未反応な金属膜107を除去する。次に700~900の不活性雰囲気中で第二のシリサイド反応を行い低抵抗化し、シリサイド層105を形成する(図33)。これにより、DRAMのメモリセルの選択MISFETQsのソースおよびドレインを構成する低濃度N形半導体領域9を除くMISFETQn1, Qn2, Qp1のソースおよびドレインを構成する半導体領域上にシリサイド層105が形成される。なお、出力回路の出力MISFET、入力保護用MISFETのソースおよびドレインを構成する半導体領域上にはシリサイド層105を設けなくてよい。

その後の工程は、実施の形態2における図27以降の工程と同様であるため、説明を省略する。

(実施の形態4)

図34は、本発明の他の実施の形態である半導体集積回路装置の一例をその要部について示した断面図である。

本実施の形態4の半導体集積回路装置は、実施の形態1の図3のブロック図においてROMとしてフラッシュメモリを使用した場合の例であり、図34において領域Aおよび領域Bは、各々実施の形態1の領域Aおよび領域Bと同様である。そのため該当部分の説明は省略する。

図35は、図34における領域Cおよび領域Dの拡大図である。また、図36は、本実施の形態4の半導体集積回路装置に含まれる電氣的に書き換え可能な一括消去形不揮発性メモリいわゆるフラッシュメモリのメモリアレイ領域の平面図であり、図37は、フラッシュメモリの部分の等価回路図である。以下図35~図37に基づいて説明する。

本実施の形態4のフラッシュメモリは、1ビットのメモリセルがトンネル絶縁膜202、フローティングゲート電極203、層間絶縁膜204、ワード線と一体に構成された制御ゲート電極7、P形ウエル領域5(チャンネル形成領域)とソースおよびドレインを構成する一对のN形半導体領域を有するフローティングゲート形MISFETQfから構成されている。

フローティングゲート形MISFETQfのソースは実施の形態1におけるNチャンネルMISFETQn1と同様な低濃度N形半導体領域10、その下部のP形半導体領域11および高濃度N形半導体領域16から形成されている。フローティングゲート形MISFETQfのドレインは高濃度N形半導体領域205から形成されている。トンネル絶縁膜202はその膜厚が9~10nmに設定されている。高濃度N形半導体領域205は、低濃度N形半導体領域10よりも高い不純物濃度を有し、かつ、情報書き込み時にフローティングゲート電極203下において、高濃度N形半導体領域205の表面がデプレッション化するのを低減する程度に高い不純物濃度を有する。

フローティングゲート形MISFETQfのドレインは接続孔30を介して第一の配線32に接続されている。第一の配線32は本実施の形態4では副ビット線subBLを構成している。副ビット線subBLには16ビット~64ビットのメモリセルが選択MISFETQsfを介して、第二の配線36からなる主ビット線BLに接続されている。すな

10

20

30

40

50

わち本実施の形態4のフラッシュメモリは選択MISFETQsfでブロックに分割された構成となっている。ブロック選択線tWL1, tWL2は、選択MISFETQsfのゲート電極203と一体に構成される。

またメモリセルのソースは接続孔21を介してソース線SLに接続され、前記の分割された単位毎にブロック共通ソース線BSLに接続されている。

ブロックの選択は選択MISFETQsfで行う。すなわち、メモリセルへの主ビット線BLの電位の供給は主ビット線BLの電位を選択MISFETQsfを介して行う。図36に示すように、ワード線MWL(7)、ブロック選択線tWL1, tWL2、ソース線SLは、第1方向に延在し、副ビット線subBL(32)は、第2方向に延在する。

選択MISFETQsfはゲート絶縁膜201と、フローティングゲート電極203と同層のゲート電極203と、ソースおよびドレインを構成する高濃度N形半導体領域205とから構成される。図34においてゲート電極が2層構造となっているが、図示しない領域においてワード線と一体に構成された制御ゲート電極7は第一の配線32に接続され、さらに第三の配線40によりシャントされている。ゲート絶縁膜201の膜厚は約20nmに設定されている。

フローティングゲート形MISFETQfのソースおよびドレインへ接続するための接続孔21, 30は、後述する図45、図46に示すように、実施の形態1の接続孔19, 21と同様に窒化シリコンからなる第1サイドウォールスペーサ14に対して自己整合で形成される。また、これらのメモリセルは次に述べる書き込みと消去の動作を行うためにN形半導体領域3で分離されている。

本発明のフラッシュメモリの書き込みはフローティングゲート電極203から電子を放出してしきい値(V_{th})を下げることで行う。すなわち、制御ゲート電極7に9V程度の負電圧を加える。そしてドレインに7V程度の正電圧を加えることでトンネル絶縁膜を介したFN(ファウラーノルドハイム)トンネルにより、フローティングゲート電極203からドレインである高濃度N形半導体領域205へ電子を放出してしきい値(V_{th})を下げる。

消去はフローティングゲート電極203に電子を注入してしきい値を上げることで行う。すなわち、制御ゲート電極7に9V程度の正電圧を加える。そしてソースおよびP形ウエル領域5に9V程度の負電圧を加えることでトンネル絶縁膜を介したFNトンネルにより、チャンネル領域に形成される反転層からフローティングゲート電極に電子を注入し、しきい値を上げる。

NチャンネルMISFETQn3とPチャンネルMISFETQp2はフラッシュメモリの書き込みと消去を行う回路に使用するMISFETである。

このような半導体集積回路装置により、フラッシュメモリを搭載した場合でも第1サイドウォールスペーサ14および第2サイドウォールスペーサ15を形成してそのメモリセル領域を微細化し、周辺回路領域のMISFETQn1, Qn2, Qn3, Qp1, Qp2に最適なLDD構造を形成することが可能となり、半導体集積回路装置の微細化と性能向上をともに実現することができる。

次に、本実施の形態4の半導体集積回路装置の製造方法の一例を図38~図46を用いて説明する。図38~図46は、本実施の形態4の半導体集積回路装置の製造方法の一例を工程順に示した断面図または平面図である。

まず、実施の形態1と同様に、フィールド絶縁膜2、N形半導体領域3、N形ウエル領域4とP形ウエル領域5を形成する。フィールド絶縁膜2を形成した後のフラッシュメモリ領域の平面図を図38に示す。

次に、図39および図40に示すように、熱酸化法によりゲート絶縁膜201を形成する。そして選択MISFETQsf、NチャンネルMISFETQn3とPチャンネルMISFETQp2以外のゲート絶縁膜201を除去した後、新たにトンネル絶縁膜202を熱酸化法により形成する。このようにゲート絶縁膜201を除去した後にトンネル絶縁膜202を形成することにより、ゲート絶縁膜201の膜厚よりも薄い膜厚のトンネル絶縁膜202を容易に形成することができる。そして、フラッシュメモリのフローティングゲート

10

20

30

40

50

電極 203、選択MISFETQsf、NチャネルMISFETQn3とPチャネルMISFETQp2のフローティングゲート電極203となる導電体206を形成する。導電体206は低抵抗化のためのリン等の不純物を注入したシリコン膜で形成する。この後、フォトレジストをマスクにしてパターンニングを行う。

次に、図41に示すように、フラッシュメモリのフローティングゲート電極203と制御ゲート電極7の間の層間絶縁膜204を形成する。層間絶縁膜204は酸化シリコン膜と窒化シリコン膜とを順次積層した多層膜で形成する。次にDRAMメモリセルの選択MISFETQs、NチャネルMISFETQn1、NチャネルMISFETQn2とPチャネルMISFETQp1の形成される領域の層間絶縁膜204を選択的に除去する。そして、層間絶縁膜204の上部の窒化シリコン膜を耐酸化のマスクとして使用し、実施の形態1と同様にしてゲート絶縁膜6を形成する。

10

次に、図42および図43に示すように、制御ゲート電極7とその上部の窒化シリコン膜8を形成して、フォトレジストをマスクにパターンニングを行う。これにより、フラッシュメモリのフローティングゲート電極203および制御ゲート電極7を形成する。

この後の工程は、実施の形態1における図10以降の工程とほぼ同様である。すなわち、図44に示すように、第1サイドウォールスペーサ14および第2サイドウォールスペーサ15をDRAMのメモリセル領域に形成すると同時にフラッシュメモリのメモリセル領域にも形成する。これにより工程を短縮することができる。

次に、実施の形態1と同様にして、絶縁膜18を形成した後、図45に示すように、接続孔21を形成する。

20

次に、絶縁膜23を形成した後、図46に示すように、接続孔30を形成する。

接続孔21, 30は、実施の形態1の接続孔19, 21と同様に、窒化シリコンからなる第1サイドウォールスペーサ14に対して自己整合的に形成されるため、第2方向におけるワード線WL(ゲート電極7)の間隔t3、ワード線WL(ゲート電極7)とブロック選択線tWL1, tWL2との間隔t3、ブロック選択線tWL1, tWL2間の間隔t3を縮小することができ、第2方向において微細化することができる。

また、第2方向における合わせ余裕を小さくすることができるので、第2方向において微細化することができる。すなわち、第2方向におけるメモリセル間の間隔を縮小することができ、高集積化をすることができる。

次に、実施の形態1と同様にして第1の配線32を形成する。これにより、DRAMメモリセルのビット線BLとフラッシュメモリのソース線SLとを同一工程で形成することができるので、工程を短縮することが可能である。

30

本実施の形態4の半導体集積回路装置の製造方法によれば、フラッシュメモリが搭載された半導体集積回路装置を実施の形態1と同様に製造することができ、フラッシュメモリにおいてメモリセルアレイを高集積化することができる。また、MISFETの要求に応じてゲート絶縁膜の膜厚を変えることができる。

なお、本実施の形態4の半導体集積回路装置および製造方法に、実施の形態2~3で説明した窒化シリコン膜104あるいはシリサイド層105を組み合わせてもよいことはいうまでもない。また、本実施の形態4では、DRAMおよびフラッシュメモリの双方を有する半導体集積回路装置について説明したが、フラッシュメモリのみを有する半導体集積回路装置にも本発明が適用できることはいうまでもない。

40

(実施の形態5)

図47は、本発明のさらに他の実施の形態である半導体集積回路装置の一例をその要部について示した断面図である。

本実施の形態5の半導体集積回路装置が実施の形態1の半導体集積回路装置と異なる点は、第1サイドウォールスペーサ14の代わりに窒化シリコン膜(第1サイドウォールスペーサ)207が形成されている点である。したがって、その他の構成は実施の形態1と同様であるため、説明を省略する。本実施の形態5の半導体集積回路装置では、厚さt1の窒化シリコン膜(第1サイドウォールスペーサ)207を設けているため、実施の形態1と同様にメモリセル領域の集積度を向上するとともに、第2サイドウォールスペーサ15

50

によりメモリセル領域以外のM I S F E TのL D D構造を最適化して半導体集積回路装置の性能を向上することができる。

なお、本実施の形態5の半導体集積回路装置の製造方法は、実施の形態1における図12の第1サイドウォールスペース14の形成工程の代わりに、半導体基体1の全面に窒化シリコン膜207を堆積する工程を置き換えることにより行うことができる。このため、異方性エッチング等の工程を省略し、工程を簡略化することができる。ただし、接続孔19、21の開口の工程においては、実施の形態2で説明したような2段階のエッチングが必要となる。このため、工程は増加するものの、接続孔19、21の底面の半導体基体1を過剰にエッチングすることがなく、コンタクトを信頼性高くすることができる。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

たとえば、上記実施の形態1～5では、Complementary(相補形)M I S F E Tにより周辺回路あるいはロジック回路を構成した例を説明したが、NチャネルM I S F E TあるいはPチャネルM I S F E Tのみで周辺回路等を構成してもよい。

また、上記実施の形態1～5では、D R A Mのメモリセル領域の選択M I S F E T Q sのゲート絶縁膜の膜厚をNチャネルM I S F E T Q n 1, Q n 2およびPチャネルM I S F E T Q p 1のゲート絶縁膜の膜厚と同じものとした例を示したが、これらゲート絶縁膜の膜厚を相互に異なるものとしてもよい。特に、NチャネルM I S F E T Q n 1, Q n 2およびPチャネルM I S F E T Q p 1のゲート絶縁膜の膜厚を選択M I S F E T Q sのゲート絶縁膜の膜厚よりも薄くすると、NチャネルM I S F E T Q n 1, Q n 2およびPチャネルM I S F E T Q p 1をさらに短チャネル化することが可能となり、半導体集積回路装置の性能をより向上することが可能である。この際のゲート絶縁膜の製造方法は、実施の形態4で説明したフラッシュメモリ領域とD R A M領域とのゲート絶縁膜を別工程で形成した方法と同様の製造方法を用いることができる。

また、上記実施の形態1～5のメモリセルは、D R A Mまたは不揮発性メモリであるフラッシュメモリを用いて説明したが、これに限定されず、S R A M(Static RAM)、マスクR O M等、たとえばワード線間にサイドウォールスペースを用いて自己整合的に導電対をM I S F E Tのソースまたはドレイン領域に接続させるメモリセル構造に適用して良いのは無論である。

(実施の形態6)

図50(a)は、本発明の一実施の形態であるD R A Mの一例をそのメモリセル領域について示した断面図であり、(b)は、周辺回路領域について示した断面図である。また、図51は、本実施の形態6のD R A Mのメモリセル領域の平面図である。さらに、図52は、本実施の形態6のD R A Mのメモリセル領域の断面図であり、(a)は、図51におけるIIIa-IIIa線断面、(b)は、図51におけるIIIb-IIIb線断面を示す。なお、図51において、図面を見やすくするため、一部の部材についてはハッチングを施し、あるいは破線で示しており、図51におけるIa-Ia線は、図50(a)に示す断面図の切断部を示す。

本実施の形態6のD R A Mのメモリセル領域には、半導体基板301の主面上にメモリセルの選択用M I S F E T Q tが形成され、選択用M I S F E T Q tに接続される電荷蓄積用の容量素子およびビット線B Lが形成されている。

また、D R A Mの周辺回路領域には、周辺回路を構成するn形M I S F E T Q nが形成されている。なお、周辺回路にp形M I S F E T(図示せず)を形成し、n形M I S F E T Q nとp形M I S F E TとでC M I S F E Tを構成してもよい。また、n形M I S F E T Q nの他に、高耐圧用のn形M I S F E T(図示せず)を形成してもよい。

半導体基板301は、たとえばp⁻形のシリコン(Si)単結晶からなり、その主面には浅溝302aが形成されている。また、浅溝302aには、たとえば二酸化シリコン(SiO₂)からなる素子分離用絶縁膜302bが埋め込まれ、浅溝素子分離領域が形成されている。

半導体基板 301 の上部には、p ウェル 303 が形成されている。p ウェル 303 には、たとえば p 形不純物のホウ素が導入されている。また、メモリセルの選択用 M I S F E T Q t が形成される領域の p ウェル 303 の下部にはディープウェル 303 b が形成されている。ディープウェル 303 b には、n 形不純物のリンが導入されており、選択用 M I S F E T Q t を基板電位から絶縁して、耐ノイズ性を向上することができる。

なお、p 形 M I S F E T が形成される場合には、p 形 M I S F E T が形成される領域にたとえばリンが導入された n ウェル（図示せず）が形成される。また、p ウェル 303 およびそれが存在する場合には n ウェルには、M I S F E T のしきい値制御層が形成されていてもよい。

メモリセルの選択用 M I S F E T Q t は、素子分離用絶縁膜 302 b で囲まれた活性領域上に形成され、1 つの活性領域に 2 個の選択用 M I S F E T Q t が形成されている。また、選択用 M I S F E T Q t は、p ウェル 303 の活性領域上に形成されたゲート絶縁膜 304 を介して半導体基板 301 上に形成された多結晶シリコン膜 305 a およびタングステンシリサイド ($W S i_2$) 膜 305 b からなるゲート電極 305 と、ゲート電極 305 の両側の p ウェル 303 に互いに離間して形成された一対の n 形半導体領域 306 a , 306 b とを有する。

ゲート電極 305 は、D R A M のワード線 W L として作用するものである。また、n 形半導体領域 306 a , 306 b には n 形不純物が導入されるが、リンまたはヒ素 (A s) の何れの不純物が導入されてもよい。ただし、選択用 M I S F E T Q t のチャネル間耐圧を向上して D R A M のリフレッシュ特性を向上するためには、リンを導入することが好ましい。

n 形半導体領域 306 a は、2 個の選択用 M I S F E T Q t に共有され、また、n 形半導体領域 306 a , 306 b の間に選択用 M I S F E T Q t のチャネル領域が形成される。ゲート絶縁膜 304 は、たとえば $S i O_2$ からなり、後に説明する周辺回路領域の n 形 M I S F E T Q n のゲート絶縁膜 304 よりも厚くして選択用 M I S F E T Q t の絶縁耐圧を向上してもよい。このような場合には、選択用 M I S F E T Q t の絶縁耐圧が向上し、D R A M のリフレッシュ特性を向上することができる。

ゲート電極 305 (ワード線 W L でもある) の上面は、たとえば $S i O_2$ からなる絶縁膜 307 a を介して、たとえば窒化シリコンからなるキャップ絶縁膜 307 b が形成されている。キャップ絶縁膜 307 b は、後に説明する接続孔 311 a , 311 b の開口工程において、接続孔をゲート電極 305 に対して自己整合的に開口するためのブロッキング膜として作用するものであり、プラグ等の接続部材とゲート電極 305 とのショートを防止するためのものである。

キャップ絶縁膜 307 b の上面およびゲート電極 305 の側面ならびに半導体基板 301 の主面は、接続孔 311 a , 311 b の底面部を除き、たとえばシリコン窒化膜からなる自己整合加工用絶縁膜 309 により被覆されている。自己整合加工用絶縁膜 309 は、接続孔 311 a および接続孔 311 b をワード線に対して自己整合的に開口する際のエッチングストップとして作用するとともに、接続孔 311 a および接続孔 311 b の開口の際の半導体基板 301、特に素子分離用絶縁膜 302 b の過剰エッチングを防止する作用を有する。

なお、ゲート電極 305 の側面と自己整合加工用絶縁膜 309 との界面には、たとえば $S i O_2$ からなる絶縁膜（図示せず）が形成されていてもよい。このような絶縁膜および絶縁膜 307 a は、キャップ絶縁膜 307 b および自己整合加工用絶縁膜 309 を形成する際の $W S i_2$ 膜 305 b を構成する金属による成膜処理装置の汚染防止、およびキャップ絶縁膜 307 b および自己整合加工用絶縁膜 309 への熱応力の緩和のために設けられるものである。

自己整合加工用絶縁膜 309 は、たとえば S O G (Spin On Glass) からなる層間絶縁膜 310 a によって被覆されている。層間絶縁膜 310 a は、B P S G (Boro Phospho Silicate Glass) であってもよいが、窒化珪素膜に対してエッチング選択比が確保できる酸化珪素膜とする。そして、層間絶縁膜 310 a には、半導体基板 301 の上層部の n 形半

10

20

30

40

50

導体領域 306a が露出するような接続孔 311a および半導体基板 301 の上層部の n 形半導体領域 306b が露出するような接続孔 311b が形成されている。

なお、キャップ絶縁膜 307b および自己整合加工用絶縁膜 309 を、接続孔 311a および接続孔 311b を自己整合的に開口する際のエッチングストッパとして作用させることができるのは前記したとおりである。また、自己整合加工用絶縁膜 309 が形成され、後に説明するように接続孔 311a および接続孔 311b を、層間絶縁膜 310a がエッチングされやすく（エッチング量、エッチング速度が大）自己整合加工用絶縁膜 309 がエッチングされにくい（エッチング量、エッチング速度が小）第 1 のエッチング工程と自己整合加工用絶縁膜 309 がエッチングされやすく、層間絶縁膜 310a またはシリコン基板または素子分離用絶縁膜 302b がエッチングされにくい条件での第 2 のエッチング工程との 2 段階エッチングにより開口するため、図 52 (a) および (b) に示すように接続孔 311a および接続孔 311b の底部が半導体基板 301 の活性領域から外れ、素子分離用絶縁膜 302b の一部にかかるような場合でも、そのような接続孔 311a および接続孔 311b の底部にかかる素子分離用絶縁膜 302b の過剰なエッチングが防止され、接続孔 311a および接続孔 311b の底部は素子分離用絶縁膜 302b の深い領域には至らない。すなわち、素子分離用絶縁膜 302b が過剰にエッチングされるとしてもプロセス上問題とはならない程度、たとえば自己整合加工用絶縁膜 309 の膜厚相当分以下の過剰エッチングに抑えることができる。

接続孔 311b には、たとえばリンが高濃度に導入された多結晶シリコンからなるプラグ 314 が形成されている。プラグ 314 の底面は、素子分離用絶縁膜 302b が過剰にエッチングされた領域にも形成されるが、その深さは前記したとおりプロセス上問題とはならない程度であり、DRAM のリフレッシュ特性等の性能にはほとんど問題を生じない。層間絶縁膜 310a およびプラグ 314 の上には層間絶縁膜 310b が形成されている。層間絶縁膜 310b はたとえば TEOS (テトラエトキシシラン) を用いて熱 CVD 法により堆積したシリコン酸化膜とすることができる。

層間絶縁膜 310b 上には、ビット線 BL が形成されている。このビット線 BL は、多結晶シリコン膜 312 および WSi_2 膜 313 から構成され、接続孔 311a を介して n 形半導体領域 306a と電気的に接続されている。多結晶シリコン膜 312 の底面は、前記したプラグ 314 と同様に、素子分離用絶縁膜 302b が過剰にエッチングされた領域にも形成されるが、その深さは前記したとおりプロセス上問題とはならない程度であり、DRAM の性能にはほとんど問題を生じない。

このビット線 BL は、たとえば TEOS を用いて熱 CVD 法により堆積したシリコン酸化膜からなる層間絶縁膜 310c で覆われ、さらに層間絶縁膜 310c の上層には、たとえば CMP 法により研磨されて平坦化された層間絶縁膜 310d が形成されている。層間絶縁膜 310d は、たとえば TEOS を用いてプラズマ CVD 法により堆積したシリコン酸化膜を CMP 法により研磨したものである。なお、層間絶縁膜 310d は、SOG あるいは BPSG 等を用いることができ、その平坦化にはエッチバック法等を用いることができる。

層間絶縁膜 310d 上には、たとえばシリコン窒化膜からなる層間絶縁膜 310e が形成されている。層間絶縁膜 310e は、後に説明するクラウン形状の蓄積容量 SN を形成する際のブロッキング膜となるものである。

層間絶縁膜 310d の上層には、円筒形のクラウン形状を有する蓄積容量 SN が形成されている。蓄積容量 SN は、接続孔 311c を介して n 形半導体領域 306b に接続される第 1 電極 320a および半導体基板 301 に対して垂直方向に立設された第 2 電極 320b からなるキャパシタ電極 320 と、キャパシタ絶縁膜 321 と、所定の配線と電気的に接続されているプレート電極 322 とから構成される。第 1 電極 320a および第 2 電極 320b は、たとえばリンが高濃度に導入された多結晶シリコン膜とすることができる。キャパシタ絶縁膜 321 は、たとえば窒化シリコン膜上に SiO_2 膜が堆積された積層膜とすることができるが、酸化タンタル等の高誘電率薄膜を用いてもよい。プレート電極 322 は、たとえばリンが高濃度に導入された多結晶シリコン膜とすることができるが、タ

10

20

30

40

50

ングステンシリサイド等の金属化合物を用いてもよい。

なお、第1電極320aの下部には、多結晶シリコン膜320cおよび多結晶シリコンからなるサイドウォール320dが形成され、キャパシタ電極320の一部となっている。多結晶シリコン膜320cおよびサイドウォール320dは、接続孔311cを開口する際のハードマスクとして作用するものであり、接続孔311cの開口径をフォトリソグラフィの解像度以下の微小な開口径とすることができる。

一方、周辺回路領域のn形MISFETQnは、素子分離用絶縁膜302bで囲まれた活性領域上に形成され、pウェル303の活性領域上に形成されたゲート絶縁膜304を介して半導体基板301上に形成された多結晶シリコン膜305aおよびWSi₂膜305bからなるゲート電極305と、ゲート電極305の両側のpウェル303に互いに離間して形成された一対のn形半導体領域306cとを有する。

ゲート電極305は、ワード線WLと同時に形成されるものである。n形半導体領域306cは、低濃度n形半導体領域306c-1と、後に説明する第2のサイドウォール323bに対して自己整合的に形成された高濃度n形半導体領域306c-2(低濃度n形半導体領域306c-1よりも高濃度)とを含むものである。すなわち、n形半導体領域306cは、いわゆるLDD(Lightly Doped Drain)構造を有するものである。また、低濃度n形半導体領域306c-1の下部の高濃度n形半導体領域306c-2とチャネル領域の間には、パンチスルーストップパとして機能するp形半導体領域306dが形成されている。n形半導体領域306cには、たとえばリンまたはヒ素が導入される。ただし、n形MISFETQnのチャネル長を短くしてその高性能化を図るためにはヒ素を導入することが好ましい。なお、高耐圧n形MISFETを形成する場合には、低濃度n形半導体領域306c-1に導入される不純物はリンとすることが好ましい。これによりチャネル間の耐圧を向上することが可能となる。

ゲート絶縁膜304は、前記した選択用MISFETQtのものと同様であるため説明を省略する。

ゲート電極305の上面に絶縁膜307aを介してキャップ絶縁膜307bが形成されていることも前記した選択用MISFETQtのものと同様であるため説明を省略する。

ゲート電極305の側面には、第1のサイドウォール323aが形成され、その外側には第2のサイドウォール323bが形成されている。

第1のサイドウォール323aは、後に説明するように自己整合加工用絶縁膜309を異方性エッチングして形成されるものであり、たとえばシリコン窒化膜からなる。この第1のサイドウォール323aは、周辺回路領域において接続孔を形成する際に、ゲート電極305に対して自己整合的に接続孔を開口するためのサイドウォールとして作用させることも可能である。

第2のサイドウォール323bは、たとえばシリコン酸化膜からなり、高濃度n形半導体領域306c-2を形成するための不純物をイオン注入する際のマスクとして作用させ、高濃度n形半導体領域306c-2を自己整合的に形成するために用いることができる。この第2のサイドウォール323bの膜厚を制御することによりLDD構造を最適化し、n形MISFETQnの性能を向上することができる。

なお、前記したとおり、半導体基板301上の自己整合加工用絶縁膜309は異方性エッチングにより除去し、周辺回路領域には自己整合加工用絶縁膜309は設けられていない。これにより周辺回路領域の接続孔の開口を2段階で行う必要がなく、容易に開口することができる。また、周辺回路領域のゲート電極305と上層の配線を接続する場合にも、その接続孔の開口を容易に行うことができる。このように周辺回路領域に自己整合加工用絶縁膜309を設ける必要がないのは、周辺回路領域に形成されるMISFETにはあまり高い集積度は要求されず、その配置間隔に余裕があるため、活性領域の形成にも余裕があり、接続孔の目外れを考慮して設計することができることに基づく。したがって、周辺回路領域にも高い集積度が要求される場合には、実施の形態2で説明したエッチングストップパ104を第2のサイドウォールス323b形成後に周辺回路領域に選択的に形成してもよいことはいうまでもない。

10

20

30

40

50

また、p形MISFETが形成される場合には、前記n形MISFETQnの場合と導電性を逆にした構成で、同様に構成されることもいうまでもない。

また、ゲート電極305の側面と第1のサイドウォール323aとの界面には、たとえばSiO₂からなる絶縁膜(図示せず)が形成されていてもよく、このような絶縁膜および絶縁膜307aは、キャップ絶縁膜307bおよび第1のサイドウォール323aを形成する際のWSi₂膜305bを構成する金属による成膜処理装置の汚染防止、およびキャップ絶縁膜307bおよび第1のサイドウォール323aへの熱応力の緩和のために設けられるものである。

n形MISFETQnは、たとえばTEOSを用いて熱CVD法により堆積したシリコン酸化膜からなる層間絶縁膜310fで覆われ、さらに層間絶縁膜310fの上層には、たとえばCMP法により平坦化された層間絶縁膜310gが形成されている。層間絶縁膜310gは、たとえばTEOSを用いてプラズマCVD法により堆積したシリコン酸化膜とすることができる。なお、層間絶縁膜310gは、SOGあるいはBPSG等を用いることができ、その平坦化にはエッチバック法等も用いることができる。

層間絶縁膜310g上には、前記した層間絶縁膜310bが形成され、層間絶縁膜310b上には、前記したビット線BLが形成されている。また、ビット線BLは、前記した層間絶縁膜310cで覆われ、さらに層間絶縁膜310cの上層には、前記した層間絶縁膜310dが形成されている。

層間絶縁膜310dおよびプレート電極322の上層には、たとえばBPSGからなる層間絶縁膜324が形成されている。層間絶縁膜324は、リフローにより平坦化されている。

周辺回路領域の層間絶縁膜324上には第1配線層325が形成されている。第1配線層325は、接続孔326を介してn形MISFETQnの高濃度n形半導体領域306c-2に接続されている。第1配線層325は窒化チタン、チタンあるいはアルミニウム等金属膜の積層膜とすることができ、たとえばスパッタ法により堆積することができる。なお、接続孔326内に、たとえばタングステンからなるプラグを形成してもよい。タングステンプラグはタングステンCVD法により形成することができる。この際、窒化チタンを接着層として接続孔326内にあらかじめ形成することが好ましい。

第1配線層325は、層間絶縁膜327により覆われ、層間絶縁膜327上には第2配線層328が形成されている。第2配線層328は接続孔329を介して第1配線層325に接続される。層間絶縁膜327は、たとえばシリコン酸化膜とSOGからなるシリコン酸化膜とすることができるが、そのシリコン酸化膜をTEOSを用いてプラズマCVD法により堆積されたシリコン酸化膜でサンドイッチした構成の積層膜とすることが好ましい。なお、第2配線層328は第1配線層325と同様の構成とすることができる。

第2配線層328は、層間絶縁膜330により覆われ、層間絶縁膜330上には第3配線層331が形成されている。第3配線層331は接続孔332を介して第2配線層328に接続される。層間絶縁膜330は層間絶縁膜327と同様の構成とすることができ、第3配線層331は第1配線層325と同様の構成とすることができる。

第3配線層331はパッシベーション膜333により覆われている。パッシベーション膜333はシリコン酸化膜とシリコン窒化膜との積層膜とすることができ、

次に、前記DRAMの製造方法について、図53~図79を用いて説明する。図53~図79は、本実施の形態6のDRAMの製造方法の一例を工程順に示した断面図である。なお、図53~図79は、図63、図65、図67、図69、図71を除き、(a)において図51におけるIa-Ia線断面に相当する部分を表し、(b)において周辺回路領域の断面を表す。また、図63、図65、図67、図69、図71は、(a)において図51におけるIIIIa-IIIIa線断面に相当する部分を表し、(b)において図51におけるIIIIb-IIIIb線断面に相当する部分を表す。

まず、図53に示すように、半導体基板301の所定領域に浅溝素子分離領域を形成する。浅溝素子分離領域は、半導体基板301の主面に図示しない酸化シリコン膜および窒化シリコン膜を順次形成する。そしてフォトリソ等により浅溝302aの形成領域の前

10

20

30

40

50

記酸化シリコン膜と窒化シリコン膜とを除去した後、半導体基板 301 を深さ方向にたとえば $0.3 \sim 0.4 \mu\text{m}$ の溝を形成する。次に前記窒化シリコン膜を酸化マスクとして前記溝の側面と底面に熱酸化シリコン（図示せず）を形成する。そして、CVD（Chemical Vapor Deposition）法により半導体基板 301 の全面にシリコン酸化膜を堆積した後に、CMP（Chemical Mechanical Polishing）法あるいはドライエッチング法により浅溝 302 a 以外の領域の前記シリコン酸化膜を除去して、浅溝 302 a にシリコン酸化膜を選択的に埋め込む。

なお、酸性性雰囲気中で素子分離用絶縁膜 302 b のデンシファイを行うことが好ましい。そして、前記窒化シリコン膜を熱リン酸により除去し、素子分離用絶縁膜 302 b を形成する。この際、素子分離用絶縁膜 302 b も熱リン酸により若干エッチングされて半導体基板 301 の活性領域よりも低くなる。これによりゲート電極 305 のパターニングが良好となり、MISFET の性能を向上することができる。

次に、図 5 4 に示すように、フォトレジストをマスクにして、n 形不純物たとえばリンをイオン注入により半導体基板 301 のメモセルアレイの形成領域に導入し、次いで、上記フォトレジストを除去した後に、p 形不純物たとえばボロンをイオン注入により半導体基板 301 のメモセルアレイの形成領域および n 形 MISFETQn が形成される領域に導入する。さらに、上記フォトレジストを除去した後に、半導体基板 301 に熱拡散処理を施すことによりディープウェル 303 b および p ウェル 303 を形成する。なお、p 形 MISFET を形成する場合には、当該領域にたとえばリンを導入し、n ウェルを形成する。

なお、チャンネル領域での不純物濃度を最適化して、所望するメモセル選択用 MISFETQ_t あるいは n 形 MISFETQ_n のしきい値電圧を得るために、p ウェル 303 の活性領域の主に p 形不純物たとえばボロンをイオン注入することができる。

次に、図 5 5 に示すように、半導体基板 301 の表面にゲート絶縁膜 304 を形成する。このゲート絶縁膜 304 は熱酸化法で形成され、その膜厚は約 7 nm である。さらに、半導体基板 301 の全面にリンが導入された多結晶シリコン膜 305 a および WSi_2 膜 305 b を順次堆積する。多結晶シリコン膜 305 a および WSi_2 膜 305 b は CVD 法で形成され、これらの膜厚は、たとえばそれぞれ 40 nm および 100 nm である。次に、 WSi_2 膜 305 b 上に酸化シリコン膜からなる絶縁膜 307 a および窒化シリコン膜からなるキャップ絶縁膜 307 b を順次堆積する。絶縁膜 307 a およびキャップ絶縁膜 307 b は CVD 法で形成され、これらの膜厚は、たとえばそれぞれ 10 nm および 160 nm である。

次に、図 5 6 に示すように、フォトレジストをマスクにして、キャップ絶縁膜 307 b、絶縁膜 307 a、 WSi_2 膜 305 b および多結晶シリコン膜 305 a からなる積層膜を順次エッチングすることにより、多結晶シリコン膜 305 a および WSi_2 膜 305 b からなるメモセルの選択用 MISFETQ_t および周辺回路用 MISFETQ_n のゲート電極 305 を形成する。

次に、上記フォトレジストを除去した後、半導体基板 301 に熱酸化処理を施すことにより、ゲート電極 305 を構成する多結晶シリコン膜 305 a および WSi_2 膜 305 b の側壁に薄い酸化シリコン膜を形成することができる。

次に、図 5 7 に示すように、上記積層膜およびフォトレジストをマスクにして、周辺回路領域の n 形 MISFETQ_n が形成される領域の p ウェル 303 の主に p 形不純物たとえばボロンをイオン注入し、次いで n 形不純物たとえばヒ素をイオン注入する。さらに上記フォトレジストを除去した後、上記積層膜およびフォトレジストをマスクにして選択用 MISFETQ_t が形成される p ウェル 303 の主に n 形不純物たとえばリンをイオン注入する。これら不純物を引き伸ばし拡散することにより、n 形 MISFETQ_n の低濃度 n 形半導体領域 306 c - 1 および p 形半導体領域 306 d ならびに選択用 MISFETQ_t の n 形半導体領域 306 a、306 b を形成する。なお、高耐圧用の n 形 MISFET を形成する場合には当該領域にリンを注入する。また、p 形 MISFET を形成する場合には、当該領域にパンチスルーストップ用のヒ素および低濃度半導体領域用のボロン

10

20

30

40

50

(BF_2)を注入する。周辺回路用のMISFET Q_n の低濃度 n 型半導体領域306c-1およびメモリセル選択用MISFET Q_t の n 型半導体領域306a、306bは、ゲート電極に自己整合的に形成される。

次に、図58に示すように、シリコン窒化膜334を堆積する。シリコン窒化膜334の膜厚はたとえば80nmとすることができる。次いで、SOG膜335を堆積し、その後、フォトレジストでメモリアレイ領域をマスクして、SOG膜335およびシリコン窒化膜334をエッチングする。前記エッチングは、RIE(Reactive Ion Etching)等の異方性エッチングを用いることができ、これにより周辺回路領域のSOG膜335およびシリコン窒化膜334を除去し、メモリアレイ領域に自己整合加工用絶縁膜309および層間絶縁膜310aを形成する。層間絶縁膜310aは、SOGからなるため、ゲート電極305、キャップ絶縁膜307bにより形成された表面の凹部を埋め込んで平坦化することができる。また、エッチングには異方性エッチングを用いるため、周辺回路領域の n 形MISFET Q_n のゲート電極305およびキャップ絶縁膜307bの側面には、シリコン窒化膜からなる第1のサイドウォール323aが形成される。

10

次に、図59に示すように、半導体基板301の全面にTEOSシリコン酸化膜(図示せず)を形成し、これを異方性エッチングでエッチングして、第1のサイドウォール323aの側面に第2のサイドウォール323bを形成する。第2のサイドウォール323bの厚さ(幅)は、第1のサイドウォール323aの厚さ(幅)よりも大とする。これにより、メモリセルの微細化と周辺回路用MISFETの特性向上を図ることができる。

次に、図60に示すように、ゲート電極305、キャップ絶縁膜307bおよび第2のサイドウォール323bならびにフォトレジストをマスクにして、周辺回路領域の n 形MISFET Q_n が形成される領域に n 形不純物たとえばヒ素およびリンをイオン注入する。さらに上記フォトレジストを除去した後、不純物を引き伸ばし拡散することにより、 n 形MISFET Q_n の高濃度 n 型半導体領域306c-2を形成する。なお、 p 形MISFETを形成する場合には、当該領域に高濃度半導体領域用のボロン(BF_2)を注入する。この高濃度 n 型半導体領域306c-2は、第2のサイドウォール323bに対して自己整合で形成される。

20

次に、図61に示すように、TEOSシリコン酸化膜を堆積し、層間絶縁膜310fを形成する。さらにプラズマCVD法によりTEOSを用いてシリコン酸化膜を堆積し、前記シリコン酸化膜をCMP法(研磨)により平坦化して層間絶縁膜310gを形成する。メモリセル部は、SOG膜335を残したまま、TEOSシリコン酸化膜310fおよび酸化シリコン膜を堆積し、CMP法により平坦化する。平坦化後、メモリセル部には、SOG膜335、TEOSシリコン酸化膜310fおよび研磨された酸化シリコン膜が残る。この3層の絶縁膜を層間絶縁膜310gと称す。

30

次に、図62~図65に示すように、フォトレジストをマスクとして層間絶縁膜310aをエッチングし、接続孔311bを形成する。接続孔311bの開口は、2段階のエッチングにより行う。

まず、第1のエッチング工程として、シリコン酸化膜がエッチングされやすく、シリコン窒化膜がエッチングされにくい条件でエッチングを行う。このようなエッチングは、たとえば C_4F_8 およびアルゴンを含む混合ガスを原料ガスとした異方性プラズマエッチングにより実現することが可能である。この第1のエッチング工程では、シリコン窒化膜がエッチングされにくい条件であるためシリコン酸化膜からなる層間絶縁膜310aのエッチングはシリコン窒化膜からなる自己整合加工用絶縁膜309が露出する段階まで進行する。この状態を図62および図63に示す。すなわち、自己整合加工用絶縁膜309は、第1のエッチング工程でのエッチングストップとして機能する。

40

次に、第2のエッチング工程として、シリコン窒化膜がエッチングされる条件でエッチングを行う。このようなエッチングは、たとえば CHF_3 、 CF_4 およびアルゴンを含む混合ガスを原料ガスとした異方性プラズマエッチングにより実現することが可能である。この第2のエッチング工程では、第1のエッチング工程により厚い層間絶縁膜310aがすでに除去されているため、薄い自己整合加工用絶縁膜309のみをエッチングすればよいこ

50

ととなる。すなわち、自己整合加工用絶縁膜 309 の下地へのオーバーエッチングを抑制して、プロセスマージンの十分とれた状態でエッチングを実施することができる。つまり、シリコン窒化膜がエッチングされる条件では、シリコン窒化膜とシリコン酸化膜とのエッチング選択比がとれず、シリコン窒化膜をエッチングするとともに、シリコン酸化膜をエッチングしてしまうこととなるため、図 65 に示すように、接続孔 311b の底部が素子分離用絶縁膜 302b にかかる場合には、シリコン酸化膜からなる素子分離用絶縁膜 302b をもエッチングしてしまうこととなる。理想的には自己整合加工用絶縁膜 309 のみをエッチングして、自己整合加工用絶縁膜 309 が除去された直後にエッチングを終了するジャストエッチとすることが望ましいが、エッチング速度の基板内分布等の存在により基板面内全ての領域で確実に接続孔 311b が開口され、かつジャストエッチとすることは一般には困難である。そのため、ある程度のオーバーエッチングが必要となる。このため、接続孔 311b の底部が活性領域からはみ出し素子分離用絶縁膜 302b にかかる場合には、素子分離用絶縁膜 302b が過剰にエッチングされる恐れがあるが、本方法では、自己整合加工用絶縁膜 309 が 80nm 程度と薄く、かつ、自己整合加工用絶縁膜 309 のみのエッチングでよいため、オーバーエッチングの量は自己整合加工用絶縁膜 309 の膜厚の 30 ~ 50 % 程度で十分であり、多くても自己整合加工用絶縁膜 309 の膜厚相当分で十分である。そのため素子分離用絶縁膜 302b の過剰エッチングを最小限に抑制することができ、この結果、DRAM のリフレッシュ特性等を向上して DRAM の性能を高くすることが可能である。

10

また、第 2 のエッチング工程においては、図 64 に示すように、ゲート電極 305 が自己整合加工用絶縁膜 309 およびキャップ絶縁膜 307b により覆われた状態となっているため、接続孔 311b がゲート電極 305 にかかるように設計されていてもゲート電極 305 を露出することはなく、したがって、接続孔 311b は自己整合的に開口することが可能である。すなわち、自己整合加工用絶縁膜 309 は、接続孔 311b をゲート電極 305 に対して自己整合的に開口する機能とともに、素子分離用絶縁膜 302b の過剰エッチングを抑制する機能とを併せ持っているものである。

20

このような、自己整合加工用絶縁膜 309 を用いて 2 段階エッチングを行う方法は、集積度が向上され、ゲート電極 305 の間隔が狭くなっている DRAM においては特に有効である。すなわち、ゲート電極 305 に対する自己整合的な開口のためのサイドウォールをゲート電極 305 の側面に形成した場合には、さらに素子分離用絶縁膜 302b の過剰エッチングを抑制するためのストッパ膜を形成しようとする、接続孔 311b を形成するべきゲート電極 305 の間が埋まってしまうか、あるいは埋まらないにしても接続孔 311b の底面積が極端に小さくなり十分な接続導電性を確保することが難しくなる。ところが、本実施の形態 6 の製造方法では、ゲート電極 305 に対する自己整合的な開口のためのサイドウォールを形成せず、自己整合加工用絶縁膜 309 に自己整合的な開口のための機能を持たせているため、ゲート電極 305 の間に十分なスペースを確保することができ、接続孔 311b の開口のためのプロセスマージンを保持しつつ十分な接続信頼性を得ることが可能である。

30

次に、図 66 および図 67 に示すように、接続孔 311b にプラグ 314 を形成する。プラグ 314 はリンが導入された多結晶シリコンとすることができ、半導体基板 301 の全面に多結晶シリコン膜を堆積した後に、これをエッチバックすることにより形成することができる。なお、接続孔 311b の底部が素子分離用絶縁膜 302b の深い部分にまで形成されることがないため、プラグ 314 の底面は、接続孔 311b が素子分離用絶縁膜 302b にかかる領域においても浅い領域で形成されており、DRAM の信頼性を向上することができる。

40

次に、図 68 および図 69 に示すように、半導体基板 301 の全面に TEOS シリコン酸化膜からなる層間絶縁膜 310b を形成した後、接続孔 311a を形成する。接続孔 311a の形成は接続孔 311b と同様に 2 段階のエッチング工程で行う。接続孔 311a においても、接続孔 311b と同様に、素子分離用絶縁膜 302b の深い部分に形成されることはない。

50

次に、図70および図71に示すように、リンが導入された多結晶シリコン膜312および WSi_2 膜313をCVD法で順次堆積し、これをパターンングしてビット線BLを形成する。ビット線BLは、接続孔311aを通じてメモリセル選択用MISFETQ_tの一方のn形半導体領域306aに接続されている。多結晶シリコン膜312もプラグ314と同様に、その底面は、接続孔311aが素子分離用絶縁膜302bにかかる領域においても浅い領域で形成されており、DRAMの信頼性を向上することができる。

次に、図72に示すように、半導体基板301上に酸化シリコン膜からなる層間絶縁膜310cおよび層間絶縁膜310dをCVD法で堆積した後、この層間絶縁膜310dの表面を、たとえばCMP法によって平坦化し、次いで、半導体基板301上にシリコン窒化膜からなる層間絶縁膜310eを形成する。

10

次に、図73に示すように、シリコン酸化膜336を堆積した後、多結晶シリコン膜320cを堆積し、フォトリソグラフィをマスクにして多結晶シリコン膜320cをパターンングする。さらに多結晶シリコン膜(図示せず)を堆積して、これを異方性エッチングによりエッチングし、サイドウォール320dを形成する。このようにサイドウォール320dを形成することにより、フォトリソグラフィの最小分解能でパターンングした多結晶シリコン膜320cの開口よりもさらに小さな口径を有する開口を得ることができる。

次に、図74に示すように、多結晶シリコン膜320cおよびサイドウォール320dをマスクとして接続孔311cを開口する。

次に、図75に示すように、半導体基板301上にリンが導入された第1電極320aおよびシリコン酸化膜337をCVD法で順次堆積する。上記第1電極320aは接続孔311c内に堆積されて、プラグ314に接続される。

20

次に、図76に示すように、フォトリソグラフィをマスクにして、シリコン酸化膜337をエッチングし、続いて第1電極320aおよび多結晶シリコン膜320cを順次エッチングする。加工された第1電極320aおよび多結晶シリコン膜320cは、メモリセル領域においては情報蓄積容量素子の蓄積電極の一部を形成する。

次に、上記フォトリソグラフィを除去した後、図77に示すように、多結晶シリコン膜(図示せず)を半導体基板301上にCVD法で堆積し、これを異方性エッチングして第2電極320bを形成する。さらに、たとえば、フッ酸溶液を用いたウエットエッチングによりシリコン酸化膜336, 337を除去して、第1電極320a、第2電極320b、多結晶シリコン膜320cおよびサイドウォール320dからなるクラウン形状のキャパシタ電極320を形成する。

30

次に、図78に示すように、キャパシタ電極320に粒径40nm程度の多結晶シリコン粒を成長させ、その後、窒化シリコン膜(図示せず)をCVD法で半導体基板301上に堆積し、続いて、酸化処理を施すことにより、窒化シリコン膜の表面に酸化シリコン膜を形成して、酸化シリコン膜および窒化シリコン膜からなるキャパシタ絶縁膜321をキャパシタ電極320の表面に形成する。その後、半導体基板301上に多結晶シリコン膜(図示せず)をCVD法で堆積し、この多結晶シリコン膜をフォトリソグラフィをマスクにしてエッチングすることにより、プレート電極322を形成する。

次に、図79に示すように、BPSG膜を堆積し、これをアニールすることによって層間絶縁膜324を形成し、フォトリソグラフィをマスクにしてエッチングすることにより接続孔326を開口する。接続孔326の開口の際には、第1のサイドウォール323aを用いて周辺回路領域のゲート電極305に対し自己整合的に接続孔326を開口することが可能である。さらに、チタン、窒化チタン、アルミニウムおよびチタンを順次堆積し、これをパターンングすることにより第1配線層325を形成する。なお、接続孔326の内面に窒化チタンを堆積し、CVD法によるタンゲステン膜を形成してこれをエッチバックし、タンゲステンプラグを形成してもよい。なお、チタン、窒化チタン、アルミニウムおよびチタンの堆積にはスパッタ法を用いることができる。

40

最後に、プラズマCVD法によるTEOSシリコン酸化膜を堆積し、さらにSOG膜をコートした後、プラズマCVD法によるTEOSシリコン酸化膜を堆積して層間絶縁膜327を形成する。その後、前記第1配線層の場合と同様に接続孔329、第2配線層328

50

、層間絶縁膜 330、接続孔 332、第3配線層 331を形成し、プラズマCVD法によるTEOSシリコン酸化膜およびシリコン窒化膜を堆積してパッシベーション膜 333を形成し、図50に示すDRAMがほぼ完成する。

本実施の形態6のDRAMによれば、自己整合加工用絶縁膜 309を用いて2段階エッチングにより接続孔 311a, 311bを開口するため、ゲート電極 305に対して自己整合的にプラグ 314およびビット線BLを形成することができるとともに、素子分離用絶縁膜 302bの過剰エッチングを防止し、DRAMのリフレッシュ特性等その性能を向上することができる。また、メモリセル領域においてゲート電極 305の側面にサイドウォールを形成しないため、DRAMの高集積化にも対応することができる。

また、自己整合加工用絶縁膜 309にゲート電極 305に対する自己整合コンタクトの形成機能と素子分離用絶縁膜 302bの過剰エッチング防止機能の2つの機能を併有させるため、個々の機能を実現するための個別の部材を形成する必要がなく、工程を少なくし、プロセスの増加を抑制することができる。

なお、本実施の形態6において、プラグ 314を用いた例を示したが、プラグ 314を用いず、キャパシタ電極 320が接続孔 311bを介して直接n形半導体領域 306bに接続されるものであってもよい。この場合、接続孔 311bの深さが相当程度に深くなるため、エッチングマージンが小さくなり、その加工が困難になるが、本実施の形態6の製造方法の2段階エッチングを用いることにより、エッチングマージンを増加し、深い接続孔の開口にも対応することが可能となる。すなわち、プラグ 314を用いない場合に本発明の効果がより顕著となる。

また、前記した2段階のエッチングは連続プロセスで行ってもよいことはいうまでもない。

なお、図60において、n型MISFETQnの高濃度n型半導体領域 6c-2を形成した後、実施の形態2に示す窒化シリコン膜 104を周辺回路領域に選択的に形成して、その後、図61に示すTEOSシリコン酸化膜を堆積して、層間絶縁膜 310fを形成し、それに続く工程を実施することも可能である。

また、図60において、n型MISFETQnの高濃度n型半導体領域 6c-2を形成した後、実施の形態3を実施することも可能である。

つまり、n型MISFETQnの高濃度n型半導体領域 6c-2を形成した後、周辺回路領域上にモリブデン、コバルト等の高融点金属を堆積し、周辺回路用のn型MISFETQnの高濃度n型半導体領域 6c-2の表面にシリサイド層を形成し、その後、未反応の高融点金属を除去してから、図61に示すTEOSシリコン酸化膜を堆積して、層間絶縁膜 310fを形成し、それに続く工程を実施することも可能である。

また、後述する実施の形態7または8の場合にも、上記の例を適用することは可能である。

(実施の形態7)

図80および図81は、本発明の他の実施の形態であるDRAMの製造方法の一例を示した断面図である。

本実施の形態7の製造方法は、ゲート電極 305およびキャップ絶縁膜 307bの形成(図57)までは実施の形態6の製造方法と同様であるので説明を省略する。

本実施の形態7の製造方法は、メモリアレイ領域でのゲート電極 305の配列が密な場合を示し、周辺回路領域における自己整合加工用絶縁膜 309の除去をマスクなしに行う例を示したものである。

ゲート電極 305およびキャップ絶縁膜 307bの形成の後、図80に示すように、自己整合加工用絶縁膜 309となるシリコン窒化膜を堆積し、さらにシリコン酸化膜 339を堆積する。メモリアレイ領域においては、図80(a)に示すように、ゲート電極 305の配列が密なためシリコン酸化膜 339が凹部に完全に埋め込まれ、その表面が平坦となっている。これに対し、周辺回路領域では、図80(b)に示すように、ゲート電極 305はメモリアレイ領域に比べて疎に形成されているため、凹凸形状をほぼ忠実に反映した表面形状となっている。

10

20

30

40

50

次に、図 8 1 に示すように、シリコン窒化膜 3 0 9 およびシリコン酸化膜 3 3 9 を異方性エッチングによりエッチングする。エッチングはシリコン窒化膜がエッチングされる条件たとえば CHF_3 、 CF_4 およびアルゴンの混合ガスを用いたエッチングとする。メモリアレイ領域においてはシリコン酸化膜 3 3 9 の表面が平坦であるためシリコン酸化膜 3 3 9 の平坦表面およびキャップ絶縁膜 3 0 7 b 表面のシリコン窒化膜 3 0 9 がエッチングされるのみである。このため、メモリアレイ領域においては半導体基板 3 0 1 の主面上にシリコン窒化膜 3 0 9 が残り、自己整合加工用絶縁膜 3 0 9 として機能する。一方、周辺回路領域においては、ゲート電極 3 0 5 の側面を除き、半導体基板 3 0 1 の主面上およびキャップ絶縁膜 3 0 7 b の表面のシリコン窒化膜 3 0 9 およびシリコン酸化膜 3 3 9 がエッチングされ、シリコン窒化膜 3 0 9 およびシリコン酸化膜 3 3 9 は、ゲート電極 3 0 5 の側面の第 1 のサイドウォール 3 2 3 a および第 2 のサイドウォール 3 2 3 b として残留するのみである。

10

すなわち、本実施の形態 7 の製造方法によれば、フォトマスク等を用いなくても、メモリアレイ領域に自己整合加工用絶縁膜 3 0 9 を形成し、同時に周辺回路領域のゲート電極 3 0 5 の側面に第 1 のサイドウォール 3 2 3 a および第 2 のサイドウォール 3 2 3 b を形成することが可能である。これにより工程を簡略化することが可能となる。

なお、この後の工程は実施の形態 6 における図 6 0 以降の工程と同様であるため説明を省略する。

(実施の形態 8)

図 8 2 ~ 図 8 4 は、本発明のさらに他の実施の形態である D R A M の製造方法の一例を示した断面図である。

20

本実施の形態 8 の製造方法は、ゲート電極 3 0 5 およびキャップ絶縁膜 3 0 7 b の形成 (図 5 7) までは実施の形態 6 の製造方法と同様であるので説明を省略する。

本実施の形態 8 の製造方法は、メモリアレイ領域でのゲート電極 3 0 5 の配列が疎な場合を示し、周辺回路領域における自己整合加工用絶縁膜 3 0 9 の除去をマスクを用いて行う例を示したものである。

ゲート電極 3 0 5 およびキャップ絶縁膜 3 0 7 b の形成の後、図 8 2 に示すように、自己整合加工用絶縁膜 3 0 9 となるシリコン窒化膜を堆積し、メモリアレイ領域にフォトマスク 3 4 0 を形成する。

次に、図 8 3 に示すように、フォトマスク 3 4 0 をマスクにして自己整合加工用絶縁膜 3 0 9 を異方性エッチングによりエッチングする。エッチングはシリコン窒化膜がエッチングされる条件たとえば CHF_3 、 CF_4 およびアルゴンの混合ガスを用いたエッチングとする。これにより、周辺回路領域のゲート電極 3 0 5 の側面に第 1 のサイドウォール 3 2 3 a が形成される。

30

さらに、フォトマスク 3 4 0 を除去した後、半導体基板 3 0 1 の全面にシリコン酸化膜 3 4 1 を堆積する。

次に、図 8 4 に示すように、シリコン酸化膜 3 4 1 を異方性エッチングによりエッチングする。エッチングはシリコン窒化膜がエッチングされにくい条件たとえば C_4F_8 およびアルゴンの混合ガスを用いたエッチングとすることができる。これにより、周辺回路領域のみならずメモリアレイ領域のゲート電極 3 0 5 の側面に第 2 のサイドウォール 3 2 3 b が形成される。

40

このような製造方法によれば、周辺回路領域の自己整合加工用絶縁膜 3 0 9 を除去し、ゲート電極 3 0 5 の側面に第 2 のサイドウォール 3 2 3 b を形成することができる。なお、第 2 のサイドウォール 3 2 3 b の厚さを調整して L D D 構造を最適化することができることは実施の形態 6 で説明したとおりである。

なお、この後の工程は実施の形態 6 における図 6 0 以降の工程と同様であるため説明を省略する。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

50

たとえば、上記実施の形態 6 ~ 8 では、素子分離領域が浅溝素子分離領域の場合を説明したが、LOCOS法による厚いフィールド絶縁膜による素子分離領域であってもよい。本発明は、浅溝素子分離領域の浅溝がフィールド絶縁膜のバズビークに比較して急峻に形成されていることから、僅かの目外れにより多大な影響を受ける可能性の大きい浅溝素子分離領域に適用して顕著な効果が得られるものではあるが、フィールド絶縁膜による素子分離領域に適用してもその効果が得られることに何ら変わりはない。

本願には、以下の発明も含まれている。

(1) 本発明の半導体集積回路装置は、その主面に素子分離領域と素子分離領域に囲まれた活性領域とを有する半導体基板に、主面上に形成されたゲート絶縁膜、ゲート絶縁膜上に形成されたゲート電極、ゲート電極上に形成されたキャップ絶縁膜、およびゲート電極の両側の活性領域に形成された半導体領域を含むMISFETが形成され、MISFETとその上層に形成された導電性部材とを絶縁する層間絶縁膜を有する半導体集積回路装置であって、MISFETの全部または一部の領域におけるキャップ絶縁膜の上面および側面ならびにゲート電極の側面を含む半導体基板の主面上に、層間絶縁膜に対してエッチング選択比を有する自己整合加工用絶縁膜が形成され、自己整合加工用絶縁膜を、導電性部材と半導体領域とを接続するための接続孔をゲート電極に対して自己整合で開口するためのものであるとともに、接続孔の底部が活性領域から外れた素子分離領域にかかる部分の過剰エッチングを防止するためのものとしたものである。

このような半導体集積回路装置によれば、自己整合加工用絶縁膜をゲート電極の側面および半導体基板の主面に形成し、自己整合的に接続孔を加工するためのゲート電極のサイドウォールとして、および、半導体基板の素子分離領域の過剰エッチングを防止するためのストッパ膜として併用するため、ゲート電極の間隔が短い高集積化された半導体集積回路装置、特に高集積化されたDRAMのメモリマト領域のMISFETにおいても十分な接続孔底面の接続領域が確保できる。この結果、高集積化された半導体集積回路装置においても自己整合コンタクトの技術と素子分離領域の過剰エッチングの防止技術とをともに用いることができ、半導体集積回路装置の高集積化と高信頼性を実現することが可能となる。

(2) 前記半導体集積回路装置において、自己整合加工用絶縁膜は、キャップ絶縁膜およびゲート電極の側面に接して、または自己整合加工用絶縁膜の膜厚に比較して十分薄い膜厚の薄膜を介して形成することができ、自己整合加工用絶縁膜とキャップ絶縁膜およびゲート電極の側面との間にはサイドウォールを形成する必要がない。すなわち、自己整合加工用絶縁膜をゲート電極のサイドウォールとして用いることができ、別にサイドウォールを形成する必要がない。このため、接続孔の開口マージンを増加することができ、また、工程を簡略化して工程の増加を最小限にすることができる。

(3) また、自己整合加工用絶縁膜はシリコン窒化膜とし、層間絶縁膜はシリコン酸化膜とすることができる。このように、従来半導体集積回路装置の製造工程において頻繁に使用され、その物性が熟知されたシリコン窒化膜およびシリコン酸化膜を用いることにより、確立された製造工程を用いて工程の設計および条件の選択を容易に行って、生産工程を速やかに立ち上げることが可能となる。

(4) また、素子分離領域は浅溝素子分離構造を有する浅溝素子分離領域、または選択酸化法を用いて形成された厚いフィールド絶縁膜を有する素子分離領域とすることができる。特に、浅溝素子分離領域の場合には、活性領域と素子分離領域との境界領域において浅溝素子分離領域が急峻に形成されているため、接続孔の形成の際の僅かな目はずれにより素子分離領域に形成される過剰エッチング部分が厚いフィールド絶縁膜等に比較して深くなり、前記目はずれによる過剰エッチングの問題が顕著となる。よって、浅溝素子分離領域を有する半導体集積回路装置の本発明を適用して素子分離領域の過剰エッチングを防止する場合には、その効果が顕著である。

(5) また、本発明の半導体集積回路装置は、DRAMのメモリマト領域を含み、自己整合加工用絶縁膜がメモリマト領域にのみ形成されているものである。すなわち、高集積化の要求が強いメモリマト領域にのみ自己整合加工用絶縁膜を形成して、メモリマッ

10

20

30

40

50

ト領域の高集積化と高信頼性化を実現し、比較的高集積化の要求が強くない周辺回路領域等には、自己整合加工用絶縁膜を形成しないものである。

このような半導体集積回路装置によれば、メモリマツト領域においては高集積化と高信頼性化を実現するとともに、周辺回路領域等では自己整合加工用絶縁膜を形成しないため、ゲート電極と同時に形成される配線層と上層との接続孔形成工程あるいは周辺回路領域のMISFETの半導体領域と上層との接続孔形成工程を簡略化することができる。すなわち、周辺回路領域にも自己整合加工用絶縁膜を形成した場合には、半導体領域と上層との接続孔を形成する際に自己整合加工用絶縁膜をエッチングするための2段階エッチングが必要となり、また、ゲート電極と同時に形成される配線層と上層との接続孔を形成する際にゲート電極の上面に形成されているキャップ絶縁膜のエッチングに加えて自己整合加工用絶縁膜のエッチングを行う必要がある。しかし、本発明では、周辺回路領域には自己整合加工用絶縁膜を形成しないため、工程が複雑化することがない。

10

(6) また、本発明の半導体集積回路装置は、DRAMのメモリマツト領域を含み、メモリマツト領域以外の領域に形成されたMISFETのゲート電極の側面には、自己整合加工用絶縁膜と同一工程で堆積された絶縁膜を介して、または側面に接してサイドウォールが形成されているものである。

このような半導体集積回路装置によれば、メモリマツト領域以外の領域に形成されたMISFETのLDD(Lightly Doped Drain)構造を最適化して、メモリマツト領域以外の領域のMISFETの短チャネル化を実現してその性能を向上することができる。

20

(7) 本発明の半導体集積回路装置の製造方法は、(a)半導体基板の主面に素子分離領域を形成する工程、(b)半導体基板の全面にゲート絶縁膜となるシリコン酸化膜、ゲート電極となる多結晶シリコン膜を主とする導電膜およびキャップ絶縁膜となるシリコン窒化膜を順次堆積してそれらの積層膜を形成し、積層膜をパターニングしてゲート絶縁膜、ゲート電極およびキャップ絶縁膜を形成する工程、(c)ゲート電極をマスクとして不純物をイオン注入し、素子分離領域に囲まれた半導体基板の主面の活性領域に半導体領域を形成する工程、(d)半導体基板の全面に自己整合加工用絶縁膜を堆積する工程、(e)自己整合加工用絶縁膜が形成された半導体基板の全面に層間絶縁膜を堆積する工程、(f)自己整合加工用絶縁膜のエッチング速度が層間絶縁膜のエッチング速度に対して十分小さくなる条件で層間絶縁膜を選択的にエッチングし、接続孔の一部をゲート電極に対して自己整合的に開口する第1のエッチング工程、(g)接続孔の底部の自己整合加工用絶縁膜を異方性エッチングする第2のエッチング工程、を含むものである。

30

このような半導体集積回路装置の製造方法によれば、ゲート電極およびキャップ絶縁膜を形成した後に、サイドウォールを形成することなく自己整合加工用絶縁膜を堆積するため、ゲート電極間のコンタクトマージンを十分にとることが可能である。この結果、半導体集積回路装置の接続孔に形成される部材と活性領域に形成される半導体領域との接続信頼性を向上することができる。

また、接続孔を第1のエッチング工程および第2のエッチング工程の2段階に分けて開口するため、接続孔をゲート電極に対して自己整合的に開口することができるとともに、接続孔の底部にかかる素子分離領域の過剰なエッチングを防止することができる。この結果、半導体集積回路装置の集積度を向上するとともに、半導体集積回路装置のMISFETの特性を向上し信頼性を向上することができる。なお、前記第1のエッチング工程および第2のエッチング工程は、連続した工程とすることができるというまでもない。

40

(8) また、(a)工程の素子分離領域の形成は、浅溝を形成した後に浅溝をシリコン酸化膜により埋め込み、シリコン酸化膜をエッチバックまたはCMP法により研磨することにより浅溝内部にのみシリコン酸化膜を残す第一の構成、または、パターニングされたシリコン窒化膜をマスクとして選択的に厚いフィールド絶縁膜を熱酸化法により形成する第2の構成、の何れかの構成とすることができる。このような半導体集積回路装置の製造方法によれば、浅溝素子分離領域あるいはLOCOS法による厚いフィールド絶縁膜を有する半導体集積回路装置を製造することができる。

50

(9) また、本発明の半導体集積回路装置の製造方法において、自己整合加工用絶縁膜をシリコン窒化膜とし、層間絶縁膜をシリコン酸化膜とし、第1のエッチング工程におけるエッチングを C_4F_8 およびアルゴンを含む混合ガスを用いたプラズマエッチングにより行い、第2のエッチング工程におけるエッチングを CHF_3 、 CF_4 およびアルゴンを含む混合ガスを用いたプラズマエッチングにより行うことができる。

このような半導体集積回路装置の製造方法によれば、第1のエッチング工程を C_4F_8 およびアルゴンを含む混合ガスを用いたプラズマエッチングにより行うため、シリコン窒化膜がエッチングされにくい条件でシリコン酸化膜をエッチングすることができ、つまりシリコン窒化膜に対して十分なエッチング選択比を有する条件でシリコン酸化膜をエッチングすることができ、接続孔領域の層間絶縁膜のエッチングをストッパ膜である半導体基板主面上の自己整合加工用絶縁膜まで、十分な加工マージンを持ってエッチングすることができる。また、第2のエッチング工程を CHF_3 、 CF_4 およびアルゴンを含む混合ガスを用いたプラズマエッチングにより行うため、シリコン窒化膜からなる自己整合加工用絶縁膜を容易にエッチングすることができる。第2のエッチング工程においては比較的薄いシリコン窒化膜のみをエッチングするため、十分な加工マージンをもって接続孔を開口し、その結果素子分離領域の過剰エッチングを少なくできることは前記したとおりである。

(10) 本発明の半導体集積回路装置の製造方法は、第2のエッチング工程において、自己整合加工用絶縁膜の全膜厚分をエッチングするに必要なエッチング時間以下のオーバーエッチングを加えるものである。

このようなオーバーエッチングを加えることができるのは、前記したとおり自己整合加工用絶縁膜をストッパ膜として接続孔を2段階エッチングにより開口するためであるが、オーバーエッチングを加えることにより活性領域を若干エッチングするものの接続孔の開口を確実に行うことができ、接続孔底部での接続信頼性を向上することができる。なお、活性領域のエッチング量は、加えるオーバーエッチングが自己整合加工用絶縁膜の全膜厚分をエッチングするに必要なエッチング時間以下であるため、自己整合加工用絶縁膜の膜厚相当以下であり、自己整合加工用絶縁膜の膜厚を30~50nmと薄くすることが可能なことから、工程上そのような過剰エッチングは問題とならない。

(11) 本発明の半導体集積回路装置の製造方法は、半導体集積回路装置にDRAMのメモリマット領域を含み、自己整合加工用絶縁膜の堆積の後に、メモリマット領域以外のゲート電極およびキャップ絶縁膜の側面に自己整合加工用絶縁膜を挟んでサイドウォールを形成する工程を含むものである。

このような半導体集積回路装置の製造方法によれば、メモリマット領域以外のMISFETに適正なLDD構造を形成することが可能となる。その結果、メモリマット領域以外のMISFETたとえば周辺回路領域のMISFETの短チャネル化を行って、そのMISFETの性能を向上することが可能である。なお、周辺回路領域のゲート電極間の間隔は一般に余裕が存在するため、周辺回路領域のMISFETのゲート電極の側面に自己整合加工用絶縁膜が形成されていてもサイドウォールを形成することが可能である。

(12) また、本発明の半導体集積回路装置の製造方法は、半導体集積回路装置にDRAMのメモリマット領域を含み、自己整合加工用絶縁膜の堆積の後に、少なくともメモリマット領域以外の半導体基板の主面上の自己整合加工用絶縁膜を除去する工程を含むものである。

このような半導体集積回路装置の製造方法によれば、少なくともメモリマット領域以外の半導体基板の主面上の自己整合加工用絶縁膜を除去する工程を含むため、たとえばDRAMの周辺回路領域の自己整合加工用絶縁膜を除去することができ、周辺回路領域のMISFETの半導体領域あるいはゲート電極に接続する接続孔の開口を容易に行うことが可能となる。

(13) なお、サイドウォールの形成は、自己整合加工用絶縁膜の堆積の後に、メモリマット領域を覆うフォトレジストをマスクとして自己整合加工用絶縁膜をエッチングし、フォトレジストを除去した後、半導体基板の全面に絶縁膜を堆積し、絶縁膜を異方性エッチングして行うことができる。なお、自己整合加工用絶縁膜のエッチングはゲート電極の側

10

20

30

40

50

面にサイドウォールとして残る状態の異方性エッチングでもよく、また、サイドウォールとして残らない等方性エッチングでもよい。

また、サイドウォールの形成は、自己整合加工用絶縁膜の堆積の後に、メモリマツト領域に形成されたゲート電極およびキャップ絶縁膜による凹凸を埋め込む絶縁膜を堆積し、絶縁膜を異方性エッチングして行うことができる。このような場合、メモリマツト領域のゲート電極間を絶縁膜により埋め込むため、その後の異方性エッチングによりメモリマツト領域のゲート電極間の半導体基板主面上に形成された自己整合加工用絶縁膜がエッチングされることはなく、一方、メモリマツト領域以外の領域たとえば周辺回路領域の自己整合加工用絶縁膜は、周辺回路領域のゲート電極の間隔に余裕があるためサイドウォール形成のための絶縁膜の異方性エッチングの際に同時にエッチングすることが可能である。すな

10

わち、周辺回路領域の自己整合加工用絶縁膜のみをエッチングするためのマスク形成工程を省略することが可能である。これにより、工程を簡略化することができる。これらの発明のうち、代表的なものによって得られる効果を簡単にまとめて説明すれば以下のとおりである。

(1) 高集積化されたDRAMのメモリセル領域においても、接続孔を自己整合的に形成するとともに、接続孔底部の素子分離領域の過剰エッチングを防止することができる。

(2) 接続孔を自己整合的に形成するとともに接続孔底部の素子分離領域の過剰エッチングを防止する場合に、その接続孔の加工マージンを向上させることができる。

(3) 接続孔を自己整合的に形成するとともに接続孔底部の素子分離領域の過剰エッチングを防止する場合に、工程の増加を抑制することができる。

20

(4) 半導体集積回路装置の高集積化を実現するとともに、DRAMのリフレッシュ特性を向上し、メモリセル領域のトランジスタ特性を向上することができる。

本発明者が、本発明の後に行った公知例調査の結果、キャパシタの一方の電極の接続孔及びビット線接続孔をワード線に対して自己整合的に形成する技術は、特開平4-342164号公報に記載されている。

また、層間絶縁膜に対して、キャパシタの一方の電極の接続孔及びビット線接続孔を開口する際に、窒化珪素膜を設けて半導体基板又は素子分離用絶縁膜のオーバーエッチを防止する技術が、特願平8-264075号及び特願平8-344906号に開示されている。また、MOSFET上の絶縁膜に対して、ソース又はドレインへの接続孔を開口する際に、窒化珪素膜を設ける技術が特開平6-53162号公報に開示されている。

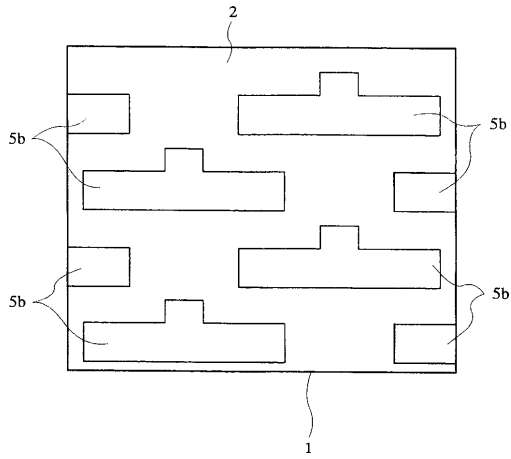
30

また、ゲート電極の側壁に窒化珪素膜及び酸化珪素膜からなる2重側壁膜を有する半導体装置の製法が、特開平3-276729号及び特開平6-168955号公報及び米国登録公報5,364,804号に開示されている。

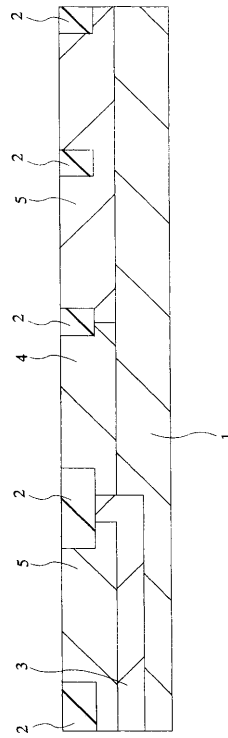
産業上の利用可能性

以上のように、本発明の半導体集積回路装置およびその製造方法は、微細加工、高集積化および高信頼性化に適しているものであり、特にDRAMあるいは電氣的書き換え可能な不揮発性メモリまたはロジック回路とDRAMあるいは電氣的書き換え可能な不揮発性メモリとが混載された高集積な半導体集積回路装置に適用して好適なものである。

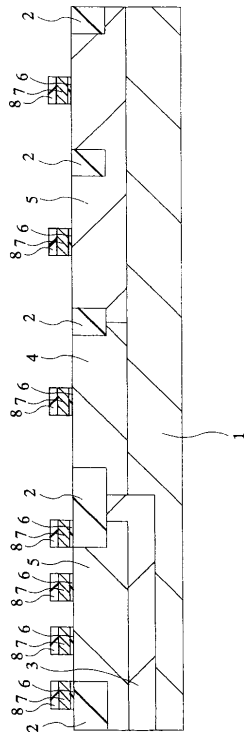
【図6】



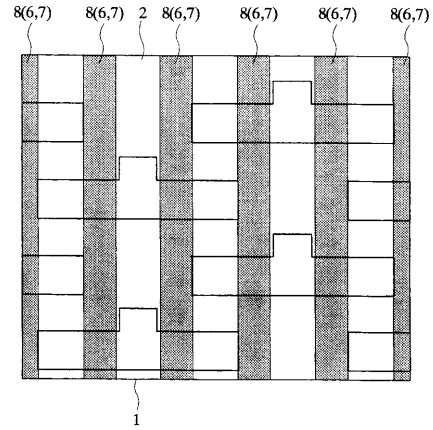
【図7】



【図8】

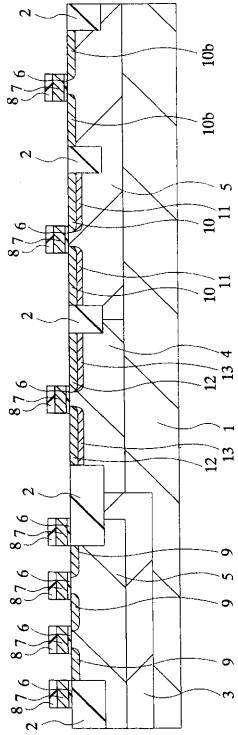


【図9】

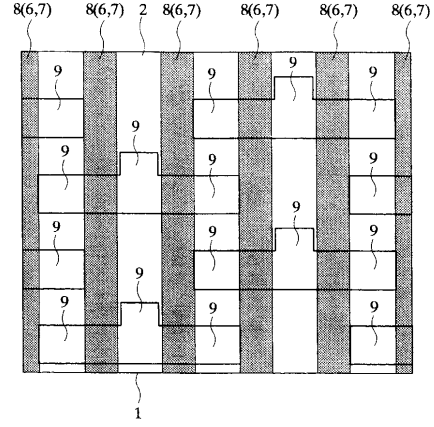


第1方向
↑
第2方向
→

【図10】

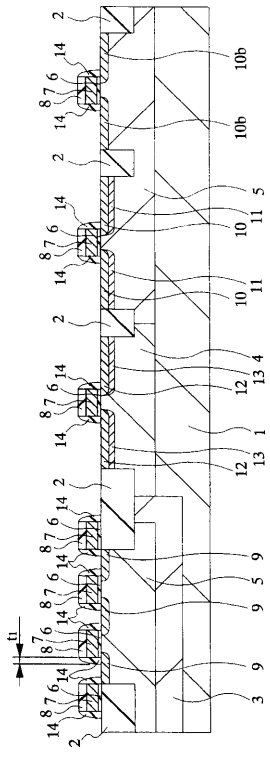


【図11】

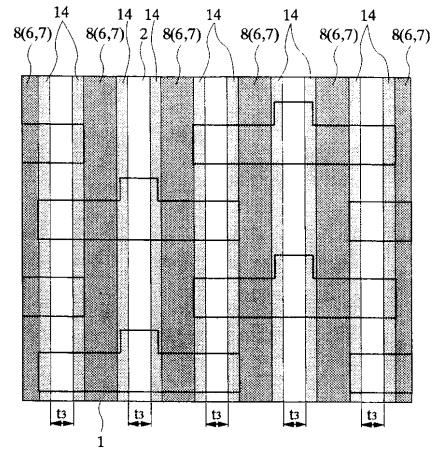


第1方向
第2方向

【図12】

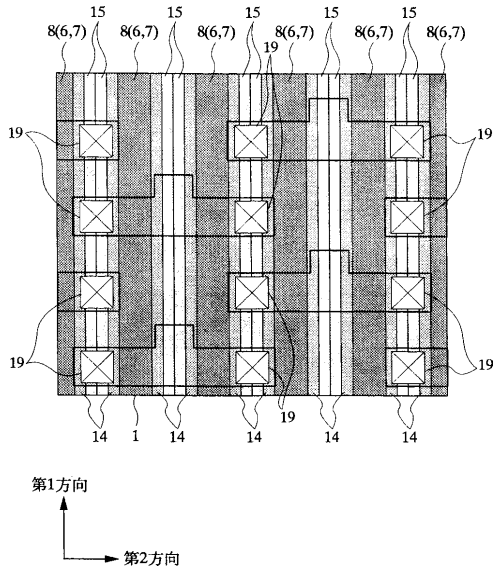


【図13】

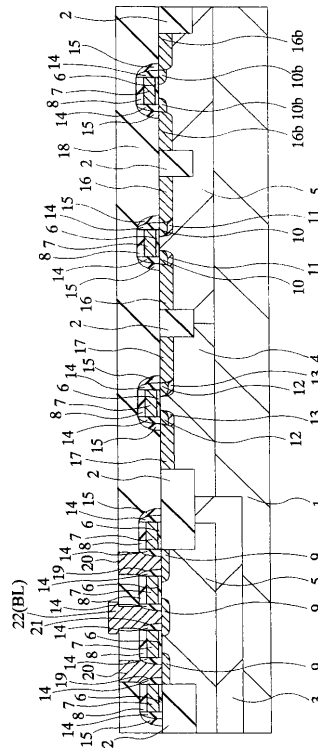


第1方向
第2方向

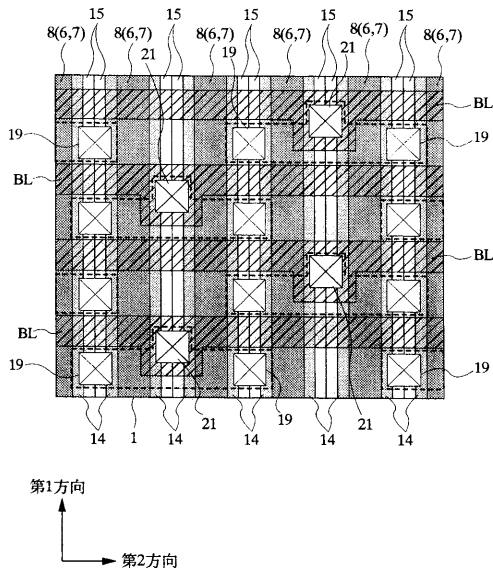
【図18】



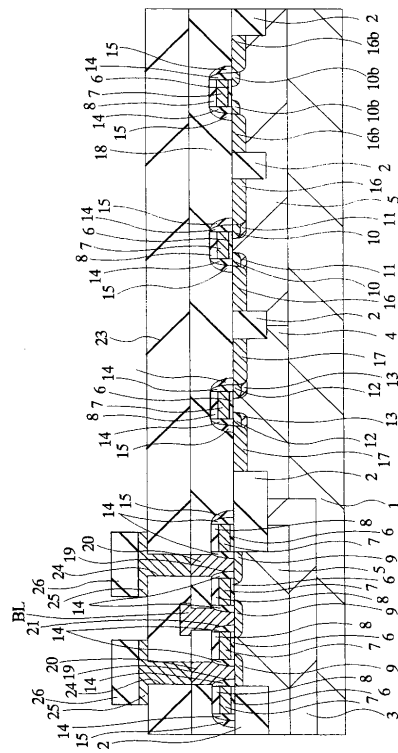
【図19】



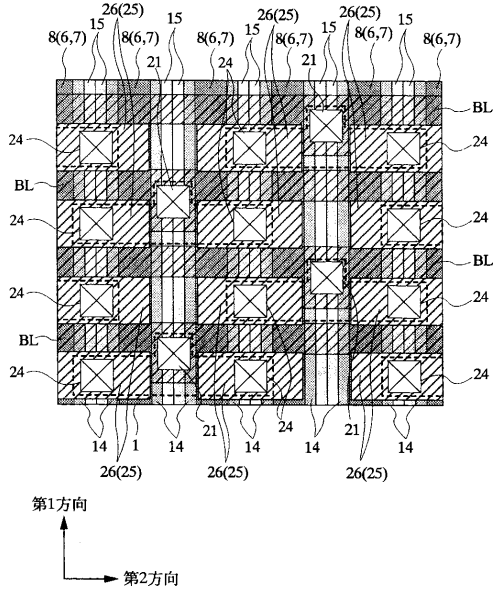
【図20】



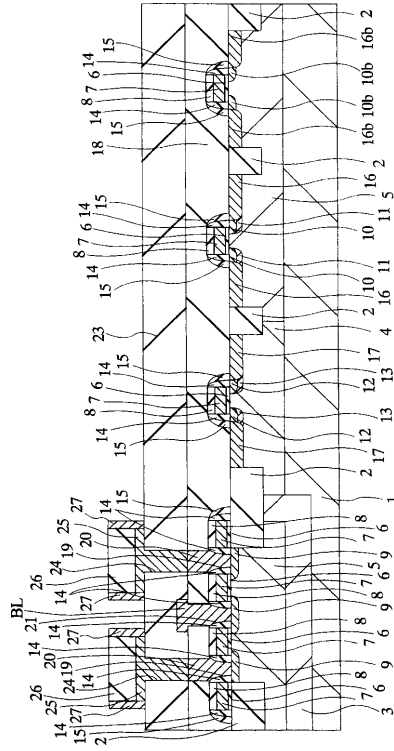
【図21】



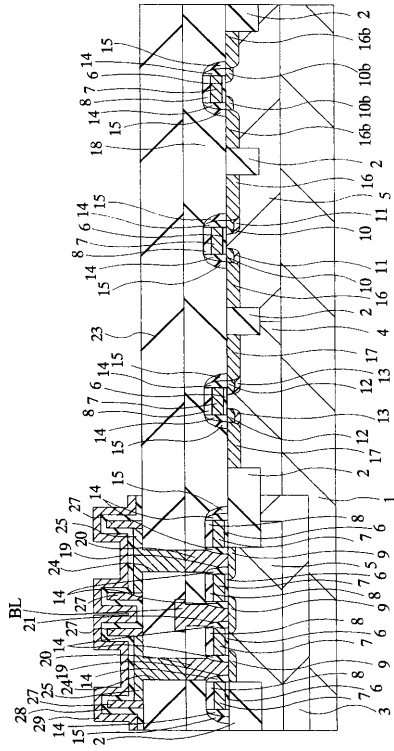
【図 2 2】



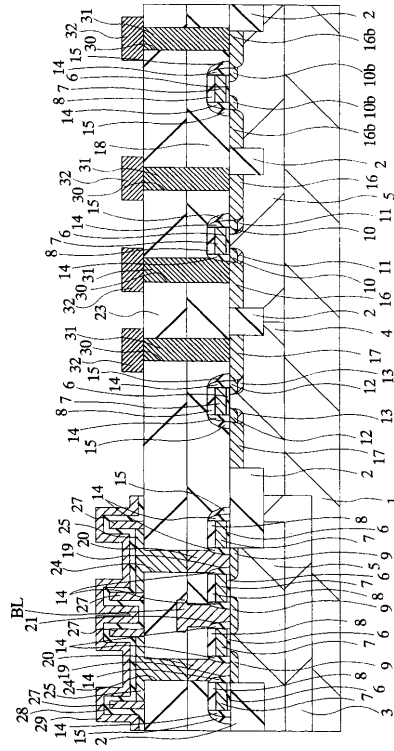
【図 2 3】



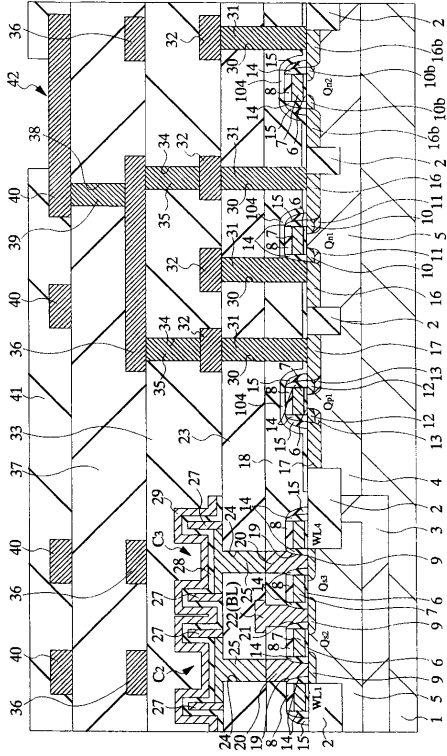
【図 2 4】



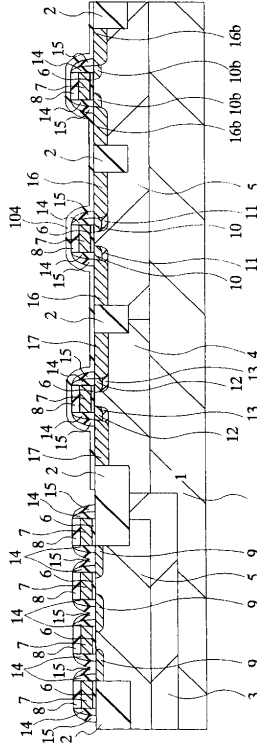
【図 2 5】



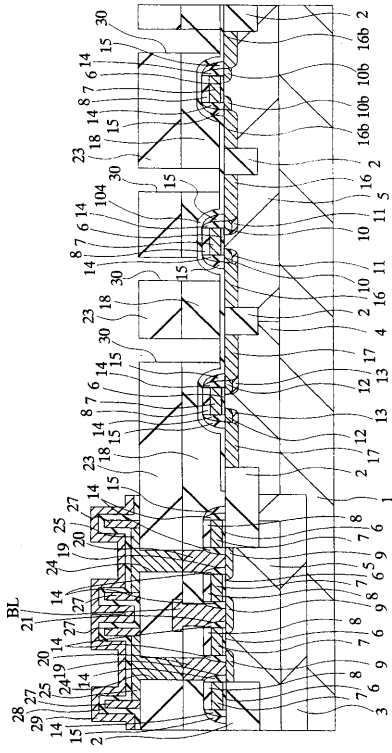
【図 26】



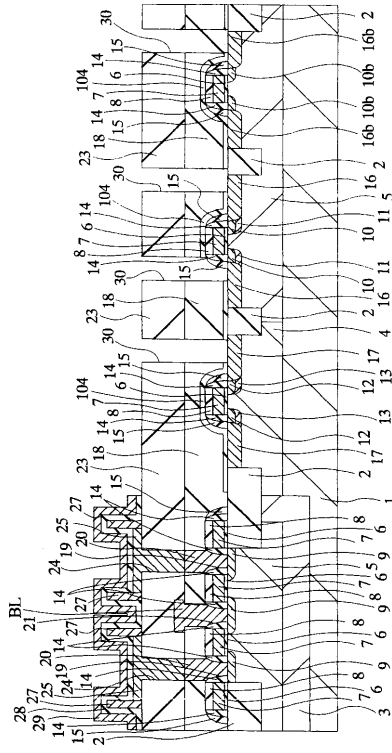
【図 27】



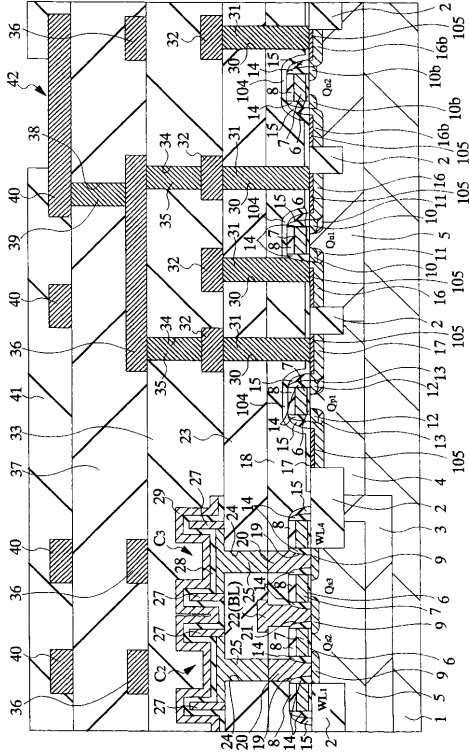
【図 28】



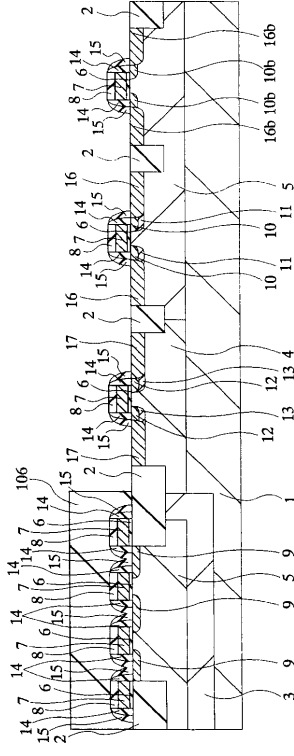
【図 29】



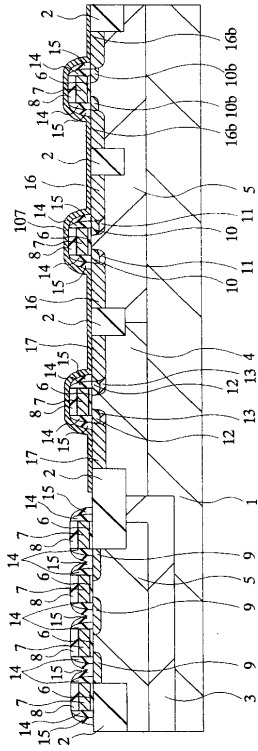
【図 30】



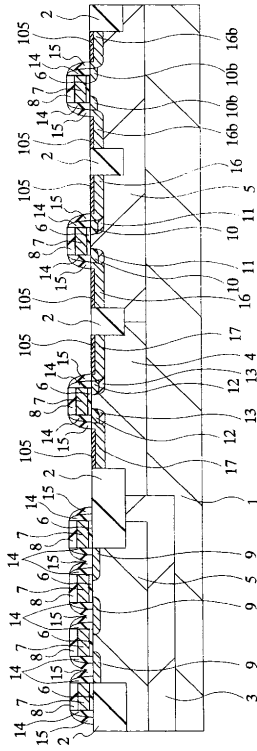
【図 31】

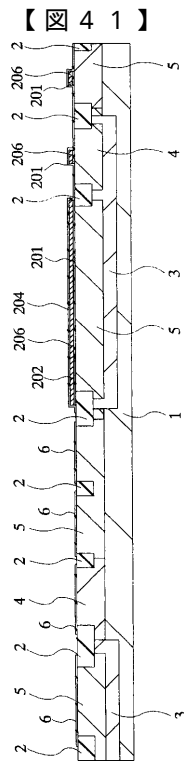
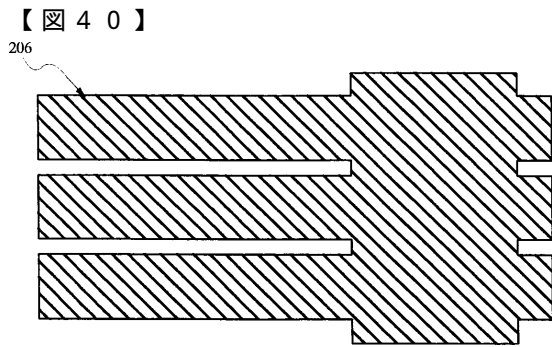
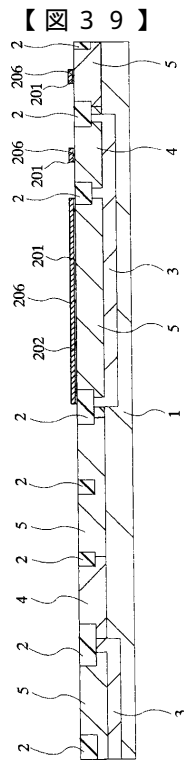
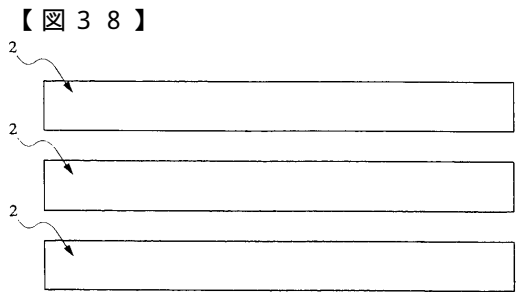


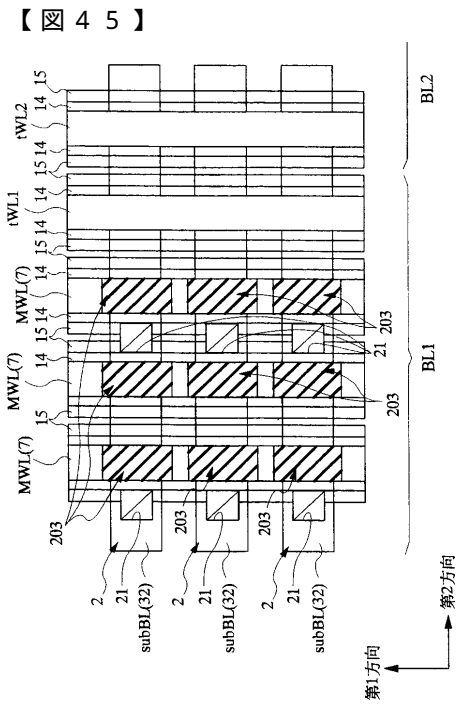
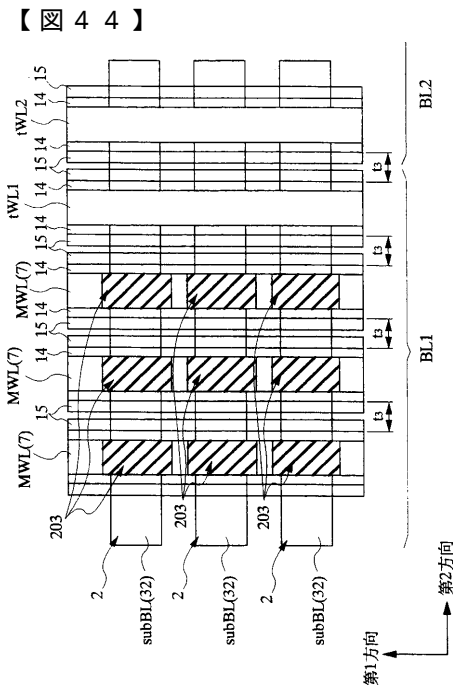
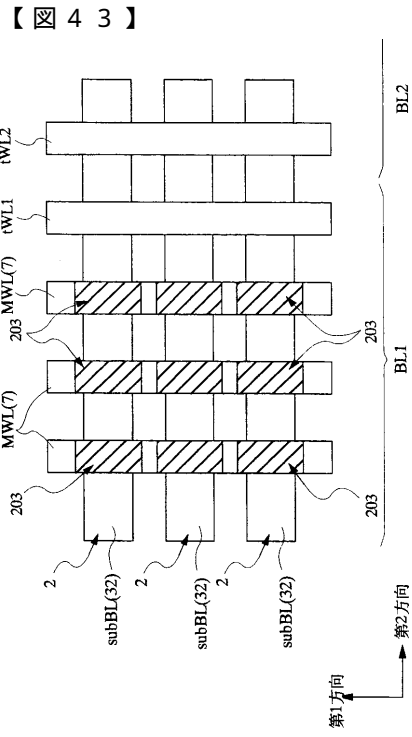
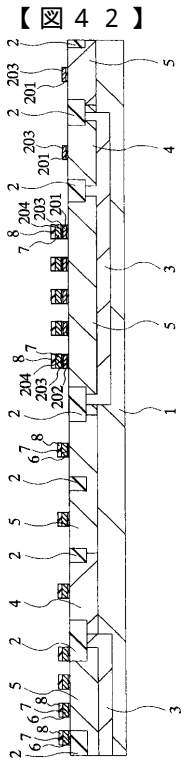
【図 32】



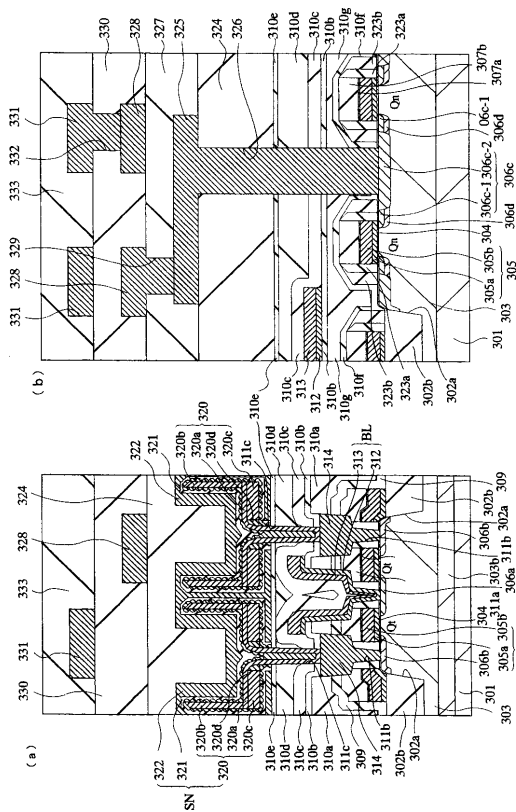
【図 33】



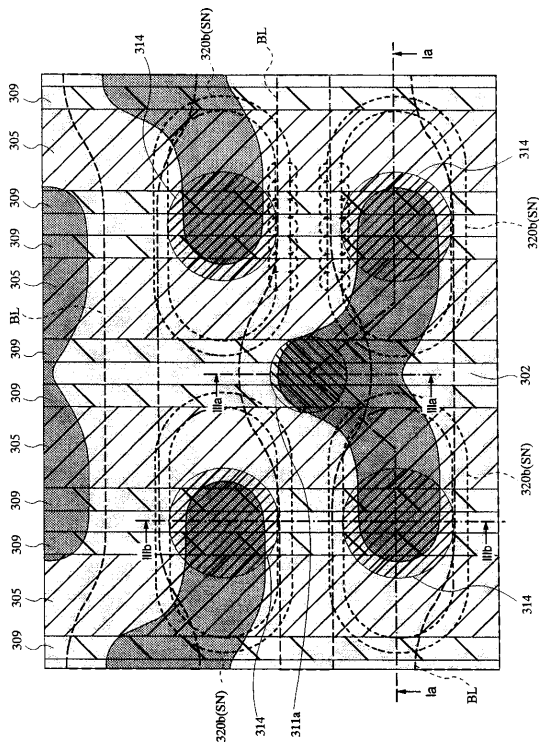




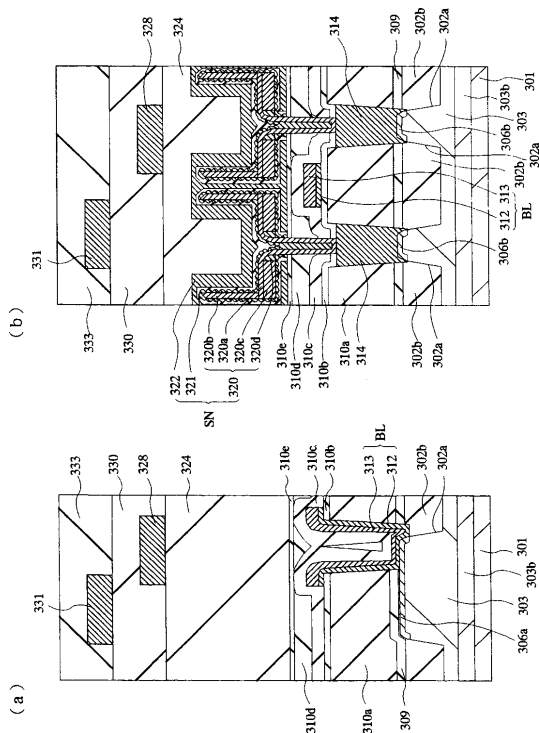
【 50】



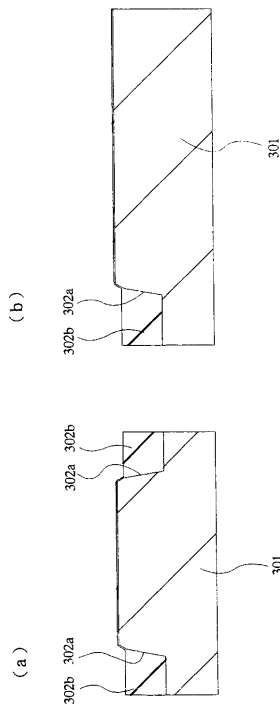
【 51】



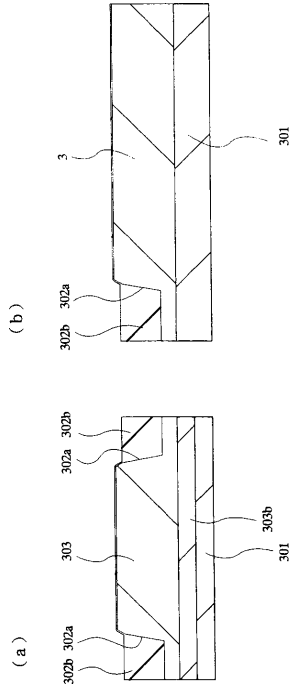
【 52】



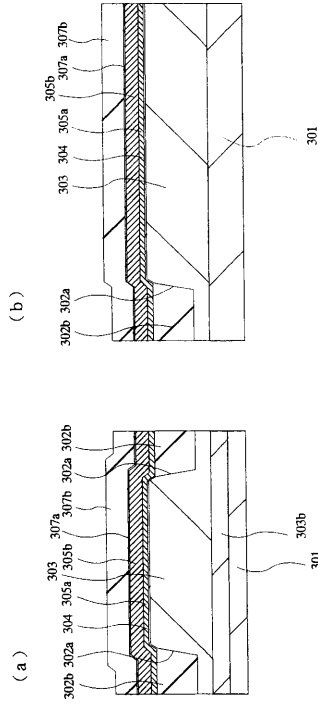
【 53】



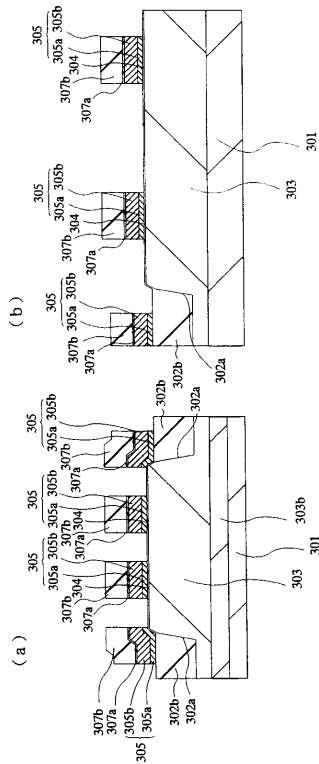
【 5 4 】



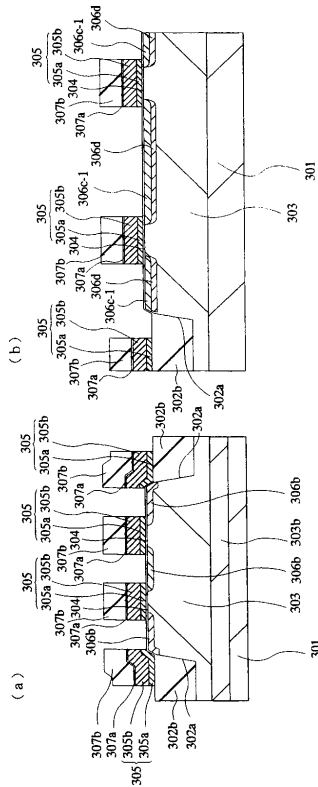
【 5 5 】



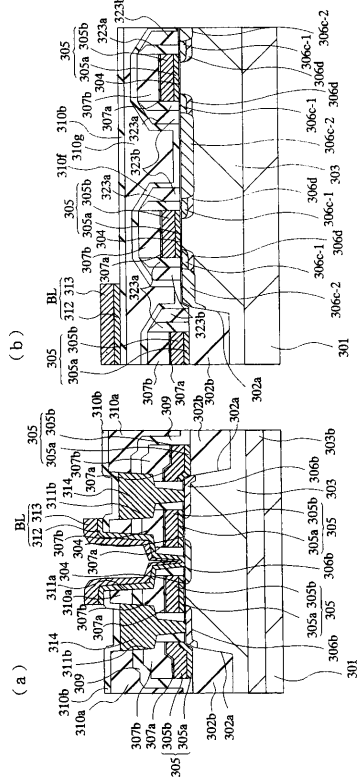
【 5 6 】



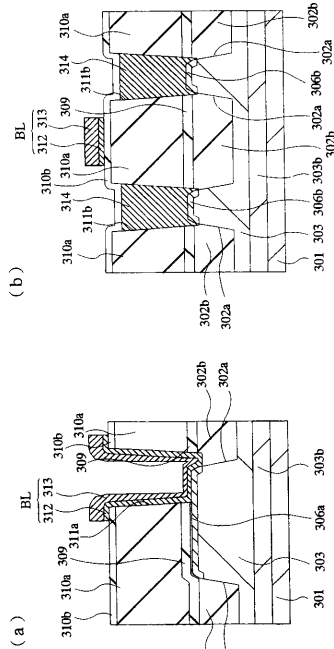
【 5 7 】



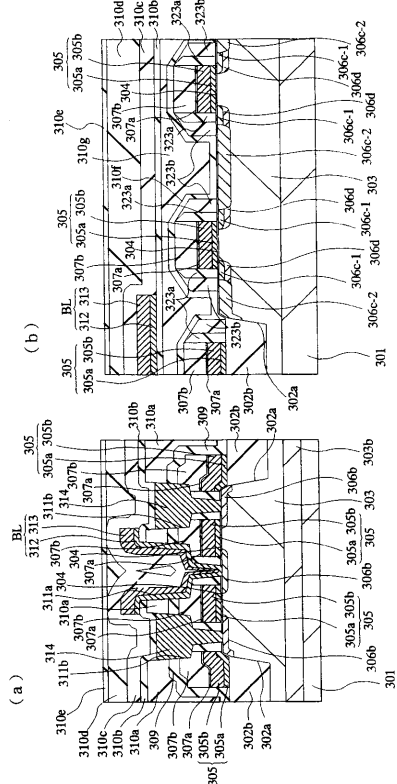
【 70】



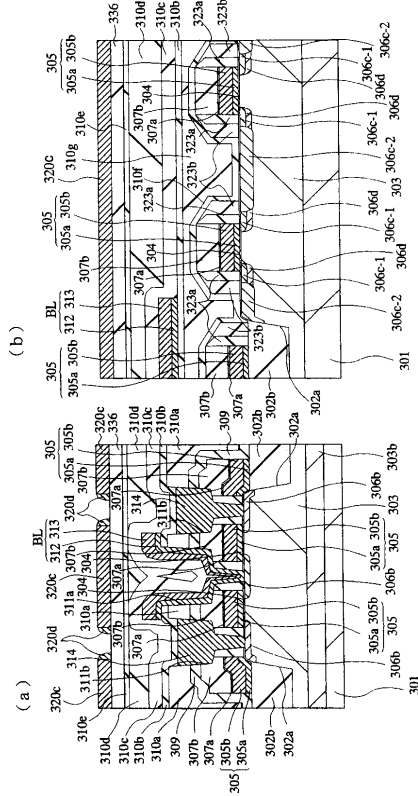
【 71】



【 72】



【 73】



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	27/108 (2006.01)	H 0 1 L	21/76 Z
H 0 1 L	21/8247 (2006.01)	H 0 1 L	21/82 Z
H 0 1 L	27/115 (2006.01)	H 0 1 L	21/82 A
H 0 1 L	21/76 (2006.01)	H 0 1 L	29/78 3 0 1 M
H 0 1 L	21/82 (2006.01)		
H 0 1 L	29/78 (2006.01)		

- (72)発明者 茂庭 昌弘
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 橋本 俊一
茨城県ひたちなか市堀口字長久保832番地2 日立計測エンジニアリング株式会社内
- (72)発明者 児島 雅之
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 大湯 静憲
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 黒田 謙一
東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体事業部内
- (72)発明者 松田 望
東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 安田 雅彦

- (56)参考文献 特開平05-090537(JP,A)
特開平07-099236(JP,A)
特開平09-064294(JP,A)
特開平08-204142(JP,A)
特開平04-275457(JP,A)
特開平08-148564(JP,A)
特開平07-086426(JP,A)
特開平10-242420(JP,A)
特開平08-139314(JP,A)
特開平06-177349(JP,A)
特開平06-151742(JP,A)
特開平08-236473(JP,A)
特開平09-055479(JP,A)
特開平04-342164(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/10
H01L 21/8239
H01L 27/088
H01L 21/8234
H01L 29/78
H01L 21/336
H01L 21/28
H01L 29/40
H01L 21/768