

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4743943号
(P4743943)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl.	F 1
HO4L 27/04 (2006.01)	HO4L 27/04 A
HO3H 17/06 (2006.01)	HO3H 17/06 C
HO4N 5/40 (2006.01)	HO4N 5/40 633Z

請求項の数 11 (全 27 頁)

(21) 出願番号	特願2000-251561 (P2000-251561)
(22) 出願日	平成12年8月22日 (2000.8.22)
(65) 公開番号	特開2001-111637 (P2001-111637A)
(43) 公開日	平成13年4月20日 (2001.4.20)
審査請求日	平成19年8月9日 (2007.8.9)
(31) 優先権主張番号	09/382232
(32) 優先日	平成11年8月24日 (1999.8.24)
(33) 優先権主張国	米国(US)

(73) 特許権者	501263810 トムソン ライセンシング Thomson Licensing フランス国, 92130 イッシー レ ムーリノー, ル ジヤンヌ ダルク, 1-5 1-5, rue Jeanne d' Arc, 92130 ISSY LES MOULINEAUX, France
(74) 代理人	100077481 弁理士 谷 義一
(74) 代理人	100088915 弁理士 阿部 和夫

最終頁に続く

(54) 【発明の名称】パルスコード変調-DC中心VSB変換器

(57) 【特許請求の範囲】

【請求項 1】

1 サンプル / 1 シンボル・パルス符号変調 DC 中心残留側波帯変換器を含む装置であつて、

所定のサンプリング周波数のレートで第 1 の手段に入力として供給される 1 サンプル / 1 シンボルの連続する PCM シンボルのサンプルからなる継続するサンプルされたデータ・ストリームに応答して、1 サンプル / 1 シンボルのサンプル値をもつた継続する DC 中心の実数部 ($\pm R$) のサンプルされた出力ストリームを、上記所定のサンプリング周波数の上記レートで取り出す、上記第 1 の手段であつて、上記サンプルされたデータ出力ストリームの 4 個の連続する 1 サンプル / 1 シンボルのサンプル値の任意のシーケンスの各サンプル値は、継続するデータ変調された余弦波のサイクルの 4 つの象限の個々の象限に対応する、上記第 1 の手段と、

上記第 1 の手段からの上記 $\pm R$ のサンプルされたデータ出力ストリームに応答して、1 サンプル / 1 シンボルのサンプル値をもつた各 DC 中心の実数部 ($\pm R$) および虚数部 ($\pm I$) のサンプルされたデータ出力ストリームを複素出力として取り出す、2 分岐形多重化 N タップ・ルート・ナイキスト FIR フィルタと、

前記所定のサンプリング周波数の前記レートより高い周波数帯域の外側に位置する、結果として生じた不要な周波数成分を除去するフィルタ手段と、
を含む、上記装置。

【請求項 2】

上記第1の手段は、

変調器と、

上記変調器の変調入力に結合された1サンプル/1シンボルの連続するPCMシンボルのサンプルの上記継続するサンプルされたデータ・ストリームのソースと、

上記変調器のキャリア入力に結合された、上記所定のサンプリング周波数のレートで生じる上記継続するサンプルされたキャリア・ストリームのソースと、

を含み、上記サンプルされたキャリア・ストリームは1、-1、-1、1のサンプル値の反復する4サンプル・シーケンスと、を含み、

これによって上記変調器は、上記フィルタに入力として供給される1サンプル/1シンボルのサンプル値からなる上記 $\pm R$ のサンプルされたデータ変調された出力ストリームを取り出す、請求項1に記載の装置。 10

【請求項3】

上記第1の手段はさらに、

上記継続するサンプルされたキャリア・ストリームの上記ソースに結合されたキャリア入力を有する第2の変調器と、

上記第2の変調器の変調入力に供給されるPCMパイロットDCオフセット値のソースと、を含み、

これによって上記第2の変調器からのサンプル値のサンプルされた $\pm R$ 変調された出力ストリームが上記Nタップ・フィルタに対する第2の入力に結合される、請求項2に記載の装置。 20

【請求項4】

上記Nタップ・フィルタの数値Nは、所定の奇数値であり、

上記Nタップ・フィルタは、

上記Nタップ・フィルタの偶数タップ0から偶数タップN-1まで延びる、すべてが偶数値のタップからなる第1の $(N+1)/2$ タップのサブフィルタと、

上記Nタップ・フィルタの奇数タップ1から奇数タップN-2まで延びる、すべてが奇数値のタップからなる第2の $(N+1)/2$ タップのサブフィルタと、

を含み、

上記第1の手段からの1サンプル/1シンボルのサンプル値の上記 $\pm R$ のサンプルされたデータ出力ストリームは、上記第1のサブフィルタの上記 $(N+1)/2$ 個のタップのすべてに、および上記第2のサブフィルタの上記 $(N-1)/2$ 個のタップのすべてに入力として供給され。 30

上記第1および第2のサブフィルタに含まれる遅延回路、および第1のマルチプレクス位置と第2のマルチプレクス位置との間でトグルされるマルチプレクサは、(1)上記マルチプレクサが第1のマルチプレクス位置を占めるときは、上記第1のサブフィルタからの $\pm R$ のサンプルされたデータ出力ストリームを上記フィルタからの $\pm R$ のサンプルされたデータ出力ストリームに導き、(2)上記マルチプレクサが上記第1のマルチプレクス位置を占めるときは、上記第2のサブフィルタからの $\pm I$ のサンプルされたデータ出力ストリームを上記フィルタからの $\pm I$ のサンプルされたデータ出力ストリームに導き、(3)上記マルチプレクサが第2のマルチプレクス位置を占めるときは、上記第2のサブフィルタからの $\pm R$ のサンプルされたデータ出力ストリームを上記フィルタからの上記 $\pm R$ のサンプルされたデータ出力ストリームに導き、(4)上記マルチプレクサが上記第2のマルチプレクス位置を占めるときは、上記第1のサブフィルタからの $\pm I$ のサンプルされたデータ出力ストリームを上記フィルタからの上記 $\pm I$ のサンプルされたデータ出力ストリームに導き。 40

上記遅延手段は、上記第1および第2のサブフィルタからの上記サンプルされたデータ出力ストリームの等時的に生じるサンプル値間の1クロック周期の相対遅延を導入し、

上記フィルタからの上記 $\pm R$ および $\pm I$ のサンプルされたデータ出力ストリームの等時的に生ずるサンプル値は同じシンボルを指定する、請求項2に記載の装置。

【請求項5】

10

20

30

40

50

上記Nタップ・フィルタは、入力重付けされたNタップ・フィルタである請求項4に記載の装置。

【請求項6】

上記入力重付けされたNタップ・フィルタは、

第1の組の2クロック周期遅延ラッチであって、その各々が上記第1のサブフィルタの偶数タップ2乃至偶数タップN-1の各別のものに関連している上記第1の組の2クロック周期遅延ラッチと、

第1の組の合計器であって、その各々が上記第1の組の2クロック周期遅延ラッチの各々の間に結合されており、またその各々が上記第1のサブフィルタの偶数タップの各別のものに関連している上記第1の組の合計器と、

第1の組の乗算器であって、その各々が上記第1のサブフィルタの上記第1の組の合計器の各別のものに結合された出力を有し、また乗算された入力として供給される上記第1の手段からの上記 $\pm R$ のサンプルされたデータ出力ストリームと乗算器の入力としてこれに供給される係数値とを有する上記第1の組の乗算器と、

第2の組の2クロック周期遅延ラッチであって、その各々が上記第2のサブフィルタの奇数タップ3乃至奇数タップN-2の各別のものに関連している上記第2の組の2クロック周期遅延ラッチと、

第2の組の合計器であって、その各々が上記第2の組の2クロック周期遅延ラッチの各々の間に結合されており、またその各々が上記第2のサブフィルタの奇数タップの各別のものに関連している上記第2の組の合計器と、

第2の組の乗算器であって、その各々が上記第2のサブフィルタの上記第2の組の合計器の各別のものに結合された出力を有し、また乗算された入力として供給される上記第1の手段からの上記 $\pm R$ のサンプルされたデータ出力ストリームと乗算器の入力としてこれに供給される係数値とを有する上記第2の組の乗算器と、

を含む、請求項5に記載の装置。

【請求項7】

上記第1のサブフィルタおよび第2のサブフィルタに含まれる上記遅延手段は、

上記偶数タップ0の合計器からの加算サンプル値のサンプルされたデータ出力ストリームを上記乗算器の第1の入力に転送する、上記第1のサブフィルタ中の1クロック周期遅延ラッチと、

上記奇数タップ1の合計器からの加算サンプル値のサンプルされたデータ出力ストリームを上記乗算器の第2の入力に転送する、上記第2のサブフィルタ中の2クロック周期遅延手段と、

を含む、請求項6に記載の装置。

【請求項8】

上記第2のサブフィルタ中の上記転送用2クロック周期遅延手段は、第1および第2の縦続接続された1クロック周期遅延ラッチを含み、

上記合計器は、上記第2のサブフィルタ中の上記縦続接続された1クロック周期遅延ラッチの第1のものの出力と上記縦続接続された1クロック周期遅延ラッチの第2のものへの入力との間に結合された入力および出力と、上記サンプル値の $\pm R$ のサンプルされたバイロット出力ストリームを受信する第2の入力とを有する、請求項7に記載の装置。

【請求項9】

上記第1の手段は、さらに、

上記継続するサンプルされたキャリア・ストリームの上記ソースに結合されたキャリア入力を有する第2の変調器と、

上記第2の変調器の変調入力に結合されたPCMバイロットDCオフセット値のソースと、を含み、

サンプル値の上記 $\pm R$ のサンプルされたバイロット出力ストリームは、上記第2の変調器によって与えられる、請求項8に記載の装置。

【請求項10】

10

20

30

40

50

1サンプル/1シンボルPCMデータを1サンプル/1シンボルDC中心信号に変換する方法であって、

所定のサンプル・レートで1サンプル/1シンボルPCMデータを供給するステップと、

サンプル値の反復する4サンプル・シーケンスのキャリア・ストリームを供給するステップと、

上記キャリア・ストリームを上記1サンプル/1シンボルPCMデータで変調するステップと、

変調された信号を2分岐形多重化Nタップ・ルート・ナイキスト・フィルタで濾波して、1サンプル/1シンボル・サンプルの各DC中心の実数部($\pm R$)および虚数部($\pm I$)のサンプルされたデータ出力ストリームを有する2分岐形複素出力信号を生成するステップと、

前記サンプル・レートより高い周波数帯域の外側に位置する、結果として生じた不要な周波数成分を除去するステップと、

を含む、上記方法。

【請求項11】

PCMパイロットDCオフセット値を供給するステップと、

上記キャリア・ストリームを上記PCMパイロットDCオフセット値で変調して第2の変調された信号を発生するステップと、

上記第2の変調された信号からのサンプル値の継続するサンプルされた $\pm R$ の変調された出力ストリームを上記Nタップ・ルート・ナイキストFIRフィルタへの第2の入力として組入れるステップと、

を含む、請求項10に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、継続する(ongoing)デジタル・サンプルのストリームを処理するための種々のアプローチ(方法)に関する。それらのアプローチは、一緒に用いたときに、テレビジョン受信機用の、特に、圧縮型デジタル・テレビジョン受信機またはセットトップ・ボックス用の63MHz(チャンネル3)、69MHz(チャンネル4)または5.38MHzIF(ベースバンド)の何れかに中心周波数が選択的に設定された6MHz帯域幅の入力信号を取り出す残留側波帯(VSB: Vestigial Sideband)デジタル変調器に使用するのに適したものである。

【0002】

【従来の技術】

Hauge氏他の文献“ATSC Re-modulator System(ATSC再変調システム)”、IEEE Transactions on Consumer Electronics、Vol. 44、No. 3、August、1998を参考文献として挙げる。この文献には、種々のデジタル製品(例えば、地上波デジタル放送、衛星、デジタル・ケーブル・セットトップ・ボックス、ケーブル・モデム、DVD、DVCR、PC、等)とデジタル・テレビジョン(TV)受像機の間を相互接続するためのVSBデジタル再変調器の実装構成(インプレメンテーション)が記載されている。このようなVSBデジタル再変調器は、VCRおよびビデオ・ゲームにおいて見られる現在のアナログ再変調器と同等のデジタル再変調器である。

【0003】

チャンネル3、チャンネル4またはベースバンドを選択的に取り出すことができるVSBデジタル再変調器の集積回路(IC)の実装構成を提供することができるデジタル再変調器に対する簡単で安価なアプローチ(方法)のニーズ(要求)がある。

【0004】

【発明が解決しようとする課題】

本発明は、1サンプル/1シンボル(1-sample-per-symbol)の連続するPCMシンボルのサンプルの継続するサンプルされたデータ・ストリームが変調信号として供給される変調器を含むデジタル・パルス・コード変調(PCM)のDC中心残留側波帯(VSB)変換器に関するものである。信号サンプルのレートで発生するサンプルされたキャリア・ストリームはキャリア入力として変調器に供給される。キャリア・ストリームは、例えば1、-1、-1、1のサンプルの反復する4サンプル・シーケンスからなる。

【0005】

【課題を解決するための手段】

変調器によって生成された信号は2分岐形多重化Nタップ・ルート(平方根)ナイキストFIRフィルタに供給され、該ナイキストFIRフィルタは1サンプル/1シンボルのサンプル値(1-sample-per-symbol sample value)をもったDC中心の実数部($\pm R$)のサンプルされたデータ出力ストリームと、1サンプル/1シンボルのサンプル値をもったDC中心の虚数部($\pm I$)のサンプルされたデータ出力ストリームとを有するVSB2分岐形複素出力信号を生成する。

10

【0006】

【発明の実施の形態】

詳細な説明において、初めに、“DCを中心とする”(DC centered、DC中心の)という用語は0(ゼロ)Hz周波数を中心とすることを言い、DC振幅を中心とすることではないことに留意すべきである。この詳細な説明において、典型的には、それはDCを中心とする信号変調帯域幅に関するものである。

20

【0007】

図1を参照すると、(1)デジタル化パルス・コード変調(PCM)信号サンプルのストリームのソース(信号源、供給源)100、(2)デジタル残留側波帯(VSB)変調器102、(3)デジタル-アナログ(D/A)変換器104、および(4)アナログ・フィルタ106が示されている。ソース100は、デジタル・プロダクト(digital product)を含んでおり、このデジタル・プロダクトからデジタル処理回路と共に用いて初期信号情報が得られ、場合によってはそれに追加的所望の信号情報を附加しおよび/またはその信号情報の形式を変形することが必要であり、それによって、ソース100からサンプル・ストリーム出力が取り出され、その出力がデジタルVSB変調器102にその入力として供給される。本発明の特徴を取り入れたデジタルVSB変調器102の好ましい実施形態について以下詳細に説明する。何れにしても、デジタルVSB変調器102からのデジタル出力は、所定の相対的に高いサンプル周波数レート(sample frequency rate)で発生する変調済み(変調された)データ・サンプルのストリームを含んでおり、このストリームは、D/A変換器104によりアナログ信号に変換された後、チャネル3、チャネル4または5.38MHzを中心周波数とするIFベースバンド信号を選択的に生じさせる。D/A変換器104によってアナログ信号に変換された後、所定のサンプル周波数レートより高い周波数帯域の外側に位置する、結果として生じた不要な周波数成分が、アナログ・フィルタ106によって除去される。

30

【0008】

図2に示されているように、デジタルVSB変調器102は、1サンプル/1PCMシンボル-DC中心複素VSB変換器200(1PCMシンボル当たり1サンプルをDC中心の複素VSBに変換する変換器)(この変換器については図3~図7に関連して後で詳しく説明する)、デジタルのsinx/x補償器202、マルチスケール(multi-scale)デジタル変調器204(この変調器については図8~図16に関連して後で詳しく説明する)、および無符号変換器206(unsigned convertor、符号なし変換器)206(この変換器については後で詳しく説明する)を具えている。

40

【0009】

50

ソース 100 からの信号 P C M サンプルのストリームは、V S B 変換器 200 にその入力として供給され、その変換器は、符号つき (s i g n e d) 実部 (R) および虚部 (I) の複素形式の 2 つの V S B 出力ストリームを取り出し、その出力ストリームは s i n x / x 補償器 202 にその入力として供給される。s i n x / x 補償器 202 からの 2 つの出力ストリームは、符号つき複素形式のまま、マルチスケール・ディジタル変調器 204 にその入力として供給され、変調器 204 は符号つき R 形式で信号出力ストリームを取り出し、その出力ストリームは無符号変換器 206 を介して D / A 変換器 104 にその入力として転送される（即ち、無符号変換器 206 によって実行される演算は、1 つの出力ストリームの各シンボルの符号つき (±) 大きさの値（レベル値）に、同じ所定の正 (+) の大きさの値を加えることであり、その所定の正の大きさの値は、結果として、無符号変換器 206 からの出力ストリームの各シンボルの合計の大きさの値が正となるのに十分な値であり、従って、D / A 変換器 104 に入力として供給される全てのシンボル・サンプルは正の値だけを有する）。

【 0 0 1 0 】

本発明の好ましい実施形態の説明における例示として、(1) V S B 変換器 200 にその入力として供給される P C M シンボル・サンプルのストリームの各サンプルは、サンプル周波数クロック・レート 10.76 M H z で発生する 3 ビット (8 V S B) または 4 ビット (16 V S B) 実数データを規定する 4 ビットからなり、(2) V S B 変換器 200 およびディジタルの s i n x / x 補償器 202 の各々はサンプル周波数クロック・レート 10.76 M H z で動作し、(3) マルチスケール・ディジタル変調器 204 の入力サンプル周波数クロック・レートは 10.76 M H z であり、マルチスケール・ディジタル変調器 204 の出力サンプル周波数クロック・レートは 86.08 M H z (即ち 10.76 M H z の 8 倍) であり、一方、マルチスケール・ディジタル変調器 204 の動作サンプル周波数クロック・レートは 86.08 M H z と 10.76 M H z の中間の 86.08 M H z の少なくとも 1 つの劣調波成分 (サブハーモニック) をも含んでいてもよいと仮定する。

【 0 0 1 1 】

次に、図 3 を参照して説明すると、V S B 変換器 200 に入力として供給される前述の 4 ビット P C M シンボル・サンプルのストリームに加えて、V S B 変換器 200 は、さらに、パイロット・トーン振幅を所望のレベルに調整するのに利用できる、b > 4 ビットで規定されたより高精度の P C M パイロット D C 値を有する。この b > 4 ビットの P C M パイロット D C 値は変調器 300 - P に変調信号として供給され、一方、そのストリームの各 4 ビット P C M シンボル・サンプルは変調器 300 - S に変調信号として供給される。デイジタル符号値 { 1, -1, -1, 1 } からなる反復 4 ビット・シーケンスの、10.76 M H z サンプル周波数レートで発生する継続 (o n g o i n g) ストリーム 302 は、変調器 300 - P と 300 - S の双方に D C 中心のキャリアとして供給される。この継続するストリーム 302 は、サンプルの { 1, -1, -1, 1, 1, -1, -1, 1, 1, . . . } であり、関数 $\cos(\pi n / 2) - \sin(\pi n / 2) = 1.414 * \cos(\pi n / 2 + \pi / 4)$ の連続する各サイクルの各象限値 (q u a d r a n t v a l u e) を規定していると考えられる。ここで、1.414 は $\sqrt{2}$ (ルート 2) の有理数近似値であり、n = シンボル・インデックス (s y m b o l i n d e x) である。従って、変調器 300 - P からの変調済みパイロット出力ストリーム 304 - P と、変調器 300 - S からの変調済みデータ信号出力ストリーム 304 - S とは、コード化 (符号化) 形式の複素信号を規定するのに用いられる各実数信号を構成する。即ち、そのような実数信号は、各サイクルの各象限でサンプルされた継続するシンボル変調済み正弦波からなる。その実部 “ c o s ” 成分は ± 符号つき非 0 (ゼロ) 値からなり、その非 0 値は復号 (デコード) しないときは対応する複素信号の ± 符号つき非 0 値 R 成分を構成するが、実部 “ s i n ” 成分は 0 (ゼロ) 値からなり、その 0 値はコード化形式では対応する複素信号の 0 値の ± I 成分を構成する。従って、変調済みパイロット出力ストリーム 304 - P および変調済みデータ信号出力ストリーム 304 - S の双方は、2 分岐 (b i f u r c a t e d)

多重 N タップ・ルート (平方根) ナイキスト有限インパルス応答 (F I R) フィルタ 30

10

20

30

40

50

6に入力として供給されるものであり、1シンボル当たり1サンプルだけからなるDCを中心とする実数の信号である。しかし、図3に示されているように、フィルタ306は、複素DC中心のVSBシンボル・サンプルの継続ストリームからなる出を取り出し、そのサンプルにおいて $\pm R$ 成分と $\pm I$ 成分の双方は非0値を有する。

【0012】

より詳しく説明すると、Nタップ・フィルタ306は、奇数個のタップ(例えば、55タップ)を有する単一のフィルタである。但し、図4に示されているように、Nタップ・フィルタ306は、第1の入力重み付け($N+1$)/2タップFIRサブフィルタ308(即ち、例えば28タップ・サブフィルタ)、第2の入力重み付け($N-1$)/2タップFIRサブフィルタ310(即ち、例えば27タップ・サブフィルタ)、およびマルチブレクサ311の形に編成される。

【0013】

第1のサブフィルタ308はNタップ・フィルタ306の中の全ての偶数番号のタップ0、2、4、…($N-3$)および($N-1$)を含んでおり、一方、第2のサブフィルタ310はNタップ・フィルタ306の中の全ての奇数番号のタップ1、3、5、…($N-4$)および($N-2$)を含んでいる。構成上、第1のサブフィルタ308は(1)それぞれの乗算器 312_{n-1} 、 312_{n-3} 、… 312_2 および 312_0 を含んでおり、その各手段は乗算器入力として供給される係数 a_{n-1} 、 a_{n-3} 、… a_2 、 a_0 の中の対応する1つの適当な値を有し、第1のサブフィルタ308はさらに(2)それぞれの2サンプル期間遅延ラッチ 314_{n-1} 、 314_{n-3} 、… 314_4 、および 314_2 と、1サンプル期間(周期)遅延ラッチ 316_{11} (サンプル周波数 10.76MHz)とを含んでおり、さらに(3)合計器 318_{n-3} 、… 318_2 および 318_0 を含んでいる。構成上、第2のサブフィルタ310は(1)それぞれの乗算器 312_{n-2} 、 312_{n-4} 、…および 312_1 を含んでおり、各手段は乗算器入力として供給される係数 a_{n-2} 、 a_{n-4} 、…および a_1 の中の対応する1つの適当な値を有し、第2のサブフィルタ310はさらに(2)それぞれの2サンプル期間遅延ラッチ 314_{n-2} 、 314_{n-4} 、… 314_5 (図示せず)および 314_3 (図示せず)と、1サンプル期間遅延ラッチ 316_{12} および 316_{22} とを含んでおり、さらに(3)合計器 318_{n-4} 、… 318_1 と合計器320とを含んでいる。さらに、DC中心のデータ信号出力ストリーム304-Sの連続的に発生する各シンボル・サンプルの値は、第1のサブフィルタ308の乗算器手段 312_{n-1} 、 312_{n-3} 、… 312_2 および 312_0 の各々且つ全てと、第2のサブフィルタ310の乗算器手段 312_{n-2} 、 312_{n-4} 、…および 312_1 の各々且つ全ての双方に、被乗数入力として同時に供給される。さらに、DC中心のパイラット出力ストリーム304-Pの連続的に発生する各シンボル・サンプルの値は、 \times クロック遅延322によって処理された後で[ここで $x = (\text{中心タップ・インデックス}) \bmod 4$ である]、合計器320に加数入力として供給される。

【0014】

フィルタ306とその構成要素(コンポーネント)サブフィルタ308および310の各々とが実部(即ち複素数でない)フィルタであることは明らかである。それにもかかわらず、サブフィルタ308、サブフィルタ310およびマルチブレクサ311の組合せは、協働して、フィルタ306から複素出力を供給するように動作する。第1に、サブフィルタ308および310の各々の動作の結果として、連続する各4サンプル・シーケンスにおいて符号つきRサンプル値と符号つきIサンプル値の双方を含んだサンプル済み(サンプルされた)データストリームがその出力に生じる。第2に、サブフィルタ308からのデータ出力ストリーム324は、サブフィルタ310からのデータ出力ストリーム326が受ける合計遅延より長い1クロック期間(周期)の合計遅延を受けたものである。従つて、 10.76MHz サンプリング周波数周期の関数であるサブフィルタ308からのデータ出力ストリーム324の $\pm R$ および $\pm I$ サンプルと、 10.76MHz サンプリング周波数周期の関数であるサブフィルタ310からのデータ出力ストリーム326の $\pm R$ および $\pm I$ サンプルとの間の関係は、次の通りである。

サンプル期間	1	2	3	4	5	...
出力324	R	-I	-R	I	R	...
出力326	-I	-R	I	R	-I	...

10

【0015】

しかし、図4に示されているように、サブフィルタ308および310からのデータ出力ストリーム324および326はマルチブレクサ311にデータ入力ストリームとして供給される。マルチブレクサ311は、サンプル周波数クロック・レート10.76MHzの各サンプル周期でトグルして(切り換えて)、(1)サブフィルタ308からのデータ出力ストリーム324を、各奇数サンプル期間(周期)において $\pm R$ データ出力ストリーム328に、各偶数サンプル期間において $\pm I$ データ出力ストリーム330に接続し、(2)サブフィルタ310からのデータ出力ストリーム326を、各奇数サンプル期間において $\pm I$ データ出力330に、各偶数サンプル期間において $\pm R$ データ出力ストリーム328に接続する。従って、連続するサンプル期間の関数であるデータストリーム出力330の $\pm I$ サンプルと、連続するサンプル期間の関数である出力328の $\pm R$ サンプルとの間の相対的関係は次の通りである。

20

【表2】

サンプル期間	1	2	3	4	5	...
出力328	R	-R	-R	R	R	...
出力330	-I	-I	I	I	-I	...

30

【0016】

次に、図5、図6および図7を参照すると、図5は、第1のサブフィルタ308からのサンプル・ストリーム出力324における連続するサンプルの各々の正規化された大きさの値1のZ領域における関係を、実部-虚部の平面におけるサンプルの位置の関数として示している(ここで、太線400は、表1のサンプル期間1における出力324のサンプルの位置を表している)。図6は、第2のサブフィルタ310からのサンプル・ストリーム出力326における連続するサンプルの各々の正規化された大きさの値1のZ領域における関係を、実部-虚部平面におけるそのサンプルの位置の関数として示している(ここで、太線400は、表1のサンプル期間1における出力326のサンプルの位置を表してい

40

50

る）。図6を図5と比較すると、図6が図5の時計回り方向への1/4シーケンス・サイクル回転を表していることは明らかである。マルチプレクサ311の動作は、第1のサブフィルタ308からのサンプル・ストリーム出力324と、第2のサブフィルタ310からのサンプル・ストリーム出力326とを実効的に加算して合計を得るものである。図7は、この合計のサンプル・ストリームにおける連続するサンプルの各々の正規化された大きさの値のZ領域における関係を示している（表2の出力328および330によって表される）。図7に示したように、1つのシーケンス・サイクルの第1の1/4と1つのシーケンス・サイクルの第4の1/4とにおいて正規化された大きさの値は1であるが、1つのシーケンス・サイクルの第2の1/4と1つのシーケンス・サイクルの第3の1/4とにおいて正規化された大きさの値は0に低下する。その結果、上側のVSB信号エネルギーが捕捉され、下側の側波帯エネルギーは除去される。従って、図4に示される実部出力328および虚部出力330は、図3に示されるフィルタ306のDC中心の複素VSB出力を構成する。
10

【0017】

パイロット・トーン振幅制御手段を有する上述の1サンプル/1PCMシンボル-DC中心VSB変換器200は、パイロット・トーン振幅制御手段を有する通常の2サンプル/1PCMシンボル-DC中心VSB変換器よりも、ハードウェア実装するための複雑さとコストが著しく低下する。第1に、2サンプル/1PCMシンボル（即ち2サンプル・パー・PCMシンボル）ではなくて1サンプル/1PCMシンボルだけを必要とすることによって、ハードウェア実装が50%減少する。第2に、複素変調器ではなくて実部変調器300-Sおよび300-Pを用いることによって、ハードウェア実装がさらに減少する。第3に、2つの（即ち、複素数の実部および虚部の）nタップ・フィルタを使用するのではなくて単一の2分岐実部nタップ・フィルタを用いることによって、フィルタ・ハードウェアがさらに50%節減できる。第4に、単一の2分岐実部nタップ・フィルタを用いることによって、ハードウェアをさらに35%節減する固有のパイロット振幅制御方法が可能になる。第5に、1サンプル/1PCMシンボル-DC中心VSB変換器から複素出力を発生させるのに複素数の数学が必要でないことによって、実装ハードウェアがさらに減少する。
20

【0018】

図2に戻り、本発明の好ましい実施形態において、デジタルのsinx/x補償器202は、10.76MHzサンプル周波数レートで発生するVSB変換器200からのDC中心の複素VSBサンプル・ストリーム出力と、マルチスケール・デジタル変調器204への入力との間に配置される。その理由は、より高いサンプル周波数レートではなくて、より低い10.76MHzサンプル周波数レートでデジタルsinx/x補償を実行する方が好ましいからである。より高いサンプル周波数レートで補償を行うと、概して、消費電力がより多く、電流がより多く、不所望な電磁波干渉（EMI）がより多いという欠点を有する。しかし、マルチスケール（multiscale）・デジタル変調器204において、キャリアを複素±Rおよび±Iデータ・サンプル・ストリームで任意の形態で実際に変調する前に、そのシステムにおける任意のサンプル周波数レートで（86.08MHzを含む）デジタルsinx/x補償が行われてもよい。従って、sinx/x補償器202について詳しく説明する前に、マルチスケール・デジタル変調器204について詳しく説明する。
30

【0019】

マルチスケール・デジタル変調器204は、10.76MHzのサンプル周波数レートで発生する入力として供給される1シンボル当たり1サンプルの±Rおよび±Iストリームに応答して、ユーザにより制御された変調済み出力として、（1）相対的に低い擬似キャリア周波数-23.08MHzを中心とする符号つき8サンプル/1シンボル±Rストリーム、（2）さらにより低い擬似キャリア周波数-17.08MHzを中心とする符号つき8サンプル/1シンボルRストリーム、または（3）非常に低いキャリア周波数5.38MHzを中心とする符号つき8サンプル/1シンボル±Rストリーム、を選択的に取
40

り出す。その全ての出力ストリームは、サンプル周波数レート 86.08 MHz で発生する。-23.08 MHz ディジタル出力ストリームは、無符号変換器 206 および D/A 変換器 104 によってアナログに変換された後、不所望なシンボル・ストリーム変調済みの 23.08 MHz のアナログ信号と、所望のシンボル・ストリーム変調済み 63 MHz (チャンネル 3) アナログ影像 (イメージ、画像) 信号 (即ち、63 MHz = (86.08 - 23.08) MHz) との双方を結果として生じさせる。同様に、-17.08 MHz ディジタル出力ストリームは、不所望なシンボル・ストリーム変調済みの 17.08 MHz のアナログ信号と、所望のシンボル・ストリーム変調済みの 69 MHz (チャンネル 4) のアナログ影像信号 (即ち、69 MHz = (86.08 - 17.08) MHz) との双方を結果として生じさせる。5.38 MHz ディジタル出力ストリームによって、所望のシンボル・ストリーム変調済みの 5.38 MHz のアナログ信号が結果として直接的に得られる。

【0020】

マルチスケール・ディジタル変調器 204 は、後で説明する図 8 ~ 図 11 に示される第 1 の好ましいアプローチ、または後で説明する図 12 ~ 図 16 に示される第 2 の好ましいアプローチの何れかに従って実装構成される。その両方のアプローチは、図 3 に示される反復される短いシーケンスの継続ストリームに或る点で類似した反復される短いシーケンスの継続ストリームの形式の複素指数キャリアの変調を利用するものである。より詳しくは、その変調器は、変調信号をリサンプル (resample: 再サンプル) するリサンプラー (再サンプル器) を含んでおり、その後に指数キャリアの供給を受ける複素変調器が続く。このリサンプリング比率は、出力サンプル・レートで発生する反復する相対的に短いシーケンスによりその指数キャリアが実現されるように選択される。この指数キャリア・シーケンスは補間によって発生される。キャリアを発生する理想的な補間フィルタは次の関数で表される。

【数 1】

$$\frac{\sin\left(\pi \cdot \frac{t}{T}\right)}{\left(\pi \cdot \frac{t}{T}\right)}$$

この関数は、無限 (infinite) レベルであり、非因果関係 (non-causal) であり、理論的な興味だけのものである。しかし、反復される短いシーケンスの継続ストリームの周期性と仮定される無限性とによって、所定の時間におけるこの反復される短いシーケンスの継続ストリームに供給 (適用) される任意のインパルス応答幅の任意のフィルタの出力は、この短いシーケンスのサンプルの重み付けされた合計である。或る複素指数キャリアと短いシーケンスの間の関係が次の表 3 に示されている。ここで、n = サンプル・インデックスである。

【表 3】

10

20

30

40

$e^{\pm jn\pi/3}$	1、 -0.5+ $(\pm j*0.866)$ 、 -0.5- $(\pm j*0.866)$
$e^{\pm jn\pi/2}$	1、 $+(\pm j)$ 、 -1、 - $\pm j$
$e^{\pm jn\pi/3}$	1、 0.5+ $(\pm j*0.866)$ 、 -0.5+ $(\pm j*0.866)$ 、 -1、 -0.5- $(j*0.866)$ 、 0.5- $(j*0.866)$
$e^{\pm jn\pi/4}$	1、 0.707+ $(\pm j*0.707)$ 、 - $(\pm j)$ 、 -0.707+ $(\pm j*0.707)$ 、 -1、 -0.707- $(\pm j*0.707)$ 、 $(\pm j)$ 、 0.707- $(\pm j*0.707)$

10

【 0 0 2 1 】

1つのシーケンスにおける項の数が4またはそれより少ない場合は、補間関数の全ての選択肢に対して無視し得るエラー(error:誤差)が生じる。1つのシーケンスにおける項の数が6または8である場合は、或る補間関数に対して無視し得るエラーが生じる(この補間関数は、マルチスケール・ディジタル変調器204によって用いられる前述の第1または第2の実装法の何れかにおいて用いられる補間関数を含んでいる)。

20

【 0 0 2 2 】

次いで、図8を参照すると、 $\sin x/x$ 補償器202から入力として供給される1サンプル/1シンボル $\pm R$ およびIストリームから、-23.08MHzを中心とする8サンプル/1シンボル $\pm R$ ストリーム(チャンネル3信号を発生するのに使用される)を、マルチスケール・ディジタル変調器の出力として取り出す第1の実装法の例が示されている。サンプル・レート変換器500は、データ・ストリームが6.24MHzでサンプルされた場合に、各10.76MHzサンプルが有するであろう補間値を計算することにより10.76MHzの $\pm R$ および $\pm I$ データ・ストリームを実効的に6.24MHzにダウンサンプル(減りサンプル)する。具体的には、このような補間値には比率係数10.76/6.24が関係し、この係数は269/156に等しい(即ち、10.76MHzサンプル周波数レートの269個のサンプル期間の1つのストリングは、6.24MHzサンプル周波数レートの156個だけのサンプル期間の1つのストリングに時間長さが等しい)。しかし、好ましい実施形態において、サンプル・レート変換器500からの出力における $\pm R$ および $\pm I$ ストリーム(このストリームは第1の複素変調器502にデータ入力として供給される)の実際のサンプル周波数レートは、依然として10.76MHzを維持する。

30

【 0 0 2 3 】

上述の説明に従って、第1の変調器502へのキャリア入力 $e^{-jn\pi/2}$ は、10.76MHzのサンプル周波数レートの反復4サンプル・シーケンス1、- j 、-1、 j の継続ストリームを構成する。変調器502は、変調器502へのデータ入力における R およびIストリームのサンプルの各々に、変調器502へのキャリア入力における継続ストリームの対応するサンプルを独立に(別々に)乗算して、 R およびIの両方のサンプルをそれぞれ含む2つの積(product)ストリームを供給する。但し、変調器502は、動作が上述のマルチプレクサ311に類似したマルチプレクサを含んでおり、そのマルチプレクサは、両方の積ストリームの全ての R 積サンプルを、変調器502からの R 出力ストリームに分配し、両方の積ストリームの全てのI積サンプルを、変調器502からのI出力ストリームに分配するようとする(第1の変調器502からの R およびI出力ストリームの各々は、10.76MHzサンプル周波数レートでサンプルされた-6.24/-6.24)。

40

50

1.56 MHz のストリームを示す)。

【0024】

第1の変調器502からのRおよびI出力ストリームはサンプル・レート変換器504にその入力として供給され、変換器504は、86.08 MHzクロックおよび補間を用いて、10.76 MHzサンプル周波数レートの1サンプル/1シンボルを、86.08 MHzサンプル周波数レートの8サンプル/1シンボルに変換し、且つ、表示の第1の変調済み6.24 MHzストリームが86.08 MHzでサンプルされた場合に、実際の各86.08 MHzのサンプルが有するであろう補間値を計算することによって、表示の第1の変調済み6.24 MHzストリームを実効的に86.08 MHzにアップサンプル(増りサンプル)する。具体的には、そのような補間された値には比率係数6.24/86.08が関係し、この係数は39/538に等しく(即ち、表示の6.24 MHzサンプル周波数レートの39個だけのサンプル期間の1ストリングは、86.08 MHzサンプル周波数レートの538個のサンプル期間の1ストリングに時間長さが等しい)。従って、サンプル・レート変換器504からの出力におけるRおよびIストリームのサンプル周波数レート(そのストリームは複素第2変調器506にデータ入力として供給される)は、今度は86.86 MHzとなる。

【0025】

先の説明に従って、第2の変調器506に供給されるキャリア入力 $e^{-jn/2}$ は、86.08 MHzのサンプル周波数の反復4サンプル・シーケンス1、-j、-1、jの継続ストリームを構成する。変調器506は、変調器506へのデータ入力におけるRおよびIストリームのサンプルの各々に、変調器506へのキャリア入力における継続ストリームの対応するサンプルを独立に(別々に)乗算して、RおよびIの両方のサンプル(502)をそれぞれ含む2つの積ストリームを供給する(第1の変調器502からのRおよびI出力ストリームの各々は、10.76 MHzサンプル周波数レートでサンプルされた-6.24/4 = -1.56 MHzのストリームを示す)。但し、変調器506は、動作が上述のマルチブレクサ311に類似したマルチブレクサを含んでおり、そのマルチブレクサは、両方の積ストリームの全てのR積サンプルを、変調器506からのR出力ストリームに分配し、両方の積ストリームの全てのI積サンプルを、“トランシッシュ(trash:ごみ)”に分配して、変調器506からのR出力ストリームだけがD/A変換器104(図8におけるブロック508によって示されている)に入力として転送されるようとする。

【0026】

第1の変調器502からの出力ストリームは、 $e^{-jn/2}$ キャリア入力の連続する各4サンプル・シーケンスの作用による-6.24/4 = -1.56 MHzの表示周波数を中心とするシンボル変調済み成分(コンポーネント)を含んでるので、第1の変調器502とカスケード(cascade:継続)接続された第2の変調器506は、この-1.56 MHz中心のシンボル変調済み成分を入力として受け取り、R出力ストリームを取り出す。このR出力ストリームは、-1.56 MHz、-86.08/4 = -21.52 MHz、およびその結果として相互変調(intermodulation)周波数-1.56 + (-21.52) = -23.08 MHzを中心とするシンボル変調済み成分を含んでいる。マルチスケール・ディジタル変調器204からの-23.08 MHzのシンボル変調済み成分こそが、D/A変換器104からのアナログ信号出力に63 MHz(チャンネル3)影像(イメージ)を生じさせる。

【0027】

サンプル・レート変換器500によって用いられる比率係数269/156またはサンプル・レート変換器504によって使用される比率係数39/538の何れもが整数でなく、一方、それらの比率係数のカスケード積 $269/156 * 39/538 = 8$ は整数であって、この整数値は、サンプル・レート変換器500への1サンプル/1シンボル入力ストリームの10.76 MHzサンプル周波数レートに対するサンプル・レート変換器504からの8サンプル/1シンボル出力ストリームの86.08 MHzサンプル周波数の比率に値が等しい。従って、サンプル・レート変換器500と共に使用される6.24 MHz

10

20

30

40

50

z クロックが存在しないことは、サンプル・レート変換器 504 または第 2 の変調器 506 の何れかからの 8 サンプル / 1 シンボル出力ストリームの補間済みシンボル値の精度に影響を与えない。

【0028】

次に、図 9 を参照すると、 $s_{in} \times / \times$ 補償器 202 から入力として供給される 1 サンプル / 1 シンボル R および I ストリームから、-17.08 MHz を中心とする 8 サンプル / 1 シンボル R ストリーム（チャンネル 4 信号を発生するのに使用される）を、マルチスケール・ディジタル変調器の出力として取り出すための第 1 の実装法の一例が示されている。第 1 に、サンプル・レート変換器 600a は、10.76 MHz R および I ストリームが 17.76 MHz に実効的にアップサンプルされる点で、上述のサンプル・レート変換器 500 と異なる。即ち、10.76 MHz サンプルされた信号によって表される信号が 17.76 MHz で実際にサンプルされた場合に発生するであろう補間済みサンプルが計算される。具体的には、このような補間された値には、比率係数 17.76 / 10.76 が関係し、この係数は 444 / 269 に等しく（即ち、17.76 MHz サンプル周波数レートの 444 個のサンプル期間の 1 ストリングは、10.76 MHz サンプル周波数レートの 269 個だけのサンプル期間の 1 ストリングに時間長さが等しい）。第 2 に、上述の第 1 の変調器 502 への $e^{-jn/2}$ キャリア入力ではなくて、第 1 の変調器 602a へのキャリア入力は $e^{jn/2}$ であって、この $e^{jn/2}$ は反復 4 サンプル・シーケンス 1、j、-1、-j の連続ストリームを構成する。第 3 に、サンプル・レート変換器 604a は、17.76 MHz R および I ストリームが 86.08 MHz でサンプルされた場合に、各 17.76 MHz サンプルが有するであろう補間された値を計算することによって、17.76 MHz R および I ストリームが 86.04 MHz に実効的にアップサンプルされる点で、上述のサンプル・レート変換器 504 とは異なる。具体的には、このような補間された値には、比率係数 86.08 / 17.76 が関係し、この係数は 269 / 111 に等しく（即ち、表示の 86.08 MHz のサンプル周波数レートの 269 個のサンプル期間の 1 ストリングは、17.76 MHz サンプル周波数レートの 111 個のサンプル期間の 1 ストリングに時間長さが等しい）。他の観点では、図 9 の構成要素 600a、602a、604a、606a および 608a の動作は、図 8 の上述の対応する構成要素 500、502、504、506 および 508 と同様である。

【0029】

第 1 の変調器 602a からの出力ストリームは、 $e^{jn/2}$ キャリア入力の連続する各 4 サンプル・シーケンスの作用 (effect) による表示周波数 17.76 / 4 = 4.44 MHz を中心とするシンボル変調済み成分を含んでいるので、第 1 の変調器 602a とカスケード接続された第 2 の変調器 606a は、この 4.44 MHz 中心のシンボル変調済み成分を入力として受け取り、R 出力ストリームを取り出す。この R 出力ストリームは、4.44 MHz、-86.08 / 4 = -21.52 MHz、およびその結果として所望の相互変調周波数 4.44 + (-21.52) = -17.08 MHz を中心とするシンボル変調済み成分を含んでいる。マルチスケール・ディジタル変調器 204 からの -17.08 MHz シンボル変調済み成分こそが、D/A 変換器 104 からのアナログ信号出力に 69 MHz (チャンネル 4) 影像 (イメージ) を生じさせる。

【0030】

図 9 に示される一例のハードウェア実装における欠点は、サンプル・レート変換器 600a が相対的に高い品質のものが要求されることである。その理由は、それがトランスペアレント（透明）であるナイキストの割合（パーセント）が小さいからである。しかし、その要求は、図 10 に示される代替構成の別の一例において、サンプル・レート変換器 600a を、10.76 MHz から 35.52 MHz にアップサンプルするのに有効なサンプル・レート変換器 600b で置き換えることによって緩和される。それによって、サンプル・レート変換器 604a を、35.52 MHz を 86.08 MHz にアップサンプルするのに有効なサンプル・レート変換器 604b に置き換えることができる。但し、図 10 の場合において、第 2 の変調器 606b によって R 出力ストリームを取り出すためには、

サンプル・レート変換器 604b への $e^{jn/4}$ キャリア入力を用いることが必要である（ここで $e^{jn/4}$ は、86.08 MHz のサンプル周波数レートの継続する反復される 8 サンプル・シーケンス $1, 0.707 + (\pm j * 0.707), -(\pm j), -0.707 + (\pm j * 0.707), -1, -0.707 - (\pm j * 0.707), -(\pm j), 0.707 - (\pm j * 0.707)$ を構成する）。この R 出力ストリームは、マルチスケール・ディジタル変調器 204 からの R 出力ストリームのシンボル変調済み成分の 4.44 MHz、 $-86.08/4 = -21.52 MHz、およびその結果として所望の相互変調周波数 $4.44 + (-21.52) = -17.08 MHz を中心とするシンボル変調済み成分を含んでいる。マルチスケール・ディジタル変調器 204 からの R 出力ストリームのシンボル変調済み成分は、D/A 変換器 104 からのアナログ信号出力に 69 MHz（チャンネル 4）影像（イメージ）を生じさせる。 10$$

【0031】

前述の装置において、構成要素 600a または 600b のようなリサンプラは、リサンプル・レート（例えば 17.76 MHz）のサンプルを実際に供給する必要はない。必要なことは、そのレートにリサンプルした場合に生じるであろうサンプルの数を発生させることである。次いで、増大された数のサンプルで指数キャリア・シーケンスを連続的に変調する。この変調は、連続サンプルで連続シーケンス値を変調するような反復するキャリア・シーケンスを適用（供給）することによって実行される。その全てが利用可能な時間で実行できる。その理由は、86.08 MHz のクロックはサンプルの補間を行うのに利用でき、それによって例えばアップサンプルされた値のような値が生成され、そのような値が、メモリに格納されて任意のサンプル・レートで変調を行うために読み出されるからである。また、入力サンプル期間に対応する期間に必要な数のサンプル（1 入力サンプル当たりの数）が発生される（それによってリアルタイム動作が実現される）限り、例えばリサンプラ 604a または 604b の補間は、任意のサンプル・レートで実行されてもよい。但し、出力変調器（例えば 606a または 606b）によって供給される変調済み値は、所定のレート（この例では、86.08 MHz）で発生して、所望の変調済みキャリア周波数が発生されなければならない。 20

【0032】

次に、図 11 を参照すると、5.38 MHz IF を中心とする 8 サンプル / 1 シンボル R ストリーム（それはベースバンド信号を発生するのに用いられる）を取り出す第 1 の実装法が示されている。sinx/x 補償器 202 からの 1 サンプル / 1 シンボル R および I ストリームはサンプル・レート変換器 700 に供給される。サンプル・レート変換器 700 は 10.76 MHz R および I ストリームをアップサンプルする。21.52 MHz の比率は 10.76 MHz のちょうど 2 倍なので、この変換は、通常、サンプル変換器 700 用の 21.52 MHz サンプル・レート・クロックを使用し、各 1 対の 10.76 MHz R および I ストリームの連続する各サンプルの間に 0（ゼロ）値のサンプルを挿入し、その 0 値をその 1 対のサンプル値の平均値で置換することによって実行される。 30

【0033】

変調器 702 へのキャリア入力 $e^{jn/2}$ は、21.52 MHz のサンプル周波数レートの反復された 4 サンプル・シーケンス $1, j, -1, -j$ の継続ストリームを構成する。変調器 702 は、変調器 702 へのデータ入力における R および I ストリームのサンプルの各々に、変調器 702 へのキャリア入力における継続ストリームの対応するサンプルを独立に（別々に）乗算して、R および I の両方のサンプルをそれぞれ含む 2 つの積ストリームを供給する。但し、変調器 702 は、その動作が上述のマルチプレクサ 311 に類似したマルチプレクサを含んでおり、そのマルチプレクサは、両方の積ストリームの全ての R 積サンプルを、変調器 702 からの R 出力ストリームに分配し、両方の積ストリームの全ての I 積サンプルを、変調器 702 からの I 出力ストリームに分配するようとする（第 1 の変調器 702 からの R および I 出力ストリームの各々は、21.52 MHz サンプル周波数レートでサンプルされた 5.38 MHz のストリームである）。 40

【0034】

10

20

30

40

50

サンプル・レート変換器 704 は、第 1 の変調器 702 からの 21.52 MHz サンプル周波数レート R および I 出力ストリームのデータを、サンプル・レート変換器 704 からの 86.08 MHz サンプル・レート R および I 出力ストリームのデータにアップサンプルする必要がある。この変換は、通常、サンプル・レート変換器 704 用の 86.08 MHz サンプル・レート・クロックを使用し、各 1 対の 21.52 MHz R および I ストリームの連続する各サンプルの間に 3 つの 0 (ゼロ) 値のサンプルを挿入し、その対の 3 つの 0 値の各々を適当な補間サンプル値で置換することによって実行される。その結果、マルチスケール・ディジタル変調器 204 からサンプル周波数レート 86.08 MHz の R 出力ストリームのシンボル変調済みデータ成分が得られ、その成分が、D/A 変換器 104 からのアナログ信号出力に所望の 5.38 MHz IF ベースバンドを生じさせる。 10

【0035】

マルチスケール・ディジタル変調器 204 によって用いられる第 1 のアプローチにおいて、図 11 に示される実装構成は、単一の複素変調器だけを必要としていて、2 つのカスケード接続された複素変調器を各々が必要とする図 8、図 9 および図 10 に示されるそれぞれの実装構成とは異なる。しかし、これらの第 1 のアプローチの実装構成においては、サンプル・レート変換器 504、604a、604b および 704 (これらは 1 サンプル/1 シンボルを 8 サンプル/1 シンボルに変換するものである) に入力としてそれぞれ供給される複素変調器 502、602a、602b および 702 からの複素 R および I 入力ストリームの各々は、データ・シンボル値によって既に変調された 1 つまたはそれより多いキャリア周波数のサンプル値からなる。 20

【0036】

図 12 に示すマルチスケール・ディジタル変調器 204 によって用いられる第 2 のアプローチにおいて、86.08 MHz サンプル周波数レートで動作する 1 サンプル/1 シンボル - 8 サンプル/1 シンボル変換器 800 は、それに入力として供給される $\sin x/x$ 補償器 202 からの複素 $\pm R$ および $\pm I$ 入力ストリームの各々と、そこから複素変調器 802 に変調入力として供給されるまだ変調されていないデータ・シンボル値の複素 $\pm R$ および $\pm I$ 出力ストリームの各々とを有する。86.08 MHz サンプル周波数レートで動作する複素キャリア発生器 804 は、チャンネル 3 用の一定の大きさの -23.08 MHz 擬似キャリアのサンプル値 (一定の大きさの -21.52 および -1.56 MHz 周波数の複素数の積によって生成されるもの)、チャンネル 4 用の一定の大きさの -17.08 MHz 擬似キャリアのサンプル値 (一定の大きさの -21.52 および 4.44 MHz 周波数の複素数の積によって生成されるもの)、またはベースバンド用の一定の大きさの 5.38 MHz のサンプル値、を選択的に規定する複素 $\pm R$ および $\pm I$ キャリア出力ストリームを取り出す。複素キャリア発生器 804 からの複素 $\pm R$ および $\pm I$ キャリア出力ストリームは、複素変調器 802 にキャリア入力として供給される。複素キャリア発生器 804 からの変調済みデータ・シンボル値の複素 $\pm R$ および $\pm I$ 出力ストリームは、86.08 MHz サンプル周波数レートで発生し、ブロック 806 にその入力として供給され、そのブロック 806 は $\pm R$ 出力ストリームだけを無符号変換器 206 に転送する。 30

【0037】

複素発生器 804 の第 1 の構成の実施形態は、図 13 に示される位相制御手段と共に、図 15 に示されるサンプル形 (サンプルされた、sampled) 複素周波数発生器を備えている。この位相制御手段は、図 15 のサンプル形複素周波数発生器にその入力として供給される位相制御値の 5 つの継続ストリームを発生する。図 13 に示されているように、これらの 5 つの継続ストリームは、(1) 所望のサンプル形正弦波周波数 F_0 (即ち、所定の (即ち 86.08 MHz) サンプル周波数 F_s で発生するチャンネル 3 用の 1.56 MHz またはチャンネル 4 用の 4.44 MHz) の継続する $\pm R$ および $\pm I$ ストリームの位相値を図 15 において発生するのに必要な位相制御値を規定する μ および 18μ の継続ストリームと、(2) 図 15 のサンプル形複素周波数発生器によっても必要とされる P_{LSB} および P_{MSB} の継続する矩形タイミング波形とを含んでいる。 40

【0038】

10

20

30

40

50

図13を参照すると、一定の値J（ここで、チャンネル3に対してJ=39、チャンネル4に対してJ=111）は、第1の合計器900に第1の加数として供給される。第1の合計器900からの合計出力ストリームの連続する各値は、ラッチ902によって所定の（即ち86.08MHz）サンプル周波数 F_s の1サンプル期間（周期）だけ遅延された後で、モジュラス（modulus、モジュロ）K=538の2進論理手段904にその入力として供給される。論理手段904からの出力ストリームの各値は、第1の合計器900に第2の加数としておよび第2の合計器906に第1の加数として供給される。モジュラスK2進論理手段904への入力値が1とK-1の間（ここでK-1=537）である限り、出力値は入力に等しいが、入力値がK-1（例えば、K=538）より大きい場合は、その出力値は入力値マイナスK（入力値-K）（例えば、K=538）に等しい。
従って、J、第1の合計器900、ラッチ902およびモジュラスK2進論理手段904の組合せは、協働して、手段904から出力値を取り出し、その出力値は正の累積値が正の値Kより大きくなるまで各サンプル期間毎に正の値Jずつ増大し、正の累積値が正の値Kより大きくなった時点でその累積値から正の値Kが減算される。 $-K/2$ （例えば、 $-K/2 = -269$ ）は第2の合計器906に第2の加数として供給される。従って、第2の合計器906からの出力ストリームのそれぞれの合計値は、 $-269 \sim +268$ の範囲に収まり、図15に示されるサンプル形複素周波数発生器へのμ位相制御入力ストリームを構成し、0（ゼロ）値を中心とする（全て正の値を有するのではない）。このμ位相制御入力ストリームのそれぞれの値は、ロック908によって18を乗算された後で、図15に示されるこのサンプル形複素周波数発生器への 18μ 位相制御入力ストリームを構成する出力ストリームを形成する。
10 20 20

【0039】

モジュラスK2進論理904は、その累積値から正の値Kを減算するたびに、ラップ（wrap：循環）ロックを、2ビット2進カウンタ910および遅延フリップフロップ912に入力として供給する。カウンタ910からの最下位ビット P_{LSB} および最上位ビット P_{MSB} 出力ストリームのそれぞれの2進値状態は、図15に示されるサンプル形複素周波数発生器にタイミング制御入力ストリームとして供給される。さらに、カウンタ910からの P_{MSB} 出力ストリームは遅延フリップフロップ912に入力ストリームとして供給され、遅延フリップフロップ912からの出力ストリームは排他的論理和（EXCLUSIVELY OR）ゲート914の第1の入力に供給される。選択された指数符号値は、 $\pm I$ 出力ストリームの位相符号に対する、図15に示されるサンプル形複素周波数発生器からの $\pm R$ 出力ストリームの所望の位相符号に対応しており、排他的論理和ゲート914の第2の入力に供給される。排他的論理和ゲート914からの出力ストリームは、図15に示されるサンプル形複素周波数発生器への P_{MDSB} タイミング制御入力ストリームを構成する。
30

【0040】

次に、図15を参照すると、 P_{MDSB} タイミング制御入力は9個の1サンプル期間（例えば、96.08MHz周期）遅延ラッチ1000-1~1000-9のチェーン（chain）に供給される。 P_{LSB} タイミング制御入力は6個の1サンプル期間遅延ラッチ1001-1~1001-6のチェーンに供給される。 P_{MSB} タイミング制御入力は9個の1サンプル期間遅延ラッチ1002-1~1002-9のチェーンに供給される。 μ 位相制御入力は7個の1サンプル期間遅延ラッチ1003-1~1003-7のチェーンに供給される。そして、 18μ 位相制御入力は10個の1サンプル期間遅延ラッチ1004-1~1004-10からなるRチェーンに供給される。
40

【0041】

Rチェーンの遅延ラッチ1004-1、1004-3、1004-6および1004-9の各々の直ぐ後に、符号（S）回路1005-1、1005-3、1005-6および1005-9の中の対応するものが続く。符号回路1005-1および1005-6の各々の符号値は、遅延ラッチ1001-1および1001-6のうちの対応するものからの出力の2進値に従って決定される。インバータ1006-3の存在によって、符号回路10
50

05-3 の符号値は、遅延ラッチ 1001-3 からの出力の 2 進値の負の値に従って決定される。符号回路 1005-9 の符号値は、遅延ラッチ 1000-9 からの出力の 2 進値に従って決定される。

【0042】

R チェーンの遅延ラッチ 1004-2、1004-5 および 1004-8 の各々の直ぐ後に、合計器 1007-2、1007-5 および 1007-8 の中の対応するものが続く。合計器 1007-2 によって、値 31 が、遅延ラッチ 1004-2 からの出力値に加算される。合計器 1007-5 によって、値 41 が、遅延ラッチ 1004-5 からの出力値に加算される。そして、合計器 1007-8 によって、値 26 が、遅延ラッチ 1004-8 からの出力値に加算される。

10

【0043】

R チェーンの遅延ラッチ 1004-4 および 1004-7 の各々の直ぐ後に、乗算器 1008-4 および 1008-7 の中の対応するものが続く。乗算器 1008-4 は、第 1 の複素指数変調関数の R 部分を実行し、遅延ラッチ 1004-4 からの出力値に遅延ラッチ 1003-4 からの出力値を乗算する。また、乗算器 1008-7 は、第 2 の複素指数変調関数の R 部分を実行し、遅延ラッチ 1004-7 からの出力値に遅延ラッチ 1003-7 からの出力値を乗算する。図 15 のラッチ 1004-10 からの出力値のストリームは、複素キャリア発生器 804 からの ± R 出力値を構成する。デジタル回路設計の分野の専門家は、合計器 1007-8 からの信号出力が次の形式の多項式関数で記述されることが分るであろう。

20

【数 2】

$$\mp \alpha \mu^3 \mp \beta \mu^2 \pm \kappa \mu + \rho$$

図 15 の典型例の回路において、 α 、 β 、 κ および ρ の値はそれぞれ 18、31、41 および 26 である。処理チェーンにおける最後の符号回路 1005-9 は、生成された値に、その得られた信号の極性を決定する値の反復シーケンスを実際に乗算する。

30

【0044】

複素キャリア発生器 804 からの ± I 出力ストリームは、図 15 において、遅延ラッチ 1004-1 からの出力ストリーム 18μ を（即ち、1 サンプル期間だけ遅延した図 15 への 18μ 入力ストリームを）、遅延ラッチ 1004-1 に対応する遅延ラッチが存在しない場合を除いて、前述の R チェーンに対応する I チェーンに供給する。具体的には、I チェーンは、遅延ラッチ 1009-2 ~ 1009-10、符号回路 1010-1、1010-3、1010-6 および 1010-9、合計器 1011-2、1011-5 および 1011-8、および乗算器 1012-4 および 1012-7 からなる。

40

【0045】

インバータ（反転器）1006-1 および 1006-6 の存在によって、符号回路 1010-1 および 1010-6 の各々の符号値は、遅延ラッチ 1001-1 および 1001-6 の中の対応するものからの出力の 2 進値の負の値に従って決定される。符号回路 1010-3 の符号値は、遅延ラッチ 1001-3 からの出力の 2 進値に従って決定される。符号回路 1010-9 の符号値は遅延ラッチ 1002-9 からの出力の 2 進値に従って決定される。

【0046】

I チェーンの合計器 1011-2、1011-5 および 1011-8 は、R チェーンの合計器 1007-2、1007-5 および 1007-8 と同じ機能を実行し、I チェーンの乗算器 1012-4 および 1012-7 は、乗算器 1008-4 および 1008-7 によ

50

つて実行される R チェーンに対する第 1 と第 2 の指数変調関数に類似した第 1 と第 2 の指数変調関数の I 部分を実行する。合計器 1011-8 の出力は、次の多項式関数によって記述してもよい。

【数 3】

$$\pm 18\mu^3 \pm 31\mu^2 \mp 41\mu + 26$$

10

符号回路 1010-9 は $\pm I$ 出力信号の極性を決定する。

【0047】

図 15 に示されるサンプル形複素周波数発生器の動作において、このサンプル形複素周波数発生器からの $\pm R$ および $\pm I$ サンプル済み出力ストリームによって発生される波形のタイプは、 μ に乘じる値と、R および I チェーンの各合計器に供給される加数のそれぞれの値とによって決定される。この場合、R および I チェーンの合計器に供給される加数である、 μ に乘じる値 18 および値 31、41 および 26 のそれぞれは、サンプル形複素周波数発生器からの $\pm R$ および $\pm I$ サンプル済み出力ストリーム用の複素正弦波形を規定する最小エイリアス (alias) エネルギ 4 タップ補間値である。但し、この $\pm R$ および $\pm I$ サンプル済み出力ストリームのサンプリング周波数 F_s での発生された所望の周波数値 F_0 は、図 15 に供給される μ および 18 μ 入力ストリームの連続するサンプルされた位相値によって決定される（その理由は、周波数は位相の変化の時間レート（割合）に等しいからである）。より具体的には、 $F_0 / F_s = 1 / 4$ である限り、比率 $4 F_0 / F_s$ は図 1 3 における整数比率 J / K に等しい。従って、チャンネル 3 に対してサンプリング周波数 8.6.08 MHz で -23.08 MHz 擬似キャリアを取り出すための適当な所望の周波数 -1.56 MHz および -21.52 MHz は、J の値 39 および K の値 538 によって発生される。同様に、チャンネル 4 に対してサンプリング周波数 8.6.08 MHz で -17.08 MHz 擬似キャリアを取り出すための適当な所望の周波数 4.44 MHz および -21.52 MHz は、J の値 111 および K の値 538 によって発生される。さらに、所望の 5.38 MHz ベースバンド・キャリア F_0 は、 $F_s = 8.6.08 MHz$ に対して、J として整数値 269 および K として整数値 1076 を用いて取り出され、それによって $J / K = 1 / 4$ が得られる。

【0048】

幾つかの場合において、第 2 の合計器 906 と $\times 18$ ブロック 908 の間に、図 14 に示されるリスケーラ (rescaler、再スケール器) 916 を挿入することによって、実装ハードウェアを最小化してもよい。例えば、5.38 MHz ベースバンド・キャリア、チャンネル 3 用の適当なキャリアまたはチャンネル 4 用の適当なキャリアを選択的に取り出すことができる（J に対して値 39、111 または 269 が選択的に使用される）ハードウェアにおいて、チャンネル 3 またはチャンネル 4 の何れかのための適当なキャリアを取り出すのに使用される -269 ~ 268 の値の範囲を、5.38 MHz ベースバンド・キャリアを取り出すのに使用される -538 ~ 537 の値の範囲に拡大するために、リスケーラ 916 を用いることが望ましいかもしれない。

【0049】

図 13 に示される位相制御回路の利点は、図 15 と共に使用して正確な所望の周波数値を発生することができ、そのハードウェア実装において相対的に複雑でコストが高い除算器を必要としないことである。

【0050】

代替構成の位相制御回路が図 16 に示されている。図 16 の代替構成の位相制御回路の利点は、発生された所望の周波数値が正確なことである。

20

30

40

50

【0051】

次に、図16を参照して説明すると、一定値Jが第1の合計器1100aに第1の加数として供給される。第1の合計器1100aからの合計出力ストリームの連続する各値は、ラッチ1102aによってサンプル周波数 F_s の1サンプル期間(周期)だけ遅延された後、モジュラス4K2進論理1104aに入力として供給される。論理1104aからの出力ストリームの各値は、第1の合計器1100aに第2の加数としておよびK除算器1105aにその入力として供給される。K除算器1105aからの第1の出力ストリームは、それによって計算された商の連続する剰余値を規定し、第2の合計器1106aに第1の加数として供給される。第2の合計器1106aは第2の加数として値-K/2が供給される。第2の合計器1106aからの出力ストリームのそれぞれの合計値は、-K/2-K/2-1の範囲に収まり、図15へのμ位相制御入力を構成し、0値を中心とする(全て正の値を有するのではない)。このμ位相制御入力のそれぞれの値は、ブロック1108aによって18を乗算された後、図15への18μ位相制御入力を構成する位相制御出力ストリームを形成する。

【0052】

また、K除算器1105aは、4K/K=4であるから、この除算器によって計算された商の連続する2ビット整数部の値を規定する第2の出力ストリームを取り出す。従って、第2の出力ストリームは、各2ビット整数部値の最下位ビットの2進値状態を規定する P_{LSB} タイミング制御ストリームと、各2ビット整数部値の最上位ビットの2進値状態を規定する P_{MSB} タイミング制御ストリームとからなり、そのタイミング制御 P_{LSB} および P_{MSB} ストリームは、図15に入力として、および排他的論理和ゲート1113aに第1と第2の入力として供給される。排他的論理和ゲート1113aからの出力ストリームは、排他的論理和ゲート1114aにその第1の入力として供給される。排他的論理和ゲート1114aに第2の入力として指数符号値が供給される。その指数符号値は、±I出力ストリームの位相符号に対する、図15に示されるサンプル形複素周波数発生器からの±R出力ストリームの所望の位相符号に対応する。排他的論理和ゲート1114aからの出力ストリームは図15に P_{MDSB} タイミング制御入力ストリームとして供給される。

【0053】

マルチスケール・ディジタル変換器204からのサンプル済み±R値出力ストリームは、無符号変換器206によって全て正(+)のR値出力ストリームに変換された後、D/A変換器104の入力にディジタル・サンプルのストリームとして供給される。D/A変換器104からのアナログ出力は、擬似キャリア周波数(-17.08または-23.08MHz)を中心とする6MHzシンボル帯域幅信号または5.38MHzを中心とする6MHzシンボル帯域幅信号のサンプリング・レート周波数(86.08MHz)に関して、影像周波数(チャンネル4用の69MHzまたはチャンネル3用の63MHz)を中心とする6MHzシンボル帯域幅信号を含んでいる。アナログ・フィルタ106は、69MHzを中心とするチャンネル4信号、63MHzを中心とするチャンネル3信号、および5.38MHzを中心とするベースバンド信号を通過させる周波数通過帯域を有するが、シンボル変調済みの-17.08および-23.08MHz擬似キャリア信号の両方を除去(阻止)する。

【0054】

次に、図17を参照して説明すると、この図は、-86.08MHz~86.08MHzに広がる周波数範囲にわたる $\sin x/x$ 表現の正規化された大きさのグラフである。さらに、図17には、注目のそれぞれの周波数-69MHz(チャンネル4)、-63MHz(チャンネル3)、-23.08MHz擬似キャリア、-17.08MHz擬似キャリア、-5.38MHzベースバンド、5.38MHzベースバンド、17.08MHz擬似キャリア、23.08MHz擬似キャリア、63MHz(チャンネル3)および69MHz(チャンネル4)を中心とする6MHzの帯域幅にわたる大きさに対する $\sin x/x$ 表現の可変効果が示されている。ベースバンドの各々の6MHz帯域幅にわたる $\sin x/x$ 表現のスペクトル形状の“スロープ(slope:傾斜)”だけが、平坦にするた

めに（これは、図18において、 $x / \sin x$ 表現1300と、チャンネル3、チャンネル4および5.38MHz IFベースバンドの各々の6MHz帯域幅との交差（交点）によって示されている）、その6MHz帯域幅にわたる $x / \sin x$ 傾斜補正を必要とする。

【0055】

5.38MHz、63MHzおよび69MHz中心周波数の各々に対する適正な $x / \sin x$ ゲイン（利得）値は、D/A変換器104によって使用されるDC基準大きさ（レベル）を変えることによって得られる。しかし、デジタル $\sin x / x$ 補償器による動作は、キャリアを変調する $\pm R$ および $\pm I$ 複素サンプル済みデータストリームの前に生じ、それらのサンプル済みデータストリームのサンプリング周波数レートで6MHz帯域幅にわたるスペクトル形状“スロープ”的な $x / \sin x$ 傾斜補正を行う。図2に示されているように、 $\sin x / x$ 補償器202は、マルチスケール変調器204の直前に位置し、10.76MHzのサンプリング周波数レートで動作する。

【0056】

$\sin x / x$ 補償器202は、サンプリング周波数レート10.76MHzで動作し、6MHz帯域幅にわたる5.38MHz、63MHzまたは69MHz $\sin x / x$ スペクトル形状の簡単だが近似的な線形のスロープ $x / \sin x$ 傾斜補正、またはこれらのスペクトル形状の中の任意のものより正確な曲線に適合する“スロープ” $x / \sin x$ 傾斜補正の何れかを実行することができる。

【0057】

近似的アプローチは、VSB変換器200から $\sin x / x$ 補償器202への $\pm R$ および $\pm I$ 複素データ入力ストリームの各々を処理する次の3タップ・フィルタを用いて実装構成される。

【数4】

$$H_{\frac{x}{\sin(x)}}(z) = z^{-1} + \alpha \cdot j \cdot (1 - z^{-2})$$

10

20

30

【0058】

このフィルタは、D/A変換器104によって後で行われる“ $\sin x / x$ ”による“傾斜（チルト：tilt）”の反対方向に、その $\pm R$ および $\pm I$ 複素データ入力ストリームを予め傾斜（予備傾斜）させる。しかし、この近似的アプローチは、真のインバース（逆処理）ではなく、その結果として“補正された”帯域のパラボラ（放物線）歪みが生じる。

【0059】

$\sin x / x$ スペクトル形状の実際のスロープ形状が非線形なので、近似的予備傾斜技術は、次善のもの（sub-optimal）であるが、依然として有効である。具体的には、近似的予備傾斜技術を用いた結果、得られるアナログ信号のルート（平方根、root raised）コサイン形状に歪みが生じるが、テレビジョン受信機の等化器はその残りの損傷（歪み）を補償することができる。

【0060】

非線形 $x / \sin x$ 予備傾斜技術において、補償しようとするチャンネルにおけるD/A変換器104の $x / \sin x$ 特性は、そのチャンネル中心について偶数または奇数対称部分に分解（decompose）される。偶数対称部分は、リボン（bow）形状であり、実部係数偶数対称フィルタ（チャンネル中心ではなくてDCについて）とマッチ（整合）する。奇数対称部分は $\{x / \sin x / ((1 - 2^*) + 2^* \cdot \cos(2^* \cdot$

40

50

f / f_s)) } に等しく、 4 またはそれより多いサンプル / 1 シンボル (これは、 D / A 変換器 104 の供給される変調済みキャリア・データストリームの 8 サンプル / 1 シンボルによって満たされるより多い) の所望の 6 MHz 補正帯域幅を横切る残留線形形状を実効的に有する。この残留線形形状の奇数対称部分は複素係数奇数非対称フィルタとマッチ (整合) する。

【 0061 】

カスケード接続された偶数スペクトル対称フィルタと奇数スペクトル非対称フィルタによるディジタル $sinx / x$ 補償器 202 における濾波は、 1 サンプル / 1 シンボル $\pm R$ および $\pm I$ 複素 DC 中心データストリームのサンプル上でサンプリング周波数レート 10.76 MHz で発生することが好ましい。 6 MHz のチャンネル帯域幅におけるシンボル・レート 10.76 Msym/sec において、補償は、 z 領域 ($z^{-1} = e^{-j/T_s}$ 、 T_s = 時間的シンボル間隔) における単位円の 55 % の上で生じる。ディジタル $sinx / x$ 補償器 202 における補正された信号は、特定のアナログ・チャンネル (例えば TV チャンネル 3 または 4) に属し、サンプリング周波数 10.76 MHz で 1 サンプル / 1 シンボル処理によって先に予備補正されるが、それによって消去 (減殺) される効果は、 8 倍高いサンプリング周波数レート 86.08 MHz でクロック制御される D / A 変換器 104 によって後で生じる。

【 0062 】

図 19 には、カスケード接続された $sinx / x$ 補償フィルタの典型的な回路が例示されており、その図は 2 つの 3 タップ・トランスバーサル・フィルタのカスケード接続であることが分かるであろう。 $sinx / x$ 補償のより高い精度を実現するには、多数のタップを有するフィルタを用いればよい。

【 0063 】

さらに、ディジタル $sinx / x$ 補償器 202 は、 VSB 変換器 200 の上述のマルチブレクサ 311 に動作が類似しているマルチブレクサ (図示せず) を組み込んで、実数である全ての計算済み $x / sinx$ 値をそこから $\pm R$ データ出力ストリームとして転送させ、虚数である全ての計算済み $x / sinx$ 値をそこから $\pm I$ データ出力ストリームとして転送させる。

【 0064 】

ディジタル VSB 変調器 102 の実際のハードウェア実装においては、 2 の補数の 2 進コードを用いて全ての計算を行った。さらに、本発明の上述の多数の特徴の全てはディジタル VSB 変調器 102 の環境について説明したが、これらの発明の特徴の 1 つまたはそれより多くのサブセット (sub-set : 部分) は、例えば QAM または OFDM 変調器のようなディジタル VSB 変調器 102 とは異なる種々のタイプの装置において一般的な利用性が見つかることを理解すべきである。従って、本発明は特許請求の範囲によってのみ限定されるよう意図されている。

【 図面の簡単な説明 】

【 図 1 】 図 1 は、ストリーム・ソースから変調器に入力として転送されたディジタル PCM サンプル・ストリームから、 HDTV への入力信号を取り出すための VSB ディジタル変調器を含んでいる装置の機能ブロック図である。

【 図 2 】 図 2 は、図 1 に示される VSB ディジタル変調器の諸構成要素の機能ブロック図である。

【 図 3 】 図 3 は、図 2 に示される 1 サンプル / 1 PCM シンボル - DC 中心 VSB 変換器の好ましい実施形態を図的に示している。

【 図 4 】 図 4 は、図 3 に示される 2 分岐多重 N タップ・ルート・ナイキスト FIR フィルタの詳細を概略的に示している。

【 図 5 】 図 5 は、図 6 および図 7 と共に、図 4 に示される 2 分岐多重 N タップ・ルート・ナイキスト FIR フィルタの動作によって VSB 変換器出力を発生する方法をグラフ的に示している。

【 図 6 】 図 6 は、図 5 および図 7 と共に、図 4 に示される 2 分岐多重 N タップ・ルート・

10

20

30

40

50

ナイキストFIRフィルタの動作によってVSB変換器出力を発生する方法をグラフ的に示している。

【図7】図7は、図5および図6と共に、図4に示される2分岐多重Nタップ・ルート・ナイキストFIRフィルタの動作によってVSB変換器出力を発生する方法をグラフ的に示している。

【図8】図8は、チャンネル3、チャンネル4およびベースバンドに対するそれぞれのデータ変調されたキャリア周波数を決定するサンプル値のストリームを所定のサンプリング周波数レートで取り出すための第1の設計アプローチを用いた、図2のマルチスケールのディジタル変調器の実施形態を示している。

【図9】図9は、チャンネル3、チャンネル4およびベースバンドに対するそれぞれのデータ変調されたキャリア周波数を決定するサンプル値のストリームを所定のサンプリング周波数レートで取り出すための第1の設計アプローチを用いた、図2のマルチスケールのディジタル変調器の実施形態を示している。

【図10】図10は、チャンネル3、チャンネル4およびベースバンドに対するそれぞれのデータ変調されたキャリア周波数を決定するサンプル値のストリームを所定のサンプリング周波数レートで取り出すための第1の設計アプローチを用いた、図2のマルチスケールのディジタル変調器の実施形態を示している。

【図11】図11は、チャンネル3、チャンネル4およびベースバンドに対するそれぞれのデータ変調されたキャリア周波数を決定するサンプル値のストリームを所定のサンプリング周波数レートで取り出すための第1の設計アプローチを用いた、図2のマルチスケールのディジタル変調器の実施形態を示している。

【図12】図12は、チャンネル3、チャンネル4およびベースバンドに対するそれぞれのデータ変調されたキャリア周波数を決定するサンプル値のストリームを所定のサンプリング周波数レートで取り出すための第2の設計アプローチを用いた、図2のマルチスケールのディジタル変調器の実施形態を示している。

【図13】図13は、図12の複素キャリア発生器の代替実施形態を示している。

【図14】図14は、図13において使用されるリストケーラ手段を示している。

【図15】図15は、図12の複素キャリア発生器の代替実施形態を示している。

【図16】図16は、図12の複素キャリア発生器の代替実施形態を示している。

【図17】図17は、デジタル-アナログ変換器によって出力される変調済みの擬似キャリアおよび所望のキャリアを示すグラフである。

【図18】図18は、図2および図19に示されるデジタルsinx/x補償器によって行われる所望のキャリアの改善の図的表現を示すグラフである。

【図19】図19は、カスケード接続されたsinx/x補償フィルタの典型例の回路を示している。

【符号の説明】

202 デジタル化サンプルのストリーム

800 1サンプル/1シンボル - 8サンプル/1シンボル変換器

802 複素変調器

804 複素キャリア発生器

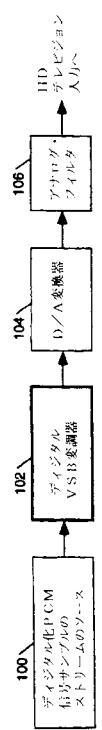
10

20

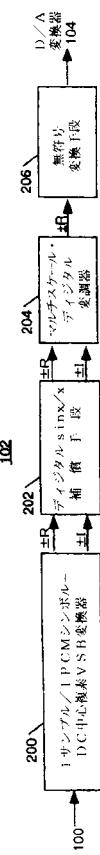
30

40

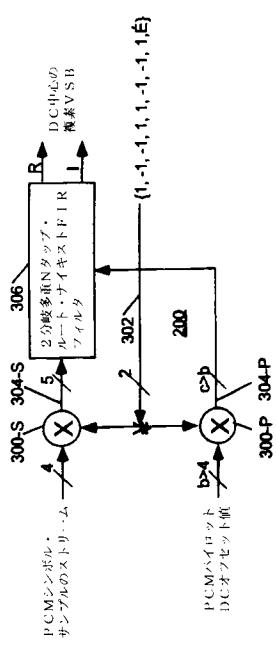
【図1】



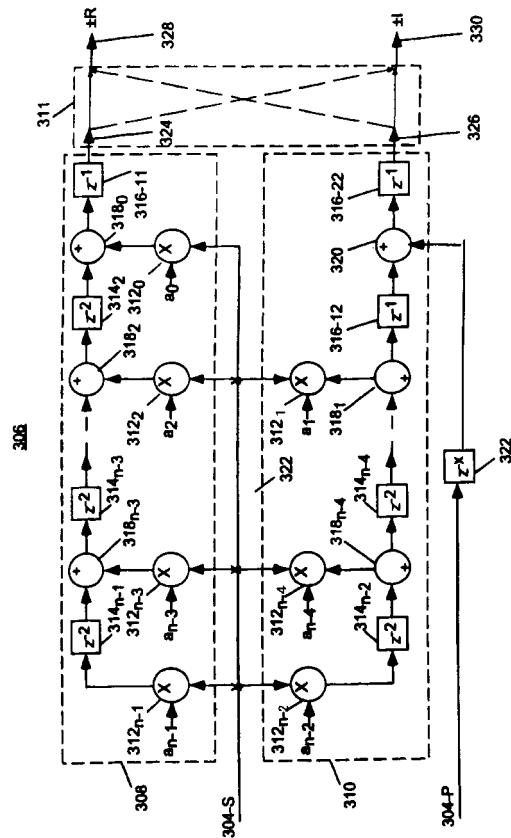
【図2】



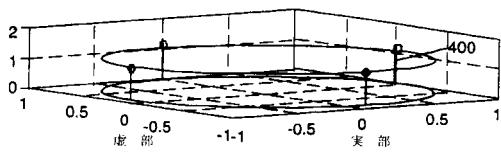
【図3】



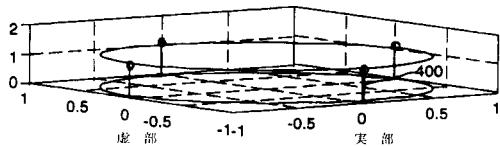
【図4】



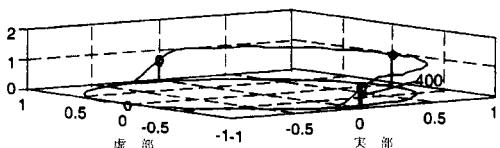
【図5】



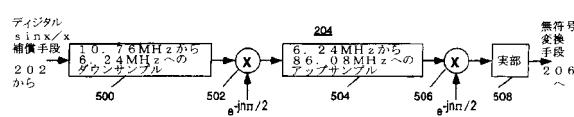
【図6】



【図7】

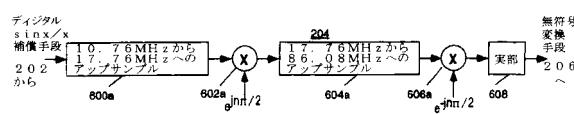


【図8】

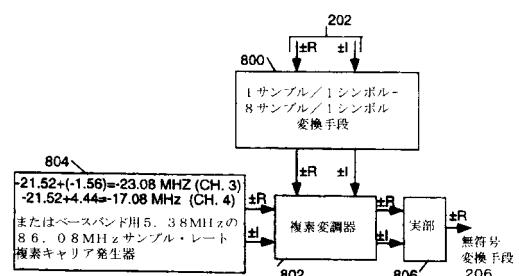
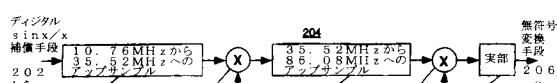


【図10】

【図9】

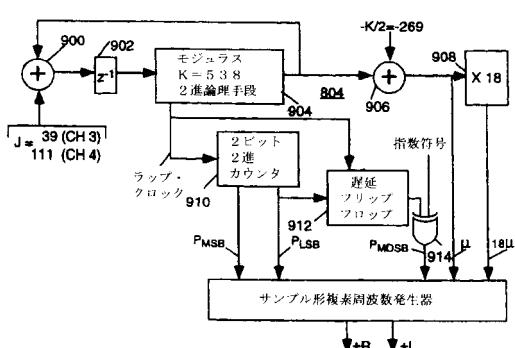
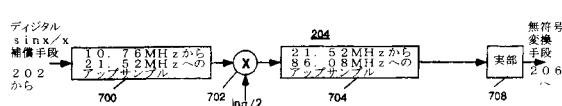


【図12】

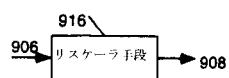


【図11】

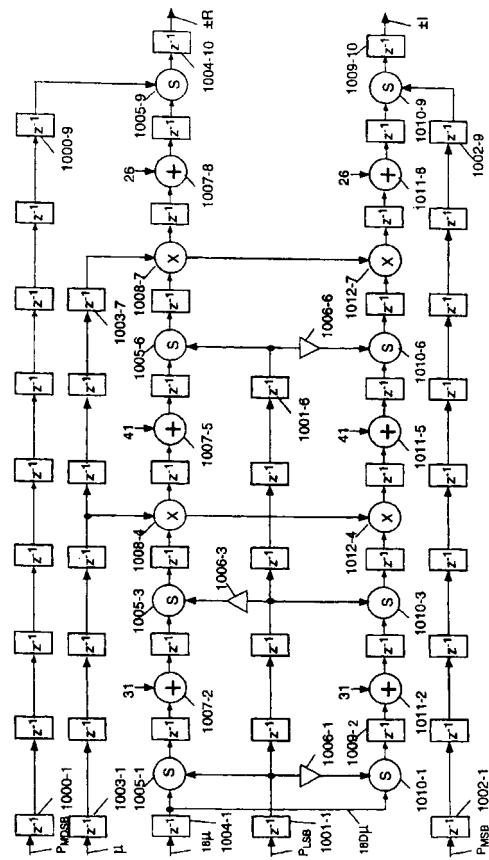
【図13】



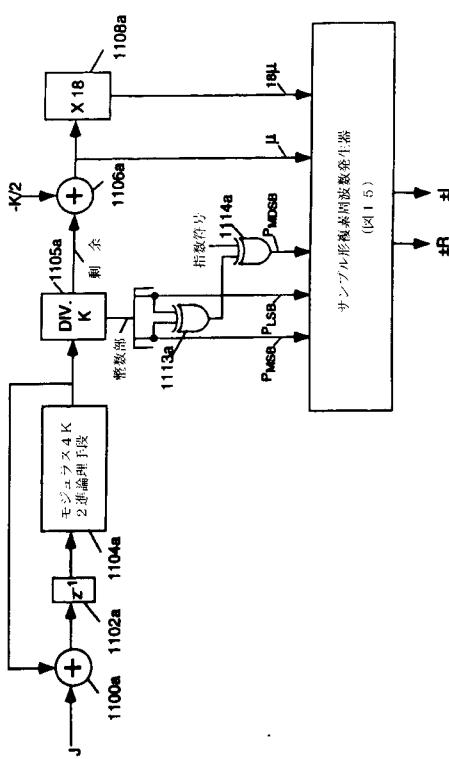
【図14】



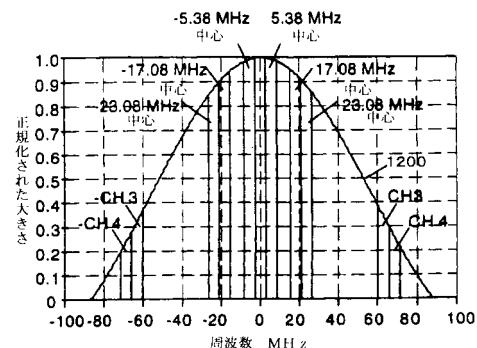
【 図 1 5 】



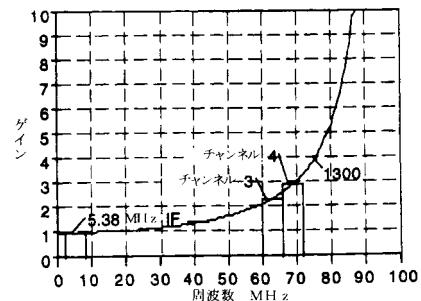
【図16】



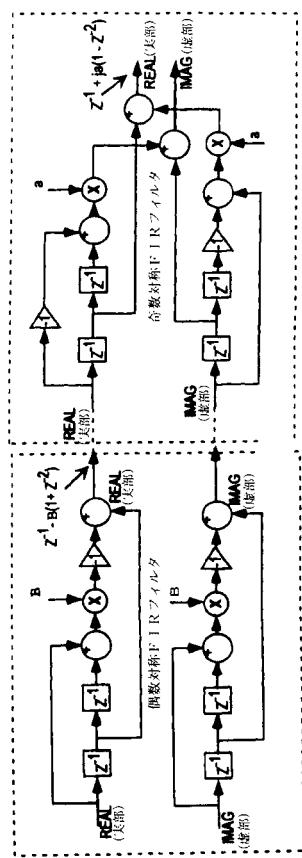
【図17】



【 図 1 8 】



【図19】



フロントページの続き

(72)発明者 デイビッド ローエル マクニーリイ
アメリカ合衆国 インディアナ州 インディアナポリス ワーブラー・コート 7832

審査官 彦田 克文

(56)参考文献 特開平10-270945 (JP, A)
欧州特許出願公開第00853409 (EP, A1)
米国特許第04003002 (US, A)
米国特許第05764701 (US, A)
米国特許第04140925 (US, A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/04
H03H 17/06
H04N 5/40