

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-124643

(P2012-124643A)

(43) 公開日 平成24年6月28日 (2012.6.28)

(51) Int.Cl.
H04L 1/00 (2006.01)

F I
H04L 1/00

テーマコード (参考)
5K014

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願2010-272421 (P2010-272421)
(22) 出願日 平成22年12月7日 (2010.12.7)

(71) 出願人 000005496
富士ゼロックス株式会社
東京都港区赤坂九丁目7番3号
(74) 代理人 100071526
弁理士 平田 忠雄
(74) 代理人 100124246
弁理士 遠藤 和光
(72) 発明者 赤松 学
神奈川県横浜市西区みなとみらい六丁目1
番 富士ゼロックス株式会社内
(72) 発明者 浜田 勉
神奈川県横浜市西区みなとみらい六丁目1
番 富士ゼロックス株式会社内

最終頁に続く

(54) 【発明の名称】 受信装置及びデータ転送装置

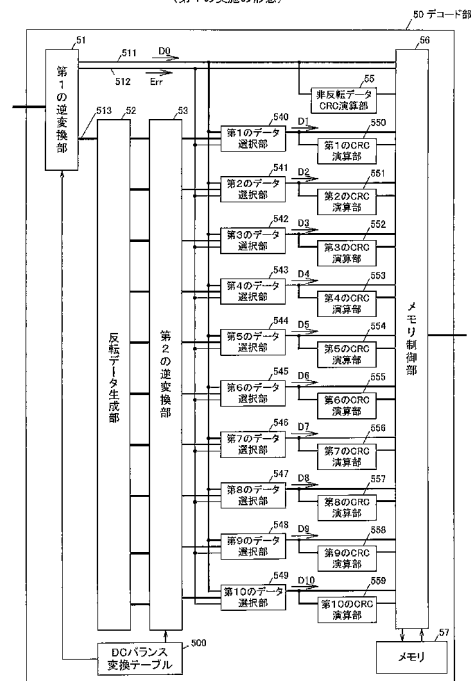
(57) 【要約】

【課題】 転送すべきデータに誤り検出及び誤り訂正が可能な符号を付加した場合に比較して、データ長を短縮することが可能な受信装置及びデータ転送装置を提供する。

【解決手段】 受信装置4は、複数のビットからなる転送データと前記転送データの誤り検出のための誤り検出符号とを含むデータが予め定められた手順に基づいて変換された変換データを受信する受信部41と、受信部41が受信した変換データ、及び変換データの一部のビットを反転した反転データを予め定められた手順に基づいて逆変換した複数の逆変換データを生成する第1及び第2の逆変換部51、53と、生成された複数の逆変換データのうち、誤り検出符号に基づく誤り検出処理で誤りが検出されない逆変換データを抽出するメモリ制御部56とを備える。

【選択図】 図3

図3
(第1の実施の形態)



【特許請求の範囲】**【請求項 1】**

複数のビットからなる転送データと前記転送データの誤り検出のための誤り検出符号とを含むデータが予め定められた手順に基づいて変換された変換データを受信する受信部と、

前記受信部が受信した変換データ及び当該変換データの一部のビットを反転した反転データを予め定められた手順に基づいて逆変換した複数の逆変換データを生成する逆変換部と、

前記複数の逆変換データのうち、前記誤り検出符号に基づく誤り検出処理で誤りが検出されない逆変換データを抽出する抽出部とを備えた受信装置。

10

【請求項 2】

前記逆変換部は、前記受信部から複数のビットからなるデータ単位で前記変換データを取得して前記取得したデータ単位のデータを逆変換する第 1 の逆変換部と、前記第 1 の逆変換部が取得したデータ単位の複数のビットのうち一部のビットを反転した複数の反転データを生成する反転データ生成部と、前記反転データ生成部が生成した複数の反転データを逆変換する第 2 の逆変換部とを有する請求項 1 に記載の受信装置。

【請求項 3】

反転データ生成部は、前記第 1 の逆変換部が取得したデータ単位の複数のビットのうち各 1 ビットを反転した複数の反転データを生成する請求項 2 に記載の受信装置。

【請求項 4】

請求項 1 乃至 3 の何れか 1 項に記載の受信装置と、

複数ビットからなる転送データと前記転送データの誤り検出のための誤り検出符号とを含むデータを生成し、前記生成したデータを予め定められた手順に基づいて変換した変換データを送信する送信装置とを備えたデータ転送装置。

20

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、受信装置及びデータ転送装置に関する。

【背景技術】

30

【0002】

従来、通信線を介して送信される送信データに対して、ビット信号の「0」と「1」の数を均等化して DC バランスを改善する 8 B / 10 B 変換を行うデータ転送装置が知られている（例えば、特許文献 1 参照）。

【0003】

特許文献 1 に記載のデータ転送装置は、データを送信する送信部と、伝送路を介して送信部が送信したデータを受信する受信部とを備えている。送信部は、予め定められた長さのフレームを形成し、このフレームに DC バランス変換を施し、さらに誤り検出及び誤り訂正が可能な誤り訂正符号を付加して受信部側に送信する。一方、受信部は、受信したデータに対して DC 逆バランス変換を施すとともに誤り検出処理を行い、誤りが検出された場合には誤り訂正処理を行うように構成されている。

40

【0004】

なお、このような誤り検出及び誤り訂正が可能な誤り訂正符号は、誤りの検出のみが可能な誤り検出符号に比較して、データ長が長くなることが知られている。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開 2008 - 294757 号公報

【発明の概要】**【発明が解決しようとする課題】**

50

【 0 0 0 6 】

本発明は、転送すべきデータに誤り検出及び誤り訂正が可能な符号を付加した場合に比較して、データ長を短縮することが可能な受信装置及びデータ転送装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 7 】

[1] 複数のビットからなる転送データと前記転送データの誤り検出のための誤り検出符号とを含むデータが予め定められた手順に基づいて変換された変換データを受信する受信部と、前記受信部が受信した変換データ及び当該変換データの一部のビットを反転した反転データを予め定められた手順に基づいて逆変換した複数の逆変換データを生成する逆変換部と、前記複数の逆変換データのうち、前記誤り検出符号に基づく誤り検出処理で誤りが検出されない逆変換データを抽出する抽出部とを備えた受信装置。

10

【 0 0 0 8 】

[2] 前記逆変換部は、前記受信部から複数のビットからなるデータ単位で前記変換データを取得して前記取得したデータ単位のデータを逆変換する第 1 の逆変換部と、前記第 1 の逆変換部が取得したデータ単位の複数のビットのうち一部のビットを反転した複数の反転データを生成する反転データ生成部と、前記反転データ生成部が生成した複数の反転データを逆変換する第 2 の逆変換部とを有する前記 [1] に記載の受信装置。

【 0 0 0 9 】

[3] 反転データ生成部は、前記第 1 の逆変換部が取得したデータ単位の複数のビットのうち各 1 ビットを反転した複数の反転データを生成する前記 [2] に記載の受信装置。

20

【 0 0 1 0 】

[4] 前記 [1] から [3] の何れか 1 つに記載の受信装置と、複数ビットからなる転送データと前記転送データの誤り検出のための誤り検出符号とを含むデータを生成し、前記生成したデータを予め定められた手順に基づいて変換した変換データを送信する送信装置とを備えたデータ転送装置。

【 発明の効果 】

【 0 0 1 1 】

請求項 1 , 4 に記載の発明によれば、転送すべきデータに誤り検出及び誤り訂正が可能な符号を付加した場合に比較して、データ長を短縮することが可能となる。

30

【 0 0 1 2 】

請求項 2 に記載の発明によれば、誤りが発生した箇所のデータ単位のデータを置き換えることによって誤りの訂正を行うことが可能となる。

【 0 0 1 3 】

請求項 3 に記載の発明によれば、対象となるデータ単位の複数のビットのうち 2 以上のビットを反転する場合に比較して、簡易な構成で誤りを訂正することが可能となる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 】 本発明の第 1 の実施の形態に係るデータ転送装置の構成例を示すブロック図である。

40

【 図 2 】 DC バランス変換前後のデータの一例を示す図である。

【 図 3 】 デコード部の構成例を示すブロック図である。

【 図 4 】 デコード部の動作例を説明するタイミングチャートである。

【 図 5 】 デコード部による誤り訂正の具体例を示す図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

[第 1 の実施の形態]

本発明の第 1 の実施の形態について、図 1 ~ 図 5 を参照して説明する。

【 0 0 1 6 】

(データ転送装置の構成)

50

図1は、本発明の第1の実施の形態に係るデータ転送装置の構成例を示すブロック図である。このデータ転送装置1は、送信装置2と、送信装置2に接続された通信線3と、通信線3を介して送信装置2との通信が可能な受信装置4とを有して構成されている。通信線3としては、例えば互いに極性が反転した差動信号を伝送する一対の信号線からなる差動信号線を用いることができる。

【0017】

(送信装置の構成)

送信装置2は、メモリアンタフェース21と、メモリアンタフェース21に接続されたメモリ22と、誤り検出符号付加部23と、DCバランス変換部24と、送信部25とを有している。

【0018】

メモリアンタフェース21は、外部の装置からの転送データを受け付け、RAM(Random Access Memory)等の記憶装置からなるメモリ22に一旦記憶する。また、メモリアンタフェース21は、メモリ22に記憶された転送データを読み出して後段の誤り検出符号付加部23に出力する。

【0019】

誤り検出符号付加部23は、メモリアンタフェース21から出力された転送データに基づいて、この転送データの誤り検出のための誤り検出符号を生成する。また、誤り検出符号付加部23は、生成した誤り検出符号と、ヘッダ及びフッタとを転送データに転送データに付加し、後段のDCバランス変換部24に出力する。

【0020】

誤り検出符号付加部23が生成及び付加する誤り検出符号は、例えばノイズ等の要因によるデータ転送時における誤りを検出することができるが、誤りの訂正は行うことができない符号である。この誤り検出符号としては、例えばCRC(Cyclic Redundancy Check:巡回冗長検査)符号を用いることができる。

【0021】

DCバランス変換部24は、誤り検出符号付加部23から出力された転送データ及び誤り検出符号を対象データとし、通信線3を介する送信時において「0」又は「1」の信号が長く連続しないよう、DCバランスを改善するためのDCバランス変換を行う。

【0022】

本実施の形態では、このDCバランス変換として8B/10B変換を適用した場合について説明する。8B/10B変換は、予め登録された変換テーブルを参照して8ビットのバイトデータを10ビットのデータ単位のデータに変換するものである。8B/10B変換により、例えば「00000000」の8ビットデータは「1001110100」の10ビットデータに、「11111111」の8ビットデータは「1010110001」の10ビットデータに変換される。なお、この8B/10B変換により、20%のオーバーヘッドが生じるが、シリアル伝送されるビット列に受信側における同期のためのクロック信号を埋め込むことができ、データとクロックとを同じ信号線で同時に送信することが可能となる。

【0023】

DCバランス変換部24は、変換テーブルを参照して対象データを8ビット毎に10ビットデータに変換した変換データを生成し、後段の送信部25に出力する。

【0024】

送信部25は、DCバランス変換部24から出力された変換データをパラレル/シリアル変換し、差動トランシーバ等の送信回路によって通信線3を介して受信装置4に送信する。

【0025】

図2(a)は、DCバランス変換部24によるDCバランス変換前のデータの一例を示し、図2(b)はDCバランス変換されたパケット(変換データ)の一例を示す。

【0026】

図2(a)に示すように、DCバランス変換前のパケット10は、転送データ12に誤

10

20

30

40

50

り検出符号としてのCRCコード13が付加され、この転送データ12及びCRCコード13の前後に、ヘッダ11及びフッタ14が付加されている。この図に示す例では、転送データ12が256バイト(2048ビット)、CRCコード13が2バイト(16ビット)、ヘッダ11及びフッタ14がそれぞれ2バイト(16ビット)である。

【0027】

また、DCバランス変換後のパケット10Aは、転送データ12Aが2560ビット、CRCコード13Aが20ビット、ヘッダ11A及びフッタ14Aがそれぞれ20ビットである。このパケット10Aは、DCバランス変換された変換データの一例である。

【0028】

(受信装置の構成)

受信装置3は、通信線3に接続された受信部41と、受信部41によって受信したデータをデコードするデコード部50と、メモリインタフェース42と、メモリインタフェース42に接続されたバッファメモリ43とを有している。

【0029】

受信部41は、通信線3を介して送信装置2から送信されたシリアルデータを受信してシリアル/パラレル変換を行い、10ビットのパラレルデータとして後段のデコード部50に出力する。

【0030】

デコード部50は、受信部41から出力された受信データをデコードし、転送データを抽出してメモリインタフェース42に出力する。デコード部50の詳細については後述する。

【0031】

メモリインタフェース42は、デコード部50から出力された転送データをRAM等の記憶装置からなるメモリ34に記憶する。また、メモリインタフェース33は、外部からの読み出し信号に応じて、メモリ34に記憶した転送データを出力する。

【0032】

(デコード部の構成)

図3は、デコード部50の構成例を示すブロック図である。このデコード部50は、例えばASIC(Application Specific Integrated Circuit: 特定用途向け集積回路)等のハードウェアにより構成される。

【0033】

デコード部50は、第1の逆変換部51と、反転データ生成部52と、第2の逆変換部53と、第1~第10のデータ選択部540~549と、第1~第10のCRC演算部550~559と、非反転データCRC演算部55と、メモリ制御部56と、記憶部としてのメモリ57等とを有している。このうち、第1の逆変換部51、反転データ生成部52、及び第2の逆変換部53は、本発明の逆変換部の一例である。また、第1~第10のCRC演算部550~559、非反転データCRC演算部55、及びメモリ制御部56は、本発明の抽出部の一例である。

【0034】

第1の逆変換部51は、DCバランス変換テーブル500を参照し、受信部41から取得した10ビットのパラレルデータを1つのデータ単位として順次DCバランス逆変換を行う。DCバランス変換テーブル500には、送信装置2のDCバランス変換部24が参照する変換テーブルに対応する内容が予め設定されている。

【0035】

第1の逆変換部51は、DCバランス逆変換された8ビットのデータを出力データD0としてデータバス511に出力する。また、第1の逆変換部51は、受信部41から取得した10ビットのデータに対応する8ビットのデータがDCバランス変換テーブル510に登録されていなかった場合(逆変換が不可能であった場合)には、予め定められた値(例えば「00000000」)の8ビットデータを出力データD0としてデータバス511に出力するとともに、逆変換エラーがあったことを示すエラー信号Errを信号線512に出力す

10

20

30

40

50

る。このエラー信号 Err は、第 1 の逆変換部 5 1 が上記予め定められた値を出力している間だけオン状態に維持される。

【0036】

またさらに、第 1 の逆変換部 5 1 は、DC バランス変換前の 10 ビットのデータ（受信部 4 1 から取得したデータ）を 10 ビットのデータバス 5 1 3 に出力する。

【0037】

反転データ生成部 5 2 は、データバス 5 1 3 を介して受信部 4 1 がパラレルデータに変換した 10 ビットのデータを取得し、この 10 ビットのデータの第 1 ビット（最下位ビット）から第 10 ビット（最上位ビット）の各 1 ビットを反転した 10 個の 10 ビットからなる反転データを生成する。

10

【0038】

第 2 の逆変換部 5 3 は、反転データ生成部 5 2 が生成した 10 個の反転データのそれぞれについて、DC バランス変換テーブル 5 0 0 を参照して DC バランス逆変換を行い、各反転データに対応する 10 個の 8 ビットのデータを生成する。

【0039】

第 1 ~ 第 10 のデータ選択部 5 4 0 ~ 5 4 9 には、第 1 の逆変換部 5 1 がデータバス 5 1 1 に出力する第 1 の逆変換データ、第 2 の逆変換部 5 3 が出力する第 1 ~ 第 10 ビットの何れか 1 つが反転された反転データをそれぞれ逆変換した第 2 の逆変換データ、及び第 1 の逆変換部 5 1 が信号線 5 1 2 に出力するエラー信号 Err が入力される。第 1 のデータ選択部 5 4 0 には、第 1 ビットが反転された反転データを逆変換した第 2 の逆変換データが20入力され、以下同様に、第 2 のデータ変換部 5 4 1 には第 2 ビットが、第 3 のデータ変換部 5 4 3 には第 3 ビットが（以下省略）、それぞれ反転された反転データを逆変換した第 2 の逆変換データが20入力される。

【0040】

第 1 ~ 第 10 のデータ選択部 5 4 0 ~ 5 4 9 は、エラー信号 Err がオフ状態である場合には、第 1 の逆変換データを出力データ $D 1 \sim D 1 0$ として出力し、エラー信号 Err がオン状態である場合には、第 2 の逆変換データを出力データ $D 1 \sim D 1 0$ として出力する。

【0041】

つまり、第 1 ~ 第 10 のデータ選択部 5 4 0 ~ 5 4 9 は、第 1 の逆変換部 5 1 における逆変換が不可能で、第 1 の逆変換データとして上記予め定められた値が出力されている間は第 2 の逆変換データを出力し、第 1 の逆変換部 5 1 における逆変換が可能であった場合には第 1 の逆変換データを出力する。

30

【0042】

これらの出力データ $D 1 \sim D 1 0$ は、第 1 ~ 第 10 の CRC 演算部 5 5 0 ~ 5 5 9、及びメモリ制御部 5 6 に30入力される。

【0043】

第 1 ~ 第 10 の CRC 演算部 5 5 0 ~ 5 5 9 は、第 1 ~ 第 10 のデータ選択部 5 4 0 ~ 5 4 9 から出力された第 1 又は第 2 の逆変換データに基づいて、誤り検出符号としての CRC コードを順次演算し、メモリ制御部 5 6 に40出力する。

【0044】

また、非反転データ CRC 演算部 5 5 は、データバス 5 1 1 に接続され、第 1 の逆変換部 5 1 が出力した第 1 の逆変換データの CRC コードを順次演算し、メモリ制御部 5 6 に40出力する。

【0045】

非反転データ CRC 演算部 5 5 及び第 1 ~ 第 10 の CRC 演算部 5 5 0 ~ 5 5 9 は、出力データ $D 0 \sim D 1 0$ の変化の周期よりも 1 周期分遅れて、CRC コードをメモリ制御部 5 6 に40出力するように構成されている。

【0046】

メモリ制御部 5 6 は、第 1 の逆変換部 5 1 からの出力データ $D 0$ 、及び第 1 ~ 第 10 の50

データ選択部 540 ~ 549 から出力される出力データ D1 ~ D10 をメモリ 57 のそれぞれ異なる記憶領域に順次記憶する。

【0047】

また、メモリ制御部 56 は、第 1 の逆変換部 51 において逆変換された誤り検出符号としての CRC コード（受信部 31 が受信したパケットに含まれる CRC コード）を取得したとき、この取得した CRC コード（以下この CRC コードを「受信 CRC コード」という）と、非反転データ CRC 演算部 55 から入力された CRC コードとが一致するかを判定する。この判定の結果、両 CRC コードが一致すれば、メモリ 57 から出力データ D0 を順次記憶した一連のデータを読み出し、後段のメモリインタフェース 42 に出力する。

【0048】

一方、受信 CRC コードと非反転データ CRC 演算部 55 から入力された CRC コードとが一致しなかった場合、メモリ制御部 56 は、第 1 ~ 第 10 の CRC 演算部 550 ~ 559 から入力された CRC コードのうち、受信 CRC コードと一致するものがあるか照合する。この照合の結果一致するものがあれば、第 1 ~ 第 10 のデータ選択部 540 ~ 549 の出力データ D1 ~ D10 のうち、受信 CRC コードと一致した CRC コードに対応する出力データを順次記憶した一連のデータをメモリ 57 から読み出し、誤り訂正された転送データとして後段のメモリインタフェース 42 に出力する。

【0049】

例えば、第 4 の CRC 演算部 553 から入力された CRC コードが受信 CRC コードと一致すれば、第 4 のデータ選択部 543 の出力データ D4 を順次記憶した一連のデータをメモリ 57 から読み出し、後段のメモリインタフェース 42 に出力する。

【0050】

また、メモリ制御部 56 は、第 1 ~ 第 10 の CRC 演算部 550 ~ 559 から入力された CRC コードに受信 CRC コードと一致するものがない場合、メモリインタフェース 42 へのデータの出力は行わず、送信装置 2 にパケットの再送信を要求するための再送要求信号を出力する。

【0051】

なお、メモリ制御部 56 は、受信 CRC コードと非反転データ CRC 演算部 55 から入力された CRC コードとの照合を行わず、第 1 ~ 第 10 の CRC 演算部 550 ~ 559 から入力された CRC コードのうち、受信 CRC コードと一致するものに対応する第 1 ~ 第 10 のデータ選択部 540 ~ 549 の出力データ D1 ~ D10 の何れか 1 つの出力データを順次記憶したデータをメモリインタフェース 42 に出力するように構成してもよい。このように構成しても、受信部 41 が受信した受信データに誤りがない場合には、第 1 ~ 第 10 の CRC 演算部 550 ~ 559 から入力された CRC コードが全て受信 CRC コードと一致するので、正しいデータが出力される。また、このように構成した場合には、非反転データ CRC 演算部 55 を省略することができる。

【0052】

（デコード部の動作）

図 4 は、送信装置 2 から受信した転送データのうち、2 バイト目のデータ d2 が逆変換不可能であった場合のエラー信号 Err、第 1 の逆変換部 51 の出力データ D0、及び第 1 ~ 第 10 のデータ選択部 540 ~ 549 の出力データ D1 ~ D10 の変化の一例を示すタイミングチャートである。

【0053】

エラー信号 Err がオンした状態では、第 1 ~ 第 10 のデータ選択部 540 ~ 549 は、1 ビット反転及び逆変換処理された第 2 の逆変換データを出力するので、出力データ D0 にデータ d2 が表れているときに、出力データ D1 ~ D10 には第 1 ~ 第 10 ビットがそれぞれ反転したデータ d2₁ ~ d2₁₀ が表れる。エラー信号 Err がオフした状態では、出力データ D0 と同一のデータが第 1 ~ 第 10 のデータ選択部 540 ~ 549 の出力データ D1 ~ D10 に表れる。

【0054】

10

20

30

40

50

図5は、誤り訂正手段321cによる誤り訂正の具体例を示す図であり、(a)は送信装置2が送信した送信データ及び受信装置3で受信した受信データのうちの10ビットを、(b)はDCバランス逆変換でエラーが発生した10ビットデータの各1ビットを反転したデータ及びそれに対応する8ビットデータを示す。

【0055】

図5(a)に示すように、送信データは「0010111011」であるのに対し、受信データは「0010110011」であり、第4ビットに誤りが発生している。この場合には、第1の逆変換部51による逆変換が不可能であり、エラー信号Errが1周期分オン状態となる。

【0056】

図5(b)に示すように、反転データ生成部52は、この10ビットのデータの第1ビットから第10ビットのうちの1ビットをそれぞれ反転した10個の反転データを生成する。また、第2の逆変換部53は、DCバランス変換テーブル500を参照してこれらの反転データを逆変換し、第1～第10のデータ選択部540～549に出力する。DCバランス変換テーブル500で対応する8ビットデータが得られない場合には、予め定められた値(図5(b)に示す例では「0」)を第1～第10のデータ選択部540～549に出力する。

10

【0057】

この結果、エラー信号Errがオンしているタイミングでは、図5(b)の右欄に示す各データ(10進数表記)が出力データD1～D10として表れる。このうち、第4ビットが反転及び逆変換された出力データD4が送信データに対応したデータであるので、第4のCRC演算部553が出力するCRCデータと受信CRCデータとが一致し、第4のデータ選択部543が順次出力してメモリ57に記憶された一連のデータが、誤り訂正された転送データとしてメモリインタフェース42に出力される。

20

【0058】

[他の実施の形態]

なお、本発明は、上記第1の実施の形態に限定されず、その要旨を変更しない範囲内で種々な変形が可能である。

【0059】

例えば、第1の実施の形態では、反転データ生成部52が、10ビットのうちの1ビットを反転した複数の反転データを生成したが、10ビットのうちの1ビット及び2ビットを反転した複数(55個)の反転データを生成し、これらに対応して第2の逆変換部、データ選択部、及びCRC演算部を設けてもよい。またさらに、3ビット以上を反転するようにデコード部を構成してもよい。

30

【0060】

また、第1の実施の形態では、送信装置2で8B/10B変換を行い、受信装置4で8B/10B逆変換を行う場合について説明したが、これに限らず、例えば送信装置2で予め定められた手順に基づく暗号化する変換処理を行い、受信装置4では、送信装置2における暗号化手順に対応して予め定められた複合化手順によって逆変換を行うようにしてもよい。

【0061】

また、第1の実施の形態では、ASIC等のハードウェアによってデコード部50を構成した場合について説明したが、これに限らず、予め記憶されたプログラムに従って動作するCPU(Central Processing Unit:演算処理装置)の処理によって、上記説明したデコード部50の各部の機能を実現してもよい。

40

【符号の説明】

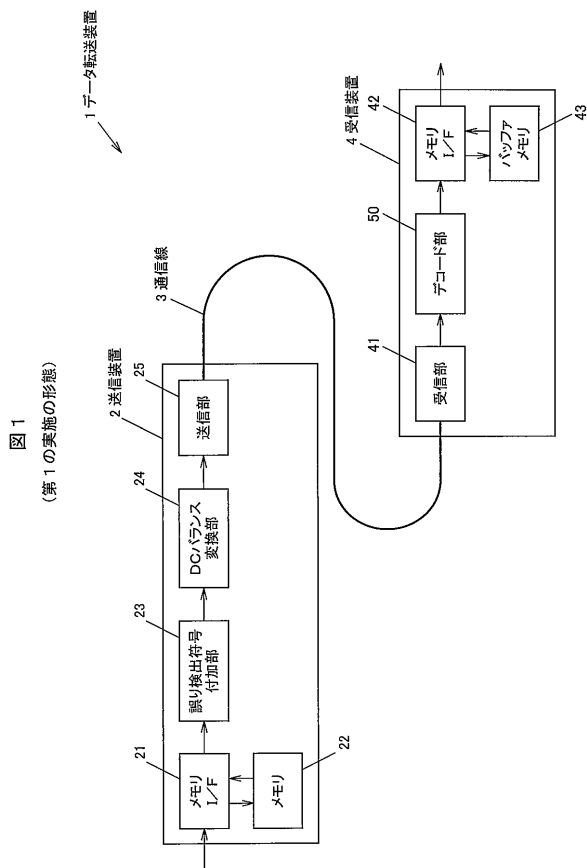
【0062】

1...データ転送装置、2...送信装置、3...受信装置、4...通信線、10,10A...パケット、11,11A...ヘッダ、12,12A...転送データ、13,13A...CRCコード、14,14A...フッタ、21...メモリインタフェース、22...メモリ、23...検出符号付加部、24...DCバランス変換部、25...送信部、41...受信部、42...メモリインタフ

50

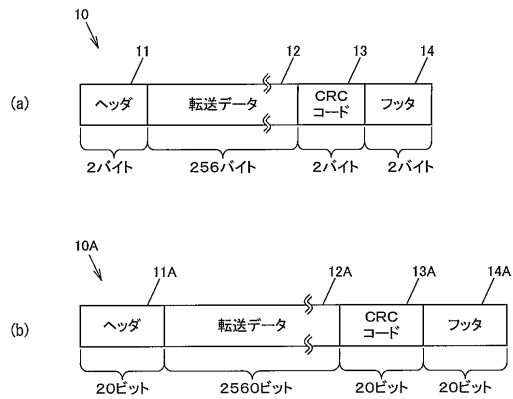
エース、43...バッファメモリ、50...デコード部、51...第1の逆変換部、52...反転データ生成部、53...第2の逆変換部、55...非反転データCRC演算部、56...メモリ制御部、57...記憶部、500...DCバランス変換テーブル、540~549...第1~第10のデータ選択部、550~559...第1~第10のCRC演算部

【図1】



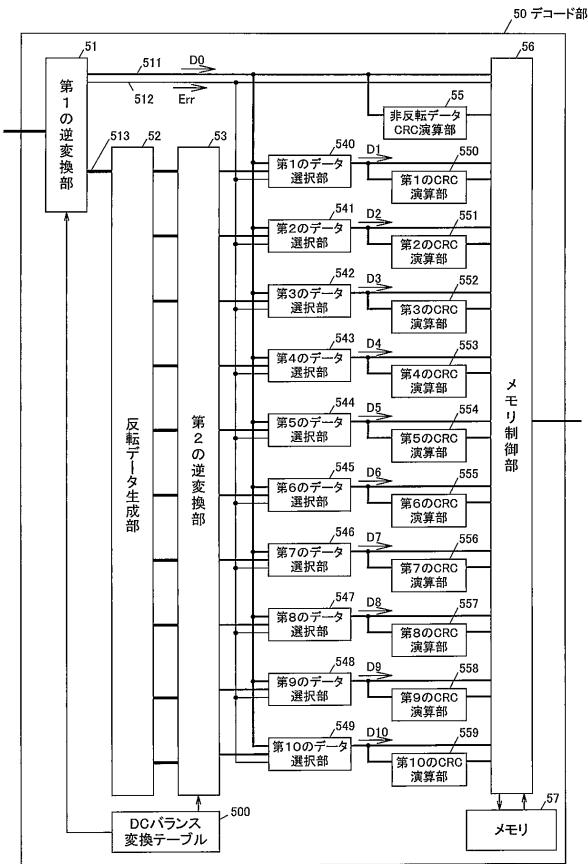
【図2】

図2 (第1の実施の形態)



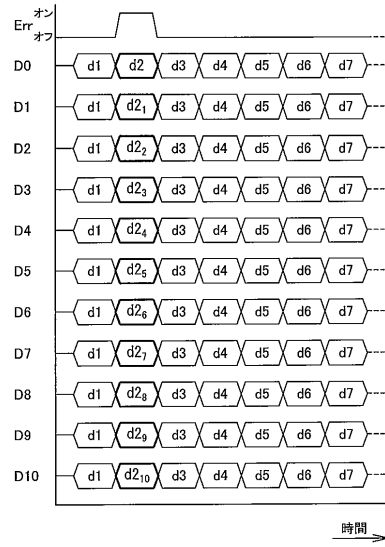
【 図 3 】

図3
(第1の実施の形態)



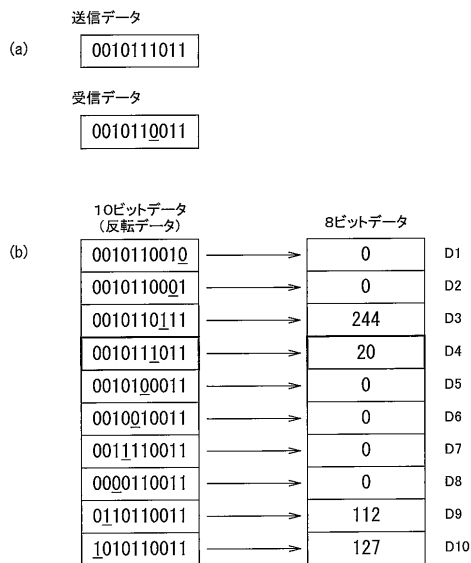
【 図 4 】

図4
(第1の実施の形態)



【 図 5 】

図5
(第1の実施の形態)



フロントページの続き

(72)発明者 上村 健

神奈川県横浜市西区みなとみらい六丁目1番 富士ゼロックス株式会社内

Fターム(参考) 5K014 BA05 EA01