

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7118948号
(P7118948)

(45)発行日 令和4年8月16日(2022.8.16)

(24)登録日 令和4年8月5日(2022.8.5)

(51)国際特許分類

F I

H 0 1 L	29/786(2006.01)	H 0 1 L	29/78	6 1 6 T
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/06	1 0 2 A
H 0 1 L	27/06 (2006.01)	H 0 1 L	27/088	3 3 1 E
H 0 1 L	27/088(2006.01)	H 0 1 L	27/088	E
H 0 1 L	21/336(2006.01)	H 0 1 L	27/088	A

請求項の数 6 (全119頁) 最終頁に続く

(21)出願番号 特願2019-505302(P2019-505302)
 (86)(22)出願日 平成30年2月28日(2018.2.28)
 (86)国際出願番号 PCT/IB2018/051253
 (87)国際公開番号 WO2018/167591
 (87)国際公開日 平成30年9月20日(2018.9.20)
 審査請求日 令和3年2月25日(2021.2.25)
 (31)優先権主張番号 特願2017-47420(P2017-47420)
 (32)優先日 平成29年3月13日(2017.3.13)
 (33)優先権主張国・地域又は機関
 日本国(JP)
 (31)優先権主張番号 特願2017-72177(P2017-72177)
 (32)優先日 平成29年3月31日(2017.3.31)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72)発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 竹内 敏彦
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 山出 直人
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 (72)発明者 藤木 寛士
 神奈川県厚木市長谷398番地 株式会
 社半導体エネルギー研究所内
 最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

第1の導電体と、
 前記第1の導電体上の第2の導電体と、
 前記第2の導電体を覆う第1の絶縁体と、
 前記第1の絶縁体上の第1の酸化物半導体と、
 前記第1の酸化物半導体上の第2の酸化物半導体と、を有し、
 前記第1の酸化物半導体および前記第1の絶縁体には、少なくとも前記第1の導電体の一部と重なる開口が設けられ、
 前記第2の酸化物半導体は、前記開口を介して前記第1の導電体と電氣的に接続する半導体装置。

【請求項2】

請求項1において、
 前記第2の酸化物半導体の端部は、前記第1の酸化物半導体の端部と一致または概略一致する半導体装置。

【請求項3】

請求項1において、
 前記半導体装置は、さらに、
 第3の導電体と、
 前記第3の導電体上の第4の導電体と、

前記第 2 の酸化物半導体上の第 3 の酸化物と、
前記第 3 の酸化物上の第 2 の絶縁体と、
前記第 2 の絶縁体上の第 5 の導電体を有し、
前記第 4 の導電体は、前記第 1 の絶縁体に覆われ、
前記第 5 の導電体は、前記第 1 の絶縁体、前記第 1 の酸化物半導体、前記第 2 の酸化物半導体、前記第 3 の酸化物、および前記第 2 の絶縁体を間に挟み、前記第 3 の導電体および前記第 4 の導電体と重なる半導体装置。

【請求項 4】

請求項 3 において、
前記第 1 の導電体と、前記第 3 の導電体は、同じ材料を有し、
前記第 2 の導電体と、前記第 4 の導電体は、同じ材料を有する半導体装置。

10

【請求項 5】

請求項 1 において、
前記第 2 の導電体は、金属窒化物を含む半導体装置。

【請求項 6】

請求項 5 において、
前記金属窒化物は、窒化チタンまたは窒化タンタルである半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明の一態様は、半導体装置、ならびに半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

【0002】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置および電子機器などは、半導体装置を有すると言える場合がある。

【0003】

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

30

【背景技術】

【0004】

半導体素子を用いた集積回路（Integrated Circuit：IC）の開発がすすめられている。CPUやメモリの開発および製造には、より高い集積度のICからなるLSIや超LSIの技術が用いられている。このようなICは、回路基板、例えばプリント配線板に実装され、コンピュータ、情報端末、表示装置、自動車などを構成する、様々な電子機器の部品の一つとして用いられる。また、これらを人工知能（Artificial Intelligence：AI）システムに用いる研究も進められている。

40

【0005】

コンピュータや情報端末として、デスクトップ型コンピュータ、ラップトップ型コンピュータ、タブレット型コンピュータ、スマートフォン、携帯電話などが知られている。

【0006】

半導体素子に用いられる半導体材料としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【0007】

また、酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が

50

低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照）。

【0008】

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。

【0009】

ここで、酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、In-Ga-Zn酸化物（以下、IGZOとも呼ぶ。）に関する研究が盛んに行われている。

10

【0010】

IGZOに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、CAAC (c-axis aligned crystalline) 構造およびnc (nanocrystalline) 構造が見出された（非特許文献1乃至非特許文献3参照）。非特許文献1および非特許文献2では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、CAAC構造およびnc構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献4および非特許文献5に示されている。

【0011】

さらに、IGZOを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献6参照）、その特性を利用したLSIおよびディスプレイが報告されている（非特許文献7および非特許文献8参照）。

20

【先行技術文献】

【特許文献】

【0012】

【文献】特開2012-257187号公報

【非特許文献】

【0013】

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183-186

30

S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p. 04ED18-1-04ED18-10

S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p. 151-154

S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p. Q3012-Q3022

S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p. 155-164

40

K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p. 021201-1-021201-7

S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p. T216-T217

S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p. 626-629

50

【発明の概要】

【発明が解決しようとする課題】

【0014】

本発明の一態様は、良好な電気特性を有する半導体装置およびその作製方法を提供することを課題の一つとする。本発明の一態様は、信頼性の高い半導体装置およびその作製方法を提供することを課題の一つとする。本発明の一態様は、微細化または高集積化が可能な半導体装置およびその作製方法を提供することを課題の一つとする。本発明の一態様は、生産性の高い半導体装置およびその作製方法を提供することを課題の一つとする。

【0015】

本発明の一態様は、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することを課題の一つとする。また、本発明の一態様は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一つとする。また、本発明の一態様は、データの書き込み速度が速い半導体装置を提供することを課題の一つとする。また、本発明の一態様は、新規な半導体装置を提供することを課題の一つとする。

10

【0016】

本発明の一態様は、設計自由度が高い半導体装置を提供することを課題の一つとする。また、本発明の一態様は、消費電力を抑えることができる半導体装置を提供することを課題の一つとする。

【0017】

本発明の一態様は、作製工程が簡略化された半導体装置およびその作製方法を提供することを課題の一つとする。また、本発明の一態様は、面積が縮小された半導体装置およびその作製方法を提供することを課題の一つとする。

20

【0018】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0019】

本発明の一態様は、第1の導電体と、第1の導電体上の第2の導電体と、第2の導電体を覆う第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物と、を有し、第1の酸化物および第1の絶縁体には、少なくとも第1の導電体の一部と重なる開口が設けられ、第2の酸化物は、開口を介して第1の導電体と電気的に接続する半導体装置である。

30

【0020】

上記において、第2の酸化物の端部は、第1の酸化物の端部と概略一致することが好ましい。

【0021】

上記において、半導体装置は、さらに、第3の導電体と、第3の導電体上の第4の導電体と、第2の酸化物上の第3の酸化物と、第3の酸化物上の第2の絶縁体と、第2の絶縁体上の第5の導電体を有していてもよく、第4の導電体は、第1の絶縁体に覆われ、第5の導電体は、第1の絶縁体、第1の酸化物、第2の酸化物、第3の酸化物、および第2の絶縁体を間に挟み、第3の導電体および第4の導電体と重なることが好ましい。

40

【0022】

上記において、第1の導電体と、第3の導電体は、同じ材料からなることが好ましく、第2の導電体と、第4の導電体は、同じ材料からなることが好ましい。

【0023】

上記において、第2の導電体は、金属窒化物を含むことが好ましい。

【0024】

50

上記において、金属窒化物は、窒化チタンまたは窒化タンタルであることが好ましい。

【0025】

本発明の一態様は、絶縁表面上に第1の導電膜を形成し、第1の導電膜上に第2の導電膜を形成し、第2の導電膜および第1の導電膜をパターニングして、第1の導電体および第1の導電体上の第2の導電体を形成し、第1の導電体および第2の導電体を覆うように第1の絶縁膜を形成し、第1の絶縁膜を、第2の導電体が露出するように加工して、第1の絶縁体を形成し、第1の絶縁体および第2の導電体上に第2の絶縁体を形成し、第2の絶縁体上に第1の酸化膜を形成し、第1の酸化膜および第2の絶縁体に、少なくとも第1の導電体の一部と重なる開口を形成し、第1の酸化膜上に第2の酸化膜を形成し、第2の酸化膜および第1の酸化膜をパターニングして、第1の酸化物、および第1の酸化物上の第2の酸化物を形成し、第2の酸化物は、開口を介して、第1の導電体と電氣的に接続する半導体装置の作製方法である。

10

【0026】

上記において、第2の導電膜および第1の導電膜のパターニングにより、さらに、第3の導電体および第3の導電体上の第4の導電体を形成し、第2の酸化物上に第3の酸化膜を形成し、第3の酸化膜上に第2の絶縁膜を形成し、第2の絶縁膜上に第3の導電膜を形成し、第3の導電膜をパターニングして第5の導電体を形成し、第2の絶縁膜をパターニングして第3の絶縁体を形成し、第3の酸化膜をパターニングして第3の酸化物を形成してもよく、第5の導電体は、第2の絶縁体、第1の酸化物、第2の酸化物、第3の酸化物、および第3の絶縁体を間に挟み、第3の導電体および第4の導電体と重なることが好ましい。

20

【0027】

上記において、第2の導電膜は、金属窒化物を含むことが好ましい。

【0028】

上記において、金属窒化物は、窒化チタンまたは窒化タンタルであることが好ましい。

【0029】

本発明の一態様は、第1の導電体と、第1の導電体上の第1の絶縁体と、第1の絶縁体上の第1の酸化物と、第1の酸化物上の第2の酸化物と、第2の酸化物上の第3の酸化物と、第3の酸化物上の第2の絶縁体と、第2の絶縁体上の第2の導電体と、第2の絶縁体の側面と、第2の導電体の側面に設けられた第3の絶縁体と、第3の絶縁体の側面に設けられた第4の絶縁体を有し、第1の酸化物および第1の絶縁体には、第1の導電体の一部と重なる開口が設けられ、第2の酸化物は、開口を介して第1の導電体と電氣的に接続する半導体装置である。

30

【0030】

上記において、第2の酸化物の側面、および第3の酸化物の側面は、第1の酸化物の側面と同一平面を有することが好ましい。

【0031】

上記において、第2の酸化物の端部、および第3の酸化物の端部は、第1の酸化物の端部と概略一致することが好ましい。

【0032】

上記において、当該半導体装置は、さらに、第3の導電体と、第4の酸化物を有していてもよく、第4の酸化物は、第3の酸化物と第2の絶縁体の間に設けられ、第3の導電体は、第1の絶縁体、第1の酸化物、第2の酸化物、第3の酸化物、第4の酸化物、および第2の絶縁体を間に挟み、第2の導電体と重なることが好ましい。

40

【0033】

上記において、第1の導電体と、第3の導電体は、同じ材料を有することが好ましい。

【0034】

本発明の一態様は、第1の導電体および第2の導電体上に第1の絶縁膜を形成し、第1の絶縁膜上に第1の酸化膜を形成し、第1の酸化膜および第1の絶縁膜に、少なくとも第1の導電体の一部と重なる開口を形成し、第1の酸化膜および第1の導電体上に第2の酸化

50

膜を形成し、第2の酸化膜上に第3の酸化膜を形成し、第3の酸化膜、第2の酸化膜および第1の酸化膜をパターニングして、第1の酸化物、第1の酸化物上の第2の酸化物、および第2の酸化物上の第3の酸化物を形成し、第1の酸化物、第2の酸化物、および第3の酸化物を覆うように第2の絶縁膜を形成し、第2の絶縁膜上に第1の導電膜を形成し、第1の導電膜、および第2の絶縁膜をパターニングして、第3の導電体、および第1の絶縁体を形成し、第3の導電体、および第1の絶縁体を覆うように第3の絶縁膜を形成し、第3の絶縁膜上に第4の絶縁膜を形成し、第4の絶縁膜および第3の絶縁膜をエッチングにより加工して、第3の導電体の側面、および第1の絶縁体の側面に第2の絶縁体、および第2の絶縁体の側面に第3の絶縁体を形成する半導体装置の作製方法である。

【0035】

上記において、第3の導電体は、第1の絶縁膜、第1の酸化物、第2の酸化物、第3の酸化物、および第1の絶縁体を間に挟み、第2の導電体と重なることが好ましい。

【発明の効果】

【0036】

本発明の一態様により、良好な電気特性を有する半導体装置およびその作製方法を提供することができる。本発明の一態様により、信頼性の高い半導体装置およびその作製方法を提供することができる。本発明の一態様により、微細化または高集積化が可能な半導体装置およびその作製方法を提供することができる。本発明の一態様により、生産性の高い半導体装置およびその作製方法を提供することができる。

【0037】

本発明の一態様により、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。または、長期間においてデータの保持が可能な半導体装置を提供することができる。または、データの書き込み速度が速い半導体装置を提供することができる。または、新規な半導体装置を提供することができる。

【0038】

本発明の一態様により、設計自由度が高い半導体装置を提供することができる。または、消費電力を抑えることができる半導体装置を提供することができる。

【0039】

本発明の一態様により、作製工程が簡略化された半導体装置およびその作製方法を提供することができる。また、本発明の一態様により、面積が縮小された半導体装置およびその作製方法を提供することができる。

【0040】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0041】

【図1】本発明の一態様に係る半導体装置を示す上面図および断面図。

【図2】本発明の一態様に係る半導体装置を示す断面図。

【図3】本発明の一態様に係る半導体装置を示す上面図および断面図。

【図4】本発明の一態様に係る半導体装置を示す上面図および断面図。

【図5】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図6】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図7】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図8】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図9】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図10】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図11】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

【図12】本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。

10

20

30

40

50

- [illegible]

【図 6 3】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図 6 4】本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。

【図 6 5】本発明の一態様に係る半導体装置の構成例を示すブロック図。

【図 6 6】本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。

【図 6 7】本発明の一態様に係る A I システムの構成例を示すブロック図。

【図 6 8】本発明の一態様に係る A I システムの応用例を説明するブロック図。

【図 6 9】本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。

10

【図 7 0】本発明の一態様に係る電子機器を示す図。

【発明を実施するための形態】

【0042】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0043】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、実際の製造工程において、エッチングなどの処理により層やレジストマスクなどが意図せずに目減りすることがあるが、理解を容易とするために省略して示すことがある。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

20

【0044】

また、特に上面図（「平面図」ともいう。）や斜視図などにおいて、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

30

【0045】

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

【0046】

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

40

【0047】

例えば、本明細書等において、X と Y とが接続されている、と明示的に記載されている場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とが、本明細書等の開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

【0048】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、

50

層、など)であるとする。

【0049】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)を介さずに、XとYとが、接続されている場合である。

【0050】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子(例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など)が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態(オン状態)、または、非導通状態(オフ状態)になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

【0051】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路(例えば、論理回路(インバータ、NAND回路、NOR回路など)、信号変換回路(DA変換回路、AD変換回路、ガンマ補正回路など)、電位レベル変換回路(電源回路(昇圧回路、降圧回路など)、信号の電位レベルを変えるレベルシフタ回路など)、電圧源、電流源、切り替え回路、増幅回路(信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など)、信号生成回路、記憶回路、制御回路など)が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

【0052】

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン(ドレイン端子、ドレイン領域またはドレイン電極)とソース(ソース端子、ソース領域またはソース電極)の間にチャンネル形成領域を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

【0053】

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができる場合がある。

【0054】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

10

20

30

40

50

【0055】

チャンネル幅とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0056】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

【0057】

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0058】

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅（*SCW: Surrounded Channel Width*）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを解析することなどによって、値を決定することができる。

【0059】

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体のDOS（*Density of States*）が高くなることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、および酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

【0060】

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものである。例えば、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものである。例えば、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度

10

20

30

40

50

範囲で含まれるものをいう。

【0061】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0062】

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

10

【0063】

また、本明細書等に示すトランジスタは、明示されている場合を除き、電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、nチャネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、0Vよりも大きいものとする。

【0064】

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

20

【0065】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系に含まれるものとする。

【0066】

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜に導電性を有する場合は、導電性バリア膜と呼ぶことがある。

30

【0067】

本明細書等において、金属酸化物（metal oxide）とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Oxide Semiconductorまたは単にOSともいう）などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OSFETと記載する場合においては、酸化物または酸化物半導体を有するトランジスタと換言することができる。

【0068】

（実施の形態1）

<半導体装置の構成例1>

40

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の一例について説明する。

【0069】

なお、本実施の形態では、トランジスタ200と同じ層に容量素子100を設ける例を示す。また、容量素子100は、トランジスタ200を構成する構造の一部を、容量素子100を構成する構造の一部として用いる例を示す。

【0070】

この場合、トランジスタ200に、容量素子100の一部、または全体を重畳させることができ、トランジスタ200の投影面積、および容量素子100の投影面積の合計した面積を小さくすることができるため、好ましい。

50

【0071】

しかしながら、本実施の形態は、これに限らない。容量素子100は、トランジスタ200と異なる層に設けてもよく、例えば、トランジスタ200を覆うように設けられた絶縁体（層間膜）上に容量素子100を設けてもよい。また、半導体装置が動作するうえで、あるいは回路構成上、容量素子が不要な場合、容量素子100は設けなくてもよい。

【0072】

図1（A）、図1（B）、図1（C）、および図1（D）は、本発明の一態様に係るトランジスタ200、容量素子100、およびトランジスタ200周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する半導体装置をセルと称する。

【0073】

図1（A）は、トランジスタ200、および容量素子100を有するセル600の上面図である。また、図1（B）、図1（C）、および図1（D）はセル600の断面図である。ここで、図1（B）は、図1（A）にA-Bの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図1（C）は、図1（A）にC-Dの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図1（D）は、図1（A）にE-Fの一点鎖線で示す部位の断面図であり、酸化物230と導電体203との接続部や、容量素子100などの断面図でもある。図1（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0074】

[セル600]

本発明の一態様の半導体装置は、トランジスタ200と、容量素子100、層間膜として機能する絶縁体280を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体252（導電体252a、導電体252b、導電体252c、および導電体252d）とを有する。

【0075】

なお、導電体252は、絶縁体280の開口の内壁に接して形成されている。ここで、導電体252の上面の高さと、絶縁体280の上面の高さは同程度にできる。なお、トランジスタ200では、導電体252が2層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体252は、単層、または3層以上の積層構造でもよい。

【0076】

[トランジスタ200]

図1に示すように、トランジスタ200は、基板（図示せず）の上に配置された絶縁体208、絶縁体210、絶縁体210上に配置された導電体203（導電体203a、導電体203b）および導電体205（導電体205a、導電体205b）と、導電体203および導電体205の間およびこれら導電体の周辺に設けられた絶縁体216と、絶縁体216、導電体203、導電体205の上に配置された絶縁体220と、絶縁体220の上に配置された絶縁体222と、絶縁体222の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物230（酸化物230a、酸化物230b、および酸化物230c）と、酸化物230の上に配置された絶縁体250と、絶縁体250の上に配置された導電体260（導電体260a、および導電体260b）と、導電体260の上に配置された絶縁体270、および絶縁体271と、少なくとも絶縁体250、および導電体260の側面に接して配置された絶縁体272と、酸化物230、および絶縁体272と接して配置された絶縁体274と、を有する。

【0077】

なお、絶縁体216は、導電体203および導電体205を覆うように配置した絶縁膜を、CMP法などを用いて導電体203および導電体205が露出するまで研磨することで形成することができる。そのため、絶縁体216、導電体203、および導電体205は、表面の平坦性に優れる。

10

20

30

40

50

【0078】

また、絶縁体220、絶縁体222、絶縁体224、および酸化物230aは、開口を有している。また、酸化物230bは、上記開口を介して導電体203と電氣的に接続している。酸化物230bと、導電体203とが、酸化物230aを介さずに接続する構成とすることで、直列抵抗及び接触抵抗を低減することが可能となる。このような構成により、電気特性の良好な半導体装置が得られる。より具体的には、オン電流の向上したトランジスタ、および当該トランジスタを用いた半導体装置が得られる。

【0079】

また、導電体203および導電体205は積層構造を有しているのが好ましい。さらに、導電体203bおよび導電体205bは、導電体203aおよび導電体205aよりも酸化しにくい、すなわち耐酸化性に優れた材料を用いることが好ましい。導電体203bおよび導電体205bに酸化しにくい材料を用いることで、絶縁体216となる絶縁膜の形成時、絶縁体216の形成時、絶縁体220の形成時、絶縁体220、絶縁体222、絶縁体224、および酸化物230aに設けられる開口の形成時、および酸化物230bとなる酸化物の形成時に、導電体203および導電体205の酸化を抑制することができる。これにより、導電体203および導電体205の酸化による電気抵抗の増加を抑制することができる。特に導電体203上面の酸化が抑制されることで、導電体203と酸化物230bのコンタクトは良好なものになる。

【0080】

導電体203aおよび導電体205aは、導電体203bおよび導電体205bより低抵抗な材料を用いることが好ましい。導電体203aおよび導電体205a上には、それぞれ耐酸化性に優れた材料からなる導電体203bおよび導電体205bが設けられている。そのため、トランジスタ200等の作製工程において、導電体203aおよび導電体205aの酸化などによる電気抵抗の増加を抑制することができる。

【0081】

なお、トランジスタ200では、図1に示すように、酸化物230a、酸化物230b、および酸化物230cを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230a、酸化物230bの2層構造、または4層以上の積層構造としてもよい。また、酸化物230bのみの単層、または酸化物230bと酸化物230cのみを設ける構成にしてもよい。また、トランジスタ200では、導電体260a、および導電体260bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、単層、または3層以上の積層構造としてもよい。

【0082】

ここで、図1(B)における一点鎖線で囲む、チャネル近傍の領域239の拡大図を図2に示す。

【0083】

図1(B)および図2に示すように、酸化物230は、トランジスタ200のチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231(領域231a、および領域231b)との間に、領域232(領域232a、および領域232b)を有する。ソース領域またはドレイン領域として機能する領域231は、キャリア密度が高い、低抵抗化した領域である。また、チャネル形成領域として機能する領域234は、ソース領域またはドレイン領域として機能する領域231よりも、キャリア密度が低い領域である。また、領域232は、ソース領域またはドレイン領域として機能する領域231よりもキャリア密度が低く、チャネル形成領域として機能する領域234よりもキャリア密度が高い領域である。すなわち領域232は、チャネル形成領域と、ソース領域またはドレイン領域との間の接合領域(junction region)としての機能を有する。

【0084】

接合領域を設けることで、ソース領域またはドレイン領域として機能する領域231と、チャネル形成領域として機能する領域234との間に高抵抗領域が形成されず、トランジ

10

20

30

40

50

スタのオン電流を大きくすることができる。

【0085】

また、領域232は、ゲート電極として機能する導電体260と重なる領域を有する。特に、領域232においてゲート電極として機能する導電体260と重なる領域は、いわゆるオーバーラップ領域（Lov領域ともいう）として機能する場合がある。

【0086】

領域231は、絶縁体274と接することが好ましい。また、領域231は、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域232、および領域234よりも大きいことが好ましい。

【0087】

領域232は、絶縁体272と重畳する領域を有する。領域232は、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域234よりも大きいことが好ましい。一方、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域231よりも、小さいことが好ましい。

【0088】

領域234は、導電体260と重畳する。領域234は、領域232a、および領域232bとの間に配置しており、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域231、および領域232より、小さいことが好ましい。

【0089】

また、酸化物230において、領域231、領域232、および領域234の境界は明確に検出できない場合がある。各領域内で検出されるインジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化（グラデーションともいう）していてもよい。つまり、領域231から領域232へ、領域234に近い領域であるほど、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度が減少していればよい。

【0090】

また、図1（B）および図2では、領域234、領域231、および領域232が、酸化物230bに形成されているが、これに限られることなく、例えばこれらの領域は酸化物230a、または酸化物230cにも形成されていてもよい。また、図では、各領域の境界を、酸化物230の上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域232が酸化物230bの表面近傍では導電体260側に張り出し、酸化物230bの下面近傍では、導電体252a側または導電体252b側に後退する形状になる場合がある。

【0091】

なお、トランジスタ200において、酸化物230は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

【0092】

一方で、酸化物半導体を用いたトランジスタは、酸化物半導体中の不純物及び酸素欠損によって、その電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。従って、チャネル形成領域に酸素欠損が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、チャネル形成領域中の酸素欠損はできる限り低減されていることが好ましい。

【0093】

10

20

30

40

50

特に、酸化物 230 におけるチャネルが形成される領域 234 と、ゲート絶縁膜として機能する絶縁体 250 との界面に、酸素欠損が存在すると、電気特性の変動が生じやすく、また信頼性が悪くなる場合がある。

【0094】

そこで、酸化物 230 の領域 234 と重畳する絶縁体 250 が化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素ともいう）を含むことが好ましい。つまり、絶縁体 250 が有する過剰酸素が、領域 234 へと拡散することで、領域 234 中の酸素欠損を低減することができる。

【0095】

また、絶縁体 250 と接して、絶縁体 272 を設けることが好ましい。例えば、絶縁体 272 は、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。絶縁体 272 が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は絶縁体 274 側へ拡散することなく、効率よく領域 234 へ供給される。従って、酸化物 230 と、絶縁体 250 との界面における酸素欠損の形成が抑制され、トランジスタ 200 の信頼性を向上させることができる。

【0096】

さらに、トランジスタ 200 は、水または水素などの不純物の混入を防ぐバリア性を有する絶縁体で覆われていることが好ましい。バリア性を有する絶縁体とは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ N_2O 、 NO 、 NO_2 など）、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いた絶縁体である。また、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。

【0097】

以下では、本発明の一態様に係るトランジスタ 200 を有する半導体装置の詳細な構成について説明する。

【0098】

トランジスタ 200 において、導電体 260 は、第 1 のゲート電極として機能する場合がある。また、導電体 205 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 200 のしきい値電圧を制御することができる。特に、導電体 205 に負の電位を印加することにより、トランジスタ 200 のしきい値電圧を 0 V より大きくし、オフ電流を低減することが可能となる。従って、導電体 260 に印加する電圧が 0 V のときのドレイン電流を小さくすることができる。

【0099】

第 2 のゲート電極として機能する導電体 205 は、酸化物 230 および導電体 260 と重なるように配置する。

【0100】

ここで、導電体 205 は、酸化物 230 における領域 234 よりも、チャネル幅方向の長さが大きくなるように大きく設けるとよい。特に、導電体 205 は、酸化物 230 の領域 234 がチャネル幅方向と交わる端部よりも外側の領域においても、延伸していることが好ましい。つまり、酸化物 230 のチャネル幅方向における側面において、導電体 205 と、導電体 260 とは、絶縁体を介して重畳していることが好ましい。

【0101】

導電体 203 は導電体 205 と同じ工程で形成することができる。導電体 203 は、酸化物 230 の領域 231 に電氣的に接続する電極や配線としての機能を有する。

【0102】

絶縁体 216 は、導電体 203 および導電体 205 の間、およびこれら導電体の周辺に形成されている。ここで、導電体 203、および導電体 205 の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。

10

20

30

40

50

【0103】

ここで、導電体203b、および導電体205bは、導電体203a、および導電体205aに比べ、酸化しにくい、すなわち耐酸化性に優れた導電性材料を用いることが好ましい。このような導電性材料として、窒化タンタルや窒化チタンなどの金属窒化物を用いることができる。

【0104】

導電体203b、および導電体205bとして、耐酸化性に優れた材料を用いることにより、導電体203、および導電体205が酸化して導電率が低下することを防ぐことができる。また、導電体203の上面の酸化が抑制されることで、酸化物230bと導電体203とのコンタクトは良好なものになる。

【0105】

また、導電体203a、および導電体205aは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。本実施の形態では、導電体203a、および導電体205aとして、タングステンを用いた。

【0106】

また、図3に示すように、導電体205と電氣的に接続する導電体209を設けてもよい。導電体209は、絶縁体210の上にさらに絶縁体212を設け、絶縁体212に設けられた開口に埋め込むように形成することができる。この場合、導電体209は、絶縁体212に設けられた開口の側面および底面に接するように設けられる第1の導電体と、第1の導電体上に設けられる第2の導電体からなる積層構造としてもよい。この場合、第1の導電体は、導電性バリアとすることが好ましい。また、導電体209は単層構造、あるいは3層以上の積層構造としてもよい。導電体209を3層以上の積層構造とする場合、導電性バリアを2層以上設ける構成としてもよい。導電性バリアとしては、水素、水、窒素などの不純物の透過を抑制するバリア膜、酸素の透過を抑制するバリア膜、あるいは金属成分の透過を抑制するバリア膜から一または複数を選んで設けることができる。

【0107】

または、導電体209は、絶縁体210上に、単層または2層以上からなる導電膜を設けた後、リソグラフィー法やエッチング法を用いて形成してもよい。さらに、絶縁体210上に、導電体209を覆うように絶縁膜を形成してもよく、当該絶縁膜をCMP法やエッチング法により加工し、絶縁体212を形成する。

【0108】

導電体209は、電極や配線として機能することができる。導電体205を、トランジスタ200の第2のゲート電極として用いる場合、導電体209の一部は、ゲート配線として機能することができる。このとき、導電体207aおよび、導電体207a上に設けられた導電体207bからなる導電体207、および導電体209を介して、導電体205と導電体252dを電氣的に接続してもよい。導電体207は、導電体203および導電体205と同じ工程で作製することができる。

【0109】

また、導電体209は、導電体203を介して酸化物230bと電氣的に接続しており、トランジスタ200のソース配線またはドレイン配線として機能することができる。また、導電体209は、絶縁体210より下層に位置する素子や配線と電氣的に接続するための電極として用いてもよい。

【0110】

絶縁体210は、水または水素などの不純物が、基板側からトランジスタに混入するのを防ぐ絶縁性バリア膜として機能することが好ましい。従って、絶縁体210は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)絶縁性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子など)の少なくとも一の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料を用いることが好ましい。

【0111】

例えば、絶縁体210として、酸化アルミニウムや窒化シリコンなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体210よりトランジスタ側に拡散するのを抑制することができる。または、絶縁体224などに含まれる酸素が、絶縁体210より基板側に、拡散するのを抑制することができる。

【0112】

また、層間膜として機能する絶縁体208、絶縁体216、および絶縁体280は、絶縁体210よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0113】

例えば、層間膜として機能する絶縁体208、絶縁体216、および絶縁体280として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0114】

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。

【0115】

ここで、酸化物230と接する絶縁体224は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁体を用いることが好ましい。つまり、絶縁体224には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物230に接して設けることにより、酸化物230中の酸素欠損を低減し、信頼性を向上させることができる。

【0116】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素が脱離する酸化物とは、TDS（Thermal Desorption Spectroscopy）分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100℃以上700℃以下、または100℃以上400℃以下の範囲が好ましい。

【0117】

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子など）の少なくとも一の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0118】

絶縁体222が、酸素の拡散を抑制する機能を有することで、過剰酸素領域の酸素は、絶縁体220側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

【0119】

絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO₃）または（Ba, Sr）TiO₃（BST）などのいわゆるh i g h - k材料を含む絶縁体を単層または積層で用いることが好ましい。ゲート絶縁体とし

10

20

30

40

50

て機能する絶縁体に、h i g h - k 材料を用いることで、トランジスタの微細化、および高集積化が可能となる。特に、酸化アルミニウム、酸化ハフニウム、およびハフニウムアルミネート、などの、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。このような材料を用いて形成した場合、酸化物 230 からの酸素の放出や、トランジスタ 200 の周辺部からの水素等の不純物の混入を防ぐ層として機能する。

【0120】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

10

【0121】

また、絶縁体 220 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、h i g h - k 材料の絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0122】

なお、絶縁体 220、絶縁体 222、および絶縁体 224 が、2 層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。また、トランジスタ 200 で絶縁体 220、絶縁体 222、および絶縁体 224 がゲート絶縁体として機能する構成を示したが、本実施の形態はこれに限られるものではない。例えば、ゲート絶縁体として、絶縁体 220、絶縁体 222、および絶縁体 224 のいずれか 2 層または 1 層を設ける構成にしてもよい。

20

【0123】

酸化物 230 は、酸化物 230 a と、酸化物 230 a 上の酸化物 230 b と、酸化物 230 b 上の酸化物 230 c と、を有する。また、酸化物 230 は、領域 231、領域 232、および領域 234 を有する。なお、領域 231 の少なくとも一部は、絶縁体 274 と接することが好ましい。また、領域 231 の少なくとも一部は、インジウムなどの金属元素、水素、および窒素の少なくとも一の濃度が領域 234 よりも大きいことが好ましい。

【0124】

トランジスタ 200 をオンさせると、領域 231 a、または領域 231 b は、ソース領域、またはドレイン領域として機能する。一方、領域 234 の少なくとも一部は、チャネルが形成される領域として機能する。

30

【0125】

絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230 a は、開口を有しており、酸化物 230 b の領域 231 は、導電体 203 と電気的に接続している。すなわち、トランジスタ 200 のソースおよびドレインの一方は、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230 a に設けられた開口を介して、導電体 203 と電気的に接続しており、導電体 203 はソース電極およびドレイン電極の一方、あるいはソース配線とドレイン配線の一方として機能することができる。

【0126】

図 1 (A) および図 1 (D) に示すように、酸化物 230 a および酸化物 230 b は、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230 a に形成された開口を包含するように、当該開口と重なる領域における、E - F 方向の幅を、当該開口の幅より広く形成することが好ましい。よって、当該領域における、酸化物 230 a および酸化物 230 b の E - F 方向の幅は、チャネルが形成される領域や、A 側の領域における、酸化物 230 a および酸化物 230 b の C - D 方向の幅よりも広くなる場合がある。このような構造にすることで、酸化物 230 b と導電体 203 のコンタクトを確実に行うことができる。また、容量素子 100 の面積を大きくすることができ、容量素子 100 の大容量化が期待できる。

40

【0127】

50

ここで、図 2 に示すように、酸化物 230 は、領域 232 を有することが好ましい。当該構成とすることで、トランジスタ 200 において、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

【0128】

また、酸化物 230 a 上に、酸化物 230 b を有することで、酸化物 230 a よりも下方に形成された構造物から、酸化物 230 b に対する不純物の拡散を抑制することができる。また、酸化物 230 c 下に、酸化物 230 b を有することで、酸化物 230 c よりも上方に形成された構造物から、酸化物 230 b に対する不純物の拡散を抑制することができる。

【0129】

また、酸化物 230 は、その側面と、上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物 230 b の端部において、曲率半径が、3 nm 以上 10 nm 以下、好ましくは、5 nm 以上 6 nm 以下とすることが好ましい。

【0130】

酸化物 230 は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。例えば、領域 234 となる金属酸化物としては、エネルギーギャップが 2 eV 以上、好ましくは 2.5 eV 以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0131】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0132】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力の半導体装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型の半導体装置を構成するトランジスタに用いることができる。

【0133】

例えば、酸化物 230 として、In-M-Zn 酸化物（元素 M は、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物 230 として、In-Ga 酸化物、In-Zn 酸化物を用いてもよい。

【0134】

ここで、酸化物 230 の領域 234 について説明する。

【0135】

領域 234 は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物 230 a、および酸化物 230 b の積層構造を有する場合、酸化物 230 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 230 a に用いる金属酸化物において、In に対する元素 M の原子数比が、酸化物 230 b に用いる金属酸化物における、In に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 230 b に用いる金属酸化物において、元素 M に対する In の原子数比が、酸化物 230 a に用いる金属酸化物における、元素 M に対する In の原子数比より大きいことが好ましい。また、酸化物 230 c は、酸化物 230 a または酸化物 230 b に用いることができる金属酸化物を、用いることができる。

【0136】

酸化物 230a には、例えば $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成を有する金属酸化物を用いることができる。また、酸化物 230b には、例えば $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、または $\text{In} : \text{Ga} : \text{Zn} = 5 : 1 : 6$ の組成を有する金属酸化物を用いることができる。酸化物 230c には、例えば $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 、 $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、または $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成を有する金属酸化物を用いることができる。なお、上記組成は、基板上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。

【0137】

特に、酸化物 230a として $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、酸化物 230b として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、酸化物 230c として $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ の組成を有する金属酸化物の組み合わせ、または酸化物 230a として $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 4$ 、酸化物 230b として $\text{In} : \text{Ga} : \text{Zn} = 4 : 2 : 3$ 、酸化物 230c として $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ の組成を有する金属酸化物の組み合わせは、酸化物 230b を、よりエネルギーギャップの広い酸化物 230a と酸化物 230c で挟むことができ、好ましい。この時、エネルギーギャップの広い酸化物 230a と酸化物 230c をワイドギャップ、相対的にエネルギーギャップが狭い酸化物 230b をナローギャップと呼ぶことがある。ワイドギャップ、およびナローギャップについては、[金属酸化物の構成] にて説明する。

【0138】

続いて、酸化物 230 の領域 231、および領域 232 について説明する。

【0139】

領域 231、および領域 232 は、酸化物 230 として設けられた金属酸化物に、インジウムなどの金属原子、または不純物を添加し、低抵抗化した領域である。なお、各領域は、少なくとも、領域 234 における酸化物 230b よりも、導電性が高い。なお、領域 231、および領域 232 に、不純物を添加するために、例えば、プラズマ処理、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いて、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。

【0140】

つまり、領域 231、および領域 232 において、酸化物 230 のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

【0141】

または、酸化物 230 に接して、不純物となる元素を含む絶縁体 274 を成膜することで、領域 231、および領域 232 に、不純物を添加することができる。

【0142】

つまり、領域 231、および領域 232 は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素が添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域 231、および領域 232 は、上記元素の一つまたは複数を含む構成にすればよい。

【0143】

または、絶縁体 274 として、領域 231、および領域 232 に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域 231、および領域 232 には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域 231、および領域 232 は低抵抗化する。

【0144】

絶縁体 274 は、単層で形成してもよいし、2 層以上の積層構造としてもよい。絶縁体 274 は、CVD 法、ALD 法、スパッタリング法などを用いて形成することができる。ALD 法は、優れた段差被覆性、優れた厚さの均一性、および優れた膜厚の制御性を有するため、酸化物 230 や、導電体 260 により形成された段差部の成膜には好適である。ALD 法を用いて、0.5 nm 以上 5.0 nm 以下の膜厚を有する絶縁体を形成後、プラズマ CVD 法を用いて、1.0 nm 以上 10.0 nm 以下の絶縁体を積層して絶縁体 274 を形成してもよい。例えば、ALD 法を用いて形成した酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）上に、プラズマ CVD 法を用いて形成した窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、または酸化シリコンを積層して絶縁体 274 としてもよい。または、プラズマ CVD 法を用いて、1.0 nm 以上 10.0 nm 以下の絶縁体を形成して、単層の絶縁体 274 としてもよい。例えば、プラズマ CVD 法を用いて形成した窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、または酸化シリコンを絶縁体 274 としてもよい。

10

【0145】

また、トランジスタ 200 において、領域 232 を設けることで、ソース領域およびドレイン領域として機能する領域 231 と、チャンネルが形成される領域 234 との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域 232 を有することで、チャンネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域 232 を有することで、非導通時のリーク電流を小さくすることができる。

20

【0146】

従って、領域 232 の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0147】

絶縁体 250 は、ゲート絶縁膜として機能する。絶縁体 250 は、酸化物 230c の上面に接して配置することが好ましい。絶縁体 250 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析（TDS 分析）にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

30

【0148】

加熱により酸素が放出される絶縁体を、絶縁体 250 として、酸化物 230c の上面に接して設けることにより、酸化物 230b の領域 234 に効果的に酸素を供給することができる。また、絶縁体 224 と同様に、絶縁体 250 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 の膜厚は、1 nm 以上 20 nm 以下とするのが好ましい。

【0149】

第 1 のゲート電極として機能する導電体 260 は、導電体 260a、および導電体 260a 上の導電体 260b を有する。

40

【0150】

導電体 260a は、窒化チタンなどを用いることが好ましい。また、導電体 260b として、例えばタングステンなどの、導電性が高い金属を用いることができる。

【0151】

また、絶縁体 250 と導電体 260a の間に、導電性酸化物からなる導電体を設けてもよい。例えば、酸化物 230a または酸化物 230b として用いることができる金属酸化物を用いることができる。特に、In-Ga-Zn 系酸化物のうち、導電性が高い、金属の原子数比が $[\text{In}] : [\text{Ga}] : [\text{Zn}] = 4 : 2 : 3$ から 4.1、およびその近傍値のものを用いることが好ましい。このような導電体を絶縁体 250 上に設けることで、導電

50

体 2 6 0 a への酸素の透過を抑制し、酸化によって導電体 2 6 0 a の電気抵抗値が増加することを防ぐことができる。

【 0 1 5 2 】

また、上記導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体 2 5 0 に酸素を添加し、酸化物 2 3 0 b に酸素を供給することが可能となる。これにより、酸化物 2 3 0 の領域 2 3 4 の酸素欠損を低減することができる。

【 0 1 5 3 】

また、導電体 2 6 0 c の上に、バリア膜として機能する絶縁体 2 7 0 を配置してもよい。絶縁体 2 7 0 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。これにより、導電体 2 6 0 の酸化を防ぐことができる。また、導電体 2 6 0 および絶縁体 2 5 0 を介して、水または水素などの不純物が酸化物 2 3 0 に混入することを防ぐことができる。

10

【 0 1 5 4 】

また、絶縁体 2 7 0 上に、ハードマスクとして機能する絶縁体 2 7 1 を配置することが好ましい。絶縁体 2 7 0 を設けることで、導電体 2 6 0 の加工の際、導電体 2 6 0 の側面が概略垂直、具体的には、導電体 2 6 0 の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。導電体をこのような形状に加工することで、次に形成する絶縁体 2 7 2 を所望の形状に形成することができる。

20

【 0 1 5 5 】

また、バリア膜として機能する絶縁体 2 7 2 を、絶縁体 2 5 0、導電体 2 6 0、および絶縁体 2 7 0 の側面に接して設ける。

【 0 1 5 6 】

ここで、絶縁体 2 7 2 は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。これにより、絶縁体 2 5 0 中の酸素が外部に拡散することを防ぐことができる。また、絶縁体 2 5 0 の端部などから酸化物 2 3 0 に水素、水などの不純物が混入するのを抑制することができる。

30

【 0 1 5 7 】

絶縁体 2 7 2 を設けることで、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁体で導電体 2 6 0 の上面と側面および絶縁体 2 5 0 の側面を覆うことができる。これにより、導電体 2 6 0 および絶縁体 2 5 0 を介して、水または水素などの不純物が酸化物 2 3 0 に混入することを防ぐことができる。従って、絶縁体 2 7 2 は、ゲート電極およびゲート絶縁膜の側面を保護するサイドバリアとしての機能を有する。

40

【 0 1 5 8 】

また、トランジスタが微細化され、チャネル長が10nm以上30nm以下程度に形成されている場合、トランジスタ 2 0 0 の周辺に設けられる構造体に含まれる不純物元素が拡散し、領域 2 3 1 a と領域 2 3 1 b、あるいは、領域 2 3 2 a と領域 2 3 2 b と、が電氣的に導通する恐れがある。

【 0 1 5 9 】

そこで、本実施の形態に示すように、絶縁体 2 7 2 を形成することにより、絶縁体 2 5 0 および導電体 2 6 0 に水素、水などの不純物が混入するのを抑制し、かつ、絶縁体 2 5 0 中の酸素が外部に拡散することを防ぐことができる。従って、第1のゲート電圧が0Vのときに、ソース領域とドレイン領域が直接、あるいは領域 2 3 2などを介して電氣的に導

50

通することを防ぐことができる。

【0160】

絶縁体274は、絶縁体271、絶縁体272、酸化物230および絶縁体224などを覆って設ける。

【0161】

また、絶縁体274は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体274として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。また、酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）上に前記絶縁性材料を積層して設けることで絶縁体274としてもよい。このような絶縁体274を形成することで、絶縁体274を透過して酸素が混入し、領域231aおよび領域231bの酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体274を透過して水または水素などの不純物が混入し、領域231aおよび領域231bが過剰に領域234側に拡張するのを防ぐことができる。

10

【0162】

なお、絶縁体274を成膜することにより、領域231、および領域232を設ける場合、絶縁体274は、酸化物230内に酸素欠損を形成する元素、または酸化物230中の酸素欠損に捕獲される元素を有することが好ましい。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。このような元素を有する絶縁体を絶縁体274に用いることで、当該元素を酸化物230に添加して、酸化物230において、領域231、および領域232を形成することができる。

20

【0163】

または、絶縁体274として、領域231、および領域232に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域231、および領域232には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域231、および領域232は低抵抗化する。

30

【0164】

トランジスタ200と同じ層に容量素子100を設ける場合、絶縁体274を間に挟み、容量素子の一方の電極として機能する酸化物230の領域231と重なるように導電体130を設ける。

【0165】

絶縁体274の上に、また、絶縁体274上に導電体130を設ける場合は、絶縁体274および導電体130の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁体280は、絶縁体224などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体280は、同様の絶縁体からなる積層構造としてもよい。

40

【0166】

次に、トランジスタ200と電氣的に接続する導電体252（導電体252a、導電体252b、導電体252c、および導電体252d）を設ける。絶縁体280および絶縁体274に形成された開口に、酸化物230と電氣的に接続する導電体252aを配置し、絶縁体280に形成された開口に、導電体130と電氣的に接続する導電体252bを配置し、絶縁体280、絶縁体274、絶縁体271、および絶縁体270に形成された開口に、第1のゲートとして機能する導電体260と電氣的に接続する導電体252cを配置し、絶縁体280、絶縁体274、絶縁体224、絶縁体222、および絶縁体220に形成された開口に、第2のゲートとして機能する導電体205と電氣的に接続する導電体252dを配置する。なお、導電体130を設けない場合は、導電体252bは、絶縁

50

体 2 8 0 および絶縁体 2 7 4 に形成された開口を介して、酸化物 2 3 0 と電氣的に接続することができる。なお、導電体 2 5 2 a、導電体 2 5 2 b、導電体 2 5 2 c、および導電体 2 5 2 d の上面は、絶縁体 2 8 0 の上面と、同一平面上としてもよい。

【0167】

また、導電体 2 5 2 b が設けられる開口は、導電体 2 0 3 の少なくとも一部、または絶縁体 2 2 0、絶縁体 2 2 2、絶縁体 2 2 4、および酸化物 2 3 0 a に設けられた開口の少なくとも一部と重なるように設けることで、半導体装置の微細化や高集積化が実現できるため好ましい。

【0168】

なお、導電体 2 5 2 は、ダマシン法を用いて形成することができる。

【0169】

また、導電体 2 5 2 a は、トランジスタ 2 0 0 のソース領域およびドレイン領域の一方として機能する領域 2 3 1 a と接している。また、導電体 2 0 3 はトランジスタ 2 0 0 のソース領域およびドレイン領域の他方として機能する領域 2 3 1 b と接している。領域 2 3 1 a および領域 2 3 1 b は低抵抗化されているので、導電体 2 5 2 a と領域 2 3 1 a の接触抵抗、および導電体 2 0 3 と領域 2 3 1 b の接触抵抗を低減し、トランジスタ 2 0 0 のオン電流を大きくすることができる。

【0170】

ここで、導電体 2 5 2 a は、少なくとも酸化物 2 3 0 の上面と接し、さらに酸化物 2 3 0 の側面と接することが好ましい。特に、導電体 2 5 2 a は、酸化物 2 3 0 のチャネル幅方向と交わる側面において、C 側の側面、および D 側の側面の双方または一方と接することが好ましい。また、導電体 2 5 2 a が、酸化物 2 3 0 のチャネル長方向と交わる側面において、A 側の側面と接する構成にしてもよい。このように、導電体 2 5 2 a が酸化物 2 3 0 の上面に加えて、酸化物 2 3 0 の側面と接する構成にすることにより、導電体 2 5 2 a と酸化物 2 3 0 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 2 5 2 a と酸化物 2 3 0 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

【0171】

図 1 (D) は、導電体 2 0 3 と酸化物 2 3 0 の接続部、および容量素子 1 0 0 の断面を示している。導電体 1 3 0 は、酸化物 2 3 0 より E - F 方向に広いことが好ましい。これにより、酸化物 2 3 0 の上面と導電体 1 3 0 だけでなく、酸化物 2 3 0 の側面と導電体 1 3 0 でも容量を形成することができ、容量を増加することができる。

【0172】

導電体 2 5 2 は、それぞれの開口の内壁に接する第 1 の導電体と、さらに内側に設けられた第 2 の導電体により形成することができる。ここで、第 1 の導電体、および第 2 の導電体の上面の高さと、絶縁体 2 8 0 の上面の高さは同程度にできる。なお、本実施の形態では、導電体 2 5 2 として、2 層からなる導電体を用いる例を示したが、これに限らない。単層、または 3 層以上の積層膜により、導電体 2 5 2 を形成してもよい。

【0173】

ここで、導電体 2 5 2 に用いられる第 1 の導電体は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N₂O、NO、NO₂ など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が透過しにくい) 導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。本明細書中、このような機能を有する導電体を、導電性バリア膜と呼ぶことがある。

【0174】

導電体 2 5 2 に用いられる第 1 の導電体が酸素の拡散を抑制する機能を持つことにより、

10

20

30

40

50

導電体 252 に用いられる第 2 の導電体が絶縁体 280 中の酸素を吸収することや、酸化による導電率の低下を防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、チタン、窒化チタン、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。従って、導電体 252 に用いられる第 1 の導電体としては、上記導電性材料を単層または積層とすればよい。また、導電体 252 に用いられる第 1 の導電体が水素、水、窒素などの不純物の拡散を抑制する機能を持つことにより、絶縁体 280 より上方から、水素、水などの不純物が、導電体 252 を通じて、トランジスタ 200 へ混入するのを抑制することができる。本実施の形態では、導電体 252 に用いられる第 1 の導電体として、窒化チタンを用いた。

【0175】

また、導電体 252 に用いられる第 2 の導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。本実施の形態では、導電体 252 に用いられる第 2 の導電体として、タングステンを用いた。

【0176】

また、導電体 252 が埋め込まれた絶縁体 274 および絶縁体 280 の開口の内壁に接して、水または水素などの不純物の透過を抑制する機能を有する絶縁体が設けられる構成にしてもよい。このような絶縁体としては、絶縁体 270 や絶縁体 272 に用いることができる絶縁体、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、絶縁体 280 などから水素、水などの不純物が、導電体 252 を通じて酸化物 230 に混入するのを抑制することができる。また、当該絶縁体は、例えば ALD 法または CVD 法などを用いて成膜することで被覆性良く成膜することができる。

【0177】

また、導電体 252 の上面に接して配線として機能する導電体 256 を配置してもよい。配線として機能する導電体 256 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

【0178】

【容量素子 100】

図 1 に示すように、容量素子 100 は、トランジスタ 200 と共通の構造を有する構成である。本実施の形態では、トランジスタ 200 の酸化物 230 に設けられた領域 231b の少なくとも一部が、容量素子 100 の電極の一方として機能する容量素子 100 の例について示す。

【0179】

容量素子 100 は、酸化物 230 の領域 231b の少なくとも一部、領域 231 上の絶縁体 274、絶縁体 274 上の導電体 130 を有する。導電体 130 の少なくとも一部は、絶縁体 274 の上に、領域 231b と重なるように配置されることが好ましい。

【0180】

酸化物 230 の領域 231b の少なくとも一部は、容量素子 100 の電極の一方として機能し、導電体 130 は容量素子 100 の電極の他方として機能する。すなわち、領域 231b は、トランジスタ 200 のソースおよびドレインの一方として機能し、且つ容量素子 100 の電極の一方として機能する。絶縁体 274 は容量素子 100 の誘電体として機能する。

【0181】

絶縁体 280 は、絶縁体 274 および導電体 130 を覆うように設けることが好ましい。

【0182】

導電体 130 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体 130 は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0183】

また、導電体 252b は、容量素子 100 の電極の一方である導電体 130 と接している。導電体 252b は、導電体 252a、導電体 252c、および導電体 252d と同時に

10

20

30

40

50

形成することができるため、工程短縮が可能である。

【0184】

＜半導体装置の構成材料＞

以下では、半導体装置に用いることができる構成材料について説明する。

【0185】

＜＜基板＞＞

トランジスタ200を形成する基板としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0186】

また、基板として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。また、基板が伸縮性を有してもよい。また、基板は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板は、例えば、5 μm 以上700 μm 以下、好ましくは10 μm 以上500 μm 以下、さらに好ましくは15 μm 以上300 μm 以下の厚さとなる領域を有する。基板を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

【0187】

可とう性基板である基板としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。また、基板として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。可とう性基板である基板は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板として好適である。

【0188】

＜＜絶縁体＞＞

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

【0189】

ここで、ゲート絶縁体として機能する絶縁体には、ゲート絶縁体として機能する絶縁体に、比誘電率の高いhigh-k材料を用いることで、トランジスタの微細化、および高集積化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を層間

膜とすることで、配線間に生じる寄生容量を低減することができる。従って、絶縁体の機能に応じて、材料を選択するとよい。

【0190】

また、比誘電率の高い絶縁体としては、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物またはシリコンおよびハフニウムを有する窒化物などがある。

【0191】

また、比誘電率が低い絶縁体としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などがある。

【0192】

また、特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定である。そのため、例えば、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。また、例えば、酸化シリコン、および酸化窒化シリコンは、比誘電率の高い絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

【0193】

また、酸化物半導体を用いたトランジスタは、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。

【0194】

水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0195】

例えば、絶縁体222、および絶縁体210として、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。なお、絶縁体222、および絶縁体210は、アルミニウム及びハフニウムの一方または双方の酸化物を含む絶縁体を用いることができる。アルミニウム及びハフニウムの一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。

【0196】

絶縁体220、絶縁体224、絶縁体250、および絶縁体271、としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウムまたはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、酸化シリコン、酸化窒化シリコンまたは、窒化シリコンを有することが好ましい。

【0197】

例えば、ゲート絶縁体として機能する絶縁体224および絶縁体250において、酸化アルミニウム、酸化ガリウム、ハフニウムアルミネート、または酸化ハフニウムを酸化物230と接する構造とすることで、酸化シリコンまたは酸化窒化シリコンに含まれるシリコ

10

20

30

40

50

ンが、酸化物 230 に混入することを抑制することができる。一方、絶縁体 224 および絶縁体 250 において、酸化シリコンまたは酸化窒化シリコンを酸化物 230 と接する構造とすることで、酸化アルミニウム、酸化ガリウム、ハフニウムアルミネート、または酸化ハフニウムと、酸化シリコンまたは酸化窒化シリコンと、の界面にトラップセンターが形成される場合がある。該トラップセンターは、電子を捕獲することでトランジスタのしきい値電圧をプラス方向に変動させることができる場合がある。

【0198】

例えば、誘電体として機能する絶縁体 274 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、ハフニウムアルミネートなどを用いればよく、積層または単層で設ける。例えば、酸化アルミニウムなどの high-k 材料と、酸化窒化シリコンなどの絶縁耐力が大きい材料の積層構造とすることが好ましい。当該構成により、容量素子 100 は、high-k 材料により十分な容量を確保でき、絶縁耐力が大きい材料により絶縁耐力が向上するため、容量素子 100 の静電破壊を抑制し、容量素子 100 の信頼性を向上させることができる。

【0199】

絶縁体 208、絶縁体 212、絶縁体 216、および絶縁体 280 は、比誘電率の低い絶縁体を有することが好ましい。例えば、絶縁体 208、絶縁体 212、絶縁体 216、および絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンまたは樹脂などを有することが好ましい。または、絶縁体 208、絶縁体 212、絶縁体 216、および絶縁体 280 は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコンまたは空孔を有する酸化シリコンと、樹脂と、の積層構造を有することが好ましい。酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、樹脂と組み合わせることで、熱的に安定かつ比誘電率の低い積層構造とすることができる。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネートまたはアクリルなどがある。

【0200】

絶縁体 270、および絶縁体 272 としては、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体を用いればよい。絶縁体 270 および絶縁体 272 としては、例えば、酸化アルミニウム、酸化ハフニウム、ハフニウムアルミネート、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いればよい。

【0201】

<<導電体>>

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を 1 種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0202】

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素

を含む導電性材料と、を組み合わせた積層構造としてもよい。

【0203】

なお、トランジスタのチャネル形成領域に酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

【0204】

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

【0205】

導電体260、導電体205、導電体203、導電体207、導電体209、導電体130、導電体252、および導電体256としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウムなどから選ばれた金属元素を1種以上含む材料を用いることができる。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

【0206】

<<金属酸化物>>

酸化物230として、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

【0207】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0208】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0209】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0210】

酸化物半導体は、単結晶酸化物半導体と、非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、多結晶酸化物半導体、および非晶質酸化物半導体などが知られている。

【0211】

トランジスタの半導体に用いる酸化物半導体として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶酸化物半導体の薄膜または多結晶酸化物半導体の薄膜が挙げられる。しかしながら、単結晶酸化物半導体の薄膜または多結晶酸化物半導体の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

10

【0212】

2009年に、CAAC構造を有するIn-Ga-Zn酸化物(CAAC-IGZOと呼ぶ。)が発見されたことが、非特許文献1および非特許文献2で報告されている。ここでは、CAAC-IGZOは、c軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、CAAC-IGZOを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

【0213】

また、2013年には、nc構造を有するIn-Ga-Zn酸化物(nc-IGZOと呼ぶ。)が発見された(非特許文献3参照。)。ここでは、nc-IGZOは、微小な領域(例えば、1nm以上3nm以下の領域)において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

20

【0214】

非特許文献4および非特許文献5では、上記のCAAC-IGZO、nc-IGZO、および結晶性の低いIGZOのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いIGZOの薄膜において、電子線が照射される前でさえ、1nm程度の結晶性IGZOが観察されている。よって、ここでは、IGZOにおいて、完全な非晶質構造(completely amorphous structure)の存在を確認できなかった、と報告されている。さらに、結晶性の低いIGZOの薄膜と比べて、CAAC-IGZOの薄膜およびnc-IGZOの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、CAAC-IGZOの薄膜またはnc-IGZOの薄膜を用いることが好ましい。

30

【0215】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅1 μm あたりのオフ電流が $y\text{ A}/\mu\text{m}$ ($10^{-24}\text{ A}/\mu\text{m}$)オーダである、ことが非特許文献6に示されている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている(非特許文献7参照。)

【0216】

また、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置への応用が報告されている(非特許文献8参照。)。表示装置では、表示される画像が1秒間に数十回切り換っている。1秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、アイドリング・ストップ(IDS)駆動と呼ぶ。

40

【0217】

CAAC構造およびnc構造の発見は、CAAC構造またはnc構造を有する酸化物半導体を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低

50

下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置およびLSIへの応用研究が進められている。

【0218】

〔金属酸化物の構成〕

以下では、本発明の一態様で開示されるトランジスタに用いることができるCAC (Cloud-Aligned Composite) -OSの構成について説明する。

【0219】

なお、本明細書等において、CAAC (c-axis aligned crystal)、及びCAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAACは結晶構造の一例を表し、CACは機能、または材料の構成の一例を表す。

【0220】

CAC-OSまたはCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OSまたはCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子（またはホール）を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Offさせる機能) をCAC-OSまたはCAC-metal oxideに付与することができる。CAC-OSまたはCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

【0221】

また、CAC-OSまたはCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

【0222】

また、CAC-OSまたはCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

【0223】

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

【0224】

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材 (matrix composite)、または金属マトリックス複合材 (metal matrix composite) と呼称することもできる。

【0225】

〔金属酸化物の構造〕

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS (c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0226】

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

10

【0227】

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0228】

また、CAAC-OSは、インジウム、および酸素を有する層（以下、In層）と、元素M、亜鉛、および酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

【0229】

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

30

【0230】

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

40

【0231】

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

【0232】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

【0233】

[酸化物半導体を有するトランジスタ]

50

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0234】

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0235】

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

10

【0236】

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

【0237】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネルが形成されるトランジスタは、電気特性が不安定となる場合がある。

20

【0238】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0239】

〔不純物〕

ここで、酸化物半導体中における各不純物の影響について説明する。

【0240】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms} / \text{cm}^3$ 以下とする。

30

【0241】

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms} / \text{cm}^3$ 以下にする。

40

【0242】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい。例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms} / \text{cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms} / \text{cm}^3$ 以下、さら

50

に好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0243】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

10

【0244】

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

【0245】

<半導体装置の構成例2>

以下では、図4を用いて、本発明の一態様に係る半導体装置の一例について説明する。

【0246】

図4(A)は、トランジスタ201の上面図である。また、図4(B)、図4(C)、および図4(D)はトランジスタ201の断面図である。ここで、図4(B)は、図4(A)にA-Bの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル長方向の断面図でもある。また、図4(C)は、図4(A)にC-Dの一点鎖線で示す部位の断面図であり、トランジスタ200のチャネル幅方向の断面図でもある。また、図4(D)は、図4(A)にE-Fの一点鎖線で示す部位の断面図であり、酸化物230と、導電体203との接続部、および導電体252bと、酸化物230との接続部を示す断面図でもある。図4(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。

20

【0247】

なお、図4に示す半導体装置において、<半導体装置の構成例1>に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

【0248】

以下、トランジスタ201の構成についてそれぞれ図4を用いて説明する。なお、本項目においても、トランジスタ201の構成材料については<半導体装置の構成例1>で詳細に説明した材料を用いることができる。

30

【0249】

トランジスタ201において、酸化物230b上には、ソース電極またはドレイン電極として機能する導電体285が設けられている。また、導電体285の上には絶縁体286が設けられている。導電体285は、導電体203、および導電体205、あるいは導電体260と同様の材料を用いることができる。特に、導電体285として、窒化タンタルやタングステンを用いることが好ましい。また、絶縁体286は、絶縁体270や絶縁体272と同様の材料を用いることができる。絶縁体286を設けることで、導電体285の酸化を抑制し、導電体285の電気抵抗の増加を抑制することができる。特に、絶縁体286として、酸化アルミニウムを用いることが好ましい。また、トランジスタ201のチャネル長は導電体285間の長さに依存して決まるが、向かい合う導電体285の端部が酸化することで、トランジスタ201のチャネル長は意図せずに長くなるという不具合が生じる恐れがある。このような不具合を軽減するためにも、絶縁体286を設けることは好ましい。

40

【0250】

図4(B)に示すように、酸化物230bにおいて点線で示す、導電体285と接する領域はn型化し、低抵抗領域となる。これは、導電体285が酸化物230bの酸素を引き抜き、酸化物230bに酸素欠損を生じさせていることに起因していると考えられる。酸

50

化物 230b 中の酸素欠損に、酸化物 230b 内部あるいは外部に存在する不純物が捕獲され、当該領域は低抵抗化する。

【0251】

酸化物 230b の低抵抗領域は、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230a に設けられた開口を介して、導電体 203 と電氣的に接続する。

【0252】

酸化物 230b、導電体 285、および絶縁体 286 の一部を覆うように、酸化物 230c、酸化物 230d、絶縁体 250、導電体 260、および絶縁体 270 が設けられる。なお、導電体 260 は、図 4 (A)、図 4 (B)、および図 4 (C) に示すように A-B 方向における幅、および C-D 方向における長さが酸化物 230c、酸化物 230d、絶縁体 250、および絶縁体 270 に比べて小さい。よって、絶縁体 270 は絶縁体 250 の上面および側面を覆い、導電体 260 の外側で絶縁体 250 と接する構造となる。絶縁体 270 には酸素の透過を抑制する材料を用いていることから、このように設けられた絶縁体 270 により、導電体 260 の酸化は抑制され、電気抵抗の増加を抑制することができる。

10

【0253】

酸化物 230c には、酸化物 230b と同様の材料を用いることができる。また、酸化物 230d には、酸化物 230c と同様の材料を用いることができる。なお、酸化物 230c は形成しなくてもよい。

【0254】

トランジスタ 201 では、チャネルは、酸化物 230b および酸化物 230c 内において一対の導電体 285、または一対の低抵抗領域に挟まれた領域に形成される。

20

【0255】

絶縁体 280 上には、絶縁体 287 および絶縁体 288 が形成される。絶縁体 287 は、スパッタリング法を用いて成膜された酸化物絶縁体を用いることが好ましく、例えば酸化アルミニウム、酸化ハフニウム、またはハフニウムアルミネートを用いることが好ましい。このような絶縁体 287 を用いることにより、絶縁体 280 の絶縁体 287 と接する面を介して絶縁体 280 に酸素を添加して、絶縁体 280 を酸素過剰な状態にできる。絶縁体 280 に供給された酸素は、酸化物 230 に供給される。

【0256】

さらに、絶縁体 287 として、酸化アルミニウム、酸化ハフニウム、またはハフニウムアルミネートなどの酸素が透過しにくい絶縁性材料を用いることにより、絶縁体 224 及び絶縁体 280 に添加した酸素が、成膜中に上方拡散するのを抑制することができる。これにより、さらに効率よく絶縁体 280 に酸素を添加することができる。

30

【0257】

絶縁体 288 は、絶縁体 208、絶縁体 216、および絶縁体 280 と同様の材料を用いることができる。

【0258】

図 4 (B)、図 4 (C)、および図 4 (D) に示すように、絶縁体 280、絶縁体 287、および絶縁体 288 などの絶縁体には開口が設けられ、開口内部には、導電体 252 (導電体 252a、導電体 252b、導電体 252c、および導電体 252d) が設けられる。絶縁体 280、絶縁体 287、および絶縁体 288 などの絶縁体と、導電体 252 の間には、絶縁体 289 が設けられる。絶縁体 289 は、絶縁体 270 と同様の材料を用いることができ、絶縁体 280 および上方の絶縁体や導電体から酸化物 230 への不純物の混入を抑制する。

40

【0259】

ここで、導電体 252a は酸化物 230 上の導電体 285 と接するだけでなく、酸化物 230 の側面とも接することで、酸化物 230 と電氣的に接続することが好ましい。特に、導電体 252a は、酸化物 230 のチャネル幅方向と交わる側面において、C 側の側面、および D 側の側面の双方または一方と接することが好ましい。また、導電体 252a が、

50

酸化物 230 のチャンネル長方向と交わる側面において、A 側の側面と接する構成にしてもよい。このように、導電体 252a が導電体 285 に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 252a と酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 252a と酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

【0260】

図 4 (D) は、酸化物 230 と、導電体 203 との接続部、および導電体 252b と、酸化物 230 との接続部、の断面を示している。酸化物 230b は、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230a に設けられた開口を介して、導電体 203 と電氣的に接続している。なお、導電体 252b においても、上述した導電体 252a と同様に、導電体 285 の上面だけでなく、酸化物 230 の側面に接する構造としてもよい。

10

【0261】

図 4 (A) および図 4 (D) に示すように、酸化物 230a および酸化物 230b は、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230a に形成された開口を包含するように、当該開口と重なる領域における、E-F 方向の幅を、当該開口の幅より広く形成することが好ましい。よって、当該領域における、酸化物 230a および酸化物 230b の E-F 方向の幅は、チャンネルが形成される領域や、A 側の領域における、酸化物 230a および酸化物 230b の C-D 方向の幅よりも広くなる場合がある。このような構造にすることで、酸化物 230b と導電体 203 のコンタクトを確実に行うことができる。

20

【0262】

<トランジスタの作製方法>

次に、本発明に係るトランジスタ 200 を有する半導体装置について、作製方法を図 5 乃至図 22 を用いて説明する。また、図 5 乃至図 22 において、各図の (A) は上面図を示す。また、各図の (B) は (A) に示す A-B の一点鎖線で示す部位に対応する断面図である。また、各図の (C) は、(A) に C-D の一点鎖線で示す部位に対応する断面図である。また、各図の (D) は、(A) に E-F の一点鎖線で示す部位に対応する断面図である。

【0263】

まず、基板 (図示しない) を準備し、当該基板上に絶縁体 208 を成膜する。絶縁体 208 の成膜は、スパッタリング法、化学気相成長 (CVD: Chemical Vapor Deposition) 法、分子線エピタキシー (MBE: Molecular Beam Epitaxy) 法、パルスレーザ堆積 (PLD: Pulsed Laser Deposition) 法または ALD (Atomic Layer Deposition) 法などを用いて行うことができる。

30

【0264】

なお、CVD 法は、プラズマを利用するプラズマ CVD (PECVD: Plasma Enhanced CVD) 法、熱を利用する熱 CVD (TCVD: Thermal CVD) 法、光を利用する光 CVD (Photo CVD) 法などに分類できる。さらに用いる原料ガスによって金属 CVD (MCVD: Metal CVD) 法、有機金属 CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

40

【0265】

プラズマ CVD 法は、比較的低温で高品質の膜が得られる。また、熱 CVD 法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、半導体装置に含まれる配線、電極、素子 (トランジスタ、容量素子など) などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、半導体装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを用いない熱 CVD 法の場合、こういったプラズマダメージが生じないため、半導体装置の歩留まりを高くすることができる。また、熱 CVD 法では、成膜

50

中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0266】

また、ALD法も、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。また、ALD法も、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

【0267】

CV法およびALD法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCV法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

【0268】

CV法およびALD法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、CV法およびALD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、CV法およびALD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、半導体装置の生産性を高めることができる場合がある。

【0269】

本実施の形態では、絶縁体208として、CV法によって酸化シリコンを成膜する。

【0270】

次に、絶縁体208上に絶縁体210を形成する。本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、該酸化アルミニウム上にALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

【0271】

次に、絶縁体210上に導電膜203Aおよび導電膜203Bを順に成膜する。導電膜203Aおよび導電膜203Bの形成は、スパッタリング法、CV法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電膜203Aとして、スパッタリング法によってタングステンを成膜し、導電膜203Bとして、スパッタリング法によって窒化チタンを成膜する。なお、導電膜203Aとして、タングステンの他に、アルミニウムや銅などの導電体を用いることができる。また、導電膜203Bは、導電膜203Aよりも耐酸化性を有する（酸化しにくい）材料を用いるのが好ましく、例えば金属窒化物を用いることができる。金属窒化物としては、窒化チタンの他に、窒化タンタルなどを用いることができる。

【0272】

次に、導電膜203B上にリソグラフィー法を用いてマスク262を形成する（図5参照）。

【0273】

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV（Extreme Ultra violet）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に

液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0274】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、導電膜203B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。

10

【0275】

次に、マスク262を用いて、導電膜203Aおよび導電膜203Bを加工し、導電体203aと、導電体203a上の導電体203bからなる導電体203と、導電体205aと、導電体205a上の導電体205bからなる導電体205を形成する（図6参照。）。

【0276】

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0277】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（CCP：Capacitively Coupled Plasma）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置などを用いることができる。

20

【0278】

導電膜203A、および導電膜203Bのエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

30

【0279】

次に絶縁体210、導電体203、および導電体205上に絶縁膜216Aを形成する（図7参照）。絶縁膜216Aの形成は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁膜216Aとして、CVD法によって酸化シリコンを形成する。

40

【0280】

次に、CMP処理を行うことで絶縁膜216Aの一部を除去し、導電体203および導電体205を露出する。その結果、導電体203および導電体205の間、およびこれら導電体の周囲に絶縁体216が残存する。これにより、上面が平坦な、絶縁体216、導電体203、および導電体205を形成することができる（図8参照。）。なお、当該CMP処理により、導電体203b、および導電体205bの一部が除去される場合がある。

【0281】

次に、絶縁体216、導電体203、および導電体205上に絶縁体220を成膜する。絶縁体220の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD

50

法などを用いて行うことができる。

【0282】

次に、絶縁体220上に絶縁体222を成膜する。絶縁体222の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0283】

特に、絶縁体222として、アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体を用いることが好ましい。アルミニウム及びハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。絶縁体222は、ALD法により形成されることが好ましい。ALD法により成膜された絶縁体222は、酸素、水素、および水に対するバリア性を有する。絶縁体222が、水素および水に対するバリア性を有することで、トランジスタ200の周辺に設けられた構造体に含まれる水素、および水は、トランジスタ200の内側へ拡散することなく、酸化物230中の酸素欠損の生成を抑制することができる。

10

【0284】

次に、絶縁体222上に絶縁体224を成膜する。絶縁体224の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる（図9参照。）。

【0285】

続いて、加熱処理を行うと好ましい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。第1の加熱処理は、窒素または不活性ガス雰囲気、または酸化性ガスを10ppm以上、1%以上もしくは10%以上含む雰囲気で行う。第1の加熱処理は減圧状態で行ってもよい。または、第1の加熱処理は、窒素または不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上または10%以上含む雰囲気で行ってもよい。

20

【0286】

上記加熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することなどができる。

【0287】

または、加熱処理として、減圧状態で酸素を含むプラズマ処理を行ってもよい。酸素を含むプラズマ処理は、例えばマイクロ波を用いた高密度プラズマを発生させる電源を有する装置を用いることが好ましい。または、基板側にRF(Radio Frequency)を印加する電源を有してもよい。高密度プラズマを用いることより高密度の酸素ラジカルを生成することができ、基板側にRFを印加することで高密度プラズマによって生成された酸素ラジカルを効率よく絶縁体224内に導くことができる。または、この装置を用いて不活性ガスを含むプラズマ処理を行った後に脱離した酸素を補うために酸素を含むプラズマ処理を行ってもよい。尚、第1の加熱処理は行わなくても良い場合がある。

30

【0288】

また、加熱処理は、絶縁体220成膜後、および絶縁体222の成膜後のそれぞれに行うこともできる。該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体220成膜後の加熱処理は、窒素を含む雰囲気中に行うことが好ましい。

40

【0289】

本実施の形態では、加熱処理として、絶縁体224成膜後に窒素雰囲気にて400℃の温度で1時間の処理を行なう。

【0290】

次に、絶縁体224上に、酸化物230aとなる酸化膜230Aを形成する。

【0291】

酸化膜230Aの形成はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

50

【0292】

例えば、酸化膜230Aをスパッタリング法によって形成する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって形成する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

【0293】

特に、酸化膜230Aの形成時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。なお、酸化膜230Aのスパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。

【0294】

本実施の形態では、酸化膜230Aとして、スパッタリング法によって、In:Ga:Zn=1:3:4〔原子数比〕のターゲットを用いて形成する。なお、酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

【0295】

次に、リソグラフィ法を用いて、絶縁体220、絶縁体222、絶縁体224、および酸化膜230Aに、導電体203へ到達する開口を形成する。まず、酸化膜230A上にマスク263を形成する（図9参照。）。開口の形成に用いるマスク263は、レジストマスクでもよいし、ハードマスクでもよい。

【0296】

次に、マスク263を用いて、絶縁体220、絶縁体222、絶縁体224、および酸化膜230Aを加工し、導電体203の表面を露出することで、開口が形成される（図10参照。）。該加工は、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。なお、絶縁体220、絶縁体222、及び絶縁体224は、酸化膜230Aを介して加工される。詳述すると、導電体203の表面の一部を露出させる際に、酸化膜230A上にレジストマスクやハードマスクなどからなるマスクを形成し、その後、絶縁体220、絶縁体222、絶縁体224、および酸化膜230Aを加工する。すなわち、ゲート絶縁膜として機能する絶縁体（絶縁体220、絶縁体222、および絶縁体224）の表面にマスクが形成されない。したがって、ゲート絶縁膜として機能する絶縁体の表面に、マスクが付着しないため、レジストマスク等に含まれる不純物、ハードマスクに含まれる成分、およびマスク除去に用いる薬液やプラズマに含まれる成分によるゲート絶縁膜の汚染やダメージを抑制できる。このようなプロセスにより、信頼性の高い半導体装置の作製方法を提供できる。

【0297】

次に、酸化膜230A上に酸化膜230Bを形成する（図11参照。）。このとき、酸化膜230Bは上記開口内部にも形成され、当該開口を介して導電体203と電氣的に接続する。酸化物230bと、導電体203とが、酸化物230aを介さずに接続する構成とすることで、直列抵抗及び接触抵抗を低減することが可能となる。このような構成により、電気特性の良好な半導体装置が得られる。より具体的には、オン電流の向上したトランジスタ、および当該トランジスタを用いた半導体装置が得られる。

【0298】

酸化膜230Bの形成はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0299】

例えば、酸化膜230Bをスパッタリング法によって形成する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって形成する場合は、上記のIn-M-Zn酸化物ターゲットを用いることができる。

【0300】

酸化膜230Bをスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られる。

【0301】

本実施の形態では、酸化膜230Bとして、スパッタリング法によって、In:Ga:Zn=4:2:4.1〔原子数比〕のターゲットを用いて成膜する。なお、酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物230に求める特性に合わせて形成するとよい。

【0302】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行なった後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行う。

【0303】

次に、酸化膜230A、および酸化膜230Bを島状に加工して、酸化物230a、および酸化物230bを形成する(図12参照。)

【0304】

図12(A)および図12(D)に示すように酸化物230aおよび酸化物230bの絶縁体220、絶縁体222、絶縁体224、および酸化物230aに形成された開口と重なる領域における、E-F方向の幅を、当該開口の幅より広く形成することが好ましい。よって、当該領域における、酸化物230aおよび酸化物230bのE-F方向の幅は、チャンネルが形成される領域や、A側の領域における、酸化物230aおよび酸化物230bのC-D方向の幅よりも広くなる場合がある。このような構造にすることで、酸化物230bと導電体203のコンタクトを確実に行うことができる。また、容量素子100の面積を大きくすることができ、容量素子100の大容量化が期待できる。

【0305】

なお、上記工程において、絶縁体224を島状に加工してもよい。また、絶縁体224に対しては、ハーフエッチングを行ってもよい。絶縁体224に対してハーフエッチングを行うことで、後の工程で形成する酸化物230cの下にも絶縁体224が残った状態で形成される。なお、絶縁体224は、後の工程である絶縁膜272Aを加工する際に、島状に加工することができる。その場合、絶縁体222をエッチングストップ膜として用いてもよい。

【0306】

ここで、酸化物230a、および酸化物230bは、少なくとも一部が導電体205と重なるように形成する。また、酸化物230a、および酸化物230bの側面は、絶縁体222に対し、概略垂直であることが好ましい。酸化物230a、および酸化物230bの側面が、絶縁体222に対し、概略垂直であることで、複数のトランジスタ200を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、および酸化物230bの側面と絶縁体222の上面のなす角は大きいほど好ましい。

【0307】

また、酸化物230a、および酸化物230bの側面と、酸化物230bの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい(以下、ラウンド状ともいう)。湾曲面は、例えば、酸化物230a、および酸化物230bの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

10

20

30

40

50

【0308】

なお、端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0309】

なお、当該酸化膜の加工はリソグラフィ法を用いて行えばよい。また、該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0310】

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultra violet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことができる。

【0311】

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、酸化膜230B上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。酸化膜230A、および酸化膜230Bのエッチングは、レジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記酸化膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【0312】

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電源を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電源を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電源を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電源を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

【0313】

また、上記ドライエッチングなどの処理を行うことによって、エッチングガスなどに起因した不純物が酸化物230a、および酸化物230bなどの表面または内部に付着または拡散することがある。不純物としては、例えば、フッ素または塩素などがある。

【0314】

上記の不純物などを除去するために、洗浄を行う。洗浄方法としては、洗浄液など用いたウェット洗浄、プラズマを用いたプラズマ処理または、熱処理による洗浄などがあり、上記洗浄を適宜組み合わせてもよい。

【0315】

ウェット洗浄としては、シュウ酸、リン酸またはフッ化水素酸などを炭酸水または純水で

10

20

30

40

50

希釈した水溶液を用いて洗浄処理を行ってもよい。または、純水または炭酸水を用いた超音波洗浄を行ってもよい。本実施の形態では、純水または炭酸水を用いた超音波洗浄を行う。

【0316】

続いて、加熱処理を行っても良い。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

【0317】

次に、絶縁膜224、酸化物230a、および酸化物230bの上に、酸化膜230C、絶縁膜250A、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に成膜する(図13参照。)

【0318】

酸化膜230Cの成膜はスパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。酸化物230cに求める特性に合わせて、酸化膜230A、または酸化膜230Bと同様の成膜方法を用いて、酸化膜230Cを成膜すればよい。本実施の形態では、酸化膜230Cとして、スパッタリング法によって、In:Ga:Zn=1:3:4[原子数比]のターゲットを用いて成膜する。

【0319】

絶縁膜250Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。

【0320】

なお、マイクロ波で酸素を励起し、高密度な酸素プラズマを発生させ、該酸素プラズマに絶縁膜250Aを曝すことで、絶縁膜250A、酸化物230a、酸化物230b、および酸化膜230Cへ酸素を導入することができる。

【0321】

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。該加熱処理によって、絶縁膜250Aの水分濃度および水素濃度を低減させることができる。

【0322】

導電膜260Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。本実施の形態では、導電膜260Aとしてスパッタリング法を用いて窒化チタンを形成した。

【0323】

また、導電膜260Bは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。導電膜260Bとして、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。本実施の形態では、導電膜260Bとしてスパッタリング法を用いてタングステンを形成した。

【0324】

また、絶縁膜250Aと導電膜260Aの間にさらに導電体を設けてもよい。当該導電体は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。ここで、例えば、酸化物230として用いることができる酸化物半導体は、低抵抗化処理を施すことで、導電性酸化物となる。そこで、酸化物230として用いることができる酸化物を成膜し、後の工程で該酸化物を低抵抗化してもよい。なお、絶縁膜250A上に、酸化物230として用いることができる酸化物を、酸素を含む雰囲気において、スパッタリング法を用いて成膜することで、絶縁膜250Aに酸素を添加することができる。絶縁膜250Aに酸素を添加することで、添加された酸素は、絶縁膜250Aを介して、酸化物230に酸素を供給することが可能となる。

【0325】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本実施の形態では、窒素雰囲気にて400℃の温度で1時間の処理を行う。

10

20

30

40

50

【0326】

絶縁膜270Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。絶縁膜270Aは、バリア膜として機能するため、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いる。例えば、酸化アルミニウム、酸化ハフニウム、またはハフニウムアルミネートなどを用いることが好ましい。これにより、導電体260の酸化を防ぐことができる。また、導電体260および絶縁体250を介して、水または水素などの不純物が酸化物230に混入することを防ぐことができる。

【0327】

絶縁膜271Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。ここで、絶縁膜271Aの膜厚は、後の工程で成膜する絶縁膜272Aの膜厚より厚くすることが好ましい。これにより、後の工程で絶縁体272を形成する際、導電体260の上に絶縁体271を、容易に残存させることができる。

10

【0328】

また、絶縁体271は、ハードマスクとして機能する。絶縁体271を設けることで、絶縁体250の側面、導電体260aの側面、導電体260bの側面、導電体260cの側面、および絶縁体270の側面を、基板に対し、概略垂直に形成することができる。

【0329】

次に、絶縁膜271Aを、エッチングし、絶縁体271を形成する。続いて、絶縁体271をマスクとして、絶縁膜250A、導電膜260A、導電膜260B、および絶縁膜270Aを、エッチングし、絶縁体250、導電体260（導電体260a、導電体260b）、および絶縁体270を形成する（図14参照。）。なお、当該加工後も、当該ハードマスクは除去せずに後工程を進めてもよい。当該ハードマスクは、後工程で実施されるドーパントの添加においてもハードマスクとして機能することができる。

20

【0330】

また、絶縁体250の側面、導電体260の側面、および絶縁体270の側面は、同一面内であることが好ましい。また、絶縁体250の側面、導電体260の側面、および絶縁体270の側面が共有する同一面は、基板に対し、概略垂直であることが好ましい。つまり、断面形状において、絶縁体250、導電体260、および絶縁体270は、酸化物230の上面に対する角度が、鋭角、かつ大きいほど好ましい。なお、断面形状において、絶縁体250、導電体260、および絶縁体270の側面と、絶縁体250と接する酸化物230の上面のなす角が鋭角になる構成にしてもよい。その場合、絶縁体250、導電体260、および絶縁体270の側面と、絶縁体250と接する酸化物230の上面のなす角は大きいほど好ましい。

30

【0331】

また、絶縁体250、導電体260、および絶縁体270は、少なくとも一部が、導電体205および酸化物230と重なるように形成する。

【0332】

また、上記エッチングにより、酸化膜230Cの絶縁体250と重ならない領域の上部がエッチングされる場合がある。この場合、酸化膜230Cの絶縁体250と重なる領域の膜厚が、絶縁体250と重ならない領域の膜厚より厚くなる場合がある。

40

【0333】

次に、酸化膜230C、絶縁体250、導電体260、絶縁体270、および絶縁体271を覆って、絶縁膜272Aを成膜する（図15参照。）。絶縁膜272Aとして、被覆性に優れたALD法により成膜することが好ましい。ALD法を用いることで、導電体260などにより形成された段差部においても、絶縁体250、導電体260、および絶縁体270の側面に対して、均一な厚さを有する絶縁膜272Aを形成することができる。

【0334】

次に、絶縁膜272Aに異方性のエッチング処理を行い、絶縁体250、導電体260、および絶縁体270の側面に接して、絶縁体272を形成する（図16参照。）。異方性

50

のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、基板面に略平行な面に成膜された該絶縁膜を除去して、絶縁体 272 を自己整合的に形成することができる。

【0335】

ここで、絶縁体 270 上に絶縁体 271 を形成しておくことで、絶縁体 270 上部の絶縁膜 272 A が除去されても、絶縁体 270 を残存させることができる。また、絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 からなる構造体の高さを、酸化物 230 a、酸化物 230 b、および酸化膜 230 C の高さよりも、高くすることで、酸化膜 230 C を介した酸化物 230 a、酸化物 230 b の側面の絶縁膜 272 A を、除去することができる。さらに、酸化物 230 a、酸化物 230 b の端部をラウンド形状にしておくと、酸化物 230 a、酸化物 230 b の側面に、酸化膜 230 C を介して成膜された絶縁膜 272 A を除去するための時間が短縮され、より容易に絶縁体 272 を形成することができる。

10

【0336】

次に、絶縁体 250、導電体 260、絶縁体 270、絶縁体 271、および絶縁体 272 をマスクとして、酸化膜 230 C をエッチングし、酸化膜 230 C の一部を除去し、酸化物 230 c を形成する（図 17 参照。）。なお、本工程により、酸化物 230 b の上面および側面と、酸化物 230 a の側面の一部が除去される場合がある。

【0337】

ここで、酸化物 230 a、酸化物 230 b、および酸化物 230 c において、領域 231、領域 232、および領域 234 を形成してもよい。領域 231、および領域 232 は、酸化物 230 a、酸化物 230 b、および酸化物 230 c として設けられた金属酸化物に、インジウムなどの金属原子、または不純物を添加し、低抵抗化した領域である。なお、各領域は、少なくとも、領域 234 における酸化物 230 b よりも、導電性が高い。

20

【0338】

領域 231 および領域 232 を低抵抗化するために、例えば、インジウムなどの金属元素、および不純物の少なくとも一であるドーパントを添加すればよい。

【0339】

なお、ドーパントの添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法などを用いることができる。質量分離を行う場合、添加するイオン種およびその濃度を厳密に制御することができる。一方、質量分離を行わない場合、短時間で高濃度のイオンを添加することができる。また、原子または分子のクラスターを生成してイオン化するイオンドーピング法を用いてもよい。なお、ドーパントを、イオン、ドナー、アクセプター、不純物または元素などと言い換えてもよい。

30

【0340】

また、ドーパントは、プラズマ処理にて添加されてもよい。この場合、プラズマ CVD 装置、ドライエッチング装置、アッシング装置を用いてプラズマ処理を行い、酸化物 230 a、酸化物 230 b、および酸化物 230 c にドーパントを添加することができる。

40

【0341】

また、不純物をドーパントとして添加する場合、領域 231 に接するようにドーパントを含む膜を成膜してもよい。例えば、ドーパントとして水素、ホウ素、炭素、窒素、フッ素、またはリンなどを含む絶縁体 274 を酸化物 230 の領域 231 に接するように成膜する（図 18 参照。）。絶縁体 274 の成膜や成膜後の熱処理により、領域 231 は低抵抗化し、領域 232 が形成される。絶縁体 274 に含まれるドーパントが領域 231 および領域 232 へ拡散し、当該領域は低抵抗化すると考えられる。

【0342】

酸化物 230 a、酸化物 230 b、および酸化物 230 c は、インジウムの含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。よって、ドーパント

50

として酸化物 230 a、酸化物 230 b、および酸化物 230 c のキャリア密度を向上させるインジウムなどの金属元素を用いることができる。

【0343】

つまり、領域 231、および領域 232 において、酸化物 230 a、酸化物 230 b、および酸化物 230 c のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

【0344】

従って、少なくとも領域 231 における元素 M に対するインジウムの原子数比が、領域 234 の元素 M に対するインジウムの原子数比よりも大きくなる。

【0345】

また、ドーパントとしては、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素などを用いればよい。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。

【0346】

また、トランジスタ 200 において、領域 232 を設けることで、ソース領域およびドレイン領域として機能する領域 231 と、チャネルが形成される領域 234 との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域 232 を有することで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域 232 を有することで、非導通時のリーク電流を小さくすることができる。

【0347】

従って、領域 231 a、および領域 231 b の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0348】

本実施の形態では、絶縁体 224、酸化物 230、絶縁体 271、および絶縁体 272 を覆って、絶縁体 274 を成膜する（図 18 参照。）。

【0349】

絶縁体 274 として、例えば CVD 法を用いて成膜した、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体 274 として、窒化酸化シリコンを用いる。また、絶縁体 274 を容量素子 100 の誘電体として用いる場合、その膜厚を 1 nm 以上 20 nm 以下、好ましくは、3 nm 以上 10 nm 以下とする。

【0350】

酸化物 230 に接して、窒素などの不純物となる元素を含む絶縁体 274 を成膜することで、領域 231 a、および領域 231 b には、絶縁体 274 の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。酸化物 230 の絶縁体 274 と接する領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。その際、絶縁体 274 と接しない領域 232 にも不純物が拡散することで、低抵抗化される。

【0351】

よって、領域 231 a、および領域 231 b は、領域 234 より、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。ここで、領域 234 の水素または窒素の濃度としては、酸化物 230 b の絶縁体 250 と重なる領域の中央近傍（例えば、酸化物 230 b の絶縁体 250 のチャネル長方向の両側面からの距離が概略等しい部分）の水素または窒素の濃度を測定すればよい。

【0352】

なお、領域 231、および領域 232 は、酸素欠損を形成する元素、または酸素欠損に捕

10

20

30

40

50

獲される元素が添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域 231、および領域 232 は、上記元素の一つまたは複数を含む構成にすればよい。

【0353】

または、絶縁体 274 として、領域 231、および領域 232 に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域 231、および領域 232 には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域 231、および領域 232 は低抵抗化する。

10

【0354】

不純物となる元素を含む絶縁体、あるいは酸化物 230 から酸素を引き抜く絶縁体として絶縁体 274 を成膜する場合、絶縁体 274 の成膜は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

【0355】

不純物となる元素を含む絶縁体 274 の成膜は、窒素または水素の少なくとも一方を含む雰囲気で行うことが好ましい。このような雰囲気で行うことで、酸化物 230b および酸化物 230c の絶縁体 250 と重ならない領域を中心に、酸素欠損を形成し、当該酸素欠損と窒素または水素などの不純物元素を結合させて、キャリア密度を高くすることができる。このようにして、低抵抗化された、領域 231a および領域 231b を形成することができる。絶縁体 274 として、例えば CVD 法を用いて形成した、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンを用いることができる。本実施の形態では、絶縁体 274 として、窒化酸化シリコンを用いる。

20

【0356】

また、絶縁体 274 を 2 層以上の絶縁体からなる積層構造としてもよい。絶縁体 274 は、CVD 法、ALD 法、スパッタリング法などを用いて形成することができる。ALD 法は、優れた段差被覆性、優れた厚さの均一性、および優れた膜厚の制御性を有するため、酸化物 230 や、導電体 260 により形成された段差部の成膜には好適である。ALD 法を用いて、0.5 nm 以上 5.0 nm 以下の膜厚を有する絶縁体を形成後、プラズマ CVD 法を用いて、1 nm 以上 20 nm 以下、好ましくは、3 nm 以上 10 nm 以下の絶縁体を積層して絶縁体 274 を形成してもよい。例えば、ALD 法を用いて形成した酸化アルミニウム、酸化ハフニウム、またはアルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）上に、プラズマ CVD 法を用いて形成した窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、または酸化シリコンを積層して絶縁体 274 としてもよい。または、プラズマ CVD 法を用いて、1 nm 以上 20 nm 以下、好ましくは、3 nm 以上 10 nm 以下の絶縁体を形成して、単層の絶縁体 274 としてもよい。例えば、プラズマ CVD 法を用いて形成した窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、または酸化シリコンを絶縁体 274 としてもよい。

30

【0357】

従って、絶縁体 274 の成膜により、ソース領域およびド레인領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

40

【0358】

ここで、導電体 260 および絶縁体 250 の上面および側面を、絶縁体 270 および絶縁体 272 で覆っておくことで、窒素または水素などの不純物元素が、導電体 260 および絶縁体 250 に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体 260 および絶縁体 250 を通って、トランジスタ 200 のチャネル形成領域として機能する領域 234 に混入することを防ぐことができる。従って、良好な電気特性を有するトランジスタ 200 を提供することができる。

50

【0359】

なお、上記において、絶縁体274の成膜による酸化物230の低抵抗化、を用いて、領域231、領域232、および領域234を形成したが、本実施の形態はこれに限られるものではない。例えば、ドーパントの添加処理、またはプラズマ処理を用いてもよい、これらを複数組み合わせ、各領域などを形成してもよい。

【0360】

例えば、絶縁体250、導電体260、絶縁体272、絶縁体270、および絶縁体271をマスクとして、酸化物230にプラズマ処理を行ってもよい。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

10

【0361】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物230の領域232へと拡散し、オン電流を大きくすることができる。

【0362】

次に、絶縁体274を覆って導電膜130Aを形成する（図19参照。）。導電膜130Aは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。

【0363】

次に、導電膜130Aをリソグラフィ法を用いて加工し、導電体130を形成する（図20参照。）。導電膜130Aの加工には、ドライエッチング法、ウェットエッチング法、あるいはこれらを組み合わせて用いることができる。ドライエッチング法では、異方性エッチングが実現できることから、微細加工に優れているため好ましい。一方、等方性エッチングが可能なウェットエッチングを用いることで、酸化物230の側面、絶縁体250の側面、および絶縁体272の側面の導電膜130Aの除去が容易となる。よって、ドライエッチング法とウェットエッチング法を組み合わせた加工は、良好な形状の導電体130を形成することができ好ましい。

20

【0364】

本実施の形態では、図20（B）および図20（D）に示すように、酸化物230の上方に設けられる導電体130の一部が、酸化物230の外側まで広がるように設けられている。具体的には、図20（B）において、導電体130は、酸化物230よりB側にはみ出るように設けられており、図20（D）において、導電体130は、酸化物230よりE側、およびF側にはみ出るように設けられている。

30

【0365】

このような形状とすることで、容量素子100は、酸化物230の上面と導電体130の間だけでなく、酸化物230の側面と導電体130の間でも容量を形成することができ、好ましい。一方、セル600が占める面積に制限がある場合、導電体130が酸化物230からなるべくはみ出さないように形成することで、セル600の微細化が可能となり、半導体装置の高集積化が実現できる。

【0366】

次に、絶縁体274および導電体130の上に、絶縁体280を成膜する（図21参照。）。絶縁体280の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。または、スピコート法、ディップ法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）、ドクターナイフ法、ロールコーター法またはカーテンコーター法などを用いて行うことができる。本実施の形態では、該絶縁膜として、酸化窒化シリコンを用いる。

40

【0367】

なお、絶縁体280は、上面が平坦性を有するように形成することが好ましい。例えば、絶縁体280は、絶縁体280となる絶縁膜として成膜した直後に上面が平坦性を有していてもよい。または、例えば、絶縁体280は、成膜後に基板裏面などの基準面と平行に

50

なるよう絶縁体などを上面から除去していくことで平坦性を有してもよい。このような処理を、平坦化処理と呼ぶ。平坦化処理としては、CMP処理、ドライエッチング処理などがある。本実施の形態では、平坦化処理として、CMP処理を用いる。ただし、絶縁体280の上面は必ずしも平坦性を有さなくてもよい。

【0368】

次に、絶縁体280、および絶縁体274に酸化物230の領域231に達する開口、絶縁体280に導電体130に達する開口、絶縁体280、絶縁体274、絶縁体271、および絶縁体270に導電体260に達する開口、絶縁体280、絶縁体274、絶縁体224、絶縁体222、および絶縁体220に導電体205に達する開口を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

10

【0369】

なお、導電体252aが酸化物230の側面に接して設けられるように、酸化物230に達する開口において、酸化物230の側面が露出するように、当該開口を形成する。

【0370】

次に、導電体252（導電体252a、導電体252b、導電体252c、導電体252d）を形成する（図22参照。）。また、必要に応じて導電体252と電氣的に接続する導電体256を形成してもよい（図22参照。）。

【0371】

以上により、トランジスタ200および容量素子100を有する半導体装置を作製することができる。図5乃至図22に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ200および容量素子100を作製することができる。

20

【0372】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

30

【0373】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【0374】

（実施の形態2）

以下では、本発明の一態様に係るトランジスタ202を有する半導体装置の一例について説明する。

【0375】

また、本実施の形態の半導体装置において、実施の形態1に示した半導体装置と同じ符号を記した構成要素には、実施の形態1と同様な材料を用いることができる。また、特段記載のない限り、本実施の形態で作製された構成要素は、実施の形態1に示した構成要素と同様な構造上の特徴や、効果が得られるものとし、その説明は省略する。

40

【0376】

<半導体装置の構成例3>

図23（A）、図23（B）、図23（C）、および図23（D）は、本発明の一態様に係るトランジスタ202の上面図、および断面図である。

【0377】

図23（A）は、トランジスタ202の上面図である。また、図23（B）、図23（C）、および図23（D）はトランジスタ202の断面図である。ここで、図23（B）は、図23（A）にA-Bの一点鎖線で示す部位の断面図であり、トランジスタ202のチ

50

ヤネル長方向の断面図でもある。また、図 23 (C) は、図 23 (A) に C-D の一点鎖線で示す部位の断面図であり、トランジスタ 202 のチャネル幅方向の断面図でもある。また、図 23 (D) は、図 23 (A) に E-F の一点鎖線で示す部位の断面図である。図 23 (A) の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0378】

〔トランジスタ 202〕

図 23 に示すように、トランジスタ 202 は、基板（図示せず）の上に配置された絶縁体 208、および絶縁体 208 上に配置された絶縁体 210 の上に、導電体 209 と、導電体 209 の間を埋め込むように配置された絶縁体 212 と、導電体 209 および絶縁体 212 の上に配置された絶縁体 216 と、絶縁体 216 に埋め込まれるように配置された導電体 203 および導電体 205 と、絶縁体 216、導電体 203 および導電体 205 の上に配置された絶縁体 220 と、絶縁体 220 の上に配置された絶縁体 222 と、絶縁体 222 の上に配置された絶縁体 224 と、絶縁体 224 の上に配置された酸化物 230（酸化物 230 a、酸化物 230 b、酸化物 230 c、および酸化物 230 d）と、酸化物 230 の上に配置された絶縁体 250（絶縁体 250 a、および絶縁体 250 b）と、絶縁体 250 の上に配置された導電体 260（導電体 260 a、および導電体 260 b）と、導電体 260 上に配置された絶縁体 270 と、絶縁体 270 上に配置された絶縁体 271 と、少なくとも絶縁体 250 の側面、および導電体 260 の側面に接するように配置された絶縁体 272 と、絶縁体 272 の上面の一部および側面の一部に接するように配置された絶縁体 273 と、少なくとも酸化物 230、絶縁体 271、絶縁体 272、および絶縁体 273 を覆うように配置された絶縁体 274 と、を有する。

【0379】

また、トランジスタ 202 を覆うように絶縁体 280 が配置される。

【0380】

なお、絶縁体 212 は、導電体 209 を覆うように配置した絶縁膜を、CMP 法などを用いて導電体 209 が露出するまで研磨することで形成することができる。そのため、絶縁体 212、および導電体 209 は、表面の平坦性に優れる。

【0381】

また、導電体 203、および導電体 205 は、絶縁体 216 に設けられた開口部に導電体を埋め込むように形成する。絶縁体 216 および開口部を覆うように配置した導電膜を、CMP 法等を用いて絶縁体 216 が露出するまで研磨することで形成することができる。そのため、絶縁体 216、導電体 203 および導電体 205 は、表面の平坦性に優れる。

【0382】

また、絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230 a は、開口を有している。また、酸化物 230 b、および酸化物 230 c は、上記開口を介して導電体 203 と電氣的に接続している。酸化物 230 b、および酸化物 230 c と、導電体 203 とが、酸化物 230 a を介さずに接続する構成とすることで、直列抵抗及び接触抵抗を低減することが可能となる。このような構成により、電気特性の良好な半導体装置が得られる。より具体的には、オン電流の向上したトランジスタ、および当該トランジスタを用いた半導体装置が得られる。

【0383】

また、導電体 209 は積層構造を有していてもよい。この場合、上層の導電体と比較して、導電性に優れた導電体上に、下層の導電体と比較して、耐酸化性に優れた導電体を配置する構成が好ましい。導電体 209 の上層に酸化しにくい材料を用いることで、絶縁体 216 の形成時、絶縁体 216 に設けられる開口部の形成時、および導電体 205 の形成時に、導電体 209 の酸化を抑制することができる。これにより、導電体 209 の酸化による電気抵抗の増加を抑制することができる。すなわち、導電体 209 と導電体 205 のコンタクトは良好なものになる。

【0384】

なお、トランジスタ 202 では、図 23 に示すように、酸化物 230 a、酸化物 230 b

、および酸化物230c、および酸化物230dを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物230a、酸化物230cの2層構造、酸化物230b、酸化物230cの2層構造、酸化物230a、酸化物230c、および酸化物230dの3層構造、酸化物230b、酸化物230c、および酸化物230dの3層構造、としてもよい。すなわち、酸化物230aおよび酸化物230bの一方を設けなくてもよい。また、酸化物230dを設けなくてもよい。または5層以上の積層構造としてもよい。また、酸化物230cのみの単層、または酸化物230cと酸化物230dのみを設ける構成にしてもよい。また、トランジスタ202では、導電体260a、および導電体260bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、単層、または3層以上の積層構造としてもよい。

10

【0385】

ここで、図23(B)における破線で囲む、チャネル近傍の領域239の拡大図を図24に示す。

【0386】

図23(B)および図24に示すように、酸化物230は、トランジスタ202のチャネル形成領域として機能する領域234と、ソース領域またはドレイン領域として機能する領域231(領域231a、および領域231b)との間に、領域232(領域232a、および領域232b)を有する。ソース領域またはドレイン領域として機能する領域231は、キャリア密度が高い、低抵抗化した領域である。また、チャネル形成領域として機能する領域234は、ソース領域またはドレイン領域として機能する領域231よりも、キャリア密度が低い領域である。また、領域232は、ソース領域またはドレイン領域として機能する領域231よりも、キャリア密度が低く、チャネル形成領域として機能する領域234よりも、キャリア密度が高い領域である。

20

【0387】

領域231において、導電体252aと接続する領域233は、領域231よりもキャリア密度が高く、低抵抗化されていることが好ましい。領域231に領域233を設けることで、酸化物230と導電体252aのコンタクト抵抗を低減することができ、トランジスタ202は良好な電気特性を有することができる。領域233は、コンタクト領域と呼ぶことができる。

【0388】

領域231、領域232、および領域233は、酸化物230に、ヘリウムやアルゴンに代表される希ガスを添加することで設けることができる。希ガスの添加には、例えば、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。

30

【0389】

酸化物230に希ガスが添加されると、酸化物230中の金属元素と酸素原子の結合が切れ、酸化物230中に酸素欠損が生じると考えられる。酸素欠損が水素などの不純物を捕獲することで、キャリアが生じ、酸化物230、すなわち領域231、領域232、および領域233は低抵抗化する。水素などの不純物は、酸化物230中に存在している場合がある。このとき、当該不純物は、金属元素や酸素原子とは未結合の状態で存在していてもよい。また、酸化物230に接して設けられる絶縁体、例えば、絶縁体274から供給することができる。

40

【0390】

領域234は、酸素欠損や、水素などの不純物が極力低減された、高純度化された領域である。高純度化された酸化物は実質真性領域となり、領域234はチャネル形成領域として機能することができる。

【0391】

また、図23および図24において、領域232は、ゲート電極として機能する導電体260と重なる様子を示しているが、本実施の形態はこれに限らない。領域231、および

50

領域 232 の形成方法によっては、領域 232 はゲート電極として機能する導電体 260 と重ならない場合がある。

【0392】

領域 232 は、ソース領域またはドレイン領域として機能する領域 231 よりもキャリア密度が低く、チャンネル形成領域として機能する領域 234 よりもキャリア密度が高い領域とすることができる。この場合、領域 232 は、チャンネル形成領域と、ソース領域またはドレイン領域との間の接合領域 (junction region) として機能する。

【0393】

接合領域を設けることで、ソース領域またはドレイン領域として機能する領域 231 と、チャンネル形成領域として機能する領域 234 との間に高抵抗領域が形成されず、トランジスタのオン電流を大きくすることができるため、好ましい。

10

【0394】

領域 234 は、導電体 260 と重畳する。領域 234 は、領域 232 a、および領域 232 b との間に配置しており、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素、の少なくとも一の濃度が領域 231、および領域 232 より、小さいことが好ましい。

【0395】

また、酸化物 230 において、領域 231、領域 232、領域 233、および領域 234 の境界は明確に検出できない場合がある。各領域内で検出されるインジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度は、領域ごとの段階的な変化に限らず、各領域内でも連続的に変化 (グラデーションともいう) していてもよい。つまり、領域 231 から領域 232 へ、領域 234 に近い領域であるほど、インジウムなどの金属元素、並びに水素、および窒素などの不純物元素の濃度が減少していればよい。

20

【0396】

また、図 23 (B) および図 24 では、領域 234、領域 231、領域 232、および領域 233 が、酸化物 230 a、酸化物 230 b、酸化物 230 c、および酸化物 230 d に形成されているが、これに限られることなく、少なくとも酸化物 230 c に形成されていればよい。また、例えばこれらの領域は酸化物 230 c、および酸化物 230 d のみに形成されていてもよい。また、図では、各領域の境界を、絶縁体 224 と酸化物 230 の界面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域 232 が酸化物 230 c の表面近傍では領域 234 側に張り出し、酸化物 230 c の下面近傍では、領域 231 側に後退する形状になる場合がある。

30

【0397】

例えば、絶縁体 250 を絶縁体 250 a、および絶縁体 250 b を有する積層構造とし、絶縁体 250 a の上に、酸素を含む雰囲気中で絶縁体 250 b を形成することで、250 a により多くの酸素、すなわち過剰酸素を含ませることができる。

【0398】

また、絶縁体 250 の側面と接して、絶縁体 272 を設けることが好ましい。

【0399】

さらに、トランジスタ 202 は、水または水素などの不純物の混入を防ぐバリア性を有する絶縁体で囲まれていることが好ましい。

40

【0400】

以下では、本発明の一態様に係るトランジスタ 202 を有する半導体装置の詳細な構成について説明する。

【0401】

トランジスタ 202 において、導電体 260 は、第 1 のゲート電極として機能する場合がある。また、導電体 205 は、第 2 のゲート電極として機能する場合がある。その場合、導電体 205 に印加する電位を、導電体 260 に印加する電位と、連動させず、独立して変化させることで、トランジスタ 202 のしきい値電圧を制御することができる。特に、導電体 205 に負の電位を印加することにより、実質的にトランジスタ 202 のしきい値

50

電圧をプラス側にシフトすることができる。また、トランジスタ 202 のしきい値を 0 V より大きくすることで、オフ電流を低減することが可能となる。従って、導電体 260 に印加する電圧が 0 V のときのドレイン電流を小さくすることができる。

【0402】

第2のゲート電極として機能する導電体 205 は、酸化物 230 および導電体 260 と重なるように配置する。

【0403】

つまり、第1のゲート電極としての機能を有する導電体 260 の電界と、第2のゲート電極としての機能を有する導電体 205 の電界によって、領域 234 のチャネル形成領域を電氣的に取り囲むことができる。本明細書において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、`surrounded channel (S-channel)` 構造とよぶ。

【0404】

導電体 205 は、絶縁体 214 および絶縁体 216 の開口の内壁に接して導電体 205 a が形成され、さらに内側に導電体 205 b が形成されている。ここで、導電体 205 a および導電体 205 b の上面の高さと、絶縁体 216 の上面の高さは同程度にできる。なお、トランジスタ 202 では、導電体 205 a および導電体 205 b を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 205 b のみを設ける構成にしてもよい。

【0405】

ここで、導電体 205 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 (N_2O 、 NO 、 NO_2 など)、銅原子などの不純物の拡散を抑制する機能を有する (上記不純物が透過しにくい) 導電性材料を用いることが好ましい。または、酸素 (例えば、酸素原子、酸素分子など) の少なくとも一の拡散を抑制する機能を有する (上記酸素が透過しにくい) 導電性材料を用いることが好ましい。なお、本明細書において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一または、すべての拡散を抑制する機能とする。

【0406】

導電体 205 a が酸素の拡散を抑制する機能を持つことにより、導電体 205 b が酸化して導電率が低下することを防ぐことができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。従って、導電体 205 a としては、上記導電性材料を単層または積層とすればよい。これにより、絶縁体 214 より基板側から、水素、水などの不純物が、導電体 205 を通じて、トランジスタ 202 側に拡散するのを抑制することができる。

【0407】

また、導電体 205 b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。なお、導電体 205 b を単層で図示したが、積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0408】

導電体 209 は、電極や配線として機能することができる。導電体 205 を、トランジスタ 202 の第2のゲート電極として用いる場合、導電体 209 の一部は、ゲート配線として機能することができる。このとき、導電体 207 a および、導電体 207 a 上に設けられた導電体 207 b からなる導電体 207、および導電体 209 を介して、導電体 205 と導電体 252 d を電氣的に接続してもよい。導電体 207 は、導電体 203 および導電体 205 と同じ工程で作製することができる。

【0409】

また、導電体 209 は、導電体 203 を介して酸化物 230 と電氣的に接続しており、トランジスタ 202 のソース配線またはドレイン配線として機能することができる。また、導電体 209 は、絶縁体 210 より下層に位置する素子や配線と電氣的に接続するための電極として用いてもよい。

【0410】

酸化物230の下に、重なるように導電体203および導電体209を設けることで、トランジスタ202と、絶縁体210より下層に位置する素子や配線と接続するためのプラグや電極をトランジスタ202に重ねて設けることができる。よって、セルサイズを縮小できるため、好ましい。

【0411】

絶縁体210は、実施の形態1に示す絶縁体210と同様の材料を用いることができる。

【0412】

また、層間膜として機能する絶縁体212、および絶縁体216は、絶縁体210よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。層間膜として機能する絶縁体212、および絶縁体216は、実施の形態1に示す絶縁体208、絶縁体216、および絶縁体280と同様の材料を用いることができる。

10

【0413】

絶縁体220、絶縁体222、および絶縁体224は、ゲート絶縁体としての機能を有する。絶縁体220、絶縁体222、および絶縁体224は、実施の形態1に示す絶縁体220、絶縁体222、および絶縁体224と同様の材料を用いることができる。

【0414】

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、酸化物230c上の酸化物230dと、を有する。また、酸化物230は、領域231、領域232、領域233、および領域234を有する。なお、領域231の少なくとも一部は、絶縁体274と接することが好ましい。また、領域231の少なくとも一部は、インジウムなどの金属元素、水素、および窒素の少なくとも一の濃度が領域234よりも大きいことが好ましい。

20

【0415】

トランジスタ202をオンさせると、領域231a、または領域231bは、ソース領域、またはドレイン領域として機能する。一方、領域234の少なくとも一部は、チャンネルが形成される領域として機能する。

【0416】

ここで、図24に示すように、酸化物230は、領域232を有することが好ましい。領域232を接合領域とすることで、オン電流を大きくし、かつ、非導通時のリーク電流（オフ電流）を小さくすることができる。

30

【0417】

また、酸化物230a、および酸化物230b上に、酸化物230cを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230d下に、酸化物230cを有することで、酸化物230dよりも上方に形成された構造物から、酸化物230cへの不純物の拡散を抑制することができる。

【0418】

すなわち、酸化物230cに設けられた領域234は、酸化物230a、酸化物230b、および酸化物230dに囲われ、当該領域の水素や窒素などの不純物濃度を低く維持することができる。酸素濃度を高く維持することができる。このような構造を有する酸化物230を用いた半導体装置は、良好な電気特性を有し、高い信頼性を有する。

40

【0419】

また、酸化物230は、側面と上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物230cの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

【0420】

酸化物230は、実施の形態1に示す酸化物230と同様の材料を用いることができる。

50

【0421】

ここで、酸化物230の領域234について説明する。

【0422】

領域234は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物230a、酸化物230b、および酸化物230cの積層構造を有する場合、酸化物230aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230bに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物230cに用いる金属酸化物における、構成元素中の元素Mの原子数比より、大きいことが好ましい。また、酸化物230aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物230cに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物230bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230cに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物230bに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物230dは、酸化物230a、酸化物230b、または酸化物230cに用いることができる金属酸化物を、用いることができる。

【0423】

酸化物230a、および酸化物230bには、例えばIn:Ga:Zn=1:3:4、In:Ga:Zn=1:3:2、またはIn:Ga:Zn=1:1:1の組成を有する金属酸化物を用いることができる。また、酸化物230cには、例えばIn:Ga:Zn=4:2:3、In:Ga:Zn=1:1:1、またはIn:Ga:Zn=5:1:6の組成を有する金属酸化物を用いることができる。酸化物230dには、例えばIn:Ga:Zn=1:3:4、In:Ga:Zn=1:3:2、In:Ga:Zn=4:2:3、またはIn:Ga:Zn=1:1:1の組成を有する金属酸化物を用いることができる。なお、上記組成は、基板上に形成された酸化物中の原子数比、またはスパッタターゲットにおける原子数比を示す。

【0424】

特に、酸化物230aとしてIn:Ga:Zn=1:3:4、酸化物230bとしてIn:Ga:Zn=1:1:1、酸化物230cとしてIn:Ga:Zn=4:2:3、酸化物230dとしてIn:Ga:Zn=1:1:1の組成を有する金属酸化物の組み合わせは、酸化物230cを、よりエネルギーギャップの広い酸化物230a、酸化物230bと酸化物230dで挟むことができ、好ましい。このとき、エネルギーギャップの広い酸化物230a、酸化物230b、および酸化物230dをワイドギャップ、相対的にエネルギーギャップが狭い酸化物230cをナローギャップと呼ぶことがある。

【0425】

続いて、酸化物230の領域231について説明する。

【0426】

領域231は、酸化物230として設けられた金属酸化物に、インジウムなどの金属原子、ヘリウムやアルゴンなどの希ガス、または水素や窒素などの不純物を添加し、低抵抗した領域である。なお、各領域は、少なくとも、領域234における酸化物230cよりも、導電性が高い。なお、領域231に、金属原子、希ガス、または不純物を添加するために、例えば、プラズマ処理、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いて、金属元素、希ガス、および不純物の少なくとも一であるドーパントを添加すればよい。

【0427】

つまり、領域 231 において、酸化物 230 のインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

【0428】

または、酸化物 230 に接して、不純物となる元素を含む絶縁体 274 を成膜することで、領域 231 に、不純物を添加することができる。

【0429】

つまり、領域 231 は、酸素欠損を形成する元素、または酸素欠損に捕獲される元素が添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域 231 は、上記元素の一つまたは複数を含む構成にすればよい。

10

【0430】

または、絶縁体 274 として、領域 231 に含まれる酸素を引き抜き、吸収する膜を用いてもよい。酸素が引き抜かれると、領域 231 には酸素欠損が生じる。酸素欠損に水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が捕獲されることにより、領域 231 は低抵抗化する。

【0431】

領域 232 のチャネル長方向の幅は、絶縁体 272 および絶縁体 273 の幅により制御することができる。

【0432】

従って、領域 232 の範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

20

【0433】

絶縁体 250 は、ゲート絶縁膜として機能する。絶縁体 250 は、酸化物 230 d の上面に接して配置することが好ましい。絶縁体 250 は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、昇温脱離ガス分光法分析 (TDS 分析) にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記 TDS 分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 500°C 以下の範囲が好ましい。

30

【0434】

例えば、絶縁体 250 を絶縁体 250 a、および絶縁体 250 b を有する積層構造としてもよい。加熱により酸素が放出される絶縁体を、絶縁体 250 a として、酸化物 230 d の上面に接して設けることにより、酸化物 230 c の領域 234 に効果的に酸素を供給することができる。また、絶縁体 224 と同様に、絶縁体 250 a 中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体 250 a の膜厚は、1 nm 以上 20 nm 以下、好ましくは 5 nm 以上 10 nm とする。

【0435】

絶縁体 250 b は、形成時、あるいは形成後に、絶縁体 250 a に酸素を供給できる絶縁体であることが好ましい。このような絶縁体は、酸素を含む雰囲気、あるいは酸素を含むターゲットを用いて形成することができる。例えば、スパッタリング法を用いて、酸素を含む雰囲気中で、酸化アルミニウムを形成する。絶縁体 250 b の膜厚は、1 nm 以上 20 nm 以下、好ましくは 5 nm 以上 10 nm とする。

40

【0436】

絶縁体 250 a の上に絶縁体 250 b を設けることで、絶縁体 250 a に、より多くの酸素、すなわち過剰酸素を含ませることができる。

【0437】

第 1 のゲート電極として機能する導電体 260 は、導電体 260 a、および導電体 260 a 上の導電体 260 b を有する。導電体 260 a は、窒化チタンなどを用いることが好ましい。また、導電体 260 b として、例えばタングステンなどの、導電性が高い金属を用

50

いることができる。

【0438】

導電体260、および導電体205に電位を印加した場合、導電体260から生じる電界と、導電体205から生じる電界により、酸化物230に形成されるチャンネル形成領域を覆うことができる。

【0439】

つまり、第1のゲート電極としての機能を有する導電体260の電界と、第2のゲート電極としての機能を有する導電体205の電界によって、領域234のチャンネル形成領域を電氣的に取り囲むことができる。

【0440】

また、バリア膜として機能する絶縁体272を、絶縁体250の側面、および導電体260の側面に接するように設ける。また、バリア膜として機能する絶縁体270を導電体260の上部に設ける。

【0441】

ここで、絶縁体270、および絶縁体272は、それぞれ実施の形態1に示す絶縁体270、および絶縁体272と同様の材料を用いることができる。

【0442】

また、トランジスタが微細化され、チャンネル長が10nm以上30nm以下程度に形成されている場合、トランジスタ202の周辺に設けられる構造体に含まれる不純物元素が拡散し、領域231aと領域231b、あるいは、領域232aと領域232bと、が電氣的に導通する恐れがある。

【0443】

そこで、本実施の形態に示すように、絶縁体272および絶縁体273を形成することにより、絶縁体250および導電体260に水素、水などの不純物が混入するのを抑制し、かつ、絶縁体250中の酸素が外部に拡散することを防ぐことができる。従って、第1のゲート電圧が0Vのときに、ソース領域とドレイン領域が直接、あるいは領域232などを介して電氣的に導通することを防ぐことができる。

【0444】

絶縁体273は、絶縁体272よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、後述する導電体130と導電体260間に生じる寄生容量を低減することができる。絶縁体273は、絶縁体212、および絶縁体216と同様の材料を用いることができる。

【0445】

絶縁体274は、少なくとも酸化物230、絶縁体271、絶縁体272、および絶縁体273を覆うように設ける。

【0446】

また、絶縁体274は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。例えば、絶縁体274として、窒化シリコン、窒化酸化シリコン、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどを用いることが好ましい。このような絶縁体274を形成することで、絶縁体274を透過して酸素が混入し、領域231aおよび領域231bの酸素欠損に酸素を供給して、キャリア密度が低下するのを防ぐことができる。また、絶縁体274を透過して水または水素などの不純物が混入し、領域234に拡散するのを抑制することができる。

【0447】

なお、絶縁体274を成膜することにより、領域231を設ける場合、絶縁体274は、水素および窒素の少なくとも一方を有することが好ましい。水素、または窒素などの不純物を有する絶縁体を絶縁体274に用いることで、水素または窒素などの不純物を酸化物230に添加して、酸化物230において、領域231を低抵抗化することができる。

【0448】

絶縁体274の上に、層間膜として機能する絶縁体280を設けることが好ましい。絶縁

10

20

30

40

50

体 280 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体 280 は、同様の絶縁体からなる積層構造としてもよい。

【0449】

〔容量素子 101〕

図 23 に示すように、容量素子 101 は、トランジスタ 202 と共通の構造を有する構成である。本実施の形態では、トランジスタ 202 の酸化物 230 に設けられた領域 231b の一部が、容量素子 101 の電極の一方として機能する容量素子 101 の例について示す。

【0450】

容量素子 101 は、酸化物 230 の領域 231b の一部、絶縁体 274、絶縁体 274 上の導電体 130（導電体 130a、導電体 130b）を有する。さらに、導電体 130 の少なくとも一部が領域 231b の一部と重なるように配置されることが好ましい。

【0451】

酸化物 230 の領域 231b の一部は、容量素子 101 の電極の一方として機能し、導電体 130 は容量素子 101 の電極の他方として機能する。すなわち、領域 231b は、トランジスタ 202 のソースまたはドレインの一方としての機能と、容量素子 101 の電極の一方としての機能を兼ねている。絶縁体 274 の一部は、容量素子 101 の誘電体として機能する。

【0452】

ここで、トランジスタ 202 の第 1 のゲート電極として機能する導電体 260 の側面には、絶縁体 272、および絶縁体 273 が設けられている。導電体 260 と導電体 130 の間に絶縁体 272、および絶縁体 273 が設けられることで、導電体 260 と導電体 130 の間の寄生容量を低減することができる。

【0453】

導電体 130 は、導電体 130a、および導電体 130a 上に配置された導電体 130b を含む積層構造であることが好ましい。例えば、導電体 130a は、チタン、窒化チタン、タンタル、または窒化タンタルを主成分とする導電性材料を用いることが好ましく、導電体 130b は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。導電体 130 は、単層構造としてもよいし、3 層以上の積層構造としてもよい。

【0454】

〔セル 601〕

本発明の一態様の半導体装置は、トランジスタ 202 と、容量素子 101、層間膜として機能する絶縁体 280 を有する。また、トランジスタ 202 および容量素子 101 と電気的に接続し、プラグとして機能する導電体 252（導電体 252a、導電体 252b、導電体 252c、および導電体 252d）とを有する。

【0455】

容量素子 101 の電極として機能する導電体 130 と電気的に接続するプラグとして、導電体 252b を設けてもよい。導電体 130 は、複数のセル 601 が有する容量素子 101 の電極を共有することができる。このため、必ずしも各セル 601 に導電体 252b を設ける必要はなく、複数のセルに対して、当該セルの数より少ないプラグを設けてもよい。例えば、セル 601 が、行列、またはマトリクス状に配置されたセルアレイにおいて、各行に一つのプラグ、または各列に一つのプラグを設けてもよい。

【0456】

なお、導電体 252 は、絶縁体 280 の開口の内壁に接して形成されている。ここで、導電体 252 の上面の高さと、絶縁体 280 の上面の高さは同程度にできる。なお、図 23 では、導電体 252 が 2 層である構成について示しているが、本発明はこれに限られるものではない。例えば、導電体 252 は、単層、または 3 層以上の積層構造でもよい。

【0457】

10

20

30

40

50

絶縁体 280 は、絶縁体 274 および導電体 130 を覆うように設けることが好ましい。絶縁体 280 は、絶縁体 224 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。なお、絶縁体 280 は、同様の絶縁体からなる積層構造としてもよい。

【0458】

絶縁体 280 は、絶縁体 210 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0459】

例えば、層間膜として機能する絶縁体 280 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO₃) または (Ba, Sr)TiO₃ (BST) などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に例えば酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理しても良い。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0460】

また、絶縁体 280 などに形成された開口に、導電体 252a、導電体 252b、導電体 252c、および導電体 252d を配置する。なお、導電体 252a、導電体 252b、導電体 252c、および導電体 252d の上面は、絶縁体 280 の上面と、概略同じ高さとしてもよい。

【0461】

導電体 252a は、絶縁体 280、および絶縁体 274 に形成された開口を介して、トランジスタ 202 のソース領域およびドレイン領域の一方として機能する領域 233 と接している。領域 233 は低抵抗化されているので、導電体 252a と領域 233 の接触抵抗を低減することができる。また、導電体 252b は、絶縁体 280 に形成された開口を介して、容量素子 101 の電極の一方である導電体 130 と接している。また、導電体 252c は、絶縁体 280、絶縁体 274、絶縁体 271、および絶縁体 270 に形成された開口を介して、トランジスタ 202 の第 1 のゲート電極として機能する導電体 260 と接している。また、導電体 252d は、絶縁体 280、絶縁体 274、絶縁体 222、および絶縁体 220 に形成された開口を介して、導電体 207 と接し、導電体 209 を介して、トランジスタ 202 の第 2 のゲート電極として機能する導電体 205 と電氣的に接続している。

【0462】

ここで、導電体 252a は、少なくとも酸化物 230 の上面と接し、さらに酸化物 230 の側面と接することが好ましい。特に、導電体 252a は、酸化物 230 のチャンネル幅方向と交わる側面において、C 側の側面、および D 側の側面の双方または一方と接することが好ましい。また、導電体 252a が、酸化物 230 のチャンネル長方向と交わる側面において、A 側の側面と接する構成にしてもよい。このように、導電体 252a が酸化物 230 の上面に加えて、酸化物 230 の側面と接する構成にすることにより、導電体 252a と酸化物 230 のコンタクト部の上面積を増やすことなく、コンタクト部の接触面積を増加させ、導電体 252a と酸化物 230 の接触抵抗を低減することができる。これにより、トランジスタのソース電極およびドレイン電極の微細化を図りつつ、オン電流を大きくすることができる。

【0463】

導電体 252 は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 252 は積層構造としても良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0464】

導電体 252 を積層構造とする場合、絶縁体 274、および絶縁体 280 と接する導電体

には、導電体 205a などと同様に、水または水素などの不純物の透過を抑制する機能を有する導電性材料を用いることが好ましい。例えば、タンタル、窒化タンタル、チタン、窒化チタン、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、水または水素などの不純物の透過を抑制する機能を有する導電性材料は、単層または積層で用いてもよい。該導電性材料を用いることで、絶縁体 280 より上層から水素、水などの不純物が、導電体 252 を通じて酸化物 230 に混入するのを抑制することができる。

【0465】

また、導電体 252 が埋め込まれた絶縁体 274 および絶縁体 280 の開口の内壁に接して、水または水素などの不純物の透過を抑制する機能を有する絶縁体が設けられる構成にしてもよい。このような絶縁体としては、絶縁体 210 に用いることができる絶縁体、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、絶縁体 280 などから水素、水などの不純物が、導電体 252 を通じて酸化物 230 に混入するのを抑制することができる。また、当該絶縁体は、例えば ALD 法または CVD 法などを用いて成膜することで被覆性良く成膜することができる。

【0466】

また、図示しないが、導電体 252 の上面に接して配線として機能する導電体を配置してもよい。配線として機能する導電体は、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。

【0467】

＜半導体装置の構成例 4＞

図 25 (A)、図 25 (B)、図 25 (C)、および図 25 (D) は、本発明の一態様に係るトランジスタ 204、容量素子 102、およびトランジスタ 204 周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する半導体装置をセルと称する。

【0468】

図 25 に示すセル 602 は、トランジスタ 204 と容量素子 102 を有しており、先に説明したトランジスタ 202 と比較して、導電体 203、および導電体 205 の構造が異なる。また、絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 の形状が異なる。

【0469】

導電体 203、および導電体 205 は、導電体 209 および絶縁体 212 の上に設けられている。導電体 203、および導電体 205 は、導電体 209 と同様の材料を用いて、同様の方法で作製することができる。一方、導電体 203、および導電体 205 の加工の際、導電体 209 の形状不良を引き起こす恐れがある場合は、導電体 203、および導電体 205 は、導電体 209 と異なる材料を用いることが好ましい。また、絶縁体 216 は、絶縁体 212 と同様の材料を用いて、同様の方法で作製することができる。

【0470】

絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 は、その側面が傾斜している。少なくとも、絶縁体 250、および導電体 260 の側面に絶縁体 272 および絶縁体 273 を形成する上で、絶縁体 250、および導電体 260 の側面は、基板表面または絶縁体 220 や絶縁体 222 の表面に対して垂直であることが好ましい。一方、絶縁体 272 および絶縁体 273 となる絶縁膜を形成する上では、絶縁体 250、および導電体 260 の側面は、傾斜を有していることで被覆性が向上し好ましい。絶縁体 250、および導電体 260 の側面の角度は、プロセス上の作りやすさも考慮して適宜調整することができる。

【0471】

図 25 に示すセル 602 においては、トランジスタ 202 と比較して、導電体 203、および導電体 205 の構造、および絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 の形状が異なる例を示したが、導電体 203、および導電体 205 の構造、および絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 の形状の一方のみ

をトランジスタ 202 と異ならせる構成としてもよい。

【0472】

<半導体装置の構成例 5>

図 26 (A)、図 26 (B)、図 26 (C)、および図 26 (D) は、本発明の一態様に係るトランジスタ 206、容量素子 103、およびトランジスタ 206 周辺の上面図、および断面図である。なお、本明細書では、1つの容量素子、および少なくとも1つのトランジスタを有する半導体装置をセルと称する。

【0473】

図 26 に示すセル 603 は、トランジスタ 206 と容量素子 103 を有しており、先に説明したトランジスタ 202 と、領域 231、および領域 233 上に酸化物 230d がエッチングされず、残存している点で、異なる。

10

【0474】

この場合、酸化物 230c の端部が酸化物 230d に覆われ、酸化物 230 への不純物の混入や、酸化物 230 からの酸素の放出などを抑制することができ、好ましい。

【0475】

また、導電体 203、および導電体 205 を、図 25 に示した構造としてもよい。また、絶縁体 250、導電体 260、絶縁体 270、および絶縁体 271 を、図 25 に示した形状としてもよい。

【0476】

<セルアレイの構造>

20

ここで、本実施の形態のセルアレイの一例を、図 27 および図 28 に示す。例えば、図 23 に示すトランジスタ 202、および容量素子 101 を有するセル 601、およびセル 601 と電氣的に接続するトランジスタ 300 を、行列、またはマトリクス状に配置することで、セルアレイを構成することができる。

【0477】

図 27 は、図 23 に示すセル 601、およびセル 601 と電氣的に接続するトランジスタ 300 を、マトリクス状に配置したセルアレイの一形態を示す回路図である。また、図 28 (A) は、当該セルアレイの一部の回路 620 を抜き出した回路図であり、図 28 (B) は、当該セルアレイに相当するセル 601 およびトランジスタ 300 の断面模式図である。

30

【0478】

トランジスタ 300 は、半導体基板に設けられたトランジスタを用いることができる。当該半導体基板は、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge (ゲルマニウム)、SiGe (シリコンゲルマニウム)、GaAs (ガリウムヒ素)、GaAlAs (ガリウムアルミニウムヒ素)などを有する半導体基板を用いてもよい。この場合、トランジスタ 300 は、pチャネル型、あるいはnチャネル型のいずれでもよい。また、トランジスタ 300 として、トランジスタ 202 と同様に、酸化物半導体を用いたトランジスタを用いることもできる。

【0479】

図 27 においては、行方向に隣り合うセル 601 が有するトランジスタ 202 のソースおよびドレインの一方が共通の配線 (S01、S02、S03) と電氣的に接続する。また、当該配線は、列方向に配置されたセルが有するトランジスタ 202 のソースおよびドレインの一方とも電氣的に接続する。一方、行方向に隣り合うセル 601 が有するトランジスタ 202 の第1のゲートは、異なる配線 WL (WL01乃至WL06) と電氣的に接続する。また、各セル 601 が有するトランジスタ 202 の第2ゲートは、トランジスタ 400 と電氣的に接続してもよい。トランジスタ 400 を介してトランジスタ 202 の第2ゲートに印加される電位により、トランジスタのしきい値を制御することができる。

40

【0480】

また、セル 601 が有する容量素子 101 の第1の電極は、トランジスタ 202 のソースおよびドレインの他方、およびトランジスタ 300 のゲートと電氣的に接続する。この時

50

、容量素子１０１の第１の電極は、トランジスタ２０２を構成する構造の一部からなる場合がある。また、セル６０１が有する容量素子１０１の第２の電極は、配線ＰＬと電氣的に接続する。容量素子１０１の第２の電極と電氣的に接続する配線ＰＬは、各セル６０１で異なる電位を有していてもよいし、共通の電位を有していてもよい。例えば、配線ＰＬは、列毎に共通の電位を有していてもよいし、行毎に共通の電位を有していてもよい。

【０４８１】

トランジスタ３００のソースおよびドレインの一方は、配線ＳＬ（ＳＬ０１乃至ＳＬ０６）と電氣的に接続し、トランジスタ３００のソースおよびドレインの他方は、配線ＢＬ（ＢＬ０１乃至ＢＬ０６）と電氣的に接続する。

【０４８２】

図２８（Ｂ）に示すように、セル６０１ａは、トランジスタ２０２ａおよび容量素子１０１ａを有し、トランジスタ３００ａのゲートと電氣的に接続している。セル６０１ｂは、トランジスタ２０２ｂおよび容量素子１０１ｂを有し、トランジスタ３００ｂのゲートと電氣的に接続している。

【０４８３】

トランジスタ２０２ａのソースおよびドレインの一方と、トランジスタ２０２ｂのソースおよびドレインの一方は、いずれもＳ０２と電氣的に接続している。

【０４８４】

トランジスタ２０２のソースおよびドレインの一方が、トランジスタ３００のゲートおよび容量素子１０１ａの第１の電極と電氣的に接続することで、トランジスタ３００のゲートに所望の電位を印加し、保持することができる。また、チャネル形成領域に酸化物半導体を用いるトランジスタ２０２は、非導通状態におけるリーク電流が極めて小さい。よって、トランジスタ３００のゲート電極に印加された電位を長時間維持することができる。

【０４８５】

このようなセルアレイは、記憶装置や、演算回路として用いることができる。

【０４８６】

【トランジスタ４００】

図２９は、トランジスタ４００の一態様を示す断面模式図である。トランジスタ４００は、トランジスタ２０２と異なる構造を有していてもよい。

【０４８７】

トランジスタ４００は、トランジスタ２０２と共通の材料を用いて作製されるのが好ましい。

【０４８８】

導電体４０９は、導電体２０９と同様の材料を用い、同じ工程で形成することができる。導電体４０３および導電体４０５は、導電体２０３および導電体２０５と同様の材料を用い、同じ工程で形成することができる。導電体４０５は、トランジスタ４００の第２のゲート電極として機能することができる。

【０４８９】

酸化物４３０ａ、酸化物４３０ｂ、酸化物４３０ｃ、および酸化物４３０ｄは、それぞれ酸化物２３０ａ、酸化物２３０ｂ、酸化物２３０ｃ、および酸化物２３０ｄと同様の材料を用い、同じ工程で形成することができる。トランジスタ４００において、酸化物４３０ｄの一部は、チャネル形成領域として機能し、酸化物４３０ａ、酸化物４３０ｂ、酸化物４３０ｃ、および酸化物４３０ｄは、酸化物２３０と同様に低抵抗領域を有し、ソース領域またはドレイン領域として機能する。また、酸化物４３０ａ、酸化物４３０ｂ、および酸化物４３０ｃには、より低抵抗なコンタクト領域が設けられていることが好ましい。

【０４９０】

絶縁体４５０ａ、および絶縁体４５０ｂは、それぞれ絶縁体２５０ａ、および絶縁体２５０ｂと同様の材料を用い、同じ工程で形成することができ、絶縁体４５０ａ、および絶縁体４５０ｂを有する絶縁体４５０は、ゲート絶縁膜として機能することができる。導電体４６０ａ、および導電体４６０ｂは、それぞれ導電体２６０ａ、および導電体２６０ｂと

10

20

30

40

50

同様の材料を用い、同じ工程で形成することができ、導電体 460a、および導電体 460b を有する導電体 460 は、第 1 のゲート電極として機能することができる。

【0491】

絶縁体 470 は、絶縁体 270 と同様の材料を用い、同じ工程で形成することができる。絶縁体 471 は、絶縁体 271 と同様の材料を用い、同じ工程で形成することができる。絶縁体 472 は、絶縁体 272 と同様の材料を用い、同じ工程で形成することができる。絶縁体 473 は、絶縁体 273 と同様の材料を用い、同じ工程で形成することができる。

【0492】

絶縁体 280 および絶縁体 274 には開口部が設けられ、酸化物 430 に接続する導電体 452a および導電体 452b が配置される。

【0493】

トランジスタ 400 において、ソース領域およびドレイン領域の一方は、酸化物 430a、絶縁体 224、絶縁体 222、および絶縁体 220 に設けられた開口を介して、導電体 403 と電氣的に接続する。また、導電体 403 は、導電体 409 を介して、第 2 のゲート電極として機能する導電体 405 と電氣的に接続する。また、当該ソース領域およびドレイン領域の一方は、導電体 452b を介して第 2 のゲート電極として機能する導電体 460 と電氣的に接続する。すなわち、トランジスタ 400 は、ソース領域およびドレイン領域の一方、第 1 のゲート電極、および第 2 のゲート電極が電氣的に接続することで、ダイオード接続を構成している。

【0494】

ダイオード接続したトランジスタ 400 のソースおよびドレインの一方は、導電体 409 および導電体 209 などを介して、トランジスタ 202 の第 2 のゲート電極と電氣的に接続する。これにより、トランジスタ 202 の第 2 のゲート電極の電位は、トランジスタ 400 により制御することができる。また、トランジスタ 400 は、酸化物 430d にチャネル形成領域が設けられているため、非導通状態におけるリーク電流は極めて小さい。よって、例えばトランジスタ 202 の第 2 のゲート電極に負電位を印加する場合、トランジスタ 400 に電源の供給を行わなくても、トランジスタ 202 の第 2 のゲート電極の電位を長時間維持することができる。

【0495】

トランジスタ 400 は、各セル 601 に設ける必要はなく、複数のセルに対して、当該セルの数より少ないトランジスタ 400 を設けてもよい。例えば、セル 601 が、行列、またはマトリクス状に配置されたセルアレイにおいて、セルアレイに一つのトランジスタ 400、各行に一つのトランジスタ 400、または各列に一つのトランジスタ 400 を設けてもよい。

【0496】

<半導体装置の作製方法>

次に、本発明に係るトランジスタ 202 を有する半導体装置について、作製方法を図 30 乃至図 50 を用いて説明する。また、図 30 乃至図 50 において、各図の (A) は上面図を示す。また、各図の (B) は (A) に示す A-B の一点鎖線で示す部位に対応する断面図である。また、各図の (C) は、(A) に C-D の一点鎖線で示す部位に対応する断面図である。また、各図の (D) は、(A) に E-F の一点鎖線で示す部位に対応する断面図である。

【0497】

また、本実施の形態の半導体装置の作製方法において、実施の形態 1 に示した半導体装置の作製方法と同じ符号を記した構成要素には、実施の形態 1 と同様な材料、作製方法、および作製装置を用いることができる。また、特段記載のない限り、本実施の形態で作製された構成要素は、実施の形態 1 に示した構成要素と同様な構造上の特徴や、効果が得られるものとし、その説明は省略する。

【0498】

まず、基板（図示しない）を準備し、当該基板上に絶縁体 208 を成膜する。絶縁体 20

10

20

30

40

50

8の成膜は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。

【0499】

本実施の形態では、絶縁体208として、CVD法によって酸化シリコンを成膜する。

【0500】

次に、絶縁体208上に絶縁体210を形成する。本実施の形態では、絶縁体210として、スパッタリング法によって酸化アルミニウムを成膜する。また、絶縁体210は、多層構造としてもよい。例えばスパッタリング法によって酸化アルミニウムを成膜し、該酸化アルミニウム上にALD法によって酸化アルミニウムを成膜する構造としてもよい。または、ALD法によって酸化アルミニウムを成膜し、該酸化アルミニウム上に、スパッタリング法によって酸化アルミニウムを成膜する構造としてもよい。

10

【0501】

次に、絶縁体210上に導電膜209Aを形成する。導電膜209Aの形成は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、導電膜209Aとして、スパッタリング法によってタングステンを成膜した。なお、導電膜209Aとして、タングステンの他に、アルミニウムや銅などの導電体を用いることができる。また、導電膜209Aを積層構造としてもよく、上記導電体上にチタンやタンタルを含む導電体を積層して設けてもよい。例えば、上記導電体上に窒化チタン、または窒化タンタルなどの金属窒化物を用いることができる。

【0502】

次に、導電膜209A上にリソグラフィ法を用いてマスク262を形成する（図30参照。）。

20

【0503】

次に、マスク262を用いて、導電膜209Aを加工し、導電体209を形成する（図31参照。）。

【0504】

該加工はドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。

【0505】

ドライエッチング装置としては、ドライエッチング装置を用いることができ、CCPエッチング装置や、ICPエッチング装置などを用いることができる。

30

【0506】

導電膜209Aのエッチングにハードマスクを用いる場合、当該エッチング処理は、ハードマスクの形成に用いたレジストマスクを除去してから行っても良いし、レジストマスクを残したまま行っても良い。後者の場合、エッチング中にレジストマスクが消失することがある。上記導電膜のエッチング後にハードマスクをエッチングにより除去しても良い。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要は無い。

【0507】

次に絶縁体210、導電体209上に絶縁膜212Aを形成する（図32参照）。絶縁膜212Aの形成は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。本実施の形態では、絶縁膜212Aとして、CVD法によって酸化シリコンを形成する。

40

【0508】

次に、CMP処理を行うことで絶縁膜212Aの一部を除去し、導電体209を露出する。その結果、導電体209の間、およびこれら導電体の周囲に絶縁体212が残存する。これにより、上面が平坦な、絶縁体212、および導電体209を形成することができる（図33参照。）。なお、当該CMP処理により、導電体209の一部が除去される場合がある。

【0509】

50

次に絶縁体 2 1 2、および導電体 2 0 9 上に絶縁体 2 1 6 を成膜する。絶縁体 2 1 6 の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法または A L D 法などを用いて行うことができる。本実施の形態では、絶縁体 2 1 6 として、C V D 法によって酸化シリコンを成膜する。

【0 5 1 0】

次に、絶縁体 2 1 6 に開口を形成する。開口とは、例えば、溝やスリットなども含まれる。また、開口が形成された領域を指して開口部とする場合がある。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体 2 1 6 に開口を形成する場合、導電体 2 0 9 は、絶縁体 2 1 6 をエッチングして溝を形成する際のエッチングストップ膜として用いてもよい。

10

【0 5 1 1】

開口の形成後に、導電体 2 0 3 a、および導電体 2 0 5 a となる導電膜を成膜する。該導電膜は、酸素の透過を抑制する機能を有する導電体を含むことが望ましい。たとえば、窒化タンタル、窒化タングステン、窒化チタンなどを用いることができる。またはタンタル、タングステン、チタン、モリブデン、アルミニウム、銅、モリブデンタングステン合金との積層膜とすることができる。導電体 2 0 3 a、および導電体 2 0 5 a となる導電体の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法または A L D 法などを用いて行うことができる。

【0 5 1 2】

本実施の形態では、導電体 2 0 3 a、および導電体 2 0 5 a となる導電膜として、スパッタリング法によって窒化タンタルまたは、窒化タンタルの上に窒化チタンを積層した膜を成膜する。導電体 2 0 3 a、および導電体 2 0 5 a としてこのような金属窒化物を用いることにより、後述する導電体 2 0 3 b、および導電体 2 0 5 b で銅など拡散しやすい金属を用いても、当該金属が導電体 2 0 3 a、および導電体 2 0 5 a から外に拡散するのを防ぐことができる。

20

【0 5 1 3】

次に、導電体 2 0 3 a、および導電体 2 0 5 a となる導電膜上に、導電体 2 0 3 b、および導電体 2 0 5 b となる導電膜を成膜する。該導電膜の成膜は、スパッタリング法、C V D 法、M B E 法、P L D 法または A L D 法などを用いて行うことができる。本実施の形態では、導電体 2 0 3 b、および導電体 2 0 5 b となる導電膜として、タングステンや、銅などの低抵抗導電性材料を成膜する。

30

【0 5 1 4】

次に、C M P 処理を行うことで、導電体 2 0 3 a、および導電体 2 0 5 a となる導電膜、ならびに導電体 2 0 3 b、および導電体 2 0 5 b となる導電膜の一部を除去し、絶縁体 2 1 6 を露出する。その結果、開口部のみに、導電体 2 0 3 a、および導電体 2 0 5 a となる導電膜、ならびに導電体 2 0 3 b、および導電体 2 0 5 b となる導電膜が残存する。これにより、上面が平坦な、導電体 2 0 3 a および導電体 2 0 3 b を含む導電体 2 0 3、および導電体 2 0 5 a および導電体 2 0 5 b を含む導電体 2 0 5 を形成することができる（図 3 4 参照。）。なお、当該 C M P 処理により、絶縁体 2 1 6 の一部が除去される場合がある。

40

【0 5 1 5】

次に、絶縁体 2 1 6、導電体 2 0 3、および導電体 2 0 5 上に絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 を成膜する。絶縁体 2 2 0、絶縁体 2 2 2、および絶縁体 2 2 4 は、実施の形態 1 と同様の方法により、同様の材料を用いて形成することができる（図 3 4 参照。）。

【0 5 1 6】

続いて、加熱処理を行うと好ましい。加熱処理は、実施の形態 1 に示す方法を用いることができる。上記加熱処理によって、絶縁体 2 2 4 に含まれる水素や水などの不純物を除去することなどができる。尚、第 1 の加熱処理は行わなくても良い場合がある。

【0 5 1 7】

50

また、加熱処理は、絶縁体 220 成膜後、および絶縁体 222 の成膜後のそれぞれに行うこともできる。該加熱処理は、上述した加熱処理条件を用いることができるが、絶縁体 220 成膜後の加熱処理は、窒素を含む雰囲気中で行うことが好ましい。

【0518】

本実施の形態では、加熱処理として、絶縁体 224 成膜後に窒素雰囲気にて 400℃の温度で 1 時間の処理を行なう。

【0519】

次に、絶縁体 224 上に、酸化物 230a となる酸化膜 230A を形成する。

【0520】

酸化膜 230A は、実施の形態 1 と同様の方法により、同様の材料を用いて形成することができる。

10

【0521】

次に、リソグラフィ法を用いて、絶縁体 220、絶縁体 222、絶縁体 224、および酸化膜 230A に、導電体 203 へ到達する開口を形成する。まず、酸化膜 230A 上にマスク 263 を形成する（図 34 参照。）。開口の形成に用いるマスク 263 は、レジストマスクでもよいし、ハードマスクでもよい。

【0522】

次に、マスク 263 を用いて、絶縁体 220、絶縁体 222、絶縁体 224、および酸化膜 230A を加工し、導電体 203 の表面を露出することで、開口が形成される（図 35 参照。）。該加工は、ドライエッチング法やウェットエッチング法を用いることができる。ドライエッチング法による加工は微細加工に適している。なお、絶縁体 220、絶縁体 222、及び絶縁体 224 は、酸化膜 230A を介して加工される。詳述すると、導電体 203 の表面の一部を露出させる際に、酸化膜 230A 上にレジストマスクやハードマスクなどからなるマスクを形成し、その後、絶縁体 220、絶縁体 222、絶縁体 224、および酸化膜 230A を加工する。すなわち、ゲート絶縁膜として機能する絶縁体（絶縁体 220、絶縁体 222、および絶縁体 224）の表面にマスクが形成されない。したがって、ゲート絶縁膜として機能する絶縁体の表面に、マスクが付着しないため、レジストマスク等に含まれる不純物、ハードマスクに含まれる成分、およびマスク除去に用いる薬液やプラズマに含まれる成分によるゲート絶縁膜の汚染やダメージを抑制できる。このようなプロセスにより、信頼性の高い半導体装置の作製方法を提供できる。

20

30

【0523】

次に、酸化膜 230A 上に酸化膜 230B、および酸化膜 230C を形成する（図 36 参照。）。このとき、酸化膜 230B、および酸化膜 230C は上記開口内部にも形成され、当該開口を介して導電体 203 と電氣的に接続する。酸化物 230b、および酸化物 230c と、導電体 203 とが、酸化物 230a を介さずに接続する構成とすることで、直列抵抗及び接触抵抗を低減することが可能となる。このような構成により、電気特性の良好な半導体装置が得られる。より具体的には、オン電流の向上したトランジスタ、および当該トランジスタを用いた半導体装置が得られる。

【0524】

酸化膜 230B、および酸化膜 230C の形成はスパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて行うことができる。

40

【0525】

酸化膜 230B の形成後、酸化膜 230C の形成は、大気雰囲気に曝すことなく、連続で行われることが好ましい。酸化膜 230B の形成、および酸化膜 230C の形成は、マルチチャンバ式の成膜装置を用いることで、酸化膜 230B の表面を大気雰囲気に曝すことなく、酸化膜 230B 上に酸化膜 230C を形成することができる。酸化膜 230B の形成、および酸化膜 230C の形成を連続で行うことにより、酸化膜 230B、および酸化膜 230C の界面の汚染を防ぐことができ、これら酸化膜を用いた半導体装置は、良好な特性および高い信頼性を有することができる。

【0526】

50

例えば、酸化膜 230B、および酸化膜 230C をスパッタリング法によって形成する場合は、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。また、上記の酸化膜をスパッタリング法によって形成する場合は、上記の In-M-Zn 酸化物ターゲットを用いることができる。

【0527】

酸化膜 230B、および酸化膜 230C をスパッタリング法で形成する場合、スパッタリングガスに含まれる酸素の割合を 1% 以上 30% 以下、好ましくは 5% 以上 20% 以下として成膜すると、酸素欠乏型の酸化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られる。

【0528】

本実施の形態では、酸化膜 230B として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] のターゲットを用いて成膜し、酸化膜 230C として、スパッタリング法によって、 $\text{In}:\text{Ga}:\text{Zn}=4:2:4.1$ [原子数比] のターゲットを用いて成膜する。また、酸化膜 230B、および酸化膜 230C の形成は、マルチチャンバ式のスパッタリング装置を用い、大気雰囲気中に曝すことなく連続で行う。なお、酸化膜は、成膜条件、および原子数比を適宜選択することで、酸化物 230 に求める特性に合わせて形成するとよい。

【0529】

次に、加熱処理を行ってもよい。加熱処理は、上述した加熱処理条件を用いることができる。加熱処理によって、酸化膜 230A、酸化膜 230B、および酸化膜 230C 中の水素や水などの不純物を除去することなどができる。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行なった後に、連続して酸素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

【0530】

次に、酸化膜 230A、酸化膜 230B、および酸化膜 230C を島状に加工して、酸化物 230a、酸化物 230b、および酸化物 230c を形成する（図 37 参照。）。

【0531】

図 37 (A) および図 37 (D) に示すように酸化物 230a、酸化物 230b、および酸化物 230c の絶縁体 220、絶縁体 222、絶縁体 224、および酸化物 230a に形成された開口と重なる領域における、E-F 方向の幅を、当該開口の幅より広く形成することが好ましい。よって、当該領域における、酸化物 230a、酸化物 230b、および酸化物 230c の E-F 方向の幅は、チャンネルが形成される領域や、A 側の領域における、酸化物 230a、酸化物 230b、および酸化物 230c の C-D 方向の幅よりも広くなる場合がある。このような構造にすることで、酸化物 230b、および酸化物 230c と導電体 203 のコンタクトを確実に行うことができる。また、容量素子 101 の面積を大きくすることができ、容量素子 101 の大容量化が期待できる。

【0532】

なお、上記工程において、絶縁体 224 を島状に加工してもよい。また、絶縁体 224 に対しては、ハーフエッチングを行ってもよい。絶縁体 224 に対してハーフエッチングを行うことで、後の工程で形成する酸化物 230d の下にも絶縁体 224 が残った状態で形成される。なお、絶縁体 224 は、後の工程である導電膜 260A および導電膜 260B、または絶縁膜 272A を加工する際に、島状に加工することができる。その場合、絶縁体 222 をエッチングストッパ膜として用いてもよい。

【0533】

ここで、酸化物 230a、酸化物 230b、および酸化物 230c は、少なくとも一部が導電体 205 と重なるように形成する。また、酸化物 230b の側面、および酸化物 230c の側面は、酸化物 230a の側面と同一平面を有していることが好ましい。また、酸化物 230a、酸化物 230b、および酸化物 230c の側面は、絶縁体 222 に対し、概略垂直であることが好ましい。このとき、酸化物 230b の端部、および酸化物 230

10

20

30

40

50

cの端部は、酸化物230aの端部と概略一致する。酸化物230a、酸化物230b、および酸化物230cの側面が、絶縁体222に対し、概略垂直であることで、複数のトランジスタ202を設ける際に、小面積化、高密度化が可能となる。なお、酸化物230a、酸化物230b、および酸化物230cの側面と絶縁体222の上面のなす角が鋭角になる構成にしてもよい。その場合、酸化物230a、酸化物230b、および酸化物230cの側面と絶縁体222の上面のなす角は大きいほど好ましい。

【0534】

また、酸化物230a、酸化物230b、および酸化物230cの側面と、酸化物230cの上面との間に、湾曲面を有する。つまり、側面の端部と上面の端部は、湾曲していることが好ましい（以下、ラウンド状ともいう）。湾曲面は、例えば、酸化物230a、酸化物230b、および酸化物230cの端部において、曲率半径が、3nm以上10nm以下、好ましくは、5nm以上6nm以下とすることが好ましい。

10

【0535】

なお、端部に角を有さないことで、以降の成膜工程における膜の被覆性が向上する。

【0536】

なお、当該酸化膜の加工、および加工時に付着した不純物除去のための洗浄は、実施の形態1に示す方法にて行うことができる。

【0537】

続いて、加熱処理を行っても良い。加熱処理の条件は、前述の加熱処理の条件を用いることができる。

20

【0538】

次に、絶縁体224、酸化物230a、酸化物230b、および酸化物230cの上に、酸化物230dとなる酸化膜230Dを成膜する（図38参照。）。

【0539】

酸化膜230Dの形成は、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて行うことができる。酸化物230dに求める特性に合わせて、酸化膜230A、酸化膜230B、または酸化膜230Cと同様の成膜方法を用いて、酸化膜230Dを成膜すればよい。本実施の形態では、酸化膜230Dとして、スパッタリング法によって、In:Ga:Zn=1:3:4〔原子数比〕のターゲットを用いて成膜する。

【0540】

酸化膜230Dは、図39に示すように、島状に加工してもよい。絶縁体250、および導電体260形成前に、酸化膜230Dを加工することで、後工程で形成される絶縁体250、および導電体260の下側に位置する酸化膜230Dの一部を除去することができる。これにより、隣り合うセル601の酸化膜230Dが分離され、セル601間の酸化膜230Dを介したリークを防ぐことができ、好ましい。

30

【0541】

酸化膜230Dの加工は、ドライエッチングやウェットエッチングを用いることができる。酸化膜230A、酸化膜230B、および酸化膜230Cの加工に用いた方法を用いてもよい。

【0542】

次に、絶縁体224、酸化膜230Dの上に、絶縁膜250A、絶縁膜250B、導電膜260A、導電膜260B、絶縁膜270A、および絶縁膜271Aを順に形成する（図40参照。）。

40

【0543】

絶縁膜250A、および絶縁膜250Bは、スパッタリング法、CVD法、MBE法、PLD法またはALD法などを用いて成膜することができる。

【0544】

本実施の形態では、絶縁膜250Aとして、CVD法を用いて酸化窒化シリコンを形成し、絶縁膜250Bとして、スパッタリング法を用いて、酸化アルミニウムを形成する。絶縁膜250Aの膜厚は、1nm以上20nm以下、好ましくは5nm以上10nmとする

50

。また、絶縁膜 250B の膜厚は、1 nm 以上 20 nm 以下、好ましくは 5 nm 以上 10 nm とする。絶縁膜 250B を、酸素を含む雰囲気中でスパッタリング法を用いて形成することで、絶縁膜 250A に、より多くの酸素、すなわち過剰酸素を含ませることができるため好ましい。

【0545】

また、加熱処理を行ってもよい。加熱処理は、前述の加熱処理条件を用いることができる。該加熱処理によって、絶縁膜 250A、および絶縁膜 250B の水分濃度および酸素濃度を低減させることができる。

【0546】

導電膜 260A は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。本実施の形態では、導電膜 260A としてスパッタリング法を用いて窒化チタンを形成した。

10

【0547】

また、導電膜 260B は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。導電膜 260B として、低抵抗の金属膜を積層することで、駆動電圧が小さなトランジスタを提供することができる。本実施の形態では、導電膜 260B としてスパッタリング法を用いてタングステンを形成した。

【0548】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

20

【0549】

絶縁膜 270A、および絶縁膜 271A は、実施の形態 1 と同様の方法により、同様の材料を用いて形成することができる。

【0550】

また、絶縁体 271 は、ハードマスクとして機能する。絶縁体 271 を設けることで、絶縁体 250a の側面、絶縁体 250b の側面、導電体 260a の側面、導電体 260b の側面、および絶縁体 270 の側面を、基板に対し、概略垂直に形成することができる。

【0551】

次に、絶縁膜 271A を、エッチングし、絶縁体 271 を形成する。続いて、絶縁体 271 をマスクとして、絶縁膜 250A、絶縁膜 250B、導電膜 260A、導電膜 260B、および絶縁膜 270A を、エッチングし、絶縁体 250（絶縁体 250a、絶縁体 250b）、導電体 260（導電体 260a、導電体 260b）、および絶縁体 270 を形成する（図 41 参照。）。なお、当該加工後も、当該ハードマスクは除去せずに後工程を進めてもよい。当該ハードマスクは、後工程で実施されるドーパントの添加においてもハードマスクとして機能することができる。

30

【0552】

また、上記エッチングにより、酸化膜 230D の絶縁体 250 と重ならない領域の上部がエッチングされる場合がある。この場合、酸化膜 230D の絶縁体 250 と重なる領域の膜厚が、絶縁体 250 と重ならない領域の膜厚より厚くなる場合がある。

40

【0553】

また、上記エッチングにより、絶縁体 224 の酸化膜 230D と重ならない領域がエッチングされる場合がある。この場合、酸化膜 230D および導電体 260 と重ならない領域において、絶縁体 222 が露出する。

【0554】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。なお、加熱処理は行わなくてもよい場合がある。本実施の形態では、窒素雰囲気にて 400℃ の温度で 1 時間の処理を行う。

【0555】

次に、酸化膜 230D、絶縁体 250、導電体 260、絶縁体 270、および絶縁体 27

50

1を覆って、絶縁膜272Aを成膜する(図42参照。)

【0556】

次に、絶縁膜272Aで覆われた、絶縁体250、導電体260、絶縁体270、および絶縁体271をマスクに用いて、酸化物230に希ガスを添加する。希ガスの添加には、例えば、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。希ガスを添加することで、酸化物230には、領域234と領域232が設けられる(図42参照。)

【0557】

次に、絶縁膜272Aを覆って、絶縁膜273Aを成膜する(図43参照。)。絶縁膜273Aには、誘電率が低い材料を用いることが好ましく、絶縁体212、および絶縁体216と同様の材料を用いることができる。

【0558】

次に、絶縁膜273A、および絶縁膜272Aに異方性のエッチング処理を行い、絶縁体250、導電体260、および絶縁体270の側面に接して、バリアとして機能する絶縁体272、およびサイドウォールとして機能する絶縁体273を形成する(図44参照。)。異方性のエッチング処理としては、ドライエッチング処理を行うことが好ましい。これにより、絶縁体272、および絶縁体273を自己整合的に形成することができる。

【0559】

ここで、絶縁体270上に絶縁体271を形成しておくことで、絶縁体270上部の絶縁膜273A、および絶縁膜272Aが除去されても、絶縁体270を残存させることができる。また、絶縁体250、導電体260、絶縁体270、および絶縁体271からなる構造体の高さを、酸化物230a、酸化物230b、酸化物230c、および酸化膜230Dの高さよりも、高くすることで、酸化膜230Dを介して成膜された酸化物230a、酸化物230b、酸化物230cの側面の絶縁膜273A、および絶縁膜272Aを、除去することができる。さらに、酸化物230a、酸化物230b、および酸化物230cの端部をラウンド形状にしておく、酸化物230a、酸化物230b、および酸化物230cの側面に、酸化膜230Dを介して成膜された絶縁膜273A、および絶縁膜272Aを除去するための時間が短縮され、より容易に絶縁体272、および絶縁体273を形成することができる。

【0560】

次に、絶縁体250、導電体260、絶縁体270、絶縁体271、絶縁体272、および絶縁体273をマスクとして、酸化膜230Dをエッチングし、酸化膜230Dの一部を除去し、酸化物230dを形成する(図45参照。)。なお、本工程により、酸化物230cの上面および側面と、酸化物230a、および酸化物230bの側面の一部が除去される場合がある。

【0561】

ここで、酸化物230a、酸化物230b、酸化物230c、および酸化物230dにおいて、領域231を形成してもよい。領域231は、酸化物230a、酸化物230b、酸化物230c、および酸化物230dとして設けられた金属酸化物に、インジウムなどの金属原子、または不純物を添加し、低抵抗化した領域である。なお、各領域は、少なくとも、領域234における酸化物230bよりも、導電性が高い。

【0562】

領域231および領域232を低抵抗化するために、例えば、インジウムなどの金属原子、ヘリウムやアルゴンなどの希ガス、または水素や窒素などの不純物の少なくとも一であるドーパントを添加すればよい。

【0563】

なお、ドーパントの添加には、実施の形態1と同様のドーパント、および添加方法を用いることができる。

【0564】

また、ドーパントは、プラズマ処理にて添加されてもよい。この場合、プラズマCVD装置、ドライエッチング装置、アッシング装置を用いてプラズマ処理を行い、酸化物230a、酸化物230b、酸化物230c、および酸化物230dにドーパントを添加することができる。

【0565】

また、不純物をドーパントとして添加する場合、酸化物230に接するようにドーパントを含む膜を形成してもよい。例えば、ドーパントとして水素、ホウ素、炭素、窒素、フッ素、またはリンなどを含む絶縁体274を、酸化物230d、絶縁体272、および絶縁体273の外側に位置する酸化物230に接するように成膜し、領域231を形成する（図46参照。）。絶縁体274の成膜や成膜後の熱処理により、領域231は低抵抗化する。絶縁体274に含まれるドーパントが領域231へ拡散し、当該領域は低抵抗化すると考えられる。また、絶縁体274に含まれるドーパントが領域232にも拡散し、領域232は、先の希ガスの添加により低下した抵抗値よりも、さらに低抵抗化する場合がある。

10

【0566】

酸化物230a、酸化物230b、酸化物230c、および酸化物230dは、インジウムの含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。よって、ドーパントとして酸化物230a、酸化物230b、酸化物230c、および酸化物230dのキャリア密度を向上させるインジウムなどの金属元素を用いることができる。

【0567】

つまり、領域231、および領域232において、酸化物230a、酸化物230b、酸化物230c、および酸化物230dのインジウムなどの金属原子の含有率を高くすることで、電子移動度を高くし、低抵抗化を図ることができる。

20

【0568】

その場合、少なくとも領域231における元素Mに対するインジウムの原子数比が、領域234の元素Mに対するインジウムの原子数比よりも大きくなる。

【0569】

また、トランジスタ202において、領域232を設けることで、ソース領域およびドレイン領域として機能する領域231と、チャネルが形成される領域234との間に高抵抗領域が形成されないため、トランジスタのオン電流、および移動度を大きくすることができる。また、領域232を有することで、チャネル長方向において、ソース領域およびドレイン領域と、ゲートとが重ならないため、不要な容量が形成されるのを抑制することができる。また、領域232を有することで、非導通時のリーク電流を小さくすることができる。

30

【0570】

従って、領域231a、および領域231bの範囲を適宜選択することにより、回路設計に合わせて、要求に見合う電気特性を有するトランジスタを容易に提供することができる。

【0571】

本実施の形態では、絶縁体224、酸化物230、絶縁体271、絶縁体272、および絶縁体273を覆って、絶縁体274を成膜する（図46参照。）。

40

【0572】

絶縁体274は、実施の形態1と同様の方法により、同様の材料を用いて形成することができる。これにより、酸化物230cおよび酸化物230dの絶縁体250と重ならない領域を中心に、酸素欠損を形成し、当該酸素欠損と窒素または水素などの不純物元素を結合させて、キャリア密度を高くすることができる。このようにして、低抵抗化された、領域231aおよび領域231bを形成することができる。

【0573】

また、実施の形態1に示すように、絶縁体274は、単層構造でもよいし、2層以上の絶縁体からなる積層構造としてもよい。

【0574】

50

従って、絶縁体 274 の成膜により、ソース領域およびドレイン領域を自己整合的に形成することができる。よって、微細化または高集積化された半導体装置も、歩留まり良く製造することができる。

【0575】

ここで、導電体 260 および絶縁体 250 の上面および側面を、絶縁体 270 および絶縁体 272 で覆っておくことで、窒素または水素などの不純物元素が、導電体 260 および絶縁体 250 に混入することを防ぐことができる。これにより、窒素または水素などの不純物元素が、導電体 260 および絶縁体 250 を通って、トランジスタ 202 のチャネル形成領域として機能する領域 234 に混入することを防ぐことができる。従って、良好な電気特性を有するトランジスタ 202 を提供することができる。

10

【0576】

なお、上記において、絶縁体 274 の成膜による酸化物 230 の低抵抗化、を用いて、領域 231 を形成したが、本実施の形態はこれに限られるものではない。例えば、ドーパントの添加処理、またはプラズマ処理を用いてもよいし、これらを複数組み合わせ、各領域などを形成してもよい。

【0577】

例えば、絶縁体 250、導電体 260、絶縁体 272、絶縁体 273、絶縁体 270、および絶縁体 271 をマスクとして、酸化物 230 にプラズマ処理を行ってもよい。プラズマ処理は、上述の酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む雰囲気などで行えばよい。例えば、アルゴンガスと窒素ガスを用いてプラズマ処理を行えばよい。

20

【0578】

続いて、加熱処理を行うことができる。加熱処理は、前述の加熱処理条件を用いることができる。加熱処理を行うことで、添加されたドーパントが、酸化物 230 の領域 231 へと拡散し、オン電流を大きくすることができる。また、この加熱処理により、添加されたドーパントが、領域 232 へと拡散する場合がある。

【0579】

次に、絶縁体 274 を覆って導電膜 130A、および導電膜 130B を形成する（図 46 参照）。導電膜 130A、および導電膜 130B は、スパッタリング法、CVD 法、MBE 法、PLD 法または ALD 法などを用いて成膜することができる。本実施の形態では、導電膜 130A として、スパッタリング法を用いて窒化チタンを形成し、導電膜 130B として、スパッタリング法を用いてタングステンを形成する。

30

【0580】

次に、導電膜 130A、および導電膜 130B をリソグラフィー法を用いて加工し、導電体 130（導電体 130a、導電体 130b）を形成する（図 47 参照）。導電膜 130A、および導電膜 130B の加工は、実施の形態 1 に示す導電膜 130A の加工と同様の方法を用いることができる。

【0581】

本実施の形態では、図 47（B）および図 47（D）に示すように、酸化物 230 の上方に設けられる導電体 130 の一部が、酸化物 230 の外側まで広がるように設けられている。具体的には、図 47（D）において、導電体 130 は、酸化物 230 より E 側、および F 側にはみ出るように設けられている。

40

【0582】

このような形状とすることで、容量素子 101 は、酸化物 230 の上面と導電体 130 の間だけでなく、酸化物 230 の側面と導電体 130 の間でも容量を形成することができ、好ましい。よって、図 47（B）において、導電体 130 が、酸化物 230 より B 側にはみ出るように設けてもよい。一方、セル 601 が占める面積に制限がある場合、導電体 130 が酸化物 230 からなるべくみ出さないように形成することで、セル 601 の微細化が可能となり、半導体装置の高集積化が実現できる。

【0583】

50

導電体 130 は、隣り合うセル 601 の導電体 130 と繋がるように形成してもよい。

【0584】

次に、絶縁体 274 および導電体 130 の上に、絶縁体 280 を成膜する（図 48 参照。）絶縁体 280 は、実施の形態 1 と同様の方法により、同様の材料を用いて形成することができる。

【0585】

次に、絶縁体 280、および絶縁体 274 に酸化物 230 の領域 231 に達する開口、絶縁体 280 に導電体 130 に達する開口、絶縁体 280、絶縁体 274、絶縁体 271、および絶縁体 270 に導電体 260 に達する開口、絶縁体 280、絶縁体 274、絶縁体 222、および絶縁体 220 に導電体 205 に達する開口、を形成する。当該開口の形成は、リソグラフィ法を用いて行えばよい。

10

【0586】

なお、導電体 252a が酸化物 230 の側面に接して設けられるように、酸化物 230 に達する開口において、酸化物 230 の側面が露出するように、当該開口を形成する。

【0587】

次に、上記開口により露出した酸化物 230 に希ガスを添加する。希ガスの添加には、上記と同様に例えば、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージョンイオンインプランテーション法、プラズマ処理などを用いることができる。希ガスを添加することで、酸化物 230 の領域 231 には、領域 233 が設けられる（図 49 参照。）。

20

【0588】

次に、導電体 252（導電体 252a、導電体 252b、導電体 252c、導電体 252d）を形成する（図 50 参照。）。また、必要に応じて導電体 252 と電氣的に接続する導電体を形成してもよい。

【0589】

以上により、トランジスタ 202 および容量素子 101 を有する半導体装置を作製することができる。図 30 乃至図 50 に示すように、本実施の形態に示す半導体装置の作製方法を用いることで、トランジスタ 202 および容量素子 101 を作製することができる。

【0590】

本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。または、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。または、本発明の一態様により、オフ電流の小さい半導体装置を提供することができる。または、本発明の一態様により、オン電流の大きいトランジスタを提供することができる。または、本発明の一態様により、信頼性の高い半導体装置を提供することができる。または、本発明の一態様により、消費電力が低減された半導体装置を提供することができる。または、本発明の一態様により、生産性の高い半導体装置を提供することができる。

30

【0591】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

【0592】

（実施の形態 3）

本実施の形態では、半導体装置の一形態を、図 51、および図 52 を用いて説明する。

【0593】

〔記憶装置 1〕

図 51 に示す記憶装置は、トランジスタ 200、容量素子 100、およびトランジスタ 300 と、を有している。

【0594】

トランジスタ 200 は、酸化物半導体を有する半導体層にチャネルが形成されるトランジ

50

スタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

【0595】

図51に示す記憶装置において、配線3001はトランジスタ300のソースと電氣的に接続され、配線3002はトランジスタ300のドレインと電氣的に接続されている。また、配線3003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線3004はトランジスタ200の第1のゲートと電氣的に接続され、配線3006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方として機能し、絶縁体220、絶縁体222、絶縁体224、および酸化物230aに形成された開口を介して、トランジスタ300のゲートと電氣的に接続されている。配線3005は容量素子100の電極の他方と電氣的に接続されている。

10

【0596】

図51に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

【0597】

情報の書き込みおよび保持について説明する。まず、第4の配線3004の電位を、トランジスタ200が導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、第3の配線3003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電氣的に接続するノードSNに与えられる。即ち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、第4の配線3004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードSNに電荷が保持される（保持）。

20

【0598】

トランジスタ200のオフ電流が小さい場合、ノードSNの電荷は長期間にわたって保持される。

30

【0599】

次に情報の読み出しについて説明する。第1の配線3001に所定の電位（定電位）を与えた状態で、第5の配線3005に適切な電位（読み出し電位）を与えると、第2の配線3002は、ノードSNに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードSNに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードSNにHighレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ300は「導通状態」となる。一方、ノードSNにLowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ300は「非導通状態」のままである。このため、第2の配線3002の電位を判別することで、ノードSNに保持されている情報を読み出すことができる。

40

【0600】

<記憶装置1の構造>

本発明の一態様の記憶装置は、図51に示すようにトランジスタ300、トランジスタ2

50

00、容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ200と同じ層に設けられている。

【0601】

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0602】

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0603】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

10

【0604】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

20

【0605】

絶縁体315は、トランジスタ300のゲート絶縁膜として機能する。

【0606】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0607】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

30

【0608】

なお、図51に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0609】

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

40

【0610】

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0611】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

【0612】

50

また、絶縁体 3 2 4 には、基板 3 1 1、またはトランジスタ 3 0 0 などから、トランジスタ 2 0 0 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

【0613】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 2 0 0 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 2 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【0614】

水素の脱離量は、例えば、昇温脱離ガス分析法(TDS)などを用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、TDS分析において、50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当たりに換算して、 $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

【0615】

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

20

【0616】

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 1 0 0、またはトランジスタ 2 0 0 と電気的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

30

【0617】

各プラグ、および配線(導電体 3 2 8、および導電体 3 3 0 等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【0618】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 5 1 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

40

【0619】

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 0 0 とトランジスタ 2 0 0 とは、バリア層により分離することができ、トランジスタ 3 0 0 からトランジスタ 2 0 0 への水素の拡散を抑制することができる。

50

【0620】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

【0621】

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図51において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ、または配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

10

【0622】

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

20

【0623】

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図51において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ、または配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0624】

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

30

【0625】

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図51において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が形成されている。導電体386は、プラグ、または配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

【0626】

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

40

【0627】

絶縁体384、および導電体386上には絶縁体210が設けられている。絶縁体210は、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0628】

絶縁体210上に、導電体203、導電体205、および絶縁体216が設けられる。

50

【0629】

絶縁体210には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

【0630】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

10

【0631】

また、水素に対するバリア性を有する膜として、例えば、絶縁体210には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0632】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

20

【0633】

絶縁体210の上方には、トランジスタ200および容量素子100が設けられている。なお、トランジスタ200および容量素子100の構造は、先の実施の形態で説明したトランジスタ200および容量素子100を用いればよい。また、図51に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0634】

図52は、トランジスタ200の上方に容量素子100を設けた例である。容量素子100の電極の一方には、トランジスタ200のソースおよびドレインの他方と電氣的に接続する導電体256を用いる。導電体256は、トランジスタ300のゲートと電氣的に接続する。導電体256上には、容量素子100の誘電体として機能する絶縁体120が設けられる。また、絶縁体120を間に挟んで、導電体256と重なるように導電体131が設けられる。導電体131は容量素子100の電極の他方として機能し、配線3005と電氣的に接続する。

30

【0635】

絶縁体120は、導電体256の側面を覆うように設けてもよい。また、導電体131は、絶縁体120を介して導電体256の側面に設けられてもよい。このような構成にすることで、導電体256の上面とそれと向かい合う導電体131だけでなく、導電体256の側面とそれと向かい合う導電体131で容量素子100を構成することができ、容量素子100の上面面積を増やすことなく容量値を増加させることができ、好ましい。

40

【0636】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0637】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

50

【0638】

(実施の形態4)

本実施の形態では、半導体装置の一形態を、図53乃至図56を用いて説明する。

【0639】

また、本実施の形態の半導体装置において、実施の形態1乃至実施の形態3に示した半導体装置と同じ符号を記した構成要素には、実施の形態1乃至実施の形態3と同様な材料を用いることができる。また、特段記載のない限り、本実施の形態で作製された構成要素は、実施の形態1乃至実施の形態3に示した構成要素と同様な構造上の特徴や、効果が得られるものとし、その説明は省略する。

【0640】

[記憶装置2]

図53(A)および図54に示す記憶装置は、実施の形態2に示すトランジスタ202、および容量素子101と、トランジスタ300と、を有している。

【0641】

<記憶装置2の構造>

図53(A)に示す記憶装置は、トランジスタ300と、トランジスタ300上の、導電体356が設けられた絶縁体350、絶縁体352、および絶縁体354と、絶縁体354、および導電体356上の絶縁体210と、絶縁体210上のトランジスタ202、および容量素子101を有している。

【0642】

図54に示す記憶装置は、トランジスタ300と、トランジスタ300上の、導電体356が設けられた絶縁体350、絶縁体352、および絶縁体354と、導電体366が設けられた絶縁体360、絶縁体362、および絶縁体364と、導電体376が設けられた絶縁体370、絶縁体372、および絶縁体374と、導電体386が設けられた絶縁体380、絶縁体382、および絶縁体384と、絶縁体384、および導電体386上の絶縁体210と、絶縁体210上のトランジスタ202、および容量素子101を有している。

【0643】

また、図53(A)および図54に示すトランジスタ202と、容量素子101とは、共通する構造を有しているため、投影面積が小さく、微細化および高集積化が可能である。

【0644】

図53(A)および図54に示す記憶装置における、情報の書き込み、保持、および読み出しについては、実施の形態3に示す方法と同様に行えばよく、その説明は省略する。

【0645】

なお、図53(A)および図54に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0646】

ここで、図53(A)および図54において、W1-W2で示すトランジスタ300のW幅方向の断面図を、図53(B)に示す。図53(B)に示すように、トランジスタ300はチャンネルが形成される半導体領域313(基板311の一部)が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ300は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0647】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ202が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用

10

20

30

40

50

いることが好ましい。

【0648】

絶縁体354、および導電体356の上方には絶縁体210、絶縁体212、および絶縁体216が、順に積層して設けられている。絶縁体210、絶縁体212、および絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0649】

絶縁体210、絶縁体212、および絶縁体216には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ202を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体324と同様の材料を用いることができる。

10

【0650】

また、水素に対するバリア性を有する膜として、例えば、絶縁体210、絶縁体212、および絶縁体216には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0651】

また、例えば、絶縁体212、および絶縁体216には、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212、および絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0652】

また、絶縁体210、絶縁体212、および絶縁体216には、導電体209、導電体203、および導電体205など、トランジスタ202を構成する導電体が埋め込まれている。なお、導電体203、および導電体209は、トランジスタ202、およびトランジスタ300を電氣的に接続するプラグ、または配線としての機能を有する。導電体209、導電体203、および導電体205は、導電体328、および導電体330と同様の材料を用いて設けることができる。

20

【0653】

特に、絶縁体210、および絶縁体212と接する領域の導電体209は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ202とは、酸素、水素、および水に対するバリア性を有する層により分離することができ、トランジスタ300からトランジスタ202への水素の拡散を抑制することができる。

30

【0654】

絶縁体212の上方には、トランジスタ202および容量素子101が設けられている。なお、トランジスタ202および容量素子101の構造は、先の実施の形態で説明したトランジスタ202および容量素子101を用いればよい。また、図53(A)に示すトランジスタ202および容量素子101は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【0655】

ここで、図54では、トランジスタ300のゲートと、トランジスタ202のソースおよびドレインの他方は、導電体356、導電体366、導電体376、および導電体386の4つの導電体を介して電氣的に接続される例を示したが、本実施の形態はこれに限定されない。トランジスタ300のゲートと、トランジスタ202のソースおよびドレインの他方の間に設けられる導電体は、導電体356のみでも良いし、2つ、3つ、または5以上設けてもよい。または、トランジスタ300のゲートと電氣的に接続する導電体330と、トランジスタ202のソースおよびドレインの他方と電氣的に接続する導電体209を直接接続してもよい。

40

【0656】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上

50

させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

【0657】

<記憶装置2の変形例>

また、本実施の形態の変形例の一例を、図55、および図56に示す。

【0658】

図55に示す記憶装置をメモリセルとして、集積することで、メモリセルアレイを構成することができる。例えば、図56に示す回路図において、メモリセルがマトリクス状となるように、複数の記憶装置を設けるとよい。図55は、図53に示す記憶装置において、トランジスタ202を集積した場合におけるメモリセルアレイの断面図の一例である。

10

【0659】

図55、および図56は、トランジスタ300a、トランジスタ202a、および容量素子101aを有する記憶装置と、トランジスタ300b、トランジスタ202b、および容量素子101bを有する記憶装置と、配線SL、配線RBL（RBL01およびRBL02）、配線WBL（WBL01およびWBL02）、配線WWL、配線RWLと、を有するメモリセルアレイである。

【0660】

例えば、図55に示すように、トランジスタ202aと、トランジスタ202bを重畳して設けることができる。また、トランジスタ300a、およびトランジスタ300bにおいて、配線SLを共通して設けることができる。例えば、トランジスタ300a、およびトランジスタ300bにおいて、配線SLとして、低抵抗領域314aを共通に設けることで、配線やプラグの形成が不要となり、工程の短縮が可能となる。また、当該構成により、半導体装置の小面積化、高集積化、微細化が可能となる。

20

【0661】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0662】

（実施の形態5）

本実施の形態では、図57乃至図60を用いて、本発明の一態様に係る、酸化物を半導体に用いたトランジスタ（以下、OSTランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Nonvolatile Oxide Semiconductor RAM」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

30

【0663】

NOSRAMでは、メモリセルにOSTランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSTランジスタを有するメモリである。OSTランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

40

【0664】

<<NOSRAM>>

図57にNOSRAMの構成例を示す。図57に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

【0665】

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、RWL

50

、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWLは読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット（8値）のデータを記憶する。

【0666】

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号（例えば、チップイネーブル信号、書き込みイネーブル信号など）を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

【0667】

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

【0668】

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC（デジタル－アナログ変換回路）1663を有する。

【0669】

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

【0670】

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

【0671】

出力ドライバ1670は、セレクトア1671、ADC（アナログ－デジタル変換回路）1672、出力バッファ1673を有する。セレクトア1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

【0672】

なお、本実施の形態に示す、行ドライバ1650、列ドライバ1660、および出力ドライバ1670の構成は、上記に限定されるものではない。メモリセルアレイ1610の構成または駆動方法などに応じて、これらのドライバおよび当該ドライバに接続される配線の配置を変更してもよいし、これらのドライバおよび当該ドライバに接続される配線の有する機能を変更または追加してもよい。例えば、上記のソース線SLが有する機能の一部を、ビット線BLに有せしめる構成にしてもよい。

【0673】

なお、上記においては、各メモリセル1611に保持させる情報量を3ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。各メモリセル1611に保持させる情報量を2ビット以下にしてもよいし、4ビット以上にしてもよい。例えば、各メモリセル1611に保持させる情報量を1ビットにする場合、DAC1663およびADC1672を設けない構成にしてもよい。

【0674】

<メモリセル>

図58(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSTランジスタMO61、ランジスタMP61、容量素子C61を有する。

10

20

30

40

50

OSトランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電圧を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

【0675】

メモリセル1611の書き込みトランジスタがOSトランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

【0676】

図58(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図58(B)に示すように、書き込みビット線として機能する、ビット線WBLと、読み出しビット線として機能する、ビット線RBLとを設けてもよい。

10

【0677】

図58(C)－図58(E)にメモリセルの他の構成例を示す。図58(C)－図58(E)には、書き込み用のビット線WBLと読み出し用のビット線RBLを設けた例を示しているが、図58(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

【0678】

図58(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOSトランジスタであってもよいし、Siトランジスタであってもよい。

20

【0679】

メモリセル1611、1612において、OSトランジスタMO61はバックゲートの無いOSトランジスタであってもよい。

【0680】

図58(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、RWL、ビット線WBL、RBL、ソース線SL、配線BGL、PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSトランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSトランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

30

【0681】

図58(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(MN62、MN63)に変更したものである。トランジスタMN62、MN63はOSトランジスタであってもよいし、Siトランジスタであってもよい。

【0682】

メモリセル1611乃至メモリセル1614に設けられるOSトランジスタは、バックゲートの無いトランジスタでもよいし、バックゲートが有るトランジスタであってもよい。

【0683】

上記においては、メモリセル1611などが並列に接続された、いわゆるNOR型の記憶装置について説明したが、本実施の形態に示す記憶装置はこれに限られるものではない。例えば、以下に示すようなメモリセル1615が直列に接続された、いわゆるNAND型の記憶装置にしてもよい。

40

【0684】

図59はNAND型のメモリセルアレイ1610の構成例を示す回路図である。図59に示すメモリセルアレイ1610は、ソース線SL、ビット線RBL、ビット線WBL、ワード線WWL、ワード線RWL、配線BGL、およびメモリセル1615を有する。メモリセル1615は、ノードSN、OSトランジスタMO63、トランジスタMN64、容量素子C63を有する。ここで、トランジスタMN64は、例えばnチャネル型Siトランジスタで構成される。これに限られず、トランジスタMN64は、pチャネル型Siト

50

ランジスタ、であってもよいし、ＯＳトランジスタであってもよい。

【０６８５】

以下では、図５９に示すメモリセル１６１５ａおよびメモリセル１６１５ｂを例として説明する。ここで、メモリセル１６１５ａまたはメモリセル１６１５ｂのいずれかに接続する配線、または回路素子の符号については、ａまたはｂの符号を付して表す。

【０６８６】

メモリセル１６１５ａにおいて、トランジスタＭＮ６４ａのゲートと、トランジスタＭＯ６３ａのソースおよびドレインの一方と、容量素子Ｃ６３ａの電極の一方とは、電氣的に接続されている。また、ビット線ＷＢＬとトランジスタＭＯ６３ａのソースおよびドレインの他方とは、電氣的に接続されている。また、ワード線ＷＷＬａと、トランジスタＭ

10

【０６８７】

メモリセル１６１５ｂは、ビット線ＷＢＬとのコンタクト部を対称の軸として、メモリセル１６１５ａと対称的に設けることができる。よって、メモリセル１６１５ｂに含まれる回路素子も、上記メモリセル１６１５ａと同じように配線と接続される。

【０６８８】

さらに、メモリセル１６１５ａが有するトランジスタＭＮ６４ａのソースは、メモリセル１６１５ｂのトランジスタＭＮ６４ｂのドレインと電氣的に接続される。メモリセル１

20

【０６８９】

ここで、図６０に、メモリセル１６１５ａおよびメモリセル１６１５ｂに対応する断面図を示す。メモリセル１６１５ａおよびメモリセル１６１５ｂは、図２９に示す記憶装置と同様の構造を有する。すなわち、容量素子Ｃ６３ａおよび容量素子Ｃ６３ｂは容量素子１

30

【０６９０】

メモリセル１６１５ａにおいて、導電体１３０ｂは伸長して設けられてワード線ＲＷＬａとして機能し、導電体２６０は伸長して設けられてワード線ＷＷＬａとして機能し、導電体２０５の下面に接する導電体２０９は伸長して設けられて配線ＢＧＬａとして機能する。メモリセル１６１５ｂでも同様に、ワード線ＲＷＬｂ、ワード線ＷＷＬｂ、および配線

【０６９１】

図６０に示す低抵抗領域３１４ｂは、トランジスタＭＮ６４ａのソース、およびトランジスタＭＮ６４ｂのドレインとして機能する。また、トランジスタＭＮ６４ａのドレインとして機能する低抵抗領域３１４ａは、導電体３２８および導電体３３０を介してビット線

40

【０６９２】

また、導電体２５６は伸長して設けられてビット線ＷＢＬとして機能する。ここで、導電体２５２ａはワード線ＷＢＬのコンタクト部として機能し、トランジスタＭＯ６３ａとトランジスタＭＯ６３ｂで共通して用いられる。このように、メモリセル１６１５ａとメモ

50

リセル1615bで、ビット線WBLのコンタクト部を共有することにより、ビット線WBLのコンタクト部の数を削減し、メモリセル1615の上面視における占有面積を低減することができる。これにより、本実施の形態に係る記憶装置をさらに高集積化させることができ、単位面積当たりの記憶容量を増加させることができる。

【0693】

図59に示すメモリセルアレイ1610を有する記憶装置では、同じワード線WWL（またはワード線RWL）に接続された複数のメモリセル（以下、メモリセル列と呼ぶ。）ごとに、書き込み動作および読み出し動作を行う。例えば、書き込み動作は次のように行うことができる。書き込みを行うメモリセル列に接続されたワード線WWLにトランジスタMO63がオン状態となる電位を与え、書き込みを行うメモリセル列のトランジスタMO63をオン状態にする。これにより、指定したメモリセル列のトランジスタMN64のゲートおよび容量素子C63の電極の一方にビット線WBLの電位が与えられ、該ゲートに所定の電荷が与えられる。このようにして、指定したメモリセル列のメモリセル1615にデータを書き込むことができる。

【0694】

また、例えば、読み出し動作は次のように行うことができる。まず、読み出しを行うメモリセル列に接続されていないワード線RWLに、トランジスタMN64のゲートに与えられた電荷によらず、トランジスタMN64がオン状態となるような電位を与え、読み出しを行うメモリセル列以外のトランジスタMN64をオン状態とする。それから、読み出しを行うメモリセル列に接続されたワード線RWLに、トランジスタMN64のゲートが有する電荷によって、トランジスタMN64のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線RBLに接続されている読み出し回路を動作状態とする。ここで、ソース線SLービット線RBL間の複数のトランジスタMN64は、読み出しを行うメモリセル列を除いてオン状態となっているため、ソース線SLービット線RBL間のコンダクタンスは、読み出しを行うメモリセル列のトランジスタMN64の状態（オン状態またはオフ状態）によって決定される。読み出しを行うメモリセル列のトランジスタMN64のゲートが有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線RBLの電位は異なる値をとることになる。ビット線RBLの電位を読み出し回路によって読み出すことで、指定したメモリセル列のメモリセル1615から情報を読み出すことができる。

【0695】

容量素子C61、容量素子C62、または容量素子C63の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

【0696】

上記実施の形態に示す半導体装置をメモリセル1611、1612、1613、1614、1615に用いる場合、OSTランジスタMO61、MO62、MO63としてトランジスタ200を用い、容量素子C61、C62、C63として容量素子100を用い、トランジスタMP61、MP62、MP63、MN61、MN62、MN63、MN64としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

【0697】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0698】

（実施の形態6）

本実施の形態では、図61および図62を用いて、本発明の一態様に係る、OSTランジ

10

20

30

40

50

スタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM（登録商標）とは、「Dynamic Oxide Semiconductor RAM」の略称であり、1T（トランジスタ）1C（容量）型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

【0699】

<<DOSRAM1400>>

図61にDOSRAMの構成例を示す。図61に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420（以下、「MC-SAアレイ1420」と呼ぶ。）を有する。

10

【0700】

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、GBLRを有する。

【0701】

（MC-SAアレイ1420）

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

20

【0702】

メモリセルアレイ1422は、N個（Nは2以上の整数）のローカルメモリセルアレイ1425<0>-1425<N-1>を有する。図62（A）にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL L、BL Rを有する。図62（A）の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

30

【0703】

図62（B）にメモリセル1445の回路構成例を示す。メモリセル1445はトランジスタMW1、容量素子CS1、端子B1、B2を有する。トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。トランジスタMW1のゲートはワード線WLに電氣的に接続され、第1端子はビット線（BL L、またはBL R）に電氣的に接続され、第2端子は容量素子CS1の第1端子に電氣的に接続されている。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電圧（例えば、低電源電圧）が入力される。

【0704】

上記実施の形態に示す半導体装置をメモリセル1445に用いる場合、トランジスタMW1としてトランジスタ200を用い、容量素子CS1として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

40

【0705】

トランジスタMW1はバックゲートを備えており、バックゲートは端子B1に電氣的に接続されている。そのため、端子B1の電圧によって、トランジスタMW1の閾値電圧を変更することができる。例えば、端子B1の電圧は固定電圧（例えば、負の定電圧）であってもよいし、DOSRAM1400の動作に応じて、端子B1の電圧を変化させてもよい。

50

【0706】

トランジスタMW1のバックゲートをトランジスタMW1のゲート、第1の端子、または第2の端子に電氣的に接続してもよい。あるいは、トランジスタMW1にバックゲートを設けなくてもよい。

【0707】

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>-1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電圧差を増幅する機能、この電圧差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対との間を導通状態にする機能を有する。

10

【0708】

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BL Lとビット線BL Rが1組のビット線対を成す。グローバルビット線GB L Lとグローバルビット線GB L Rとが1組のグローバルビット線対をなす。以下、ビット線対(B L L, B L R)、グローバルビット線対(GB L L, GB L R)とも表す。

20

【0709】

(コントローラ1405)

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

【0710】

(行回路1410)

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

30

【0711】

列セレクト1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セレクト1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セレクト1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

【0712】

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

40

【0713】

グローバルセンスアンプ1447はグローバルビット線対(GB L L, GB L R)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GB L L, GB L R)間の電圧差を増幅する機能、この電圧差を保持する機能を有する。グローバルビット線対(GB L L, GB L R)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

50

【0714】

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレス信号が指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

【0715】

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電圧差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データの内、アドレス信号が指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

【0716】

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

【0717】

トランジスタMW1はOSTランジスタである。OSTランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

【0718】

MC-SAアレイ1420が積層構造であることによって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

【0719】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0720】

(実施の形態7)

本実施の形態では、図63から図66を用いて、本発明の一態様に係る、OSTランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA（フィールドプログラマブルゲートアレイ）について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

【0721】

<<OS-FPGA>>

図63(A)にOS-FPGAの構成例を示す。図63(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替えとPLE毎の細粒度パワーゲーティングを実行するNOFF(ノーマリオフ)コンピューティングが可能である。OS-FPGA3110は、コントローラ(Controller)3111、ワードドライバ(Word driver)3112、データドライバ(Data driver)3113、プログラマブルエリア(Programmable area)3115を有する。

【0722】

プログラマブルエリア3115は、2個の入出力ブロック(IOB)3117、コア(Core)3119を有する。IOB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック(LAB)3120、複数のスイッチアレイブロック(SAB)3130を有する。LAB3120は複数のPLE3121を有する。図63(B)には、LAB3120を5個のPLE3121で構成する例を示す。図63(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック(SB)3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4(上下左右)方向のLAB3120に接続される。

【0723】

図64(A)乃至図64(C)を参照して、SB3131について説明する。図64(A)に示すSB3131には、data、datab、信号context[1:0]、word[1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context[1:0]はコンテキスト選択信号である。信号word[1:0]はワード線選択信号であり、信号word[1:0]が入力される配線がそれぞれワード線である。

【0724】

SB3131は、PRS(プログラマブルルーティングスイッチ)3133[0]、3133[1]を有する。PRS3133[0]、3133[1]は、相補データを格納できるコンフィギュレーションメモリ(CM)を有する。なお、PRS3133[0]とPRS3133[1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

【0725】

図64(B)にPRS3133[0]の回路構成例を示す。PRS3133[0]とPRS3133[1]とは同じ回路構成を有する。PRS3133[0]とPRS3133[1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context[0]、word[0]はPRS3133[0]に入力され、信号context[1]、word[1]はPRS3133[1]に入力される。例えば、SB3131において、信号context[0]が“H”になることで、PRS3133[0]がアクティブになる。

【0726】

PRS3133[0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、3137Bを有する。メモリ回路3137、3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSTランジスタMO31、MO32を有する。メモリ回路3137Bは、容量素子CB31、OSTランジスタMOB31、MOB32を有する。

【0727】

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSTランジスタMO31、MOB31としてトランジスタ200を用い、容量素子C31、CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの

10

20

30

40

50

上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

【0728】

OSトランジスタMO31、MO32、MOB31、MOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【0729】

SiトランジスタM31のゲートがノードN31であり、OSトランジスタMO32のゲートがノードN32であり、OSトランジスタMOB32のゲートがノードNB32である。ノードN32、NB32はCM3135の電荷保持ノードである。OSトランジスタMO32はノードN31と信号context[0]用の信号線との間の導通状態を制御する。OSトランジスタMOB32はノードN31と低電位電源線VSSとの間の導通状態を制御する。

10

【0730】

メモリ回路3137、3137Bが保持するデータの論理は相補的な関係にある。したがって、OSトランジスタMO32またはMOB32の何れか一方が導通する。

【0731】

図64(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既書き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

【0732】

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子(input)が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子(output)も“L”が維持される。

20

【0733】

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

【0734】

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSトランジスタMO32がソースフォロアであるために、ブースティング(boosting)によってSiトランジスタM31のゲート電圧は上昇する。その結果、メモリ回路3137のOSトランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

30

【0735】

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレクサの機能を併せ持つ。

【0736】

図65にPLE3121の構成例を示す。PLE3121はLUT(ルックアップテーブル)ブロック(LUT block)3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従ってデータを選択し、出力する構成である。セクタ3125は、CM3126が格納するコンフィギュレーションデータに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

40

【0737】

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティン

50

グすることができるので、待機電力を効果的に低減できる。

【0738】

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ（以下【OS-FF】と呼ぶ）である。

【0739】

レジスタブロック3124は、OS-FF3140[1]、3140[2]を有する。信号user_res、load、storeがOS-FF3140[1]、3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図66(A)にOS-FF3140の構成例を示す。

【0740】

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、R、D、Q、QBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

【0741】

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、QBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、QBに書き戻す。

【0742】

シャドウレジスタ3142は、インバータ回路3188、3189、SiトランジスタM37、MB37、メモリ回路3143、3143Bを有する。メモリ回路3143、3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、MO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、NB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、NB37は、SiトランジスタM37、MB37のゲートである。

【0743】

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、MOB35としてトランジスタ200を用い、容量素子C36、CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

【0744】

OSTランジスタMO35、MO36、MOB35、MOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電圧を供給する電源線に電氣的に接続されている。

【0745】

図66(B)を参照して、OS-FF3140の動作方法例を説明する。

【0746】

（バックアップ（Backup））

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、QBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

10

20

30

40

50

【0747】

(リカバリ (Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOSFF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OSFF3140はバックアップ動作時の状態に復帰する。

【0748】

細粒度パワーゲーティングと、OSFF3140のバックアップ／リカバリ動作とを組み合わせることで、OSFPGA3110の消費電力を効果的に低減できる。

10

【0749】

メモリ回路において発生しうるエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出されるα線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSTランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOSFPGA3110を提供することができる。

【0750】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

20

【0751】

(実施の形態8)

本実施の形態では、図67を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

【0752】

図67はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030を有する。

【0753】

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOSFPGA3110を用いることができる。

30

【0754】

制御部4020は、CPU (Central Processing Unit) 4021と、GPU (Graphics Processing Unit) 4022と、PLL (Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

40

【0755】

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

【0756】

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

【0757】

50

アナログ演算回路 4011 は A/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

【0758】

アナログ演算回路 4011 は OSTRANSJISUTA を用いて形成することが好ましい。OSTRANSJISUTA を用いたアナログ演算回路 4011 は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

【0759】

DOSRAM 4012 は、OSTRANSJISUTA を用いて形成された DRAM であり、DOSRAM 4012 は、CPU 4021 から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM 4012 は、OSTRANSJISUTA を含むメモリセルと、SITRANSJISUTA を含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM 4012 は、全体の回路面積を小さくすることができる。

【0760】

ニューラルネットワークを用いた計算は、入力データが 1000 を超えることがある。上記入力データを SRAM に格納する場合、SRAM は回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM 4012 は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAM に比べて記憶容量が大きい。そのため、DOSRAM 4012 は、上記入力データを効率よく格納することができる。

【0761】

NOSRAM 4013 は OSTRANSJISUTA を用いた不揮発性メモリである。NOSRAM 4013 は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリや ReRAM のように、データを書き込む際に素子が劣化することもなく、データの書き込み可能回数に制限が無い。

【0762】

また、NOSRAM 4013 は、1 ビットの 2 値データの他に、2 ビット以上の多値データを記憶することができる。NOSRAM 4013 は多値データを記憶することで、1 ビット当たりのメモリセル面積を小さくすることができる。

【0763】

また、NOSRAM 4013 は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路 4011 は、NOSRAM 4013 をアナログメモリとして用いることもできる。NOSRAM 4013 は、アナログデータのまま記憶することができるため、D/A 変換回路や A/D 変換回路が不要である。そのため、NOSRAM 4013 は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3 ビット (8 値) 以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

【0764】

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM 4013 に格納することができる。上記データやパラメータは、CPU 4021 を介して、AI システム 4041 の外部に設けられたメモリに格納してもよいが、内部に設けられた NOSRAM 4013 の方が、より高速且つ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM 4013 は、DOSRAM 4012 よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

【0765】

FPGA 4014 は、OSTRANSJISUTA を用いた FPGA である。AI システム 4041 は、FPGA 4014 を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク (DNN)、畳み込みニューラルネットワーク (CNN)、再帰型ニュー

10

20

30

40

50

ーラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

【0766】

FPGA4014はOSトランジスタを有するFPGAである。OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

【0767】

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

【0768】

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

【0769】

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

【0770】

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

【0771】

電源回路4027は、論理回路用の低電源電位を生成するだけではなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げるることができる。

【0772】

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

【0773】

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

【0774】

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

10

20

30

40

50

【0775】

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

【0776】

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速且つ低消費電力に、ニューラルネットワークの計算を実行することができる。

10

【0777】

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そのため、AIシステム4041は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路4031を有することが好ましい。

【0778】

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、AIシステム4041は音声コーデック4032および映像コーデック4033を有する。音声コーデック4032は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック4033は、映像データのエンコードおよびデコードを行う。

20

【0779】

AIシステム4041は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は汎用入出力モジュール4034を有する。汎用入出力モジュール4034は、例えば、USB（Universal Serial Bus）やI2C（Inter-Integrated Circuit）などを含む。

【0780】

AIシステム4041は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、AIシステム4041は、通信モジュール4035を有することが好ましい。

30

【0781】

アナログ演算回路4011は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する）ことが非常に難しい。

【0782】

また、アナログ演算回路4011は、ReRAMをアナログメモリとして用いてもよい。しかし、ReRAMは書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

40

【0783】

また、アナログ演算回路4011は、MRAMをアナログメモリとして用いてもよい。しかし、MRAMは抵抗変化率が低く、記憶精度の点で問題がある。

【0784】

以上を鑑み、アナログ演算回路4011は、OSメモリをアナログメモリとして用いることが好ましい。

【0785】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0786】

50

(実施の形態 9)

＜A Iシステムの応用例＞

本実施の形態では、上記実施の形態に示すA Iシステムの応用例について図68を用いて説明を行う。

【0787】

図68(A)は、図67で説明したA Iシステム4041を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A Iシステム4041Aである。

【0788】

図68(A)に図示するA Iシステム4041Aは、複数のA Iシステム4041__1乃至A Iシステム4041__n(nは自然数)を有する。A Iシステム4041__1乃至A Iシステム4041__nは、バス線4098を介して互いに接続されている。

10

【0789】

また図68(B)は、図67で説明したA Iシステム4041を図68(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、A Iシステム4041Bである。

【0790】

図68(B)に図示するA Iシステム4041Bは、複数のA Iシステム4041__1乃至A Iシステム4041__nを有する。A Iシステム4041__1乃至A Iシステム4041__nは、ネットワーク4099を介して互いに接続されている。

【0791】

ネットワーク4099は、A Iシステム4041__1乃至A Iシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えばWorld Wide Web(WWW)の基盤であるインターネット、イントラネット、エクストラネット、P AN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコル又は通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

20

30

【0792】

図68(A)、(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のA Iシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のA Iシステムでアナログ信号を処理することができる。別々のA Iシステムのそれぞれで信号の処理、または学習を行うことで一つのA Iシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのA Iシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

40

【0793】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0794】

50

(実施の形態 10)

本実施の形態は、上記実施の形態に示す A I システムが組み込まれた I C の一例を示す。

【0795】

上記実施の形態に示す A I システムは、C P U 等の S i トランジスタでなるデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S - F P G A および D O S R A M、N O S R A M 等の O S メモリを、1 のダイに集積することができる。

【0796】

図 69 に、A I システムを組み込んだ I C の一例を示す。図 69 に示す A I システム I C 7000 は、リード 7001 及び回路部 7003 を有する。A I システム I C 7000 は、例えばプリント基板 7002 に実装される。このような I C チップが複数組み合わせられて、それぞれがプリント基板 7002 上で電氣的に接続されることで電子部品が実装された基板（実装基板 7004）が完成する。回路部 7003 には、上記実施の形態で示した各種の回路が 1 のダイに設けられている。回路部 7003 は積層構造をもち、S i トランジスタ層 7031、配線層 7032、O S トランジスタ層 7033 に大別される。O S トランジスタ層 7033 を S i トランジスタ層 7031 に積層して設けることができるため、A I システム I C 7000 の小型化が容易である。

【0797】

図 69 では、A I システム I C 7000 のパッケージに Q F P (Q u a d F l a t P a c k a g e) を適用しているが、パッケージの態様はこれに限定されない。

【0798】

C P U 等のデジタル処理回路と、O S トランジスタを用いたアナログ演算回路、O S - F P G A および D O S R A M、N O S R A M 等の O S メモリは、全て、S i トランジスタ層 7031、配線層 7032 および O S トランジスタ層 7033 に形成することができる。すなわち、上記 A I システムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示す I C は、構成する素子が増えても製造プロセスを増やす必要がなく、上記 A I システムを低コストで組み込むことができる。

【0799】

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0800】

(実施の形態 11)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図 70 に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

【0801】

図 70 (A) に、モニター 830 を示す。モニター 830 は、表示部 831、筐体 832、スピーカ 833 等を有する。さらに、L E D ランプ、操作キー（電源スイッチ、または操作スイッチを含む）、接続端子、各種センサ、マイクロフォン等を有することができる。またモニター 830 は、リモコン操作機 834 により、操作することができる。

【0802】

またモニター 830 は、放送電波を受信して、テレビジョン装置として機能することができる。

【0803】

モニター 830 が受信できる放送電波としては、地上波、または衛星から送信される電波などが挙げられる。また放送電波として、アナログ放送、デジタル放送などがあり、また映像及び音声、または音声のみの放送などがある。例えば U H F 帯（300 M H z 以上 3 G H z 以下）または V H F 帯（30 M H z 以上 300 M H z 以下）のうちの特定の周波数帯域で送信される放送電波を受信することができる。また例えば、複数の周波数帯域で受信した複数のデータを用いることで、転送レートを高くすることができ、より多くの情報を得ることができる。これによりフルハイビジョンを超える解像度を有する映像を、表示

10

20

30

40

50

部 8 3 1 に表示させることができる。例えば、4 K - 2 K、8 K - 4 K、1 6 K - 8 K、またはそれ以上の解像度を有する映像を表示させることができる。

【0 8 0 4】

また、インターネットや L A N (L o c a l A r e a N e t w o r k)、W i - F i (登録商標)などのコンピュータネットワークを介したデータ伝送技術により送信された放送のデータを用いて、表示部 8 3 1 に表示する画像を生成する構成としてもよい。このとき、モニタ 8 3 0 にチューナを有さなくてもよい。

【0 8 0 5】

また、モニタ 8 3 0 は、コンピュータと接続し、コンピュータ用モニタとして用いることができる。また、コンピュータと接続したモニタ 8 3 0 は、複数の人が同時に閲覧可能となり、会議システムに用いることができる。また、ネットワークを介したコンピュータの情報の表示や、モニタ 8 3 0 自体のネットワークへの接続により、モニタ 8 3 0 をテレビ会議システムに用いることができる。

【0 8 0 6】

また、モニタ 8 3 0 はデジタルサイネージとして用いることもできる。

【0 8 0 7】

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

【0 8 0 8】

また、本発明の一態様の半導体装置を用いた A I システムをモニタ 8 3 0 の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ (H D R) 処理も、階調変換処理に含まれる。

【0 8 0 9】

図 7 0 (B) に示すビデオカメラ 2 9 4 0 は、筐体 2 9 4 1、筐体 2 9 4 2、表示部 2 9 4 3、操作スイッチ 2 9 4 4、レンズ 2 9 4 5、および接続部 2 9 4 6 等を有する。操作スイッチ 2 9 4 4 およびレンズ 2 9 4 5 は筐体 2 9 4 1 に設けられており、表示部 2 9 4 3 は筐体 2 9 4 2 に設けられている。また、ビデオカメラ 2 9 4 0 は、筐体 2 9 4 1 の内側にアンテナ、バッテリーなどを備える。そして、筐体 2 9 4 1 と筐体 2 9 4 2 は、接続部 2 9 4 6 により接続されており、筐体 2 9 4 1 と筐体 2 9 4 2 の間の角度は、接続部 2 9 4 6 により変えることが可能な構造となっている。筐体 2 9 4 1 に対する筐体 2 9 4 2 の角度によって、表示部 2 9 4 3 に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

【0 8 1 0】

例えば、本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることができる。本発明の一態様の半導体装置を表示部の駆動回路や、画像処理部に用いることで、高速な動作や信号処理を低消費電力にて実現できる。

【0 8 1 1】

また、本発明の一態様の半導体装置を用いた A I システムをビデオカメラ 2 9 4 0 の画像処理部に用いることで、ビデオカメラ 2 9 4 0 周囲の環境に応じた撮影が実現できる。具体的には、周囲の明るさに応じて最適な露出で撮影を行うことができる。また、逆光における撮影や屋内と屋外など、明るさの異なる状況を同時に撮影する場合には、ハイダイナミックレンジ (H D R) 撮影を行うことができる。

【0 8 1 2】

また、A I システムは、撮影者の癖を学習し、撮影のアシストを行うことができる。具体的には、撮影者の手振れの癖を学習し、撮影中の手振れを補正することで、撮影した画像

10

20

30

40

50

には手振れによる画像の乱れが極力含まれないようにすることができる。また、撮影中にズーム機能を用いる際には、被写体が常に画像の中心で撮影されるようにレンズの向きなどを制御することができる。

【0813】

図70(C)に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、および操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

10

【0814】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した情報端末2910の制御情報や、制御プログラムなどを長期間保持することができる。

【0815】

また、本発明の一態様の半導体装置を用いたAIシステムを情報端末2910の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ(HDR)処理も、階調変換処理に含まれる。

20

【0816】

また、AIシステムは、ユーザーの癖を学習し、情報端末2910の操作のアシストを行うことができる。AIシステムを搭載した情報端末2910は、ユーザーの指の動きや、視線などからタッチ入力を予測することができる。

【0817】

図70(D)に示すラップトップ型パーソナルコンピュータ2920は、筐体2921、表示部2922、キーボード2923、およびポインティングデバイス2924等を有する。また、ラップトップ型パーソナルコンピュータ2920は、筐体2921の内側にアンテナ、バッテリーなどを備える。

30

【0818】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、ラップトップ型パーソナルコンピュータ2920の制御情報や、制御プログラムなどを長期間保持することができる。

【0819】

また、本発明の一態様の半導体装置を用いたAIシステムをラップトップ型パーソナルコンピュータ2920の画像処理部に用いることで、ノイズ除去処理、階調変換処理、色調補正処理、輝度補正処理などの画像処理を行うことができる。また、解像度のアップコンバートに伴う画素間補間処理や、フレーム周波数のアップコンバートに伴うフレーム間補間処理などを実行することができる。また、階調変換処理は、画像の階調数を変換するだけでなく、階調数を大きくする場合の階調値の補間を行うことができる。また、ダイナミックレンジを広げる、ハイダイナミックレンジ(HDR)処理も、階調変換処理に含まれる。

40

【0820】

また、AIシステムは、ユーザーの癖を学習し、ラップトップ型パーソナルコンピュータ2920の操作のアシストを行うことができる。AIシステムを搭載したラップトップ型パーソナルコンピュータ2920は、ユーザーの指の動きや、視線などから表示部2922へのタッチ入力を予測することができる。また、テキストの入力においては、過去のテキスト入力情報や、前後のテキストや写真などの図から入力予測を行い、変換のアシストを行う。これにより、入力ミスや変換ミスを極力低減することができる。

50

【0821】

図70(E)は、自動車の一例を示す外観図、図70(F)は、ナビゲーション装置860を示している。自動車2980は、車体2981、車輪2982、ダッシュボード2983、およびライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。ナビゲーション装置860は、表示部861、操作ボタン862、及び外部入力端子863を具備する。自動車2980とナビゲーション装置860は、それぞれ独立していても良いが、ナビゲーション装置860が自動車2980に組み込まれ、連動して機能する構成とするのが好ましい。

【0822】

例えば、本発明の一態様の半導体装置を用いた記憶装置は、自動車2980やナビゲーション装置860の制御情報や、制御プログラムなどを長期間保持することができる。また、本発明の一態様の半導体装置を用いたAIシステムを自動車2980の制御装置などに用いることで、AIシステムは、ドライバーの運転技術や癖を学習し、安全運転のアシストや、ガソリンやバッテリーなどの燃料を効率的に利用する運転のアシストを行うことができる。安全運転のアシストとしては、ドライバーの運転技術や癖を学習するだけでなく、自動車2980の速度や移動方法といった自動車の挙動、ナビゲーション装置860に保存された道路情報などを複合的に学習し、走行中のレーンから外れることの防止や、他の自動車、歩行者、構造物などとの衝突回避が実現できる。具体的には、進行方向に急カーブが存在する場合、ナビゲーション装置860はその道路情報を自動車2980に送信し、自動車2980の速度の制御や、ハンドル操作のアシストを行うことができる。

【0823】

本実施の形態は、他の実施の形態や実施例などに記載した構成と適宜組み合わせて実施することが可能である。

【符号の説明】

【0824】

100 容量素子、130 導電体、200 トランジスタ、203 導電体、203a 導電体、203b 導電体、205 導電体、205a 導電体、205b 導電体、208 絶縁体、210 絶縁体、216 絶縁体、220 絶縁体、222 絶縁体、224 絶縁体、230 酸化物、230a 酸化物、230b 酸化物、230c 酸化物、231 領域、231a 領域、231b 領域、232 領域、232a 領域、232b 領域、234 領域、239 領域、250 絶縁体、250a 絶縁体、252 導電体、252a 導電体、252b 導電体、252c 導電体、252d 導電体、256 導電体、260 導電体、260a 導電体、260b 導電体、270 絶縁体、271 絶縁体、272 絶縁体、274 絶縁体、280 絶縁体、600 セル

10

20

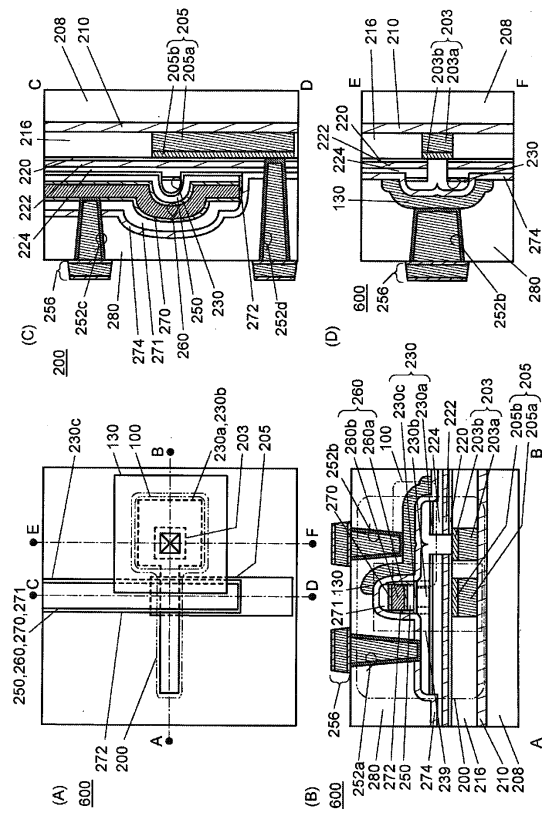
30

40

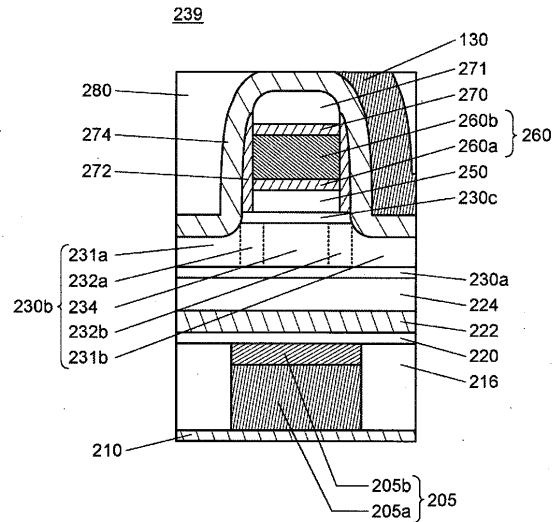
50

【図面】

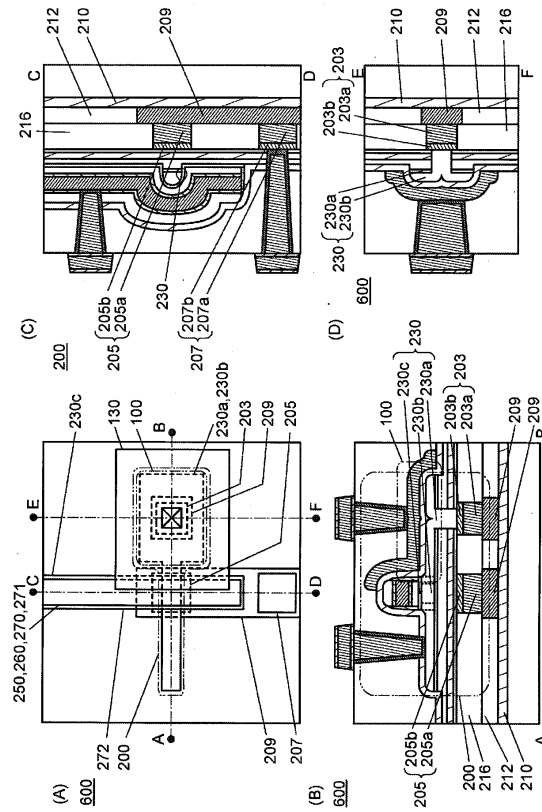
【図 1】



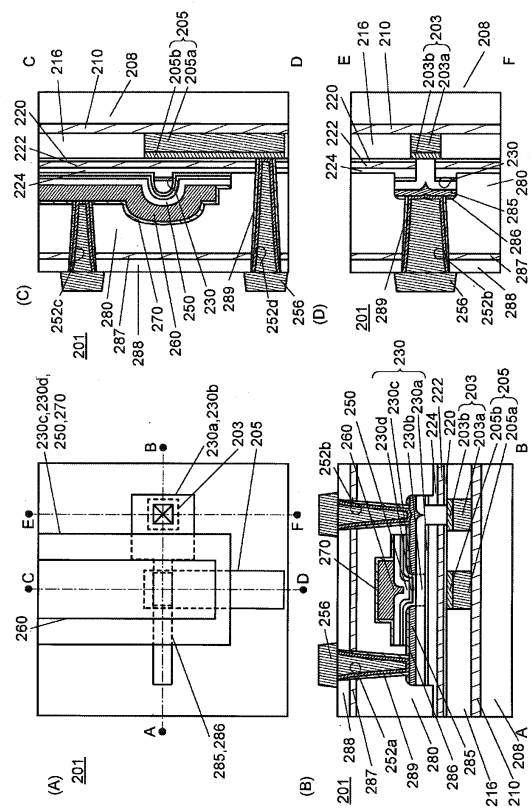
【図 2】



【図 3】



【図 4】



10

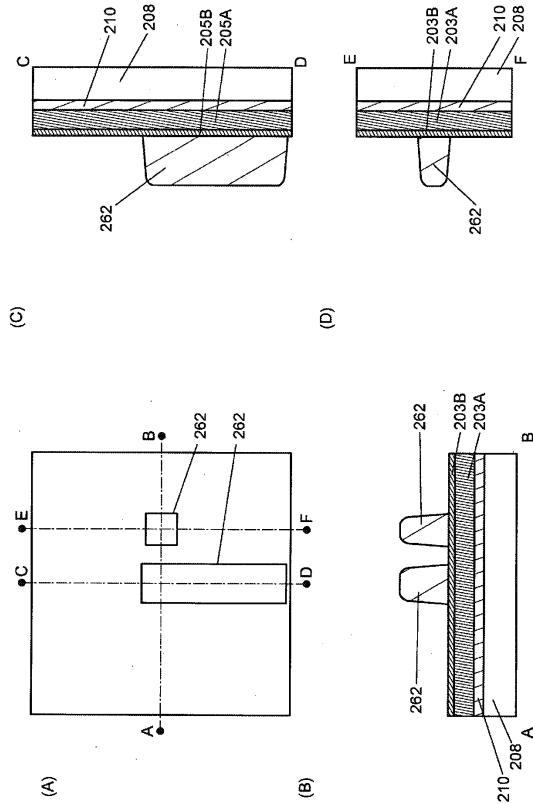
20

30

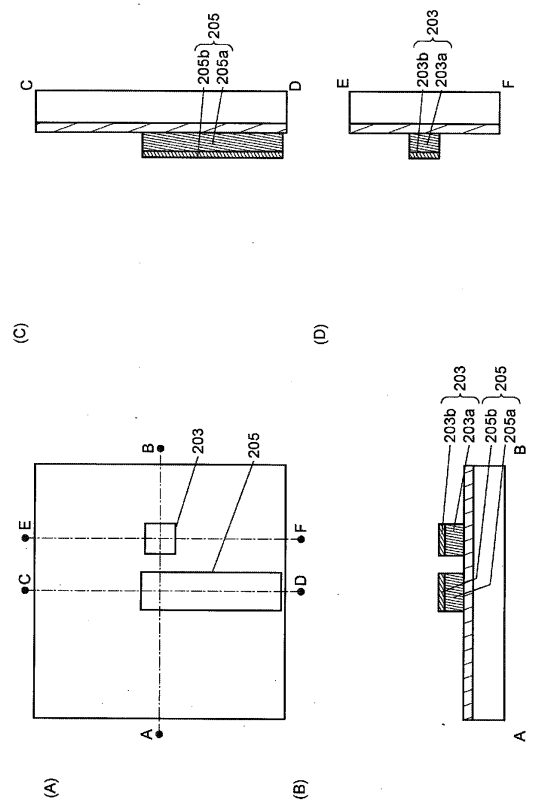
40

50

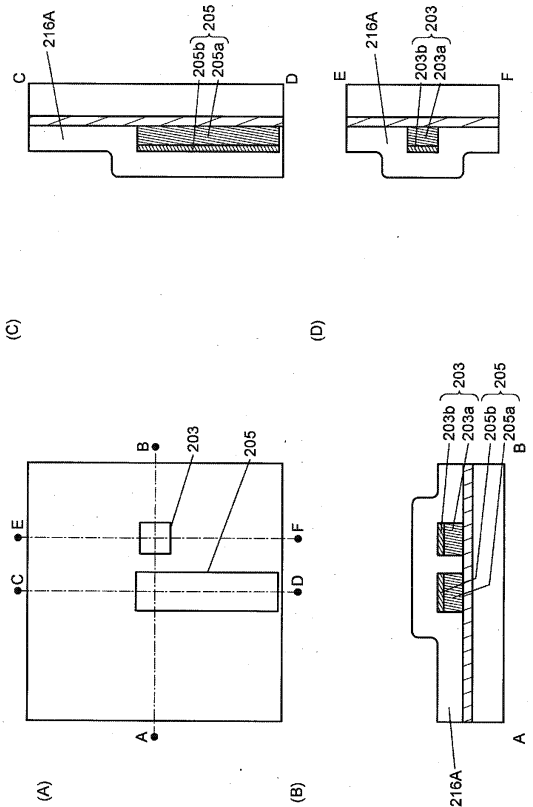
【図 5】



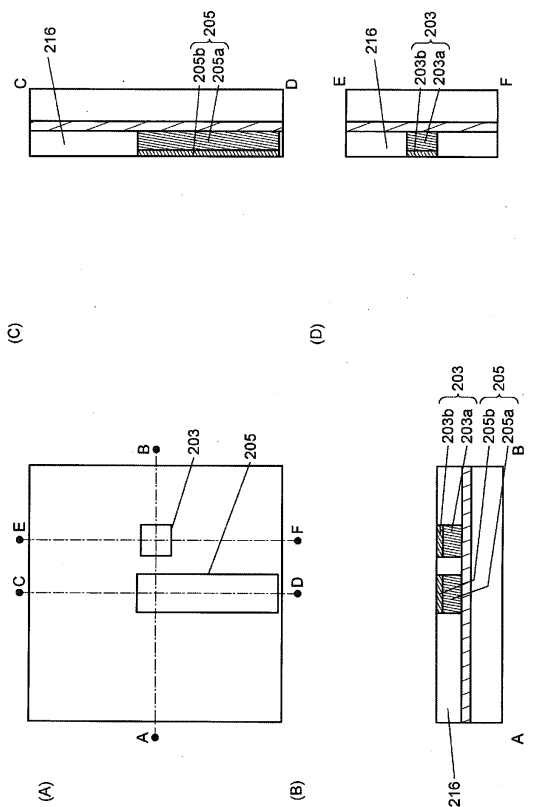
【図 6】



【図 7】



【図 8】



10

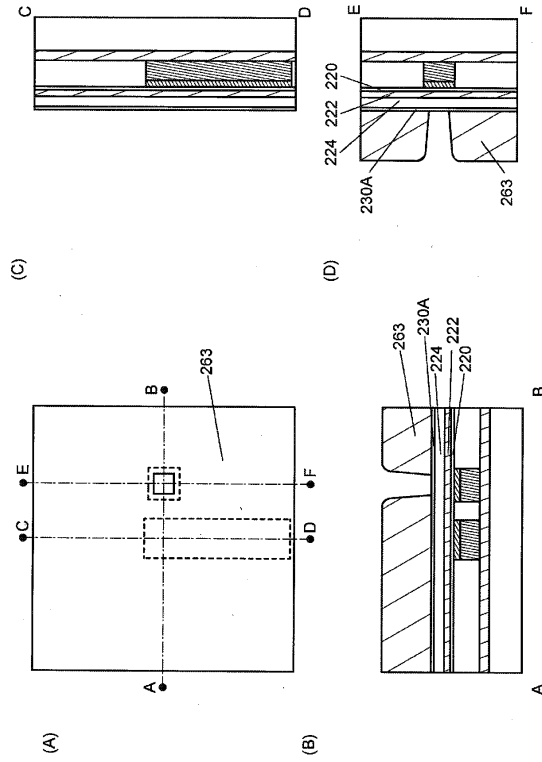
20

30

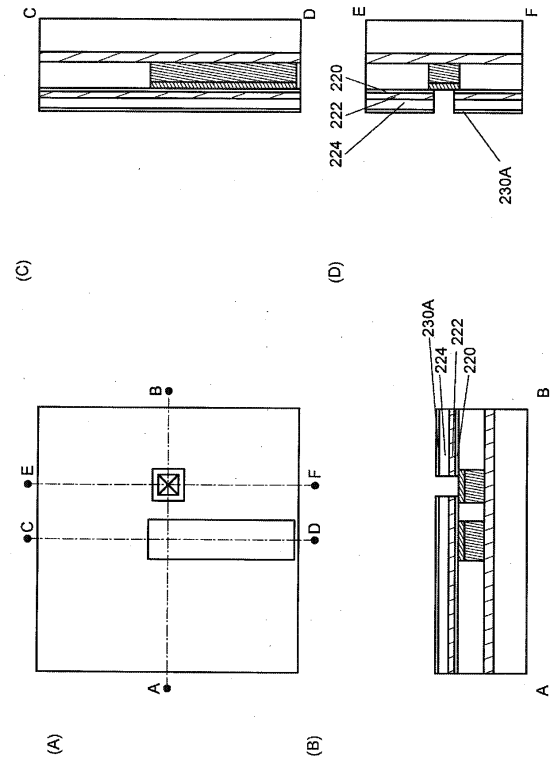
40

50

【図 9】



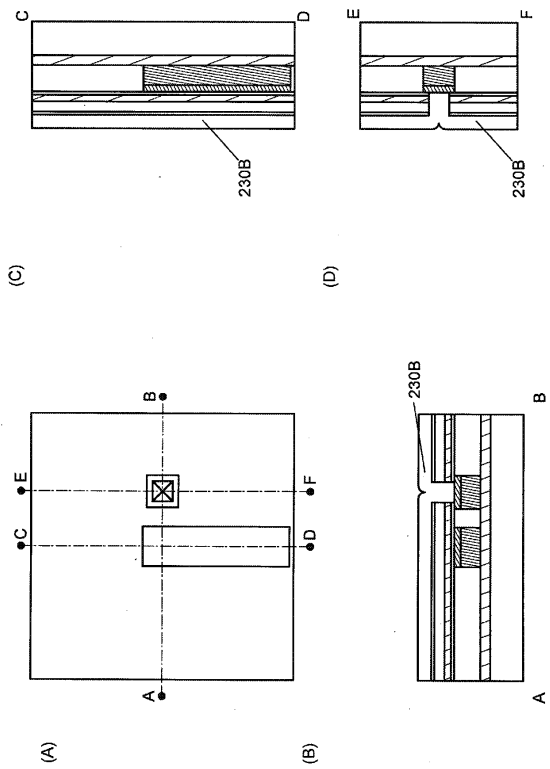
【図 10】



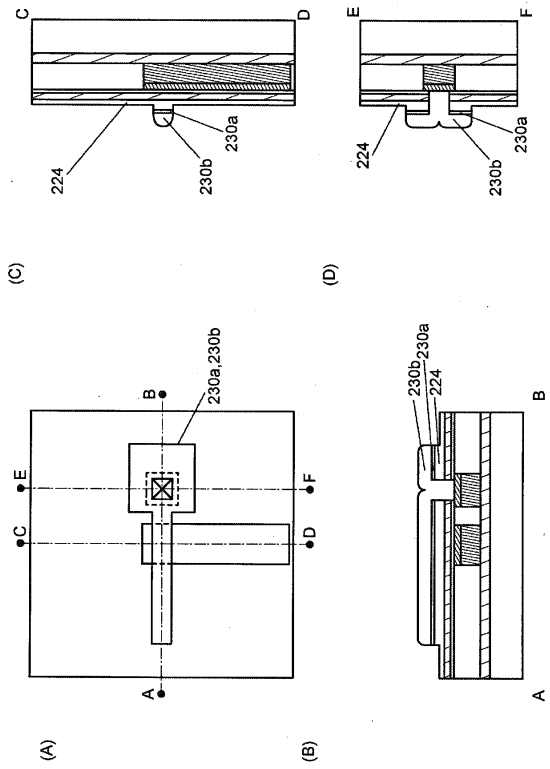
10

20

【図 11】



【図 12】

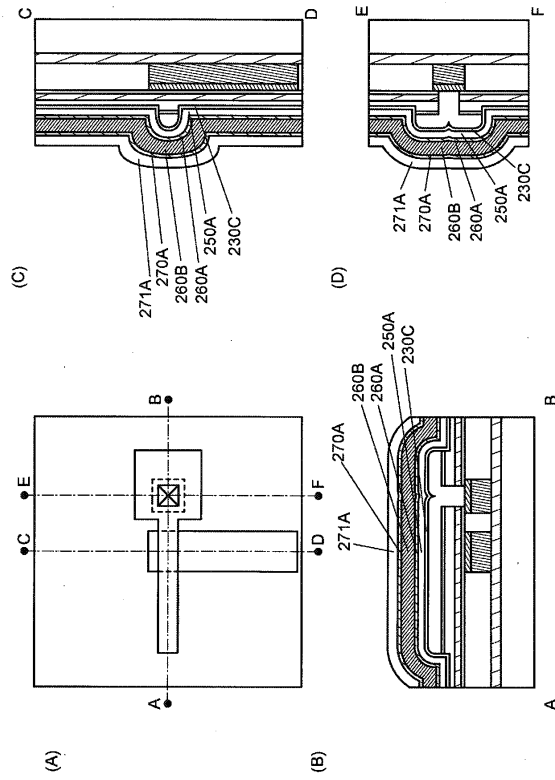


30

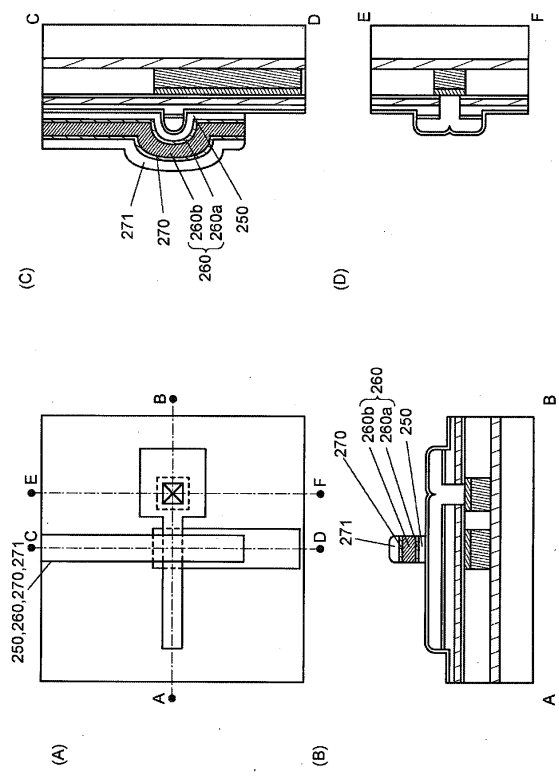
40

50

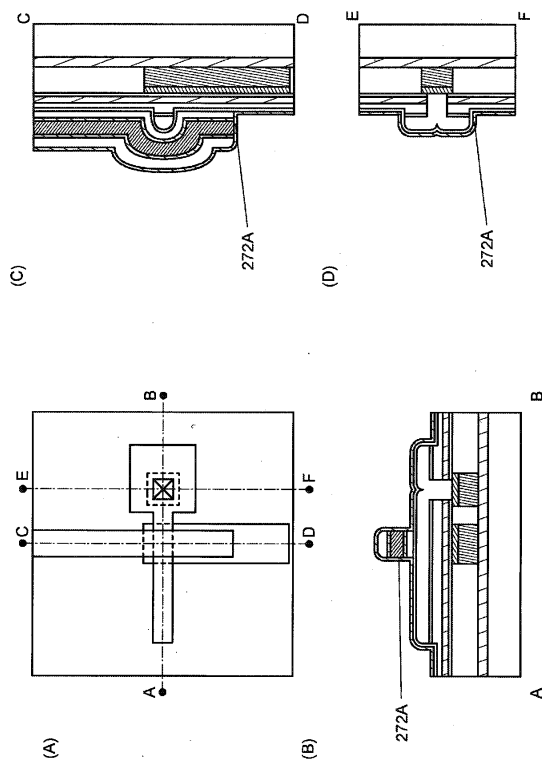
【図 13】



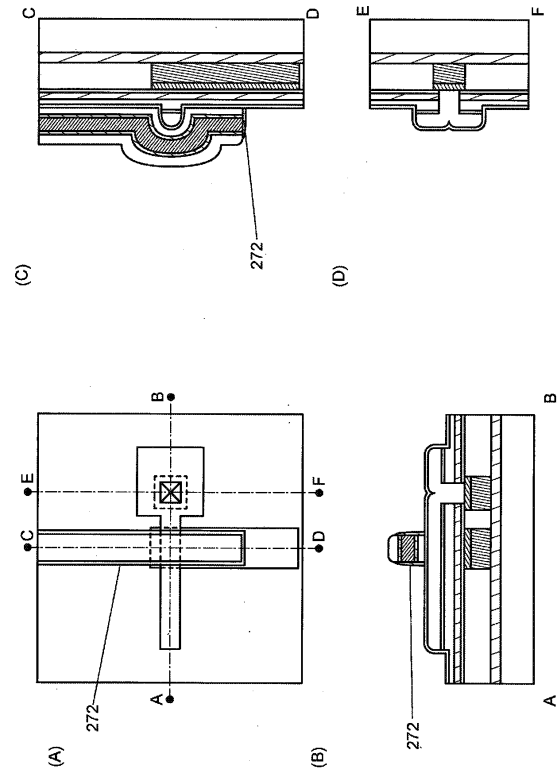
【図 14】



【図 15】



【図 16】



10

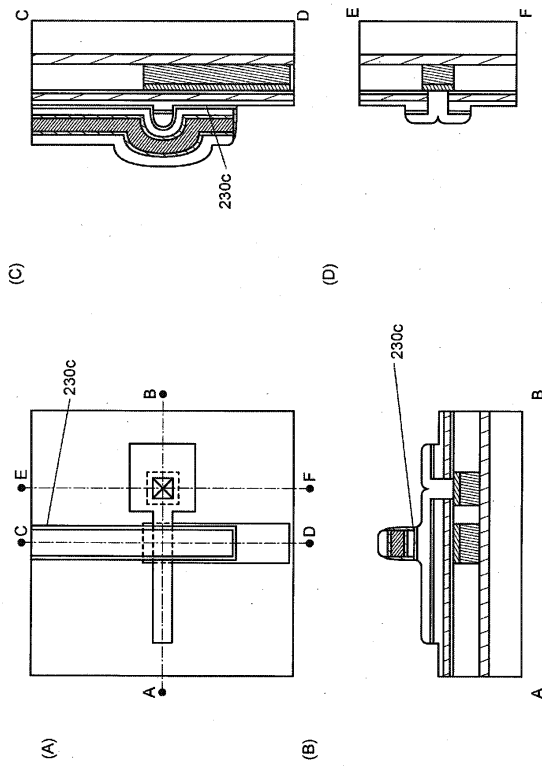
20

30

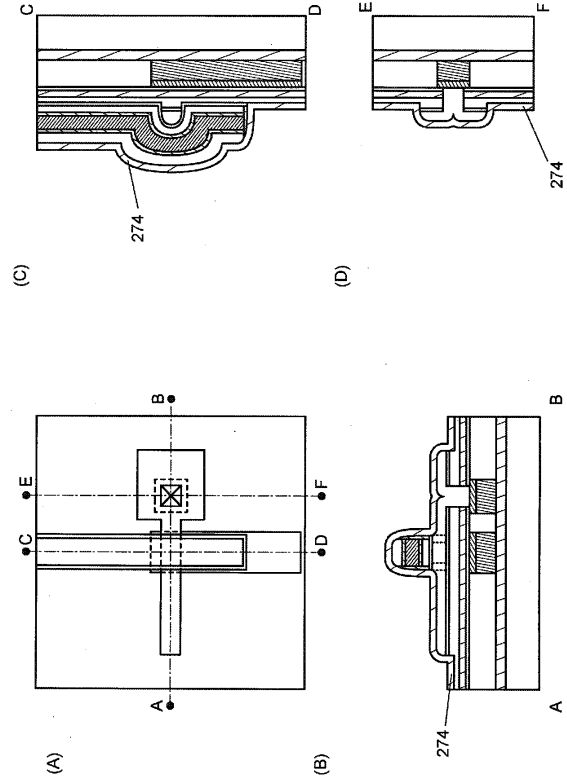
40

50

【図 17】



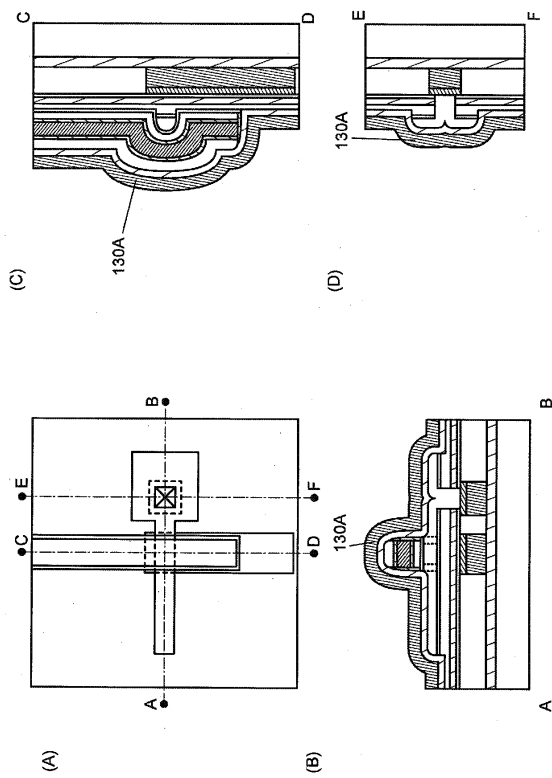
【図 18】



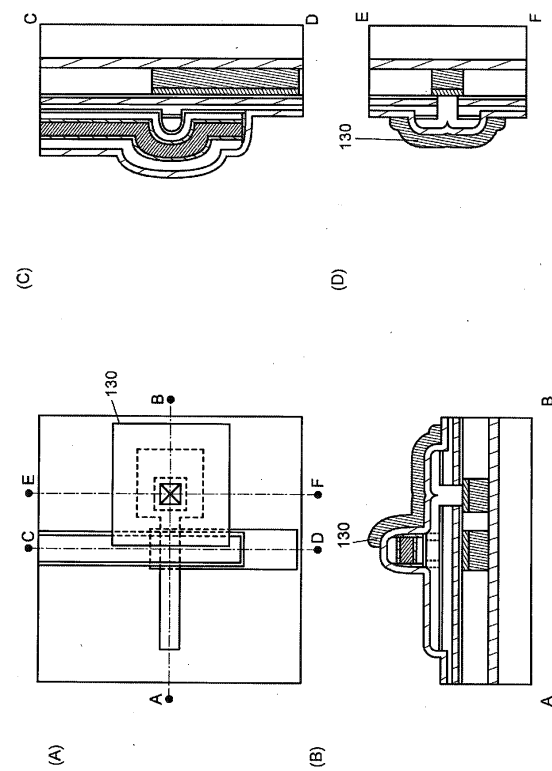
10

20

【図 19】



【図 20】

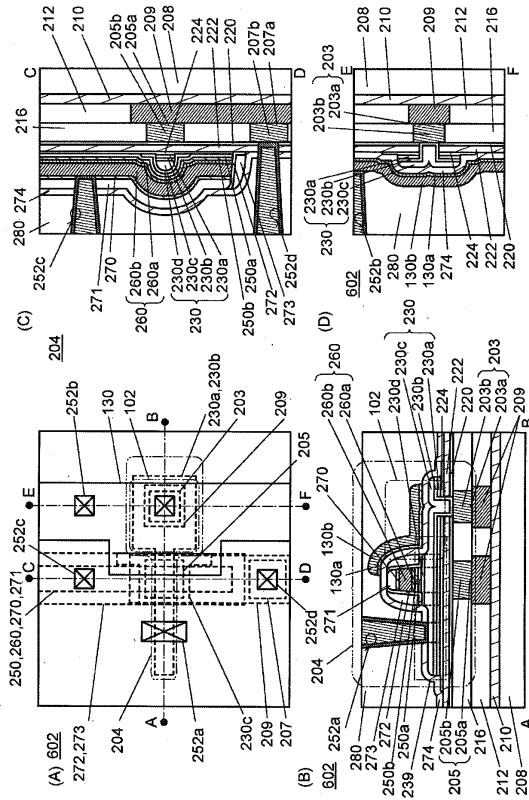


30

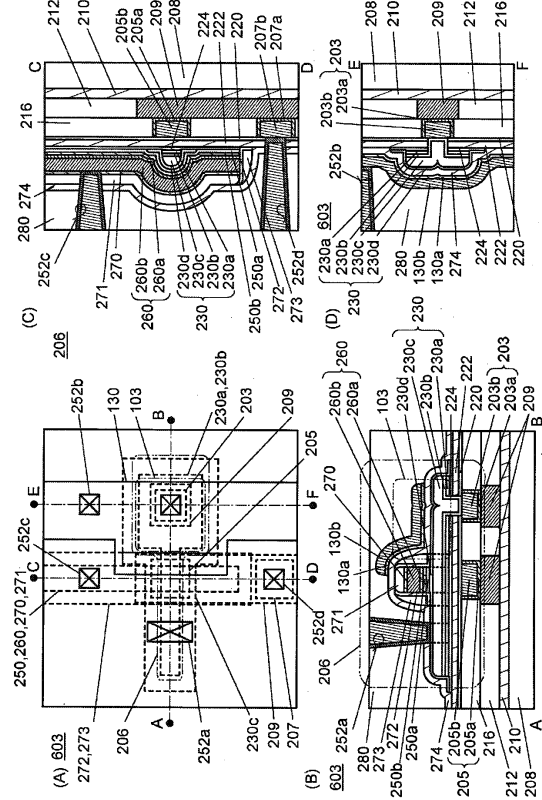
40

50

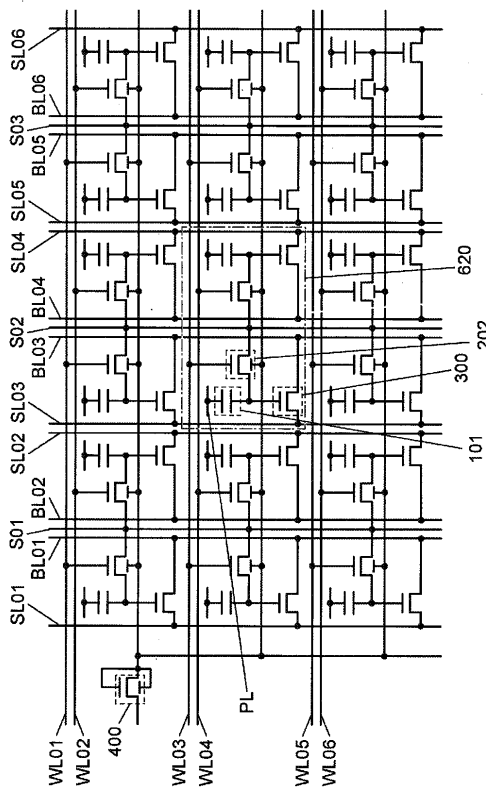
【図 25】



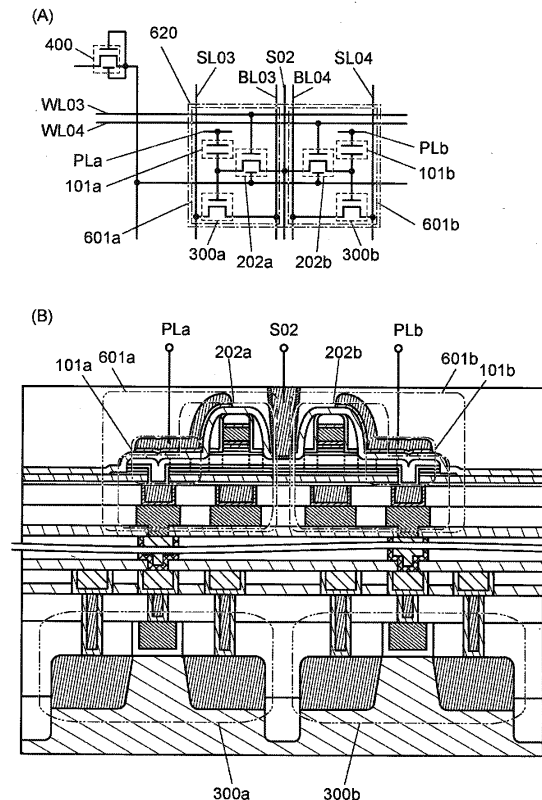
【図 26】



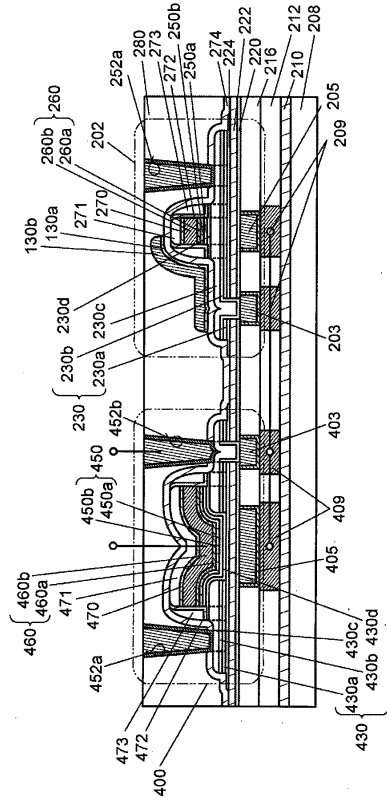
【図 27】



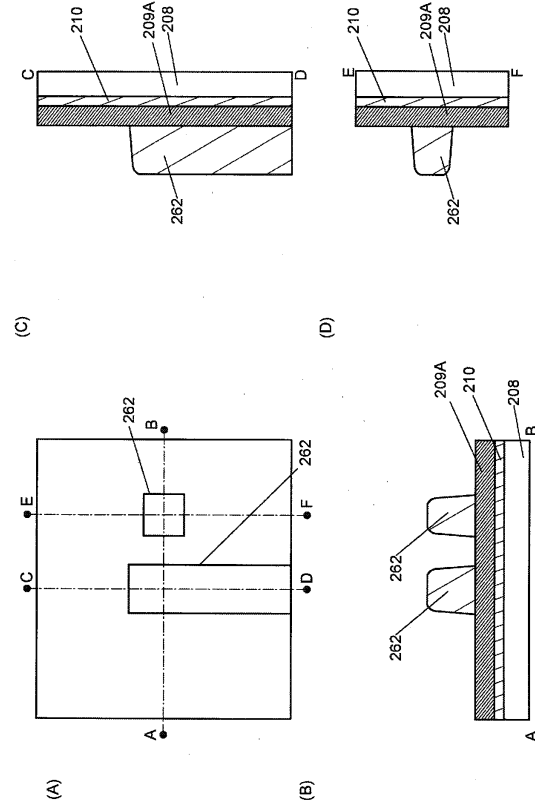
【図 28】



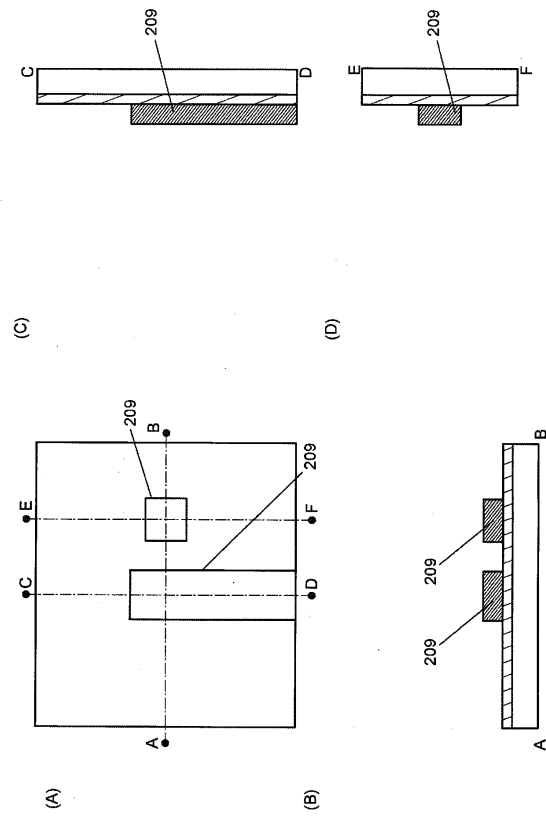
【図 29】



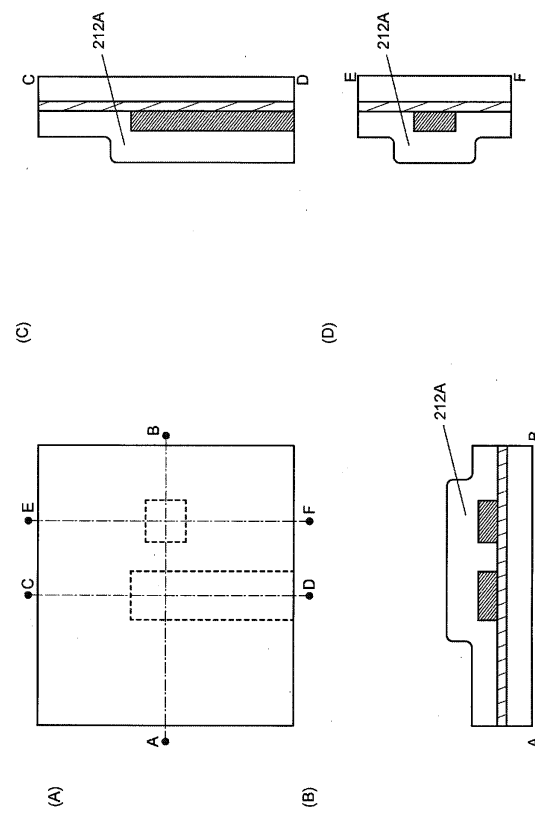
【図 30】



【図 31】



【図 32】



10

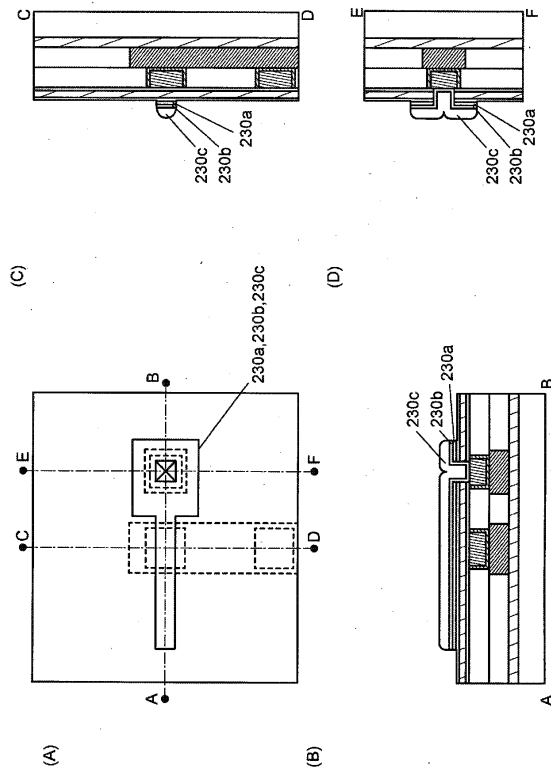
20

30

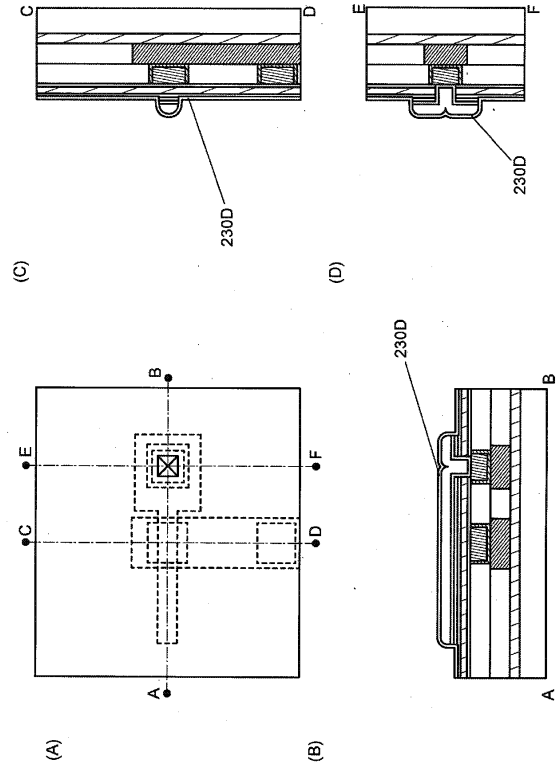
40

50

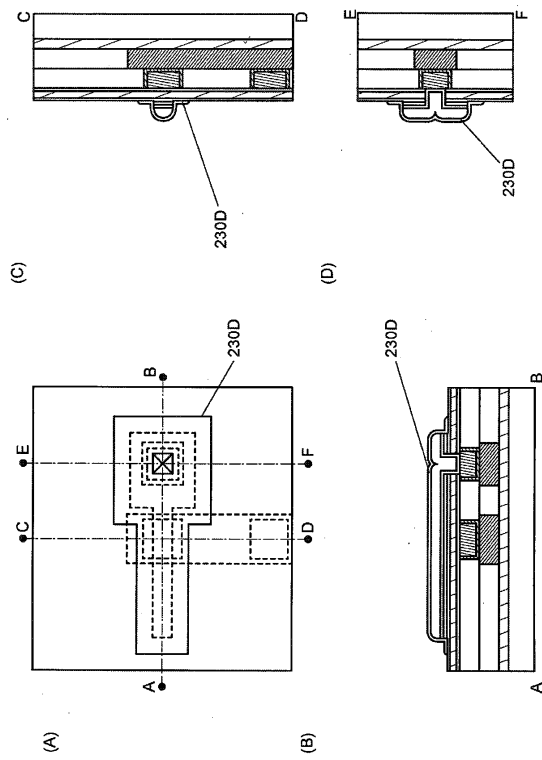
【図 37】



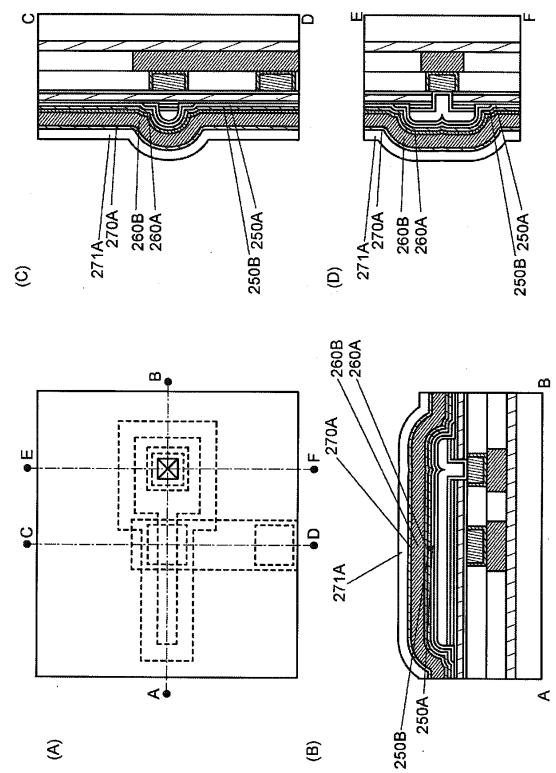
【図 38】



【図 39】



【図 40】



10

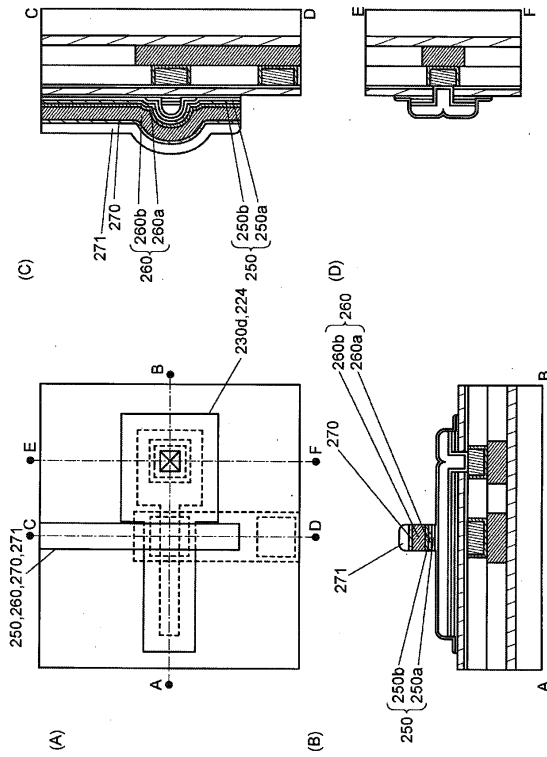
20

30

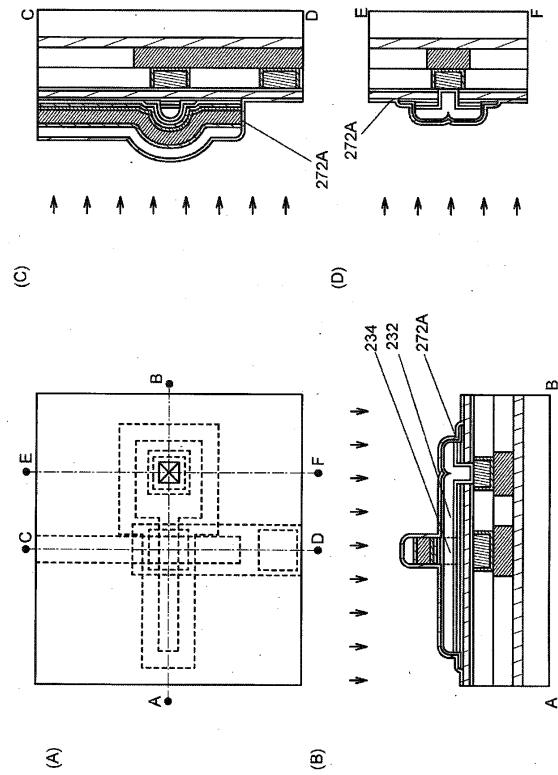
40

50

【図 4 1】



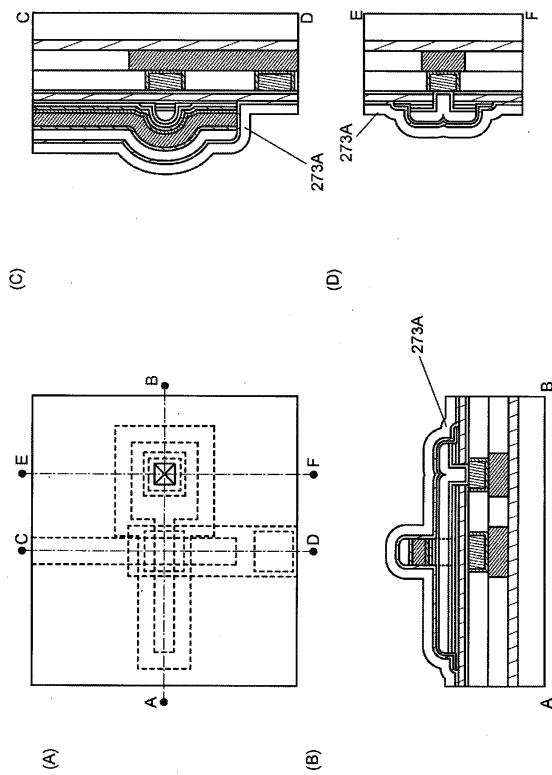
【図 4 2】



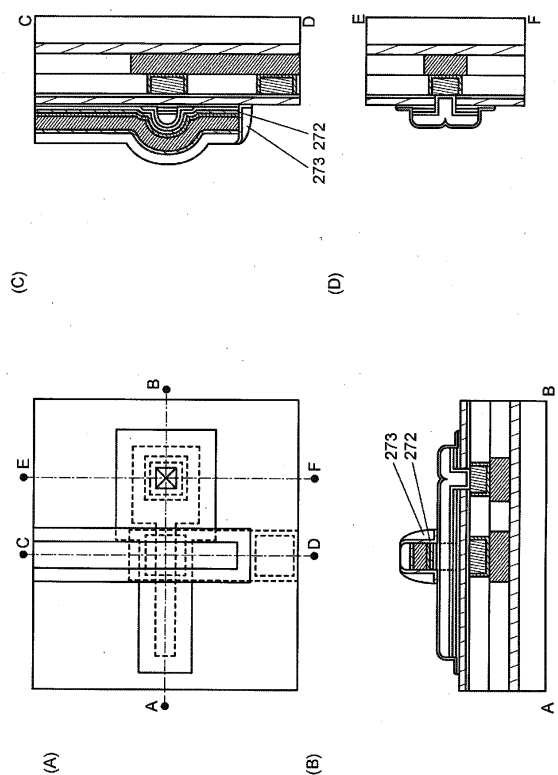
10

20

【図 4 3】



【図 4 4】

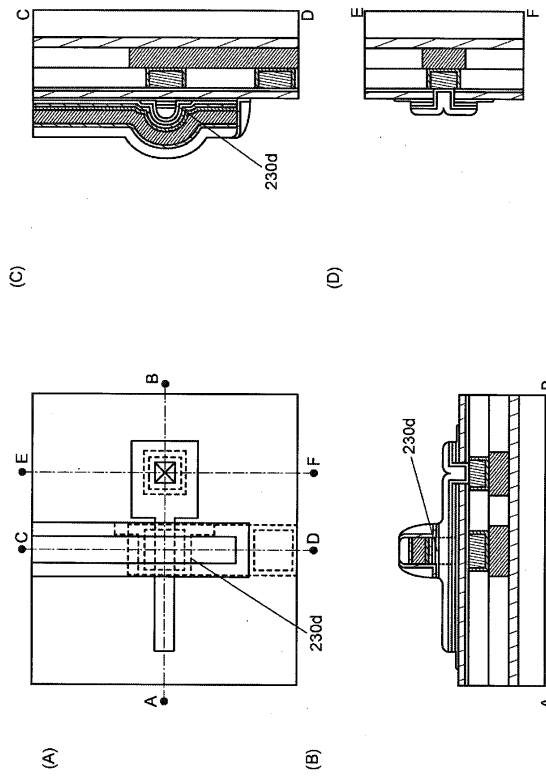


30

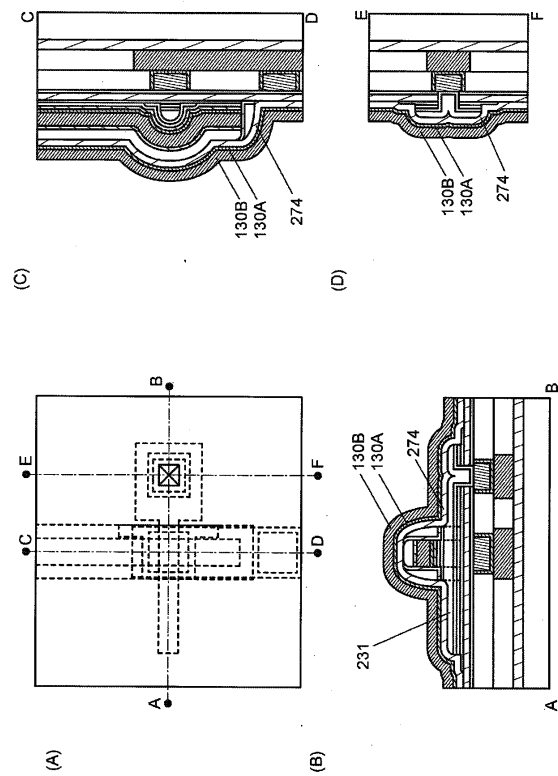
40

50

【図 4 5】



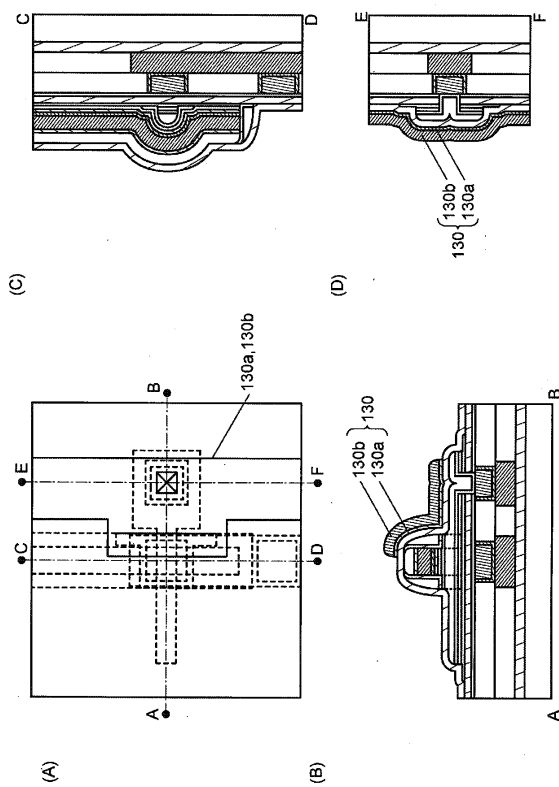
【図 4 6】



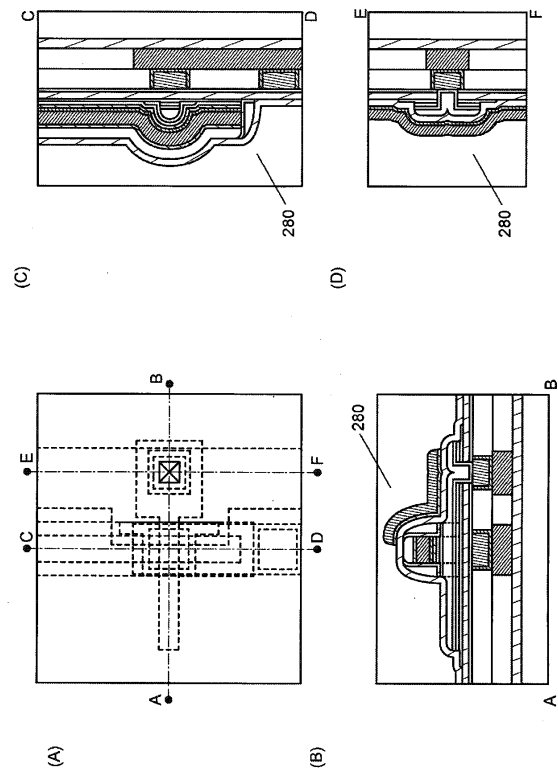
10

20

【図 4 7】



【図 4 8】

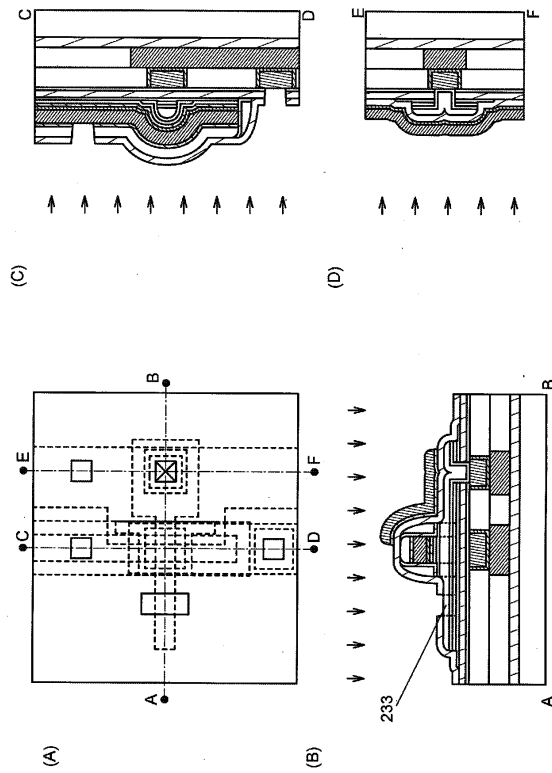


30

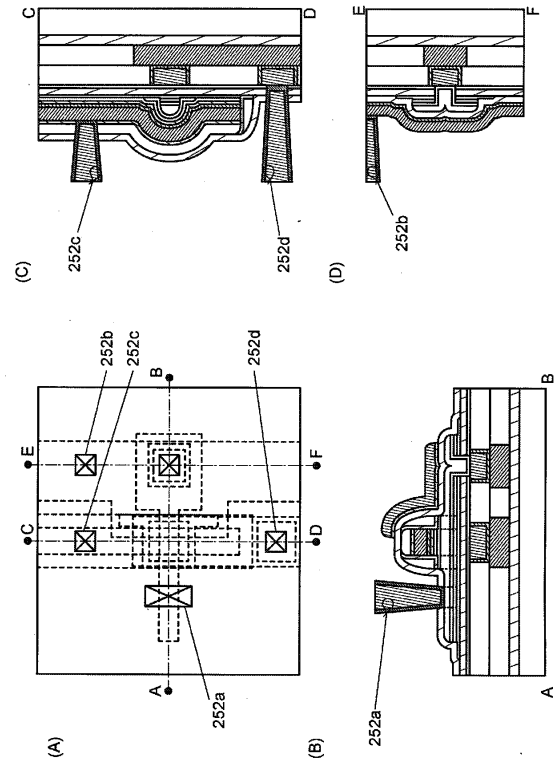
40

50

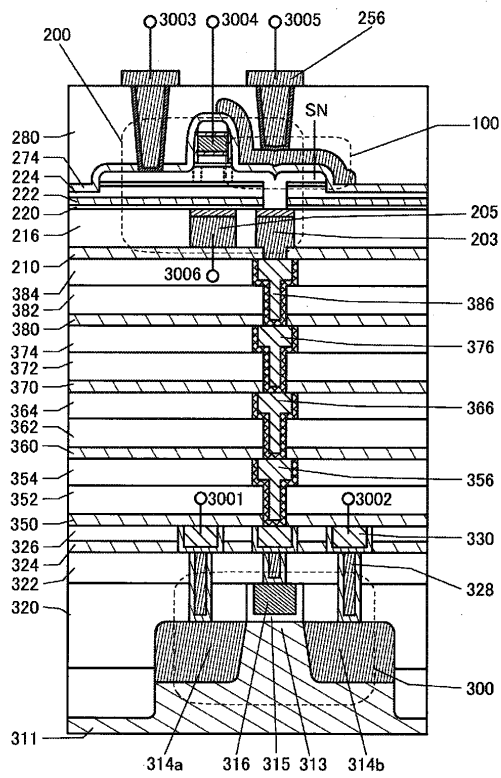
【図 49】



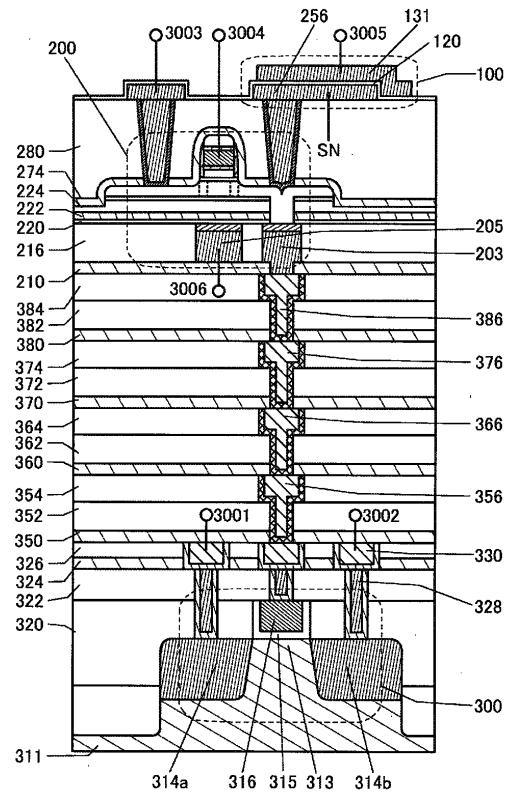
【図 50】



【図 51】



【図 52】



10

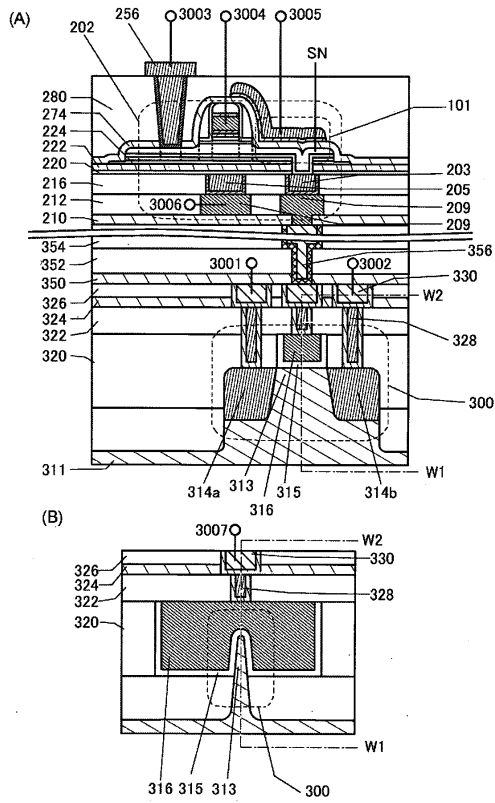
20

30

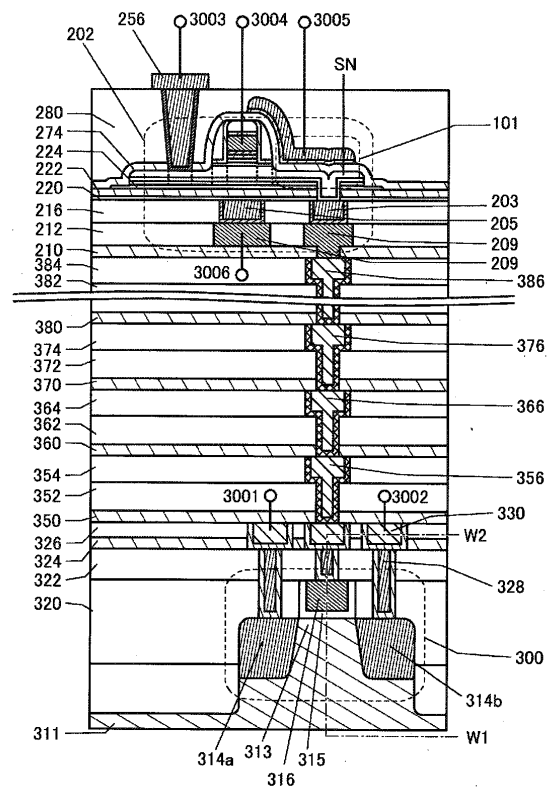
40

50

【図 5 3】



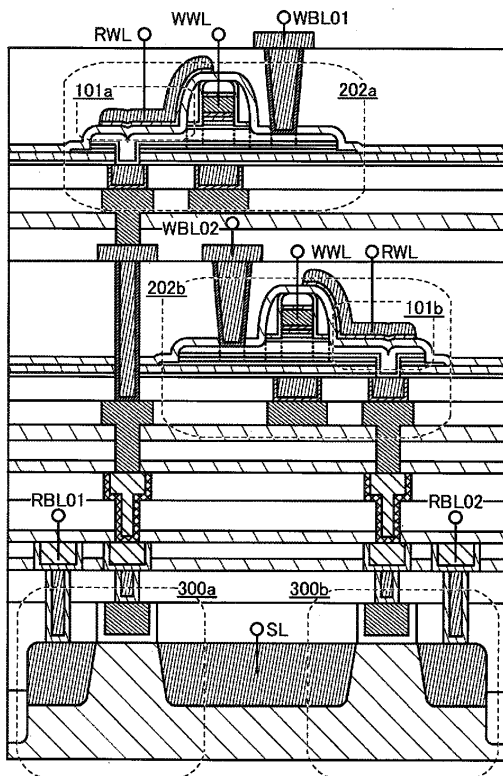
【図 5 4】



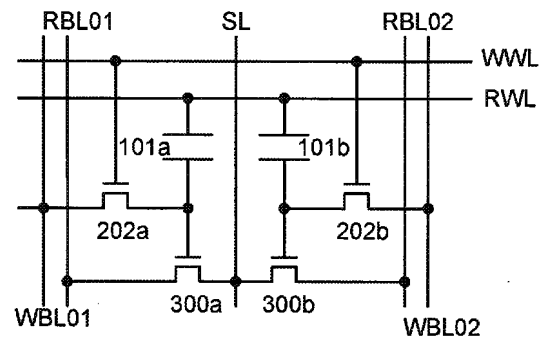
10

20

【図 5 5】



【図 5 6】

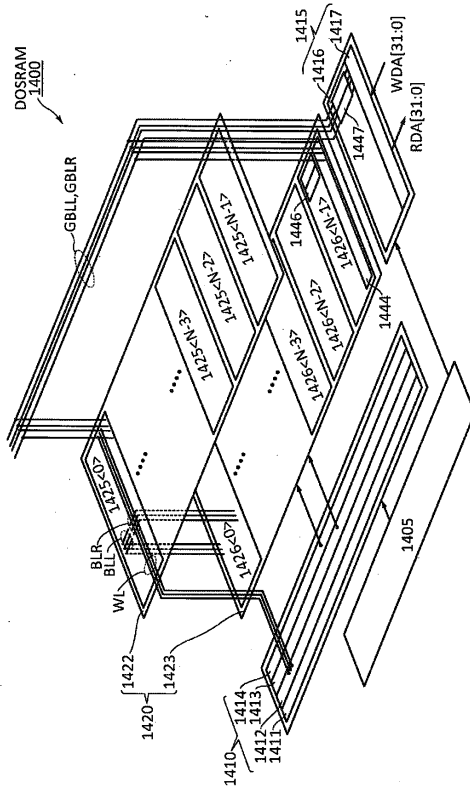


30

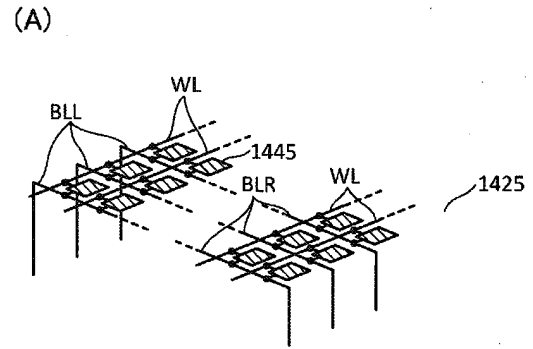
40

50

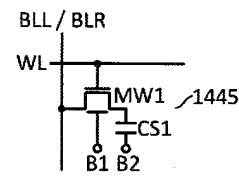
【図 6 1】



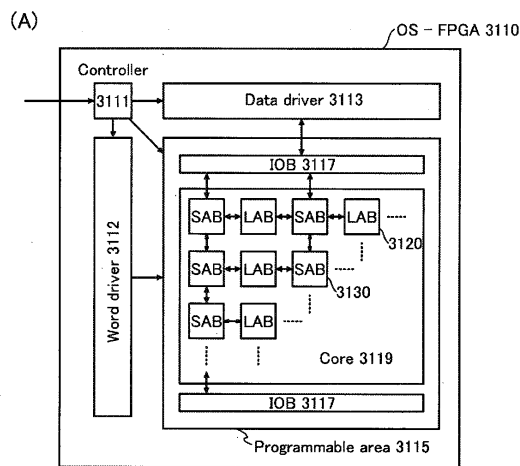
【図 6 2】



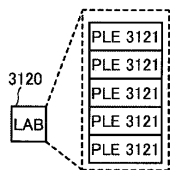
(B)



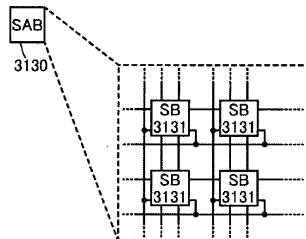
【図 6 3】



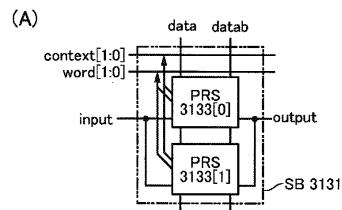
(B)



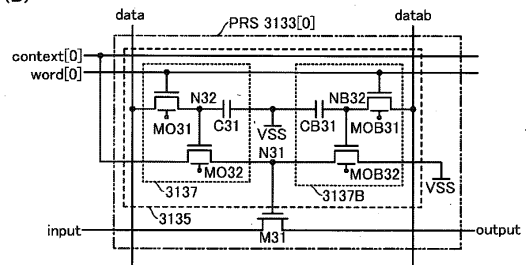
(C)



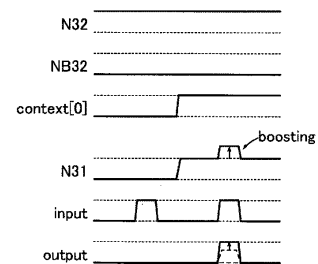
【図 6 4】



(B)



(C)



10

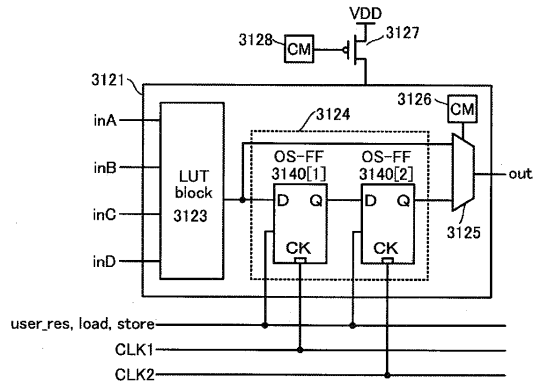
20

30

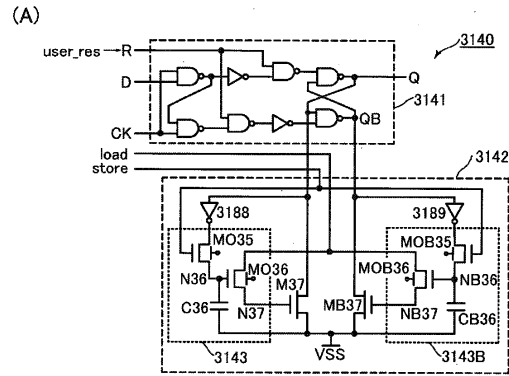
40

50

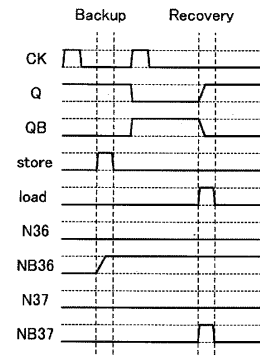
【図 65】



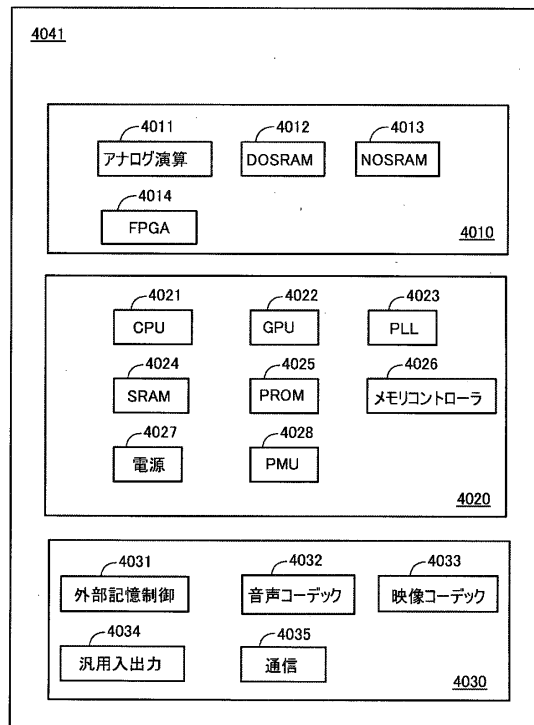
【図 66】



(B)

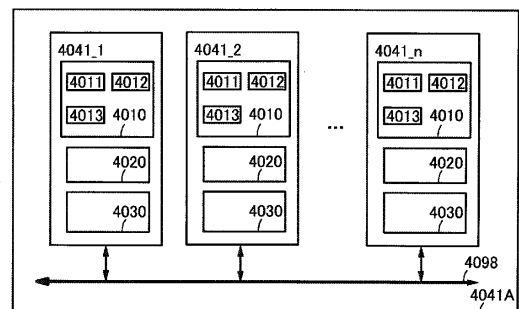


【図 67】

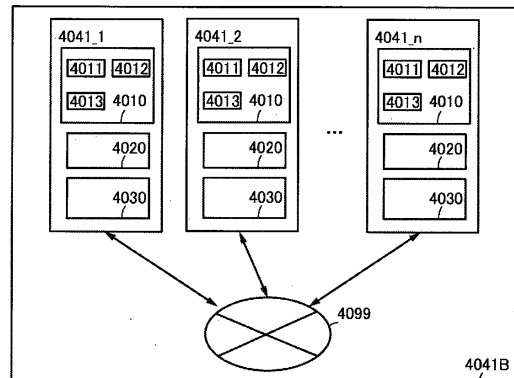


【図 68】

(A)



(B)



10

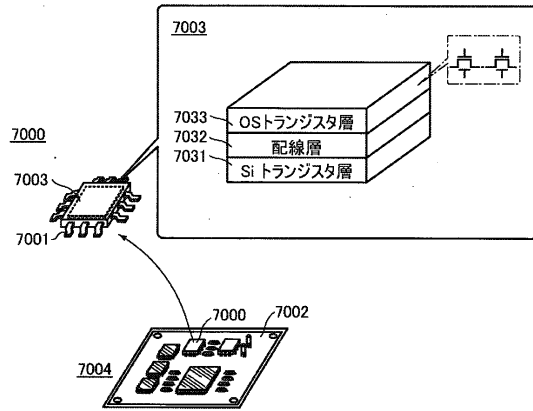
20

30

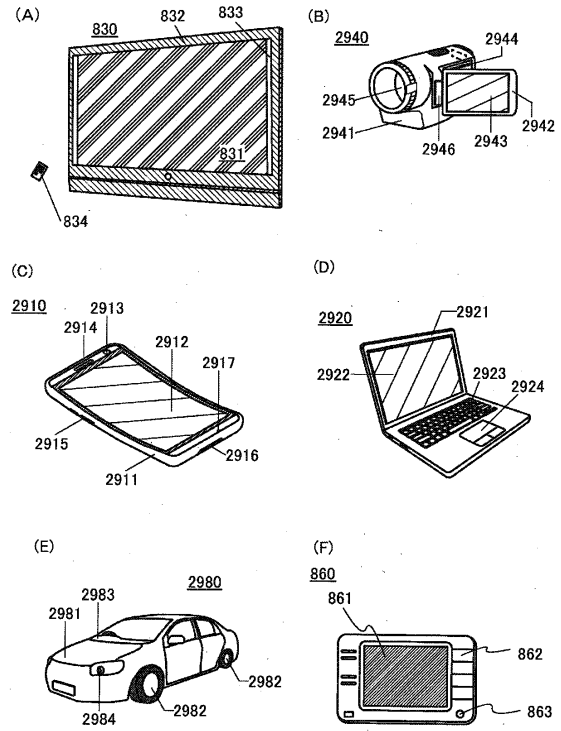
40

50

【図 69】



【図 70】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	21/8242(2006.01)	H 0 1 L	29/78	6 1 8 B
H 0 1 L	27/108(2006.01)	H 0 1 L	29/78	6 1 3 Z
H 0 1 L	27/1156(2017.01)	H 0 1 L	29/78	6 1 7 N
H 0 1 L	29/788(2006.01)	H 0 1 L	29/78	6 1 7 J
H 0 1 L	29/792(2006.01)	H 0 1 L	27/108	3 2 1
		H 0 1 L	27/1156	
		H 0 1 L	29/78	3 7 1

(72)発明者 森若 智昭

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

(72)発明者 木村 俊介

神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

審査官 高柳 匡克

(56)参考文献 特開 2 0 1 6 - 1 4 9 5 5 2 (J P , A)

韓国公開特許第 1 0 - 2 0 1 3 - 0 1 3 6 8 8 8 (K R , A)

特開 2 0 1 1 - 2 0 5 0 5 4 (J P , A)

特開 2 0 1 7 - 0 2 8 2 5 2 (J P , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 8 2 3 4

H 0 1 L 2 7 / 0 4

H 0 1 L 2 7 / 0 8 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 4 2

H 0 1 L 2 7 / 1 0 8

H 0 1 L 2 7 / 1 1 5 6