

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4376331号  
(P4376331)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int.Cl.

F 1

H01L 21/336 (2006.01)

H01L 29/78 627G

H01L 29/786 (2006.01)

H01L 21/20

H01L 21/20 (2006.01)

請求項の数 7 (全 22 頁)

(21) 出願番号

特願平10-255497

(22) 出願日

平成10年9月9日(1998.9.9)

(65) 公開番号

特開2000-114527(P2000-114527A)

(43) 公開日

平成12年4月21日(2000.4.21)

審査請求日

平成17年8月29日(2005.8.29)

(31) 優先権主張番号

特願平10-225067

(32) 優先日

平成10年8月7日(1998.8.7)

(33) 優先権主張国

日本国(JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 高野 圭恵

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 萩原 周治

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ポリシリコン膜を形成し、

前記ポリシリコン膜を熱酸化してその膜厚を減じるとともに前記ポリシリコン膜上に熱酸化膜を形成し、

前記熱酸化膜を除去し、

膜厚を減じた前記ポリシリコン膜に対して250~5000mJ/cm<sup>2</sup>のエネルギー密度でレーザーアニール処理を行い、

前記レーザーアニール処理後のポリシリコン膜の表面をフッ酸系エッチャントによって洗浄し、

表面を洗浄した前記ポリシリコン膜に対して、還元雰囲気中で900~1200のフーネスアニール処理を行うことを特徴とする半導体装置の作製方法。

【請求項2】

ポリシリコン膜を形成し、

前記ポリシリコン膜を熱酸化してその膜厚を減じるとともに前記ポリシリコン膜上に熱酸化膜を形成し、

前記熱酸化膜を除去し、

膜厚を減じた前記ポリシリコン膜に対して250~5000mJ/cm<sup>2</sup>のエネルギー密度でレーザーアニール処理を行い、

前記レーザーアニール処理後のポリシリコン膜の表面をフッ酸系エッチャントによって

10

20

洗浄し、

表面を洗浄した前記ポリシリコン膜に対して、還元雰囲気中で900～1200のフ  
アーネスアニール処理を行い、

前記ポリシリコン膜をパターニングし所定のパターンに形成し、

前記所定のパターンに形成されたポリシリコン膜の表面にゲート絶縁膜を形成し、

前記ゲート絶縁膜上にゲート配線を形成し、

N型導電性又はP型導電性を付与する不純物を前記所定のパターンに形成されたポリシリコン膜の前記ゲート配線に覆われていない領域に添加して不純物領域を形成し、

前記ゲート配線の側部及び前記不純物領域の一部上にサイドウォールを形成し、

前記不純物と同一導電型の不純物を前記不純物領域の前記サイドウォールに覆われていない領域に添加してソース領域及びドレイン領域を形成すると共に、前記サイドウォールの下部の前記不純物領域にLDD領域が形成され、

少なくとも前記ソース領域及び前記ドレイン領域の表面を露出させ、

露出した前記ソース領域及び前記ドレイン領域それぞれにシリサイド層を形成し、

少なくとも前記ソース領域、前記ドレイン領域、前記サイドウォール、前記ゲート配線を覆うように1層又は積層でなる層間絶縁膜を形成し、

前記層間絶縁膜に前記シリサイド層を露出するコンタクトホールを形成し、前記層間絶縁膜上及び前記コンタクトホールにソース配線及びドレイン配線を形成することを特徴とする半導体装置の作製方法。

## 【請求項3】

20

請求項1又は請求項2において、非晶質を含む半導体膜にニッケル、コバルト、鉄、パラジウム、白金、銅、又は金を添加し、加熱処理して前記ポリシリコン膜を形成することを特徴とする半導体装置の作製方法。

## 【請求項4】

請求項1乃至請求項3のいずれか一項において、前記熱酸化と前記熱酸化膜の除去を交互に繰り返すことによって前記ポリシリコン膜の膜厚を減じることを特徴とする半導体装置の作製方法。

## 【請求項5】

請求項1乃至請求項4のいずれか一項において、前記エネルギー密度(E)はレーザー発振器から発振されたレーザー光の光強度(E<sub>0</sub>)、アッテネーターの透過率(a)、光学系の透過率(b)、レーザー照射面積(A)を用いてE=(E<sub>0</sub> × a × b) / Aで表されることを特徴とする半導体装置の作製方法。

30

## 【請求項6】

請求項1乃至請求項5のいずれか一項において、前記還元性雰囲気において、酸素、または酸素化合物の濃度を10ppm以下とすることを特徴とする半導体装置の作製方法。

## 【請求項7】

請求項1乃至請求項6のいずれか一項において、前記還元性雰囲気とは、水素雰囲気、アンモニア雰囲気、水素と窒素の混合雰囲気、又は水素とアルゴンの混合雰囲気であることを特徴とする半導体装置の作製方法。

## 【発明の詳細な説明】

40

## 【0001】

## 【発明が属する技術分野】

本発明は半導体薄膜を利用した薄膜トランジスタ(以下、TFTと呼ぶ)を回路として含む半導体装置及びその作製方法に関する技術である。なお、本明細書において、半導体装置とは半導体を用いて機能させる装置全般を指すものである。

## 【0002】

従って、請求項に用いた半導体装置という文言には、TFTの如き単体の半導体素子のみならず、TFTを有する電気光学装置、半導体回路及びそれらを搭載した電子機器をも含むものとする。

## 【0003】

50

**【従来の技術】**

近年、アクティブマトリクス型液晶表示装置の様な電気光学装置に用いられるTFTの開発が活発に進められている。アクティブマトリクス型液晶表示装置は、同一基板上に画素マトリクス回路とドライバー回路とを設けたモノリシック型表示装置である。

**【0004】**

また、最近では基板上に設けたTFTで従来のICと同等の機能を持つ半導体回路を形成する試みもなされている。例えば補正回路、メモリ回路、クロック発生回路等のロジック回路を内蔵したシステムオンパネルの開発が検討されている。

**【0005】**

この様なドライバー回路やロジック回路は高速動作を行う必要があるので、活性層として10  
非晶質半導体膜（代表的にはアモルファスシリコン膜）を用いることは不適当である。そのため、現状では結晶質半導体膜（代表的にはポリシリコン膜）が検討されている。

**【0006】****【発明が解決しようとする課題】**

しかしながら、TFTで組む回路に対して従来のICに匹敵する回路性能を要求される様になってくると、これまでの技術で形成された結晶質半導体膜では、回路の仕様を満たすに十分な性能を有するTFTを作製することが困難な状況になってきた。

**【0007】**

そこで本願発明では、従来のポリシリコン膜を用いたTFTよりも電気特性の優れたTFTを作製し、そのTFTで回路を組むことによって高性能な半導体装置を実現することを20  
課題とする。

**【0008】****【課題を解決するための手段】**

本明細書で開示する発明の要旨は、

結晶を含む半導体膜を形成する第1工程と、

前記結晶を含む半導体膜を酸化して膜厚を減じる第2工程と、

前記第2工程後の結晶を含む半導体膜に対して250～5000mJ/cm<sup>2</sup>のエネルギー密度のレーザーアニール処理を行う第3工程と、

前記第3工程後の結晶を含む半導体膜に対してファーネスアニール処理を行う第4工程と、

、

を含むことを特徴としている。

30

**【0009】**

また、他の発明の要旨は、

結晶を含む半導体膜を形成する第1工程と、

前記結晶を含む半導体膜を酸化して膜厚を減じる第2工程と、

前記第2工程後の結晶を含む半導体膜に対して250～5000mJ/cm<sup>2</sup>のエネルギー密度のレーザーアニール処理を行う第3工程と、

前記第3工程後の結晶を含む半導体膜に対して還元雰囲気中において900～1200のファーネスアニール処理を行う第4工程と、

を含むことを特徴としている。

40

**【0010】**

第1工程において、結晶を含む半導体膜とは結晶成分を含む半導体膜全てを含み、具体的には単結晶半導体膜、多結晶半導体膜、微結晶半導体膜、非晶質半導体膜の一部のみが結晶化している半導体膜、実質的に単結晶と見なせる半導体膜を指す。

**【0011】**

なお、実質的に単結晶と見なせる半導体膜とは、複数の結晶粒が集合して形成された半導体膜でありながら、個々の結晶粒の面方位が揃っている様な結晶性を有する、即ち膜面全体において特定の配向性を示す様な半導体膜を指す。

**【0012】**

また、非晶質を含む半導体膜とは非晶質成分を含む半導体膜全てを含み、微結晶半導体膜

50

、非晶質半導体膜、非晶質半導体膜の一部のみが結晶化している半導体膜を指す。

【0013】

また、本明細書では半導体膜としてシリコン膜を代表的な例として挙げているが、ゲルマニウム膜やシリコンゲルマニウム膜 ( $Si_{1-x}Ge_x$  ( $0 < x < 1$ ) で表される) などの半導体膜も本願発明に用いることができるることは言うまでもない。

【0014】

また、第3工程においてレーザーアニール処理を行う工程では  $KrF$  (波長 248 nm)、 $XeCl$  (波長 308 nm)、 $ArF$  (波長 193 nm) などを励起ガスとしたエキシマレーザー光を用いると良い。レーザー光のビーム形状は線状であっても面状であっても良い。

【0015】

また、本願発明に用いることのできる光エネルギーはエキシマレーザー光に限ったものではなく、紫外光又は赤外光を用いても構わない。その場合、レーザー光と同等の光強度を持つ強光を紫外光ランプや赤外光ランプから照射すれば良い。

【0016】

また、第4工程においてファーネスアニール処理は処理雰囲気に特に限定はないが、還元雰囲気とするのが好ましい。還元雰囲気とは水素雰囲気、アンモニア雰囲気、水素又はアンモニアを含む不活性雰囲気 (水素と窒素の混合雰囲気や水素とアルゴンの混合雰囲気など) を指している。また、処理温度は 900 ~ 1200 (好ましくは 1000 ~ 1100) とすることが好ましい。

【0017】

この工程にはまず結晶を含む半導体膜の表面を平坦化する効果がある。これは表面エネルギーを最小化しようとする半導体原子の增速表面拡散の結果である。また、同時にこの工程は結晶粒界や結晶粒内に存在する欠陥を著しく低減するといった効果をも有する。これは水素による未結合手の終端効果と、水素による不純物の除去効果及びそれに伴う半導体原子同士の再結合とによる。これらの効果を得るには還元雰囲気中で 900 ~ 1200 の熱処理が必要である。

【0018】

なお、不活性雰囲気 (窒素雰囲気、ヘリウム雰囲気又はアルゴン雰囲気) でも結晶を含む半導体膜の表面の平坦化は可能である。しかし還元作用を利用して自然酸化膜の還元を行うとエネルギーの高いシリコン原子が多く発生し、結果的に平坦化効果が高まるので好ましい。

【0019】

【発明の実施の形態】

以上の構成からなる本願発明の実施形態について、以下に記載する実施例でもって詳細な説明を行うこととする。

【0020】

【実施例】

【実施例1】

本実施例では、本願発明を実施して基板上に TFT を作製する工程について説明する。説明には図 1 を用いる。

【0021】

まず、石英基板 101 を用意した。基板としては耐熱性の高い材料を選択しなければならない。石英基板の代わりにシリコン基板、セラミックス基板、結晶化ガラス基板、金属基板等の耐熱性の高い材料を用いることもできる。

【0022】

ただし、石英基板を用いる場合は下地膜を設けても設けなくても良いが、他の材料を用いる時は下地膜として絶縁膜を設けることが好ましい。絶縁膜としては、酸化珪素膜 ( $SiO_x$ )、窒化珪素膜 ( $Si_xNy$ )、酸化窒化珪素膜 ( $SiO_xNy$ )、窒化アルミニウム膜 ( $Al_xNy$ ) のいずれか若しくはそれらの積層膜を用いると良い。

【0023】

10

20

30

40

50

また、耐熱性金属層と酸化珪素膜とを積層した下地膜を用いると放熱効果が大幅に高まるので有効である。放熱効果は上述の窒化アルミニウム膜と酸化珪素膜との積層構造でも十分な効果を示す。

【0024】

こうして石英基板101が準備できたら、90nm厚の半導体膜（本実施例ではアモルファスシリコン膜）102を形成し、その表面にニッケル含有層103を形成した。ニッケル含有層103の形成方法に関しては特開平7-130652号公報に記載された技術を参考にすると良い。（図1（A））

【0025】

なお、本実施例では特開平7-130652号公報に記載された技術を用いてニッケルを添加する例を示すが、ニッケル膜を成膜して熱拡散させる方法やイオン打ち込み法（イオンインプランテーション法（質量分離あり）、プラズマドーピング法（質量分離なし）又はレーザードーピング法など）を用いても良い。

【0026】

本実施例ではアモルファスシリコン膜102の成膜ガスとしてジシラン（ $\text{Si}_2\text{H}_6$ ）を用い、450の減圧熱CVD法により成膜した。この時、膜中に混入するC（炭素）、N（窒素）及びO（酸素）といった不純物の濃度を徹底的に管理することが重要である。これらの不純物が多く存在すると結晶化の進行が妨げられるからである。

【0027】

本出願人は炭素及び窒素の濃度が $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下（好ましくは $5 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下）、酸素の濃度が $1 \times 10^{19}\text{atoms}/\text{cm}^3$ 以下（好ましくは $5 \times 10^{18}\text{atoms}/\text{cm}^3$ 以下）となる様に不純物濃度を管理した。また、金属元素は $1 \times 10^{17}\text{atoms}/\text{cm}^3$ 以下となる様に管理した。成膜段階でこの様な濃度管理をしておけば、外部汚染さえ防げば TFT 作製工程中に不純物濃度が増加する様なことはない。

【0028】

ニッケル含有層103はアモルファスシリコン膜102の全面（全部の領域）に対して重量換算で10ppmのニッケルを含む酢酸ニッケル塩溶液をスピンドル法により塗布し、450 1時間程度の水素出しを行った。

【0029】

そしてその後、不活性雰囲気、水素雰囲気または酸素雰囲気において500～700（代表的には550～650）の温度で4～24時間の加熱処理を加えてポリシリコン膜104を得た。このポリシリコン膜104にはニッケルが $1 \times 10^{18} \sim 1 \times 10^{19}\text{atoms}/\text{cm}^3$ の濃度で残存する。（図1（B））

【0030】

なお、厳密に言うとスピンドル法した時点ではアモルファスシリコン膜中にニッケルは添加されていない。しかし、その後の水素だし工程でニッケルがアモルファスシリコン膜中へと容易に拡散するので実質的には添加工程と考えて良い。

【0031】

また、減圧熱CVD法で形成したアモルファスシリコン膜と同等の膜質が得られるのであればプラズマCVD法を用いても良い。また、完全にアモルファス状態の半導体である必要はなく、微結晶シリコン膜等を形成しても良い。

【0032】

また、シリコン膜の代わりにシリコン膜中にゲルマニウムを含有させたシリコングルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$  (0<x<1)で表される)等の半導体膜を用いても良い。その場合、シリコングルマニウム中に含まれるゲルマニウムは5 atomic%以下にしておくことが望ましい。

【0033】

また、ニッケル以外にもコバルト（Co）、鉄（Fe）、パラジウム（Pd）、白金（Pt）、銅（Cu）、金（Au）といった格子侵入型の触媒元素またはゲルマニウム（Ge）、鉛（Pb）、錫（Sn）といった格子置換型（または溶融型）の触媒元素から選ばれ

10

20

30

40

50

た一種または複数種を用いることもできる。

【0034】

ここでアモルファスシリコン膜がポリシリコン膜へ変化する温度を示差熱分析法（正確には示差熱解析法）によって調べた結果を図9に示す。示差熱分析法（DTA法とも呼ばれる）とは、基準物質と試料とを同時に一定の速度で加熱しながら両者の間に生じる温度差を測定し、試料物質の熱的特性を解析する方法である。

【0035】

本出願人が示差熱分析法を用いてアモルファスシリコン膜（膜厚500nm）からポリシリコン膜への相変化を解析した結果、図9（A）の矢印で示す様に、686.7で相変化を起こすことが確かめられた。ただし、図9（A）の結果は触媒等を用いずに結晶化させた場合のデータである。

10

【0036】

一方、本実施例の様にアモルファスシリコン膜の結晶化を助長する触媒元素としてニッケルを用いた場合の相変化の様子を図9（B）に示す。この時、ニッケルの添加量は $1 \sim 2 \times 10^{19}$ atoms/cm<sup>3</sup>である。その場合、相変化（結晶化）する温度が下がり、605.0となっていたことが確かめられた。

20

【0037】

同様の実験を他の触媒元素を用いた場合についても確認したところ、全て600前後（550～650）で相変化を起こし、結晶化することが確かめられた。本出願人が前述の様な温度範囲で結晶化工程を行う理由はこういうデータの裏付けがある。

【0038】

こうして図1（B）の状態が得られたら、酸化性雰囲気中で100030分のファーネスアニール処理（電熱炉を用いた熱処理）を行った。この時、熱酸化処理によってポリシリコン膜104の膜厚を減じ（thinning処理）、ポリシリコン膜104よりも膜厚の薄いポリシリコン膜105を形成した。（図1（C））

【0039】

なお、図1（C）には図示していないが、ポリシリコン膜105上には熱酸化膜が形成される。この熱酸化膜は除去しても良いし、次のレーザーアニール工程で保護膜として活用しても良い。

【0040】

30

この熱酸化工程では酸化反応が進行する際に生じる余剰シリコン原子によってポリシリコン膜中の欠陥等が修復され、非常に欠陥の少ないポリシリコン膜を得ることができた。また、ポリシリコン膜の膜厚を薄くすることで、当初90nm厚であった膜厚が60nm厚となつた。

【0041】

さらに、ポリシリコン膜の表面層を削りながら酸化反応が進行するので、形成されたポリシリコン膜105は非常に平坦な表面を有する半導体膜となつた。この事は、今後、TFTの活性層／ゲート絶縁膜界面の準位を低減する上で有効に働く。

【0042】

なお、このthinning工程は複数回行うとポリシリコン膜の平坦性がさらに向上する。その場合、熱酸化工程と熱酸化膜の除去工程とを交互に繰り返す。

40

【0043】

また、本実施例は初期膜として90nm厚のアモルファスシリコン膜を用いているため、thinning工程を採用しているが、初期膜を50nm厚以下としてそれ以上薄くする必要をなくせば、thinning工程を省略することも可能である。

【0044】

こうして図1（C）の状態が得られたら、次にエキシマレーザー光をポリシリコン膜105に対して照射した。本実施例ではXeCl（波長308nm）を励起ガスとしたパルス発振型のエキシマレーザー光によってレーザーアニール処理を行つた。エキシマレーザーのビーム形状は線状ビームであつても良いが、処理の均一性を高めるに面状ビームを用いて

50

も良い。（図1（D））

【0045】

なお、KrF、KrCl、ArF等を励起ガスとしたエキシマレーザー光やその他の紫外光レーザーを用いても構わない。また、赤外光を用いる場合には赤外線ランプから発する強光をポリシリコン膜105に対して照射すれば良い。

【0046】

本実施例では発振周波数30Hz、ビーム形状が $145 \times 0.41\text{mm}$ の線状レーザー光を用いた。また、レーザー光は基板の一端から他端までを $1.2\text{mm/sec}$ で走査し、隣接する線状レーザー光のオーバーラップを92%とした。

【0047】

また、本実施例の場合、レーザーエネルギー密度は $250 \sim 5000\text{mJ/cm}^2$ （好ましくは $450 \sim 1000\text{mJ/cm}^2$ ）の条件で行うことが好ましい。本実施例ではレーザーエネルギー密度を $550\text{mJ/cm}^2$ とした。ここで本明細書中におけるレーザーエネルギー密度の測定方法について説明する。

【0048】

まず、レーザー発振器から発振されたレーザー光の光強度（ $E_0$ ）をパワーメーターによって実測する。しかし、パワーメーターを通過した後のレーザー光はアッテネーターの透過率（a）に応じて減光し、さらに光学系の透過率（b）に応じて減光する。この様にして減光されたレーザー光の光強度をレーザー照射面積（A）で割ったものがレーザーエネルギー密度（E）である。これを式で表すと、 $E = (E_0 \times a \times b) / A$ で表される。

【0049】

次に、このレーザーアニール工程を行って得たポリシリコン膜106に対して、10002時間のファーネスアニール処理を行った。本実施例では処理雰囲気を水素雰囲気としたが、還元雰囲気であれば問題はない。また、窒素雰囲気の様な不活性雰囲気であっても結晶性を改善するという目的は果たされる。（図1（E））

【0050】

なお、このファーネスアニール工程を行う前に、ポリシリコン膜106の表面をフッ酸系エッチャンプによって洗浄しておくことが望ましい。即ち、自然酸化膜を除去すると共に表面のシリコン原子を水素終端しておき、実際の処理の前に自然酸化膜が形成されるのを防ぐといった工夫が効果的である。

【0051】

ただし、特に注意が必要なのは雰囲気中に含まれる酸素又は酸素化合物（例えばOH基）の濃度を10ppm以下（好ましくは1ppm以下）にしておくことである。さもないと還元雰囲気で熱処理することによる平坦化効果が弱まってしまう。

【0052】

こうしてポリシリコン膜107を得た。ポリシリコン膜107は1000という高い温度における水素アニールによって非常に平坦な表面を有していた。また、高い温度でアニールされるので、結晶粒内には殆ど積層欠陥等が存在しなかった。

【0053】

また、本出願人が本実施例の工程で得たポリシリコン膜をラマン測定法で観察した結果、ラマンピーク値は $517 \sim 520\text{cm}^{-1}$ （代表的には $518 \sim 519\text{cm}^{-1}$ ）であった。また、半值半幅は $2.2 \sim 3.0\text{cm}^{-1}$ （代表的には $2.4 \sim 2.6\text{cm}^{-1}$ ）であった。

【0054】

$518 \sim 519\text{cm}^{-1}$ というラマンピーク値は非常に高波数側にあり、本実施例で得られたポリシリコン膜が非常に単結晶に近い結晶を有していることが判る。また、 $2.4 \sim 2.6\text{cm}^{-1}$ という値も非常に小さく（リファレンスとして測定した単結晶シリコン膜は $2.1\text{cm}^{-1}$ であった。）、即ち結晶性が高いことを示している。

【0055】

なお、本明細書中においてラマンピーク値とは、波長 $514.5\text{cm}^{-1}$ のArレーザーを $1.0 \times 10^5 \sim 1.3 \times 10^5\text{W/cm}^2$ の光強度で結晶を含む半導体膜（本実施例ではポリ

10

20

30

40

50

シリコン膜)に照射した際に得られるラマンスペクトルに対して、ローレンツ分布によるフィッティングを行った際に得られるピーク値である。なお、実際の測定にはレニショー社の「ラマスコープ顕微ラマン装置システム2000」というラマン測定装置を使用した。

【0056】

また半値半幅とは、波長 $514.5\text{ nm}$ のArレーザーを $1.0 \times 10^5 \sim 1.3 \times 10^5 \text{ W/cm}^2$ の光強度で結晶を含む半導体膜に照射した際に得られるラマンスペクトルに対して、ローレンツ分布によるフィッティングを行った際に得られる半値幅の半分の値である。こちらも前述のラマン測定装置で測定を行った。

【0057】

以上の定義でなるラマンピーク値と半値半幅であるが、本実施例のポリシリコン膜107はラマンピーク値と半値半幅との比(ラマンピーク値/半値半幅)が170~240(代表的には190~220)であることが判明した。

【0058】

こうして著しく結晶性の高いポリシリコン膜107が得られたら、このポリシリコン膜107をパターニングして活性層108を形成した。なお、本実施例では活性層を形成する前に水素雰囲気中の熱処理を行っているが、活性層を形成した後に行うこともできる。その場合、パターン化されていることによってポリシリコン膜に発生する応力が緩和されるため好ましい。

【0059】

そして熱酸化工程を行って活性層108の表面に10nm厚の酸化シリコン膜109を形成した。この酸化シリコン膜109はゲート絶縁膜として機能する。また、活性層108はこの酸化により5nmの厚さだけ膜減りするため膜厚は45nmとなった。最終的に10~50nm厚の活性層(特にチャネル形成領域)が残る様に、熱酸化による膜減りを考慮して初期半導体膜(最も初めに成膜された半導体膜)の膜厚を決定しておくことが必要である。

【0060】

ゲート絶縁膜109を形成したら、その上に導電性を有するポリシリコン膜を形成し、パターニングによりゲート配線110を形成した。(図2(A))

【0061】

なお、本実施例ではゲート配線としてN型導電性を持たせたポリシリコンを利用するが、材料はこれに限定されるものではない。特に、ゲート配線の抵抗を下げるにはタンタル、タンタル合金又はタンタルと窒化タンタルとの積層膜を用いることも有効である。さらに低抵抗なゲート配線を狙うならば銅や銅合金を用いても有効である。

【0062】

図2(A)の状態が得られたら、N型導電性又はP型導電性を付与する不純物を添加して不純物領域111を形成した。この時の不純物濃度は後のLDD領域の不純物濃度を鑑みて決定した。本実施例では $1 \times 10^{18}\text{ atoms/cm}^3$ の濃度で砒素を添加したが、不純物も濃度も本実施例に限定される必要はない。

【0063】

次に、ゲート配線110の表面に5~10nm程度の薄い酸化シリコン膜112を形成した。これは熱酸化法やプラズマ酸化法を用いて形成すれば良い。この酸化シリコン膜112は、次のサイドウォール形成工程でエッティングストッパーとして機能する。

【0064】

エッティングストッパーとなる酸化シリコン膜112を形成したら、窒化シリコン膜を形成してエッチバックを行い、サイドウォール113を形成した。こうして図2(B)の状態を得た。

【0065】

なお、本実施例ではサイドウォールとして窒化シリコン膜を用いたが、ポリシリコン膜やアモルファスシリコン膜を用いることもできる。勿論、ゲート配線の材料が変われば、それに応じてサイドウォールとして用いることのできる材料も変わることは言うまでもない

10

20

30

40

50

。

## 【0066】

次に、再び先程と同一導電型の不純物を添加した。この時に添加する不純物濃度は先程の工程よりも高い濃度とした。本実施例では不純物として砒素を用い、濃度は  $1 \times 10^{21} \text{atoms/cm}^3$  とするがこれに限定する必要はない。この不純物の添加工程によりソース領域 114、ドレイン領域 115、LDD 領域 116 及びチャネル形成領域 117 が画定した。（図 2 (C)）

## 【0067】

こうして各不純物領域が形成されたらファーネスアニール、レーザーアニール又はランプアニール等の熱処理により不純物の活性化を行った。

10

## 【0068】

次に、ゲート配線 110、ソース領域 114 及びドレイン領域 115 の表面に形成された酸化シリコン膜を除去し、それらの表面を露呈させた。そして、5 nm 程度のコバルト膜（図示せず）を形成して熱処理工程を行った。この熱処理によりコバルトとシリコンとの反応が起こり、シリサイド層（コバルトシリサイド層）118 が形成された。（図 2 (D)）

## 【0069】

この技術は公知のシリサイド技術である。従って、コバルトの代わりにチタンやタンゲステンを用いても構わないし、アニール条件等は公知技術を参考にすれば良い。本実施例では赤外光を照射してランプアニール処理工程を行った。

20

## 【0070】

こうしてシリサイド層 118 を形成したら、コバルト膜を除去した。その後、1 μm 厚の層間絶縁膜 119 を形成した。層間絶縁膜 119 としては、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜又は樹脂膜（ポリイミド、アクリル、ポリアミド、ポリイミドアミド、ベンゾシクロブテン（BCB）等）を用いれば良い。また、これらの絶縁膜を自由な組み合わせで積層しても良い。

## 【0071】

次に、層間絶縁膜 119 にコンタクトホールを形成してアルミニウムを主成分とする材料でなるソース配線 120 及びドレイン配線 121 を形成した。最後に素子全体に対して水素雰囲気中で 300 2 時間のファーネスアニールを行い、水素化を完了した。

30

## 【0072】

こうして、図 2 (D) に示す様な TFT が得られた。なお、本実施例で説明した構造は一例であって本願発明を適用しうる TFT 構造はこれに限定されない。従って、公知のあらゆる構造の TFT に対して適用可能である。また、ポリシリコン膜 107 を形成した以降の工程における数値条件も本実施例に限定される必要はない。さらには、公知のチャネルドープ工程（しきい値電圧を制御するための不純物添加工程）を本実施例のどこかに導入してもなんら問題はない。

## 【0073】

また、本実施例では初期膜であるアモルファスシリコン膜を成膜する段階で徹底的に C、N、O といった不純物の濃度を管理しているため、完成した TFT の活性層中に含まれる各不純物濃度は、炭素及び窒素の濃度が  $5 \times 10^{18} \text{atoms/cm}^3$  以下（好ましくは  $5 \times 10^{18} \text{atoms/cm}^3$  以下）、酸素の濃度が  $5 \times 10^{18} \text{atoms/cm}^3$  以下（好ましくは  $5 \times 10^{18} \text{atoms/cm}^3$  以下）のままであった。また、ニッケルを除く金属元素は  $1 \times 10^{17} \text{atoms/cm}^3$  以下であった。

40

## 【0074】

また、本願発明はトップゲート構造に限らず、逆スタガ型 TFT に代表されるボトムゲート構造に対しても容易に適用することが可能であることは言うまでもない。

## 【0075】

また、本実施例では N チャネル型 TFT を例にとって説明したが、公知技術と組み合わせれば P チャネル型 TFT を作製することも容易である。さらに公知技術を組み合わせれば

50

同一基板上にNチャネル型TFTとPチャネル型TFTとを形成して相補的に組み合わせ、CMOS回路を形成することも可能である。

【0076】

さらに、図2(D)の構造においてドレイン配線121と電気的に接続する画素電極(図示せず)を公知の手段で形成すればアクティブマトリクス型表示装置の画素スイッチング素子を形成することも容易である。即ち、本願発明は液晶表示装置やEL(エレクトロルミネッセンス)表示装置などのアクティブマトリクス型の電気光学装置を作製する際にも実施することが可能である。

【0077】

(実施例2)

10

本実施例では基板上に最初に成膜する初期膜をポリシリコン膜とする場合の例について図3を用いて説明する。

【0078】

まず、金属基板(本実施例ではタンタル基板)301上に酸化シリコン膜でなる下地膜302、75nm厚のポリシリコン膜303、保護膜304を大気開放しないで連続的に積層形成する。なお、本実施例では真空ロードロックと共に通室を持ったマルチチャンバー方式の減圧熱CVD装置で成膜を行う。(図3(A))

【0079】

次に、1050~30分の熱酸化工程を行う。本実施例では応力を緩和しつつ熱処理を行うために、水蒸気を含んだウェット酸化法を用いた。この工程を経たポリシリコン膜305の膜厚は酸化されることによって膜厚が減って50nm厚となる。また、保護膜306は形成された熱酸化膜の分だけ膜厚が増す。(図3(B))

20

【0080】

勿論、この熱酸化工程はポリシリコン膜をさらに薄膜化するためのthinning工程として行われている。また、このthinning工程は複数回行うとポリシリコン膜の平坦性がさらに向上する。その場合、熱酸化工程と熱酸化膜の除去工程とを交互に繰り返せば良い。

【0081】

次に、保護膜306を残したままKrFエキシマレーザー光によりレーザーアニール工程を行う。本実施例のレーザー照射条件は発振周波数30Hz、ビーム形状が145×0.41mmの線状レーザー光を用いた。また、レーザー光は基板の一端から他端までを1.2mm/secで走査し、隣接する線状レーザー光のオーバーラップを92%とした。

30

【0082】

また、本実施例の場合、レーザーエネルギー密度は450~5000mJ/cm<sup>2</sup>(好ましくは500~1000mJ/cm<sup>2</sup>)の条件で行う。本実施例では600mJ/cm<sup>2</sup>とする。なお、レーザーエネルギー密度の測定方法は実施例1と同様である。こうしてポリシリコン膜307が形成される。(図3(C))

【0083】

こうしてレーザーアニール工程が済んだら、窒素雰囲気中で1100~2時間のファーネスアニール処理を行い、ポリシリコン膜307の結晶性を改善する。この工程によりポリシリコン膜308が得られる。こうして得られたポリシリコン膜308は膜面全体において特定の配向性を示し、実質的に単結晶と見なせる半導体膜となる。

40

【0084】

以上の様にして形成されたポリシリコン膜308は図3(A)~図3(D)に至るまでの全ての工程で外気に触れずに処理されるため、極めて清浄な界面を有している。これは本実施例において、1 図3(A)の工程を大気開放しない連続成膜で行う、2 保護膜を介して一切の処理を行う、という二つの構成の効果である。

【0085】

また、ラマンピーク値や半値半幅も実施例1で説明した範囲に収まるものとなる。

【0086】

なお、本実施例では初期膜(最も最初に成膜する半導体膜)としてポリシリコン膜を用い

50

ているが、微結晶シリコン膜やアモルファスシリコン膜とし、保護膜を介してレーザー結晶化させることも可能である。勿論、シリコン以外の半導体材料を用いても良い。

【0087】

こうしてポリシリコン膜308が得られたら、あとは実施例1と同様の手順でTFTを作製すれば良い。勿論、実施例1だけでなく、公知の手段でTFTを作

【0088】

(実施例3)

本実施例では、初期膜であるアモルファスシリコン膜の結晶化を特開平8-78329号公報に記載された技術で行った場合の例について図4を用いて説明する。

【0089】

まず、表面に絶縁膜を設けた石英基板401を用意し、その上にアモルファスシリコン膜(図示せず)及び酸化シリコン膜(図示せず)を大気開放しないで連続的に積層形成する。次に、酸化シリコン膜をパターニングして開口部を有するマスク402を形成する。

【0090】

次に、重量換算で100ppmのニッケルを含んだ溶液をスピンドルコート法により塗布し、前述の開口部の底部でアモルファスシリコン膜とニッケルとが接した状態を得る。その後、570-14時間のファーネスアニール工程を行い、横成長領域403を得る。

【0091】

なお、横成長領域403は棒状結晶が基板とほぼ平行な方向に結晶成長しているため、ランダムに核発生したポリシリコン膜に較べて欠陥やトラップ準位の少

10

【0092】

また、図4(A)の状態ではアモルファス成分のまま残る領域と、横成長領域(結晶成分を有する領域)とが混在した半導体膜が得られる。本明細書中ではこの様な膜も半導体膜(又は結晶を含む半導体膜)と呼ぶ。

【0093】

こうして図4(A)の状態が得られたら、マスク402をそのままマスクとしてプラズマドーピング法又はイオン注入法によりリンを添加する。リンの添加量は、シリコン膜中の濃度がSIMSで $1 \times 10^{19} \sim 1 \times 10^{21}$ atoms/cm<sup>3</sup>となる様に調節する。

【0094】

こうして高濃度にリンが添加された領域を本明細書中ではゲッタリング領域404と呼ぶ。 (図4(B))

20

【0095】

ゲッタリング領域404を形成したら、600-12時間のファーネスアニール工程を行い、横成長領域403中に存在するニッケルをゲッタリング領域404へとゲッタリングさせる。こうして、膜中のニッケル濃度が $1 \times 10^{17}$ atoms/cm<sup>3</sup>以下にまで低減された横成長領域405を得る。 (図4(C))

【0096】

次に、パターニングを行い、横成長領域405のみで形成された島状半導体膜406を得る。この時、ゲッタリング領域はリンやニッケルを高濃度に含んでいるので、完全に除去することが望ましい。

30

【0097】

こうして図4(D)の状態を得る。次に、酸素雰囲気中で1000-30分のファーネスアニール処理を行い、熱酸化工程(thinning工程)を行う。この時形成される熱酸化膜(図示せず)はここで除去しても良いし、次のレーザーアニール処理を行う時まで残しても良い。(図4(E))

【0098】

こうしてthinning工程によって膜厚を減らされた島状半導体膜407を得たら、次に、XeClエキシマレーザー光を用いてレーザーアニール処理を行う。本実施例のレーザー照射条件は実施例1と同様とする。(図4(F))

【0099】

40

50

こうしてレーザーアニール工程を経た島状半導体膜 408を得たら、さらに、水素と窒素を混合した雰囲気中で 1100 2 時間のファーネスアニール処理を行う。こうして島状半導体膜 409を得る。（図 4（G））

【0100】

以上の様にして形成された島状半導体膜 409は実施例 1 及び実施例 2 で説明したポリシリコン膜と同等の結晶性を有している。即ち、膜面全体が特定の配向性を示し、実質的に単結晶と見なせる半導体膜となっている。

【0101】

また、ラマン測定によって得られるラマンピーク値や半値半幅も実施例 1 で説明したものと同様のものとなる。

10

【0102】

（実施例 4）

実施例 1 又は実施例 3 では初期膜の結晶化に際して結晶化を助長する触媒元素（具体的にはニッケル）を用いているが、自然核発生により結晶化させたポリシリコン膜（これも結晶を含む半導体膜である）に対して本願発明の工程を施しても十分な効果が得られる。

【0103】

その場合、下地膜、アモルファスシリコン膜、保護膜を大気開放しないで連続的に積層形成し、600 24 時間のファーネスアニール処理によってアモルファスシリコン膜をポリシリコン膜に結晶化させることで、界面の清浄なポリシリコン膜を得ることもできる。

20

【0104】

ただし、本実施例の様に自然核発生で半導体膜の結晶化を行う場合には 80 ~ 120 nm（典型的には 90 ~ 100 nm）の膜厚を有することが望ましい。即ち、初期膜が最初から薄いと結晶化の効率が低下することが経験的に知られている。

【0105】

その様な場合、結晶化終了後に酸化工程を入れて結晶を含む半導体膜の thinning（膜厚を減じること）を行うことは重要である。そうすることで結晶化は効率良く行われ、その後で所望の膜厚のポリシリコン膜を得ることができる。

【0106】

なお、本実施例の構成は実施例 1 又は実施例 3 のどちらの構成とも組み合わせができる。

30

【0107】

（実施例 5）

本実施例では、本願発明によって作製された反射型液晶表示装置の例を図 5 に示す。画素 TFT（画素スイッチング素子）の作製方法やセル組工程は公知の手段を用いれば良いので詳細な説明は省略する。

【0108】

図 5（A）において 11 は絶縁表面を有する基板（酸化珪素膜を設けたセラミックス基板）、12 は画素マトリクス回路、13 はソースドライバー回路、14 はゲイドドライバー回路、15 は対向基板、16 は FPC（フレキシブルプリントサーキット）、17 は信号処理回路などの従来 IC で代用していた様な処理を行う回路を形成することができる。勿論、基板上に IC チップを設けて、IC チップ上で信号処理を行うことも可能である。

40

【0109】

さらに、本実施例では液晶表示装置を例に挙げて説明しているが、アクティブマトリクス型の表示装置であれば EL（エレクトロルミネッセンス）表示装置や EC（エレクトロクロミック）表示装置に本願発明を適用することも可能であることは言うまでもない。

【0110】

ここで図 5（A）のドライバー回路 13、14 を構成する回路の一例を図 5（B）に示す。なお、TFT 部分については既に実施例 1 で説明しているので、ここでは必要箇所のみの説明を行う。

50

## 【0111】

図5(B)において、501、502はNチャネル型TFT、503はPチャネル型TFTであり、501と503のTFTでCMOS回路を構成している。504は窒化珪素膜/酸化珪素膜/樹脂膜の積層膜でなる絶縁層、その上にはチタン配線505が設けられ、前述のCMOS回路とTFT502とが電気的に接続されている。チタン配線はさらに樹脂膜でなる絶縁層506で覆われている。二つの絶縁層504、506は平坦化膜としての機能も有している。

## 【0112】

また、図5(A)の画素マトリクス回路12を構成する回路の一部を図5(C)に示す。図5(C)において、507はダブルゲート構造のNチャネル型TFTでなる画素TFTであり、画素領域内に大きく広がる様にしてドレイン配線508が形成されている。なお、ダブルゲート構造以外にシングルゲート構造やトリプルゲート構造などを採用しても構わない。

10

## 【0113】

その上には絶縁層504が設けられ、その上にチタン配線405が設けられている。この時、絶縁層504の一部には凹部が落とし込み部が形成され、最下層の窒化シリコン及び酸化シリコンのみが残される。これによりドレイン配線508とチタン配線505との間で補助容量が形成される。

## 【0114】

また、画素マトリクス回路内に設けられたチタン配線505はソース・ドレイン配線と後の画素電極との間ににおいて電界遮蔽効果をもたらす。さらに、複数設けられた画素電極間の隙間ではブラックマスクとしても機能する。

20

## 【0115】

そして、チタン配線505を覆って絶縁層506が設けられ、その上に反射性導電膜でなる画素電極509が形成される。勿論、画素電極509の表面に反射率を上げるための工夫をなしても構わない。

## 【0116】

また、実際には画素電極509の上に配向膜や液晶層が設けられるが、ここでの説明は省略する。

## 【0117】

30

本願発明を用いて以上の様な構成でなる反射型液晶表示装置を作製することができる。勿論、公知の技術と組み合わせれば容易に透過型液晶表示装置を作製することもできる。

## 【0118】

また、図面では区別していないが画素マトリクス回路を構成する画素TFTと、ドライバー回路や信号処理回路を構成するCMOS回路とでゲート絶縁膜の膜厚を異ならせることも可能である。

## 【0119】

画素マトリクス回路ではTFTに印加される駆動電圧が高い(10V以上)ので50~200nm(好ましくは100~150nm)の膜厚のゲート絶縁膜が必要である。一方、ドライバー回路や信号処理回路ではTFTに印加される駆動電圧は低く(1~5V)、逆に高速動作が求められるのでゲート絶縁膜の膜厚を3~30nm(好ましくは5~10nm)と画素TFTよりも薄くすることが有効である。

40

## 【0120】

## (実施例6)

本願発明は従来のIC技術全般に適用することが可能である。即ち、現在市場に流通している全ての半導体回路に適用できる。例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しても良いし、液晶用ドライバー回路(D/Aコンバータ、補正回路、信号分割回路等)に代表される信号処理回路や携帯機器(携帯電話、PHS、モバイルコンピュータ)用の高周波回路に適用しても良い。

50

**【 0 1 2 1 】**

図6に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはC P Uコア21、R A M 22、クロックコントローラ23、キャッシュメモリ24、キャッシュコントローラ25、シリアルインターフェース26、I / Oポート27等から構成される。

**【 0 1 2 2 】**

勿論、図6に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

**【 0 1 2 3 】**

しかし、どの様な機能を有するマイクロプロセッサであっても中枢として機能するのはI C ( Integrated Circuit ) 28である。I C 28は半導体チップ29上に形成された集積化回路をセラミック等で保護した機能回路である。 10

**【 0 1 2 4 】**

そして、その半導体チップ29上に形成された集積化回路を構成するのが本願発明の構造を有するNチャネル型TFT30、Pチャネル型TFT31である。なお、基本的な回路はC M O S回路を最小単位として構成することで消費電力を抑えることができる。

**【 0 1 2 5 】**

また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両（自動車や電車等）の制御用コンピュータなども挙げられる。 20

**【 0 1 2 6 】****（実施例7）**

本願発明の電気光学装置は、様々な電子機器のディスプレイとして利用される。その様な電子機器としては、ビデオカメラ、デジタルカメラ、フロント型プロジェクター、リア型プロジェクター（プロジェクションTV）、ゴーグルディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、電子書籍等）などが挙げられる。それらの一例を図7に示す。

**【 0 1 2 7 】**

図7（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明を音声出力部2002、音声入力部2003、表示装置2004や他の信号制御回路に適用することができる。 30

**【 0 1 2 8 】**

図7（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明を表示装置2102、音声入力部2103や他の信号制御回路に適用することができる。

**【 0 1 2 9 】**

図7（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明は表示装置2205や他の信号制御回路に適用できる。 40

**【 0 1 3 0 】**

図7（D）はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302や他の信号制御回路に適用することができる。

**【 0 1 3 1 】**

図7（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403や他の信号制御回路に適用すること 50

ができる。

【0132】

図7(F)は携帯書籍(電子書籍)であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505、アンテナ2506で構成される。本発明は表示装置2502、2503やその他の信号制御回路に適用することができる。

【0133】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。

【0134】

(実施例8)

10

実施例1乃至実施例4に示した工程で得られる結晶を含む半導体膜は膜面全体において特定の配向性を示す。即ち、個々の結晶粒が集合して形成された多結晶半導体膜の如き形態であったとしても、全体の80%以上(典型的には90%以上)の結晶粒が同一の結晶面(配向面)を示すという特徴を有する。このように全体の80%以上を占める結晶面を主たる配向面と呼ぶ。

【0135】

本願発明のプロセスで形成される半導体膜(結晶を含む半導体膜)のとりうる主たる結晶面は、{110}面、{100}面、{111}面、{311}面、{511}面、又は{110}面と{100}面とが混在した結晶面のいずれかである。実際にいずれの結晶面が主たる配向面であるかは、現在のところ判明していない。

20

【0136】

即ち、本願発明のプロセスで形成される半導体膜(結晶を含む半導体膜)は、上記6種類のいずれかの結晶面が、膜面に存在しうる結晶面全体の80%以上(典型的には90%以上)を占める。

【0137】

単結晶シリコンを例として良く知られている様に、結晶面によって界面物性は異なる。界面準位密度(Qss)が最も小さくなる面方位は{100}面であり、次いで{511}面、{311}面、{111}面、{110}面と{100}面との混在した結晶面、{110}面の順に大きくなる。なお、{511}面は{100}面に匹敵する界面準位密度を持つことが知られている。

30

【0138】

従って、本願発明のプロセスで形成される半導体膜の主たる配向面が{100}面であれば、活性層とゲート絶縁膜との界面は非常に界面準位密度が小さくなる。その場合、従来のICに匹敵する性能を有する半導体装置が実現しうる。後述するが、実際に本願発明を用いて試作したTFTは従来のICに匹敵する電気特性を示す回路を形成可能としている。

【0139】

また、本願発明のプロセスにおいてレーザーアニール処理の後に行う還元雰囲気又は不活性雰囲気でのファーネスアニール処理は、活性層とゲート絶縁膜との界面を平坦なものとするに非常に有効である。特に、還元雰囲気で行う場合には半導体膜表面における半導体原子の增速表面拡散によって極めて平坦な面が得られる。

40

【0140】

本出願人がAFM(分子間力顕微鏡)を用いて表面凹凸を測定した結果、1μm<sup>2</sup>の範囲内で凹凸のP-V値(凸部の頂上部と凹部の底部との高さの差)が10nm以下(典型的には5nm以下)であり、10μm<sup>2</sup>の範囲内で凹凸のP-V値が20nm以下(典型的には10nm以下)であった。

【0141】

(実施例9)

本願発明を実施して作製されたTFTの代表的な電気特性は以下の様なものであった。

(1)スイッチング性能(オン/オフ動作切り換えの俊敏性)の指標となるサブスレッシ

50

ヨルド係数が、ドレイン電圧が1Vの時にNチャネル型TFTおよびPチャネル型TFTともに60~150mV/decade(代表的には80~100mV/decade)と小さい。

(2) TFTの動作速度の指標となる電界効果移動度( $\mu$ FE)が、ドレイン電圧が1Vの時にNチャネル型TFTで200~500cm<sup>2</sup>/Vs(代表的には300~400cm<sup>2</sup>/Vs)、Pチャネル型TFTで100~300cm<sup>2</sup>/Vs(代表的には150~200cm<sup>2</sup>/Vs)と大きい。

(3) TFTの駆動電圧の指標となるしきい値電圧(V<sub>th</sub>)が、ドレイン電圧が1.4Vの時にNチャネル型TFTで-1.0~2.5V(代表的には-0.5~1.5V)、Pチャネル型TFTで-2.5~1.0V(代表的には-1.5~0.5V)と小さい。

【0142】

また、本願発明のTFTを500個測定したデータを元に正規確率グラフを作成し、そのグラフを使って特性ばらつきを推定した。その結果、100個中の90個(典型的には95個)が上記電気特性の範囲内に収まることが判った。 10

【0143】

以上の様に、極めて優れたスイッチング特性および高速動作特性が実現可能であることが確認されている。

【0144】

(実施例10)

本実施例では液晶ドライバー回路であるシフトレジスタを作製して動作周波数を確認した。その結果、電源電圧5V、段数50段のシフトレジスタ回路において動作周波数80~200MHz(典型的には100~150MHz)の出力パルスが得られた。 20

【0145】

(実施例11)

実施例1ではアモルファスシリコン膜の結晶化に際して、結晶化を助長する触媒元素としてニッケルを用いる例を示したが、本実施例では触媒元素としてゲルマニウムを用いる例を図8に示す。

【0146】

まず、実施例1の工程に従って石英基板801上に80nm厚のアモルファスシリコン膜802を形成する。そして、アモルファスシリコン膜802に対してゲルマニウムを添加する。(図8(A))

【0147】

ゲルマニウムの添加にはイオンインプランテーション法、プラズマドーピング法又はレーザードーピング法を用いることが好ましい。

【0148】

また、ゲルマニウム膜を成膜した後で熱拡散させる方法を採用しても良いし、実施例1の様にゲルマニウム塩溶液をスピンドルコートしてゲルマニウムをアモルファスシリコン上に吸着させた後で熱拡散させる方法を採用しても良い。また、アモルファスシリコン膜の成膜時に予め添加してしまう方法でも良い。

【0149】

本実施例では励起ガスとしてゲルマン(GeH<sub>4</sub>)を用い、加速電圧30keV、RF電力5W、ドーズ量 $1 \times 10^{14}$ atoms/cm<sup>2</sup>でイオンインプランテーション法を用いてゲルマニウムを添加する。勿論、この条件に限定する必要はなく、アモルファスシリコン膜802中へは $1 \times 10^{14} \sim 5 \times 10^{19}$ atoms/cm<sup>3</sup>(代表的には $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm<sup>3</sup>)の濃度でゲルマニウムが添加される様に調節すれば良い。 40

【0150】

なお、アモルファスシリコン膜中に添加するゲルマニウムは $1 \times 10^{14}$ atoms/cm<sup>3</sup>以上(代表的には $1 \times 10^{16}$ atoms/cm<sup>3</sup>以上)でないと触媒として結晶化の助長効果を活用することができない。また、添加が $5 \times 10^{19}$ atoms/cm<sup>3</sup>を超えるとアモルファスシリコン膜の融点が下がりすぎ、900程度の温度でも溶融してしまう恐れがあり好ましくない。従って、添加量の上限は安全を見て $1 \times 10^{18}$ atoms/cm<sup>3</sup>程度としておくことが望ましい。

## 【0151】

次に、550 1時間の熱処理（ファーネスアニール）を行って、アモルファスシリコン膜802をポリシリコン膜803に変化させる。勿論、この条件に限定する必要はなく、実施例1に示した様な温度範囲の熱処理を行えば良い。（図8（B））

## 【0152】

また、本実施例の場合、処理雰囲気は不活性雰囲気または還元雰囲気とすることが望ましい。この理由は後述する。

## 【0153】

こうしてアモルファスシリコン膜の結晶化工程を終えたら、実施例1に従ってポリシリコン膜803のthinning工程（熱酸化工程）を行う。実際には熱酸化膜が形成されるが、ここでは図示していない。こうしてthinning工程を経たポリシリコン膜804が得られる。（図8（C））

10

## 【0154】

この時、触媒元素としてゲルマニウムを用いた場合に注目すべき特徴がある。ゲルマニウムは700 以上の熱処理により酸化ゲルマニウムとなって昇華する。即ち、ポリシリコン膜803のthinning工程を行う際に必然的にゲルマニウムは昇華してしまい、ポリシリコン膜803中から離脱する。

## 【0155】

即ち、前述の様に結晶化工程を不活性雰囲気または還元雰囲気とすることが望ましいとした理由は、極力酸化ゲルマニウムを形成しない方がゲルマニウムの触媒作用を最も効率良く用いることができるからに他ならない。

20

## 【0156】

なお、実施例1でも述べた様に触媒元素を用いた場合、アモルファスシリコン膜が結晶化する温度は600 前後であることが確かめられている。実際には処理温度によって多少変動するので、550 ~ 650 が結晶化に要する温度と考えて良い。即ち、結晶化時の温度を650 までしか上げなければ結晶化時にゲルマニウムが昇華してしまうということは殆ど起こり得ない。

## 【0157】

この様に、実施例3では結晶化を助長する触媒元素としてニッケルを用いているため、リンを用いてゲッタリングする例を示しているが、本実施例の場合には熱処理のみで触媒元素のゲッタリング工程に相当する効果が得られる。

30

## 【0158】

この熱処理はファーネスアニール、レーザーアニール又はランプアニールのいずれかの手段を用いれば良い。また、結晶化工程の後で熱処理温度を変えるだけで、大気開放しないままに連続的にゲルマニウムを昇華させることも可能である。

## 【0159】

また、熱処理雰囲気にハロゲン元素を加えても良い。ハロゲン元素はゲルマニウムと結合して揮発性のハロゲン化ゲルマニウムを形成するため、ゲッタリング効果を助長することができる。

## 【0160】

40

以上の様にして、thinning工程を行うと同時に、アモルファスシリコン膜の結晶化時に用いた触媒元素（ゲルマニウム）を工程数を増やすことなくポリシリコン膜中から除去することができる。

## 【0161】

この後は、実施例1と同様の工程に従って図2（D）に示される様なTFTを形成すれば良い。勿論、実施例2、実施例3の構成と組み合わせることも可能であるし、実施例5 ~ 実施例7に示した半導体装置を作製するにあたって、本実施例を用いても良い。

## 【0162】

また、本実施例ではアモルファスシリコン膜の結晶化を助長する触媒元素としてゲルマニウムのみを用いる例を示したが、その他の触媒元素（ニッケル、コバルト、鉄、パラジウム）

50

ム、白金、銅、金、鉛、錫など)とゲルマニウムとを同時に用いても構わない。その場合には本実施例に実施例3に示した様なゲッタリング手段を組み合わせる必要がありうる。

【0163】

(実施例12)

実施例11ではアモルファスシリコン膜中へゲルマニウムを添加する手段としてイオンインプランテーション法等を用いる場合について説明したが、本実施例ではゲルマニウム膜を成膜した後に熱拡散によって添加する例を示す。

【0164】

本実施例の場合、アモルファスシリコン膜を成膜したら、その上に1~50nm(代表的には10~20nm)のゲルマニウム膜を形成する。成膜方法はプラズマCVD法、減圧熱CVD法、スパッタ法などの気相法を用いることができる。

10

【0165】

なお、ゲルマニウム膜は直接アモルファスシリコン膜に触れる様に形成しても良いし、絶縁膜を介して設けられていても良い。絶縁膜を形成する場合、絶縁膜が厚すぎるとゲルマニウムのシリコン膜中への熱拡散を阻害することになるので、10~30nmとしておくことが好ましい。

【0166】

ゲルマニウム膜を設けた状態で結晶化工程を行うと、加熱されることによってゲルマニウムがアモルファスシリコン膜中へ熱拡散し、結晶化を助長する触媒元素として働く。

20

【0167】

結晶化工程後のゲルマニウム膜は酸化させて除去しても良いし、硫酸過水溶液( $H_2SO_4 : H_2O_2 = 1 : 1$ )で除去しても良い。その後で、700以上熱処理を行えば、形成されたポリシリコン膜中のゲルマニウムを除去又は低減される。

【0168】

本実施例の構成は、実施例1~11までのどの実施例との組み合わせも可能であり、どの実施例にも適用できる。

【0169】

(実施例13)

本実施例ではアモルファスシリコン膜中へゲルマニウムを添加する手段として溶液塗布によるスピンコート法と熱拡散法を用いる場合について説明する。

30

【0170】

本実施例の場合、アモルファスシリコン膜を成膜したら、その上にゲルマニウムを含む溶液を塗布する。その様な溶液としては酸化ゲルマニウム(GeO<sub>x</sub>、代表的にはGeO<sub>2</sub>)、塩化ゲルマニウム(GeCl<sub>4</sub>)、臭化ゲルマニウム(GeBr<sub>4</sub>)、硫化ゲルマニウム(GeS<sub>2</sub>)、酢酸ゲルマニウム(Ge(CH<sub>3</sub>CO<sub>2</sub>)<sub>2</sub>)などのゲルマニウム塩水溶液がある。

【0171】

また、溶媒としてエタノール、イソプロピルアルコール等のアルコール系溶媒を用いても良い。

【0172】

本実施例では10~100ppmの酸化ゲルマニウム水溶液を作製してアモルファスシリコン膜上(絶縁膜を介しても良い)に塗布し、スピンコートすることでゲルマニウム含有層を形成する。

40

【0173】

なお、アモルファスシリコン膜は疎水性を示すため、スピンコートの前にシリコン膜表面に絶縁膜を形成しておいて、濡れ性を高めておくことは有効である。この場合、絶縁膜が厚すぎるとゲルマニウムのシリコン膜中への熱拡散を阻害することになるので、10~30nmとしておくことが好ましい。

【0174】

こうしてゲルマニウム含有層を設けた状態で結晶化工程を行うと、加熱されることによってゲルマニウムがアモルファスシリコン膜中へ熱拡散し、結晶化を助長する触媒元素とし

50

て働く。

【0175】

本実施例の構成は、実施例1～11までのどの実施例との組み合わせも可能であり、どの実施例にも適用できる。

【0176】

【発明の効果】

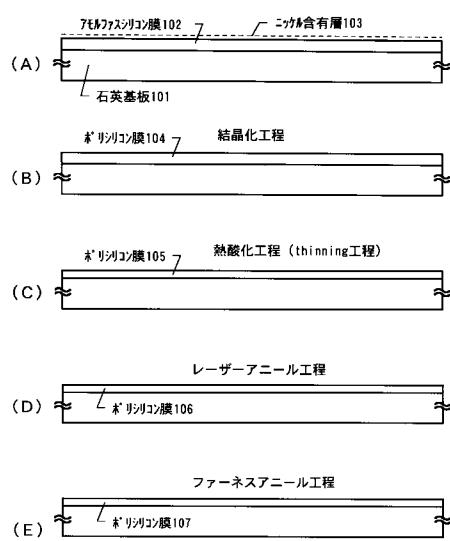
本願発明を実施することで、実質的に単結晶と見なせる結晶性を有する半導体膜を得ることができる。そして、その様な半導体膜を活性層とするTFTで回路を組み、高性能な半導体装置を実現することが可能となる。

【図面の簡単な説明】

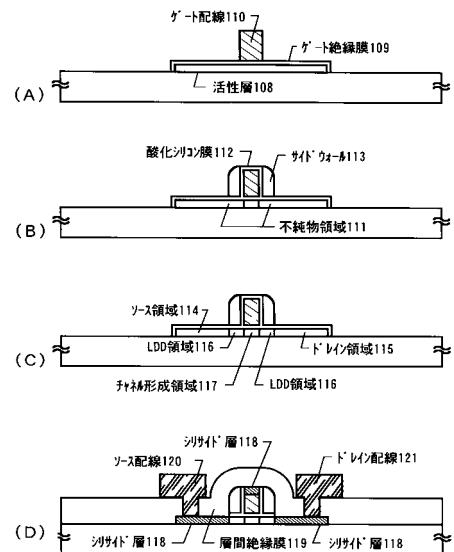
10

- 【図1】 薄膜トランジスタの作製工程を示す図。
- 【図2】 薄膜トランジスタの作製工程を示す図。
- 【図3】 薄膜トランジスタの作製工程を示す図。
- 【図4】 薄膜トランジスタの作製工程を示す図。
- 【図5】 電気光学装置の構成を示す図。
- 【図6】 半導体回路の構成を示す図。
- 【図7】 電子機器の構成を示す図。
- 【図8】 薄膜トランジスタの作製工程を示す図。
- 【図9】 示差熱分析の結果を示す図。

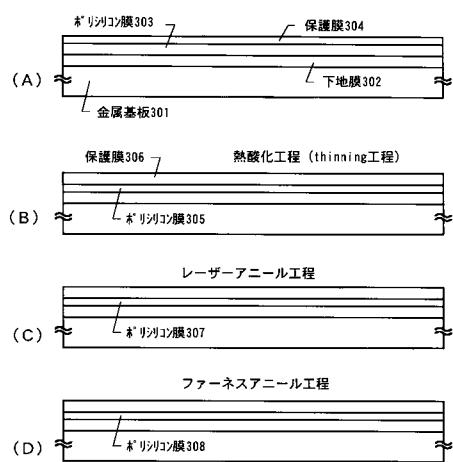
【図1】



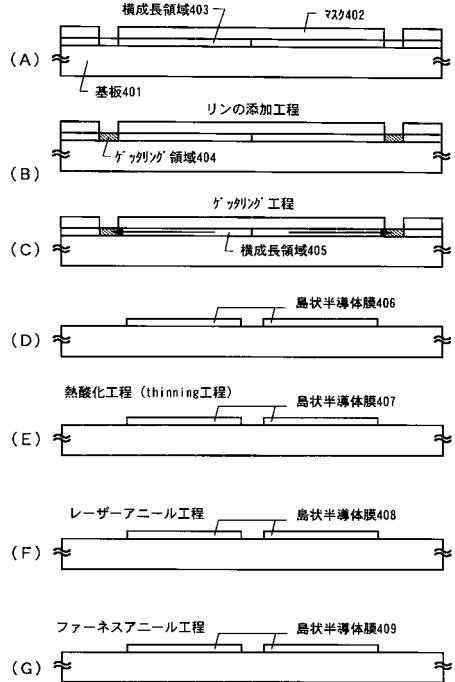
【図2】



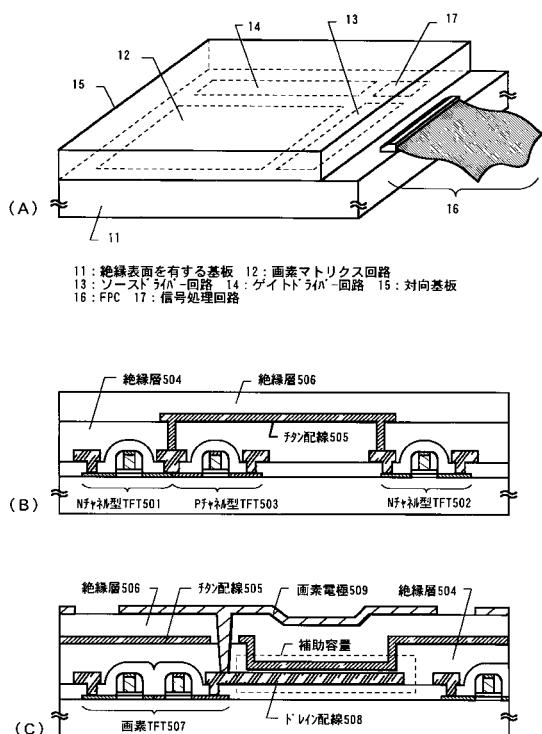
【図3】



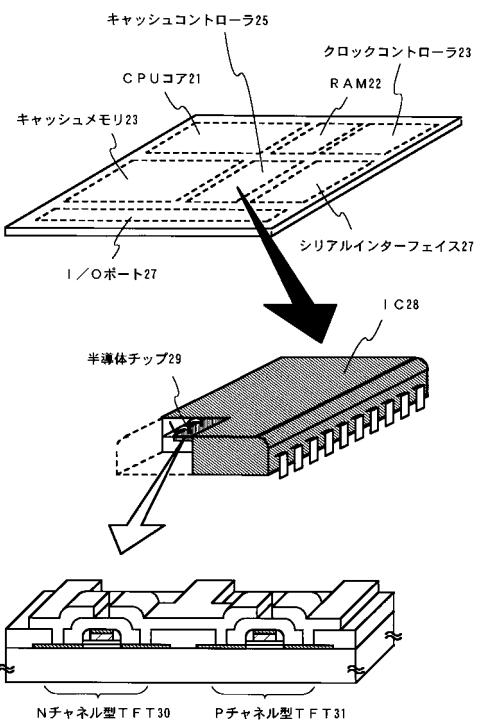
【図4】



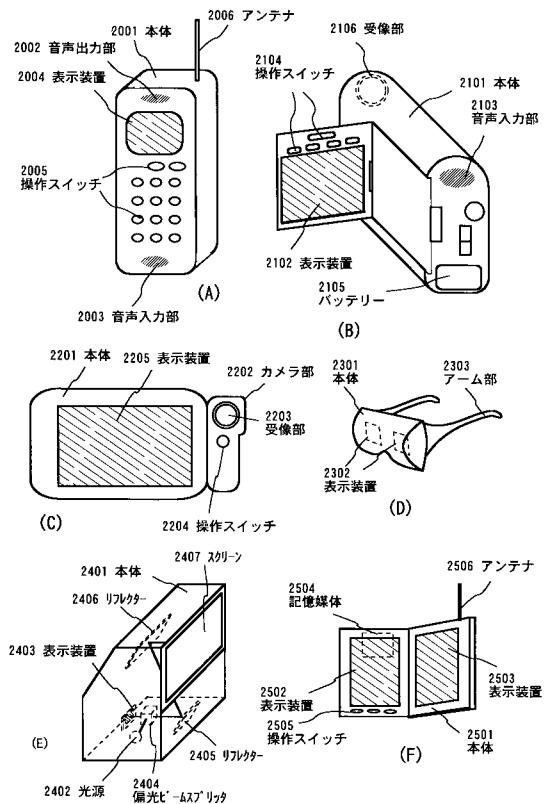
【図5】



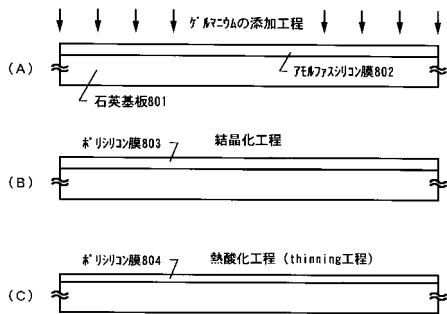
【図6】



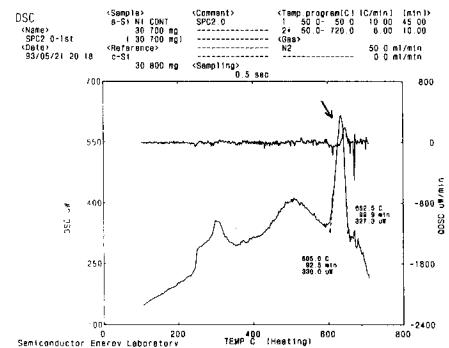
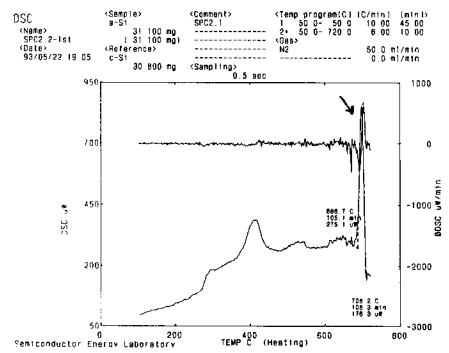
【図7】



【図8】



【図9】



---

フロントページの続き

(56)参考文献 特開平09-171965(JP,A)  
特開平09-312404(JP,A)  
特開平07-122757(JP,A)  
特開平10-189978(JP,A)  
特開平10-107106(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20  
H01L 21/31  
H01L 21/316  
H01L 21/336  
H01L 29/786