

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)



# [12] 发明专利说明书

专利号 ZL 99815714.7

[45] 授权公告日 2006年4月19日

[11] 授权公告号 CN 1252829C

[22] 申请日 1999.11.18 [21] 申请号 99815714.7

[30] 优先权

[32] 1998.11.18 [33] DE [31] 19853268.7

[86] 国际申请 PCT/DE1999/003674 1999.11.18

[87] 国际公布 WO2000/030181 德 2000.5.25

[85] 进入国家阶段日期 2001.7.18

[71] 专利权人 因芬尼昂技术股份公司

地址 德国慕尼黑

[72] 发明人 D·韦德曼 A·韦德尔

审查员 陈源

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 马铁良 张志醒

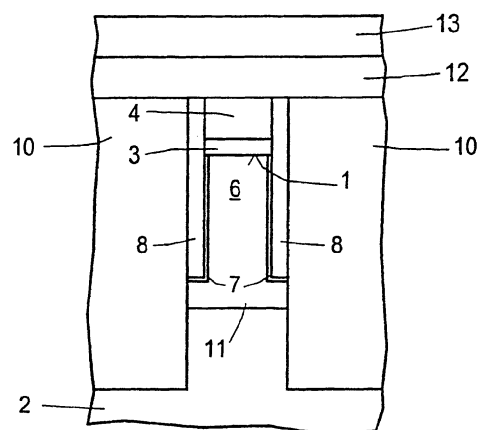
权利要求书 2 页 说明书 7 页 附图 4 页

## [54] 发明名称

场效应控制的晶体管及其制造方法

## [57] 摘要

在半导体衬底(2)中安排了具有分别邻接在半导体衬底(2)的一个主面(1)上的一个源极区,一个沟道区和一个漏极区的一个有源区。在半导体衬底(2)的主面中安排了至少一个沟槽,此沟槽邻接在沟道区上,并且在此沟槽中布置了栅电极的部分(8)。尤其是栅电极具有分别邻接在沟道区上的两个互相相对的部分(8)。借助于标准工艺步骤进行晶体管的制作。



1. 一种场效应控制的晶体管，
  - 在此晶体管上在半导体衬底(2)中安排了具有分别邻接在半导体衬底(2)的一个主面(1)上的一个源极区，一个漏极区和一个沟道区的一个有源区(6)，
    - 在此晶体管上在主面(1)中安排了一个第一沟槽和一个第二沟槽，这些沟槽邻接在有源区(6)的互相相对侧壁上，并且在这些沟槽中分别布置了栅电极的部分(8)，其特征在于，
      - 栅电极由安排在有源区(6)相对侧面上的两个导电侧墙(8)和第二导电层(12)的连接着这些导电侧墙(8)的一个部分组成，这些导电侧墙(8)位于沟道区的范围中和结构化的第二导电层(12)之外，
        - 通过绝缘结构(10)填充第一和第二沟槽，使得导电侧墙(8)处在有源区(6)和绝缘结构之间，其中所述第二导电层(12)越过填充的所述第一和第二沟槽，和
          - 在有源区(6)的两个另外的互相相对侧面上，用位于源极区和漏极区范围中的和结构化导电层(12)之外的绝缘充填物(14)配备在此有源区(6)和绝缘结构(10)之间所形成的中间空间。
  2. 按权利要求1的场效应控制的晶体管，其特征在于，至少在所述第一和第二沟槽范围中有源区的表面是用一种栅极电介质(7)配备的。
  3. 按权利要求1或2的场效应控制的晶体管，其特征在于，垂直于所述主面(1)的一个源极区和一个漏极区的范围小于或等于所述第一或第二沟槽的深度。
  4. 按权利要求1或2的场效应控制的晶体管，其特征在于，所述绝缘结构(10)包围所述有源区(6)。
  5. 一种制作场效应控制的晶体管的方法，在此方法上：
    - 在半导体衬底(2)一个主面(1)中生成侧向规定有源区(6)的一个第一和一个第二沟槽，此有源区(6)具有分别邻接在半导体衬底(2)的主面(1)上的一个源极区，一个沟道区和一个漏极区，和

- 为了形成栅电极淀积一个第一导电层，从此第一导电层出发通过各向异性的刻蚀在有源区(6)的两个互相相对的侧面上形成导电侧墙(8)，其特征在于，

- 生成包围有源区(6)和导电侧墙(8)的一种绝缘结构(10)，
- 5       - 淀积与导电侧墙(8)处于连接中的一个第二导电层(12)，
- 通过第二导电层(12)的和导电侧墙(8)的部分在结构上形成栅电极(8, 12)，和

- 在导电侧墙(8)的结构化时，在绝缘结构(10)和有源区(6)之间的源极区和漏极区的范围中产生用绝缘材料(14)填充的中间空间。

- 10       6. 按权利要求5的方法，其特征在于，通过对栅电极(8, 12)自对准的注入形成源极区(16)和漏极区(16)。

## 场效应控制的晶体管及其制造方法

5            技术领域

本发明涉及一种场效应控制的晶体管，此晶体管甚至在少于 50 nm 的沟道长度时是有功效的。

背景技术

10            平面型 MOS 晶体管和结型晶体管在大约 50 nm 沟道长度时碰到它们的功能界限。对于 50 nm 之下的栅极长度范围已建议了不同的晶体管结构（请参阅例如 H. Wong 及其他人著，IEDM 97，427 页及以下各页）。在此建议一种 MOS 晶体管配备两个栅电极，这两个栅电极是布置在沟道范围的互相相对的侧面上的，并且因此控制沿沟道范围的两个表面的电流。在此既是垂直的结构，也是平面型结构，在这些垂直的结构上在针对硅片主面的垂直方向上，布置了源极区，沟道范围和漏极区，并且形成探出主面的堆（stapel），在这些平面型结构中平行于硅片的主面布置了源极区，沟道范围和漏极区。

25            在 H. Wong 及其他人著，IEDM 97，427 页及以下各页中曾建议在 SOI 衬底上实现平面型 MOS 晶体管，在此晶体管中一个栅电极是布置在沟道范围之上的，和一个栅电极是布置在沟道范围之下的。为了制作该晶体管建议，将一个厚的氧化硅层，一个第一氮化硅层，一个第一薄的氧化硅层，一个由非晶硅组成的位置保持器层，一个第二薄的氧化硅层和一个第二氮化硅层安放到硅衬底上，并且如此结构化，使得在源极和漏极范围中露出厚氧化硅层的表面。除此之外在源极/漏极区之一中在厚氧化硅层中打开一个直到硅衬底表面上的窗口。在栅极堆范围中除去非晶硅组成的位置保持器层。随后通过选择性外延，从硅衬底露出的表面出发，在源极/漏极区的和沟道范围的范围中生长单晶硅。通过除去结构化的第一氮化硅层和第二氮化硅层，并且通过析出掺杂多晶硅来形成在选择性外延时所生长的沟道

范围之上和之下的两个栅电极。此方法是与半导体工艺技术的标准步骤不兼容的。

5 在 D. Hisamoto 及其他人, IEDM 89, 833 至 836 页中, 已建议在硅隔片 (Steg) 中具有源极区, 沟道区和漏极区的一种平面型 MOS 晶体管, 此硅隔片是通过场氧化物范围 (Feldoxidbereich) 对布置在其下的硅衬底绝缘的。一个栅电极与在沟道区的范围中的硅隔片重叠, 并且因而沿硅隔片的两个侧壁控制沟道电流。电流方向平行于硅衬底的主面延伸。为了制作这种晶体管建议在硅衬底的表面上结构化该硅隔片, 此硅隔片是用氮化硅层覆盖的, 和用氮化硅侧墙配备硅隔片的侧壁。随后将硅衬底的表面钻蚀到氮化硅侧墙之下。通过硅衬底表面的局部氧化形成场氧化物范围。在此如此长时间延续氧化, 直到在隔片两侧产生的场氧化物范围通过在隔片之下形成的鸟嘴相遇时为止。这个制作工艺与半导体工艺技术的标准步骤也是不兼容的。

#### 15 发明内容

作为本发明基础的问题在于提出一种场效应控制的晶体管, 此晶体管在 50 nm 以下的栅极长度时是有功效的, 并且是用半导体工艺技术的标准步骤可制作的。此外应提出用于制作这种晶体管的一种方法。

通过以下技术方案解决上述问题。

20 根据本发明的一种场效应控制的晶体管,

- 在此晶体管上在半导体衬底中安排了具有分别邻接在半导体衬底的一个主面上的一个源极区, 一个漏极区和一个沟道区的一个有源区,

25 - 在此晶体管上在主面中安排了一个第一沟槽和一个第二沟槽, 这些沟槽邻接在有源区的互相相对侧壁上, 并且在这些沟槽中分别布置了栅电极的部分, 其特征在于,

- 栅电极由安排在有源区相对侧面上的两个导电侧墙和第二导电层的连接着这些导电侧墙的一个部分组成, 这些导电侧墙位于沟道区的范围中和结构化的第二导电层之外,

- 通过绝缘结构填满第一和第二沟槽, 使得导电侧墙处在有源区和

绝缘结构之间，其中所述第二导电层越过填满的所述第一和第二沟槽，  
和

- 在有源区的两个另外的互相相对侧面上，用位于源极区和漏极区范围中的和结构化导电层之外的绝缘充填物配备在此有源区和绝缘结构之间所形成的中间空间。

根据本发明的一种制作场效应控制的晶体管的方法，在此方法上：

- 在半导体衬底一个主面中生成侧向规定有源区的一个第一和一个第二沟槽，此有源区具有分别邻接在半导体衬底的主面上的一个源极区，一个沟道区和一个漏极区，和
- 为了形成栅电极淀积一个第一导电层，从此第一导电层出发通过各向异性的刻蚀在有源区的两个互相相对的侧面上形成导电侧墙，其特征在于，
  - 生成包围有源区和导电侧墙的一种绝缘结构，
  - 淀积与导电侧墙处于连接中的一个第二导电层，
  - 通过第二导电层的和导电侧墙的部分在结构上形成栅电极，和
  - 在导电侧墙的结构化时，在绝缘结构和有源区之间的源极区和漏极区的范围中产生用绝缘材料填满的中间空间。

本发明还包括基于上述技术方案的可利扩展。

- 场效应控制的晶体管是在半导体衬底上实现的。在半导体衬底中安排了具有分别邻接在半导体衬底主面上的一个源极区，一个沟道区和一个漏极区的一个有源区，使源极区和漏极区之间的电流平行于半导体衬底的主面流动。在半导体衬底的主面中安排了至少一个沟槽，此沟槽邻接在沟道区上，并且在此沟槽中布置了栅电极的一部分。在晶体管中栅电极的一部分伸进半导体衬底的深部，以至于经栅电极可以控制在沟道区侧壁中平行于衬底主面流动的电流，此沟道区侧壁与衬底的主面相交。有效的沟道跨度 (Kanalweite) 因此是与半导体衬底主面上的沟道区的宽度无关的。

可以将晶体管既实现为 MOS 晶体管，也实现为结型晶体管。在 MOS 晶体管的情况下至少在沟槽的范围中用栅极电介质配备沟道区的表面。

考虑到在标准硅工艺技术中的集成，采用至少在主面范围中具有单晶

硅的一种半导体衬底是有利的。单晶硅片，SOI 衬底的单晶硅层，SiGe 衬底或 SiC 衬底尤其是适合作为半导体衬底的。

5 优先在沟道区的互相相对的侧壁上分别布置了栅电极的各部分，使得晶体管有效地具有两个互相相对的栅电极部分。这些部分是分别布置在一个第一沟槽和一个第二沟槽中的。在沟道范围的互相相对的侧壁上通过安排两个栅电极部分来控制反型沟道（Inversionskanäle）。因此减少漏极电压对沟道区的渗透，以至于从文献中已知的限制性的“漏极导致的势垒下降”实际上是不起作用的。此外通过安排两个栅电极部分来减少衬底电压对沟道范围的干扰影响。

10 垂直于半导体衬底主面的源极区和漏极区的尺寸优先是小于或等于此沟槽深度或这些沟槽深度。因此扩大了经其形成导电的反型沟道的面积，以至于相对于平面装置的电流产额倍增。此外因此对于晶体管的控制是重要的晶体管跨导倍增。

15 平行于主面的栅电极的尺寸主要是局限于沟道区尺寸的，以至于使漏极栅极重叠电容最小化。因此使寄生的电容最小化和实现提高的晶体管跨导，这对于高速的开关特性和进入 GHz 波段中的良好高频特性是有利的。

为了绝缘集成电路之内的晶体管，安排包围有源区和此沟槽或这些沟槽的一种绝缘结构是有利的。

20 在半导体衬底主面中生成侧向规定有源区的一种沟槽用于制作晶体管。随后形成部分地布置在沟槽中的栅电极。

在沟道区的表面上生成栅极电介质用于制作作为 MOS 晶体管的晶体管。

25 淀积一个第一导电层用于自对准地形成栅电极，从此层出发通过各向异性的刻蚀形成在有源区侧壁上的导电侧墙。随后生成包围有源区和导电侧墙的绝缘结构。在此露出平行于半导体衬底主面的导电侧墙的表面。淀积在导电侧墙的露出表面与此导电侧墙处于连接之中的一个第二导电层。通过第二导电层和导电侧墙的结构化形成栅电极。掺杂的多晶硅或非晶状硅，金属硅化物和/或金属尤其适合作为导电层材料。主要是通过掩模刻蚀进行用于制作栅电极的结构化。在此所采用的掩模决定栅极长度。通过精

细结构化步骤，例如电子束光刻，用刻记号法，或通过侧墙技术的应用在此可以达到 50 nm 以下的，尤其是 10 至 50 nm 的栅极长度。

源极/漏极区的制作主要是对栅电极自对准地通过注入来进行。

5 沟槽优选具有一种横断面，此横断面相当于绝缘结构的横断面和栅电极。在此情况下例如通过完全充满沟槽的绝缘层的淀积和化学机械的抛光来形成绝缘结构。

### 附图说明

以下借助图中所示实施例详述本发明。

10 图 1 展示在生成一个第一氧化硅层和一个第二氧化硅层和规定有源区的掩模之后，通过半导体衬底的一个截面图。

图 2 展示对图 1 的俯视图。

15 图 3 展示在半导体衬底中的有源区结构化之后，在栅极电介质形成之后和在有源区侧壁上的导电侧墙生成之后，通过半导体衬底的一个截面图。

图 4 展示在另一次刻蚀进半导体衬底中之后，通过半导体衬底的一个截面图。

图 5 展示在形成绝缘结构，形成栅电极和用绝缘材料充满在源极区和漏极区和绝缘结构之间的中间空间之后，对半导体衬底的俯视图。

20 图 6 展示图 5 中用 VI - VI 表示的截面图。

图 7 展示图 5 中用 VII - VII 表示的截面图。

图 8 展示图 5 中用 VIII - VIII 表示的截面图。

### 具体实施方式

25 在由具有  $10^{15} \text{ cm}^{-3}$  掺杂物浓度的 p 掺杂单晶硅制成的半导体衬底 2 的主面 1 上，通过热氧化敷上一个第一氧化硅层 3。第一氧化硅层 3 具有 5 nm 的厚度。将具有 20 nm 厚度的一个第一氮化硅层 4 淀积到第一氧化硅层 3 上。在第一氮化硅层 4 的表面上生成规定由沟槽所包围的有源区的掩模 5（请参阅图 1 和图 2）。掩模 5 具有平行于主面 1 的基本上为矩形的横断面，

此横断面具有 40 nm x 500 nm 的尺寸。

通过各向异性的刻蚀来刻蚀第一氮化硅层 4，第一氧化硅层 3 和半导体衬底 2，在此在半导体衬底 2 中形成由沟槽所包围的有源区 6（请参阅图 3）。采用  $\text{CF}_4$  和  $\text{H}_2$  作为刻蚀气体。将刻蚀一直进行到主面 1 之下 500 nm 的深度中。

在有源区 6 的侧壁上通过热氧化形成由 3 nm 层厚的  $\text{SiO}_2$  组成的栅极电介质 7。

通过由掺杂的多晶硅组成的一个第一导电层的淀积和第一导电层的反刻蚀，在有源区 6 的侧壁上形成由掺杂多晶硅组成的导电的侧墙 8（请参阅图 3）。此导电的侧墙 8 环状地包围有源区 6。

在采用  $\text{SiF}_4$  和  $\text{H}_2$  条件下的一个其它各向异性的刻蚀过程中除去栅极电介质 7 的露出部分。随后通过用  $\text{CF}_4$  的各向异性的刻蚀来刻蚀进入半导体衬底 2 中，使得在有源区 6 和导电侧墙 8 的侧向产生绝缘沟槽 9，此绝缘沟槽 9 针对主面 1 具有 1  $\mu\text{m}$  的深度（请参阅图 4）。

通过淀积一个第二  $\text{SiO}_2$  层来充满绝缘沟槽。通过第一氮化硅层 4 在其上起着刻蚀阻挡作用的随后的化学机械抛光，从第二氧化硅层中形成充满绝缘沟槽 9 的绝缘结构 10（请参阅图 6）。

通过用硼的注入在有源区 6 中生成具有  $5 \times 10^{17} \text{ cm}^{-3}$  掺杂物浓度的沟道掺杂 11。

整个面积地淀积一个第二导电层 12 和一个第二氮化硅层 13，并且借助于（未表示的）掩模来结构化。结构化的第二导电层 12 和结构化的第二  $\text{Si}_3\text{N}_4$  层 13 具有条状的横断面，此横断面横对有源区 6 纵向范围地分布，并且此横断面平行于有源区 6 纵向范围具有 40 nm 的宽度。在第二导电层 12 的结构化时同样除去导电侧墙 8 的露出范围。通过用  $\text{SiF}_4$  和  $\text{H}_2$  的各向异性的刻蚀进行结构化。

通过第三氧化硅层的淀积和第三氧化硅层的反刻蚀，用绝缘的充填物 14 配备有源区 6 和绝缘结构 10 之间的中间空间，在结构化的第二导电层 12 之外，在除去导电侧墙 8 时产生这些中间空间（请参阅图 7）。

通过一个第三氮化硅层的淀积和第三氮化硅层的各向异性的反刻蚀，

用氮化硅侧墙 15 配备结构化的第二导电层 12 的和结构化的第二氮化硅层 13 的侧壁 (请参阅图 5 和图 8)。通过用具有 50 keV 能量和  $2 \times 10^{15} \text{ cm}^{-2}$  剂量的 As 的注入, 对结构化的第二导电层 12 自对准地生成源极/漏极区 16, 16' (请参阅图 7 和图 8)。在主面 1 之下的源极/漏极区 16, 16' 的深度在此是小于导电侧墙 8 一直延伸进入的深度的。

导电侧墙 8 是经结构化的第二导电层 12 互相连接的。导电侧墙 8 和第二结构化的导电层 12 的连接着导电侧墙 8 的部分作为栅电极起作用。由于导电侧墙 8 比源极/漏极区 16, 16' 较深地延伸进入半导体衬底 1 中, 在相应地控制栅电极时, 遍布源极/漏极区 16, 16' 之间的源极/漏极区 16, 16' 的整个深度上形成一种导电的反型沟道。源极/漏极区 16, 16' 之间有源区 6 的范围因此遍布整个深度上作为沟道范围起作用。

按 (未表示的) 已知方法生成多层金属化用于制作晶体管。

实施例论述了一种 n 沟道晶体管, 本发明同样是可实施为 p 沟道晶体管的。除此之外可以由另外的导电材料, 尤其是金属硅化物或金属形成导电层。此外栅极电介质 7 也可以位于有源区的主面 1 的范围中, 使得沿主面也可以构成一种导电的反型沟道。在此情况下取消在有源区 6 和第二导电层 12 之间的第一氧化硅层和第一氮化硅层。如果工艺技术上必要的话, 可以形成具有 LDD 分布的源极/漏极区 16, 16'。

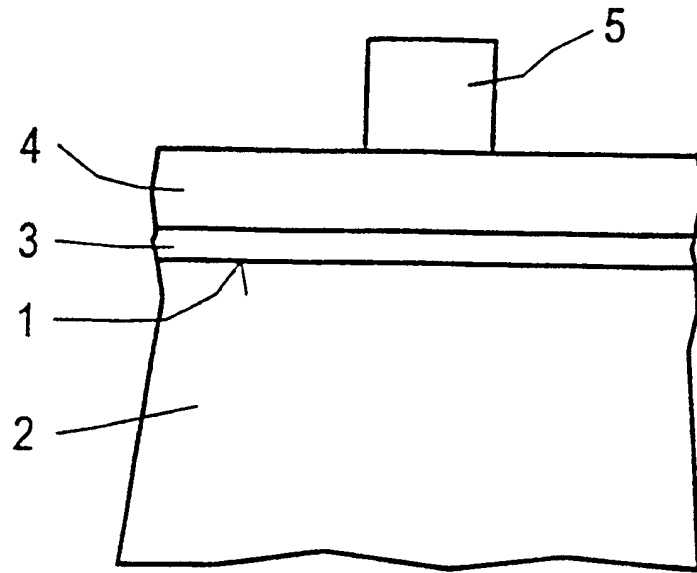


图 1

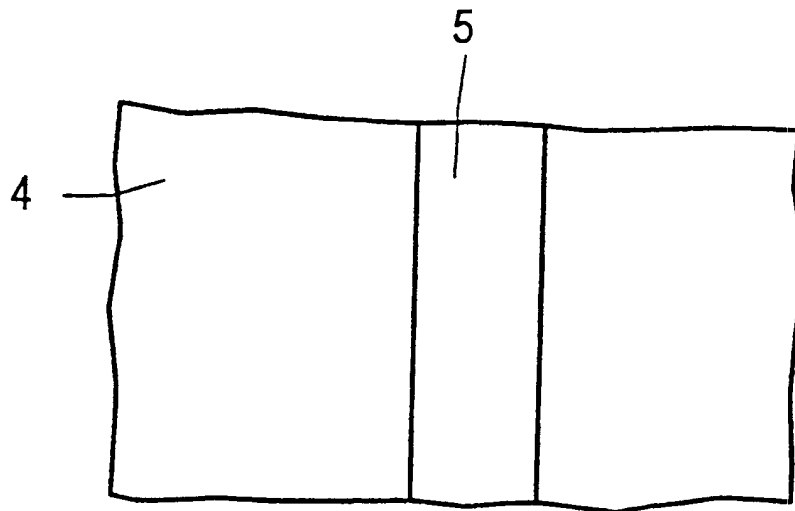


图 2

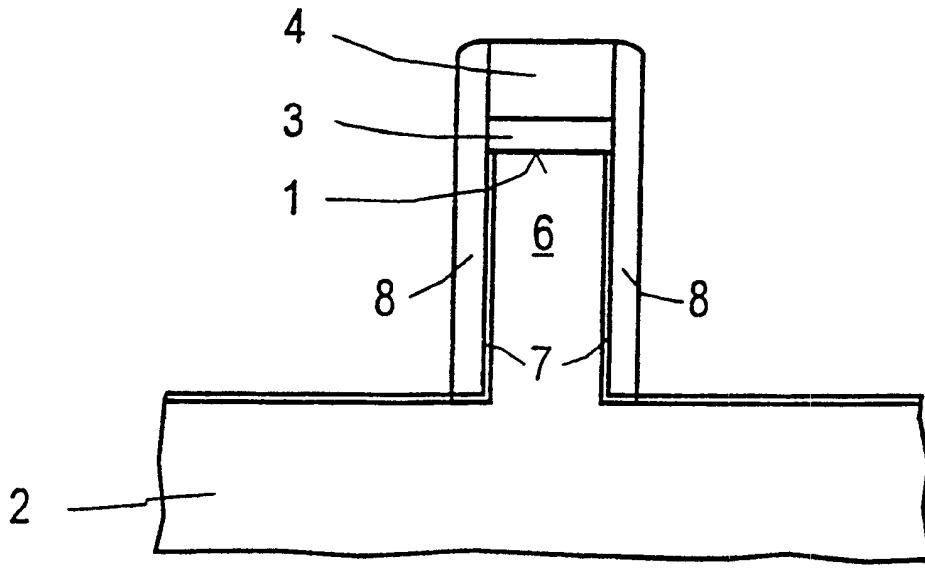


图 3

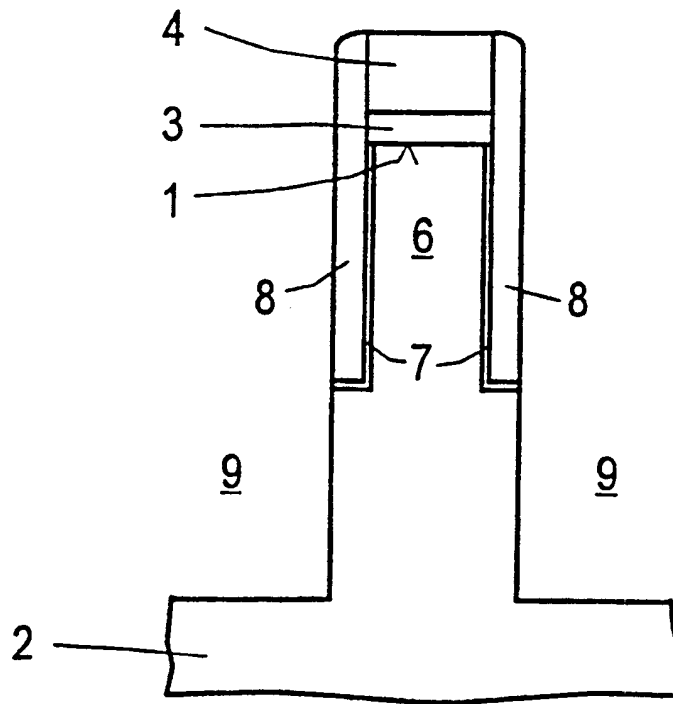


图 4

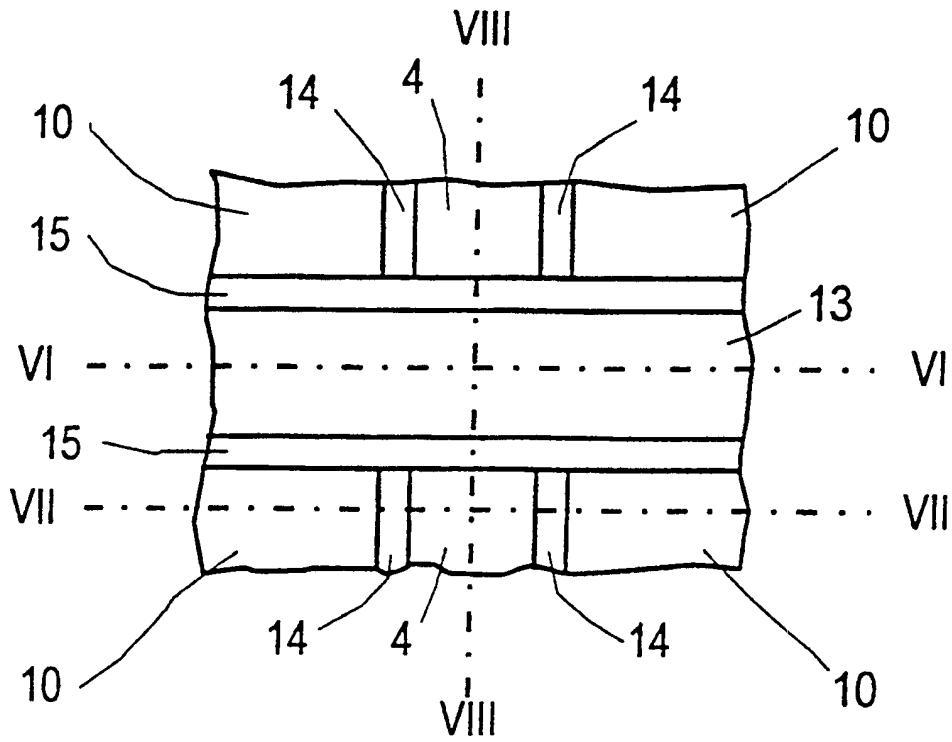


图 5

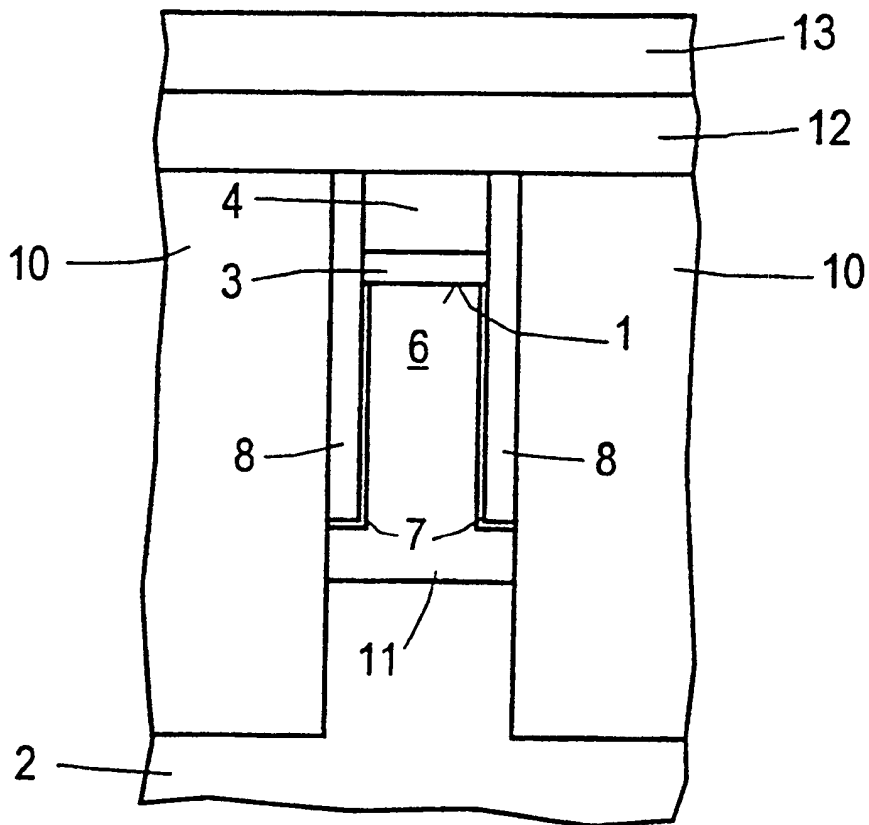


图 6

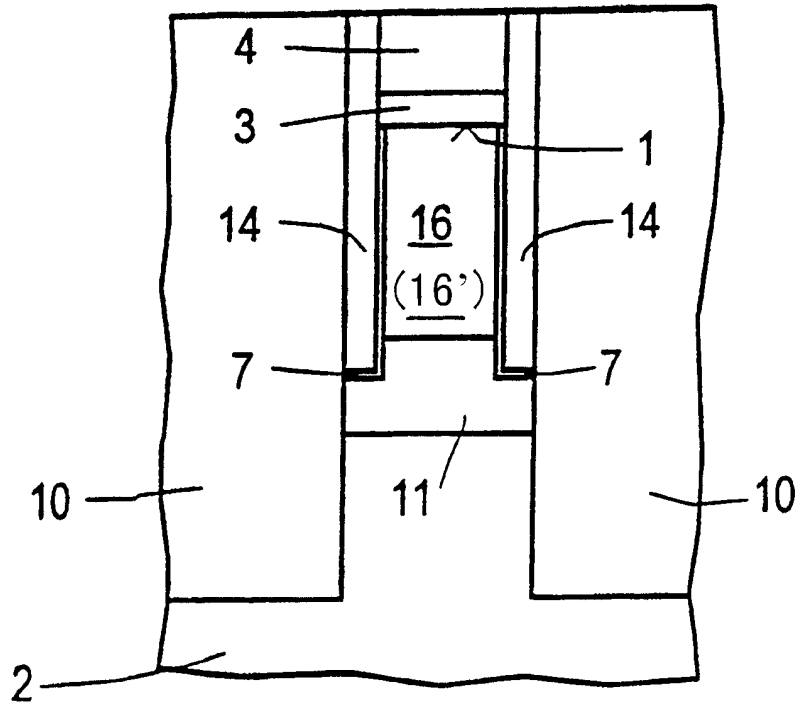


图 7

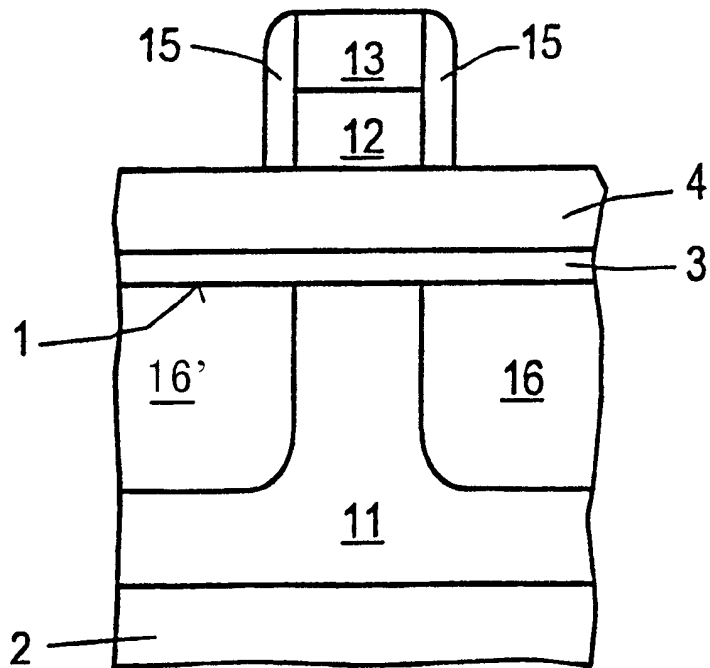


图 8