(19) SU (11) 1 727 136 (13) A1

(51) МПК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# (12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ СССР

(21), (22) Заявка: 4710747, 26.06.1989

(46) Дата публикации: 15.04.1992

(56) Ссылки: Авторское свидетельство СССР № 647687, кл. G 06 F 15/347, 1976. Авторское свидетельство СССР N 1444819, кл. G 06 F 15/347. 1986.

(98) Адрес для переписки:
13 252207 КИЕВ, ПР-Т АКАД.ГЛУШКОВА 20

(71) Заявитель:
ИНСТИТУТ КИБЕРНЕТИКИ ИМ.В.М.ГЛУШКОВА

(72) Изобретатель: ВЫШИНСКИЙ ВИТАЛИЙ АНДРЕЕВИЧ,
ТИХОНОВ БОРИС МИХАЙЛОВИЧ, ФЕСЕНКО НИКОЛАЙ БОРИСОВИЧ13 252207 ÊÈÅÂ, ÌÀÐØÀËÀ ÊÎØÅÂÎÃÎ 14-9813 252103 ÊÈÅÂ, Á-Ð ÄÐÓÆÁÛ ÍÀÐÎÄÎÂ 32-6613 252209 ÊÈÅÂ, ÃÅÐÎÅ ÄÍÅÏÐÀ 16À-49

(54) Устройство для поклеточного умножения матриц

SU 1727136 A1

SU 1727136 A1

(19) SU (11) 1 727 136 (13) A1

(51) Int. Cl.

STATE COMMITTEE
FOR INVENTIONS AND DISCOVERIES

## (12) ABSTRACT OF INVENTION

(71) Applicant:
INSTITUT KIBERNETIKI IM.V.M.GLUSHKOVA

(72) Inventor: VYSHINSKIJ VITALIJ ANDREEVICH,
TIKHONOV BORIS MIKHAJLOVICH, FESENKO NIKOLAJ BORISOVICH

### (54) DEVICE FOR CELL-BY-CELL MATRIX MULTIPLICATION

(57)

Изобретение относится к автоматике и вычислительной технике и может быть использовано в составе специализированных матричных вычислителей. Цель изобретения - повышение быстродействия. Цель достигается тем, что в устройство, содержащее M2 регистров (M - порядок перемножаемых матриц), M2 блоков вычисления скалярного произведения и блок синхронизации, введены M мультиплексоров и M2 групп элементов И. Перед началом работы в регистры записывается числовая управляющая матрица, в соответствии с которой происходит отключение соответствующих входов блоков вычисления скалярного произведения в процессе работы, и таким -образом, происходит поклеточное умножение матриц. 3ил.

SU 1727136 A1

SU 1727136 A1

СОЮЗ СОВЕТСКИХ СОЦИАЛИСТИЧЕСКИХ РЕСПУБЛИК

(19) SU (11) 1727136 A1

(51)5 G 06 F 15/347

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

Р00892

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВИБЛИОТЕКА

1

(21) 4710747/24
(22) 26.06.89
(46) 15.04.92. Бюл. № 14
(71) Институт кибернетики им. В. М. Глушкова
(72) В. А. Вышинский, Б. М. Тихонов и Н. Б. Фесенко
(53) 681.3(088.8)
(56) Авторское свидетельство СССР
№ 647687, кл. G 06 F 15/347, 1976.
Авторское свидетельство СССР
№ 1444819, кл. G 06 F 15/347, 1986.

(54) УСТРОЙСТВО ДЛЯ ПОКЛЕТОЧНОГО УМНОЖЕНИЯ МАТРИЦ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в составе специализированных матричных вычислителей. Цель изобретения – повышение быстродействия. Цель достигается тем, что в устройство, содержащее $M^2$ регистров (M – порядок перемножаемых матриц), $M^2$ блоков вычисления скалярного произведения и блок синхронизации, введены $M^2$ мультиплексоров и $M^2$ групп элементов И. Перед началом работы в регистры записывается числовая управляющая матрица, в соответствии с которой происходит отключение соответствующих входов блоков вычисления скалярного произведения в процессе работы, и таким образом, происходит поклеточное умножение матриц. 3 ил.

2

Изобретение относится к автоматике и вычислительной технике и может быть использовано в составе специализированных вычислительных машин для перемножения матриц.

Цель изобретения – повышение быстродействия.

На фиг. 1 показана структурная схема устройства; на фиг. 2 – пример выполнения M-разрядного мультиплексора; на фиг. 3 – схема соединения элементов И в группе.

Устройство (фиг. 1) содержит $M^2$ регистров 1 (M-порядок обрабатываемых матриц), $M^2$ мультиплексоров 2, $M^2$ групп 3 элементов И, $M^2$ блоков 4 вычисления скалярного произведения векторов, блок 5 синхронизации, первую 6, вторую 7 и третью 8 группы информационных входов устройства, второй 9 и первый 10 выходы блока синхронизации, вход 11 начальной установки устройства.

Каждый мультиплексор (фиг. 2) может содержать 2M триггеров 12, M элементов И–ИЛИ 13 и управляющий вход мультиплексора 14.

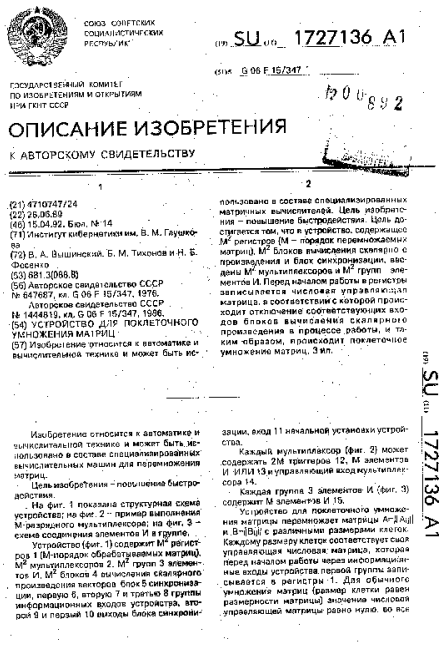
Каждая группа 3 элементов И (фиг. 3) содержит M элементов И 15.

Устройство для поклеточного умножения матрицы перемножает матрицы $A=\|A_{ij}\|$ и $B=\|B_{ij}\|$ с различными размерами клеток. Каждому размеру клеток соответствует своя управляющая числовая матрица, которая перед началом работы через информационные входы устройства первой группы записывается в регистры 1. Для обычного умножения матриц (размер клетки равен размерности матрицы) значение числовой управляющей матрицы равно нулю, во все

SU 1727136 A1

(19) SU (11) 1727136 A1

fe



(19) SU (11) 1727136 A1

(51) 5 G 06 F 15/347

ГОСУДАРСТВЕННЫЙ КОМИТЕТ ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4710747/24
(22) 26.06.89
(46) 15.04.92. Бюл. № 14
(71) Институт кибернетики им. В. М. Глушкова
(72) В. А. Вышинский, Б. М. Тихонов и Н. Б. Фосенко
(53) 681.3(088.8)
(56) Авторское свидетельство СССР № 647687, кл. G 06 F 15/347, 1976.
Авторское свидетельство СССР № 1444813, кл. G 06 F 15/347, 1986.
(54) УСТРОЙСТВО ДЛЯ ПОКЛЕТОЧНОГО УМНОЖЕНИЯ МАТРИЦ
(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в составе специализированных вычислительных машин для перемножения матриц. Цель изобретения – повышение быстродействия. На фиг. 1 показана структурная схема устройства; на фиг. 2 – пример выполнения М-разрядного мультиплексора; на фиг. 3 – схема соединения элементов И в группе. Устройство (фиг. 1) содержит M² регистров 1 (М-порядок обрабатываемых матриц), M² мультиплексоров 2, M² групп 3 элементов И, M² блоков 4 вычисления скалярного произведения векторов, блок 5 синхронизации, первую 6, вторую 7 и третью 8 группы информационных входов устройства, второй 9 и первый 10 выходы блока синхронизации, вход 11 начальной установки устройства. Каждый мультиплексор (фиг. 2) может содержать 2М триггеров 12, М элементов И-ИЛИ 13 и управляющий вход мультиплексора 14. Каждая группа 3 элементов И (фиг. 3) содержит М элементов И 15. Устройство для поклеточного умножения матрицы перемножает матрицы A JjAijjf и B f|Biji| с различными размерами клеток. Каждому размеру клеток соответствует своя управляющая числовая, матрица, которая перед началом работы через информационные входы устройства.первой группы записывается в регистры 1. Для обычного умножения матриц (размер клетки равен размерности матрицы) значение числовой управляющей матрицы равно нулю, во все -x| го 4 Ы О разряды регистров 1 записываются нулевые значения. Через вторую группу информационных входов 7 на первые информационные входы мультиплексоров 2 поступают значения разрядов элементов векторов - строк матрицы А, через третью группу информационных входов 8 на вторые информационные входы мультиплексоров 2 поступают значения разрядов элементов векторов - столбцов матрицы В, которые синхронизируются по управляющему входу мультиплексора. На выходах нечетных элементов И-ИЛИ 13 мультиплексоров 2 образуются парыа2i1bi2n , aVbi4n amj1bimn; aja2bi2, a/ijW1:1, amj2bimn 1; ...; a2jnbi21. a4jnbi41. ..., amjnblm , где n - азрядность элементов матриц, ,M, ,M. На выходах четных элементов И-ИЛИ 13 образуются пары: aij bn, aajW,.... am-ij1bim-in; aij2bnn 1. аз bis V-t am-ijbim-1 ,...;aijnbi2 a3jnbi3 ,..am-1jn blm-1 . . Нулевые сигналы с выходов k-го регистра () поступят на вторые входы элементов И k-й группы и k-я группа элементов И пропустит информацию с k-го мультиплексора без изменения. По окончании работы устройства в блоках 4 вычисления скалярного произведения векторов образуется результат умножения матриц. Для случая, отличного от обычного умножения матриц, числовая управляющая матрица содержит информацию, соответствующую предстоящему вычислительному процессу. Каждая числовая управляющая матрица соответствует размеру клеток - сомножителей и указывает, какую часть образованных k-м мультиплексором 2 пар элементов матриц (/АцНи Ijbijll необходимо отключить в ходе вычислительного процесса. Отключение производится подачей единичного сигнала с выхода i-го разряда k-го регистра 1 на второй вход 1-го элемента И k-й группы. Поклеточное произведение матриц вычисляется устройством, как поэлементное произведение матриц, в которых элементами выступают клетки IIAijUn ilBijI то ecTbliCtjlHlAijBijII. Формула изобретения Устройство для поклеточного умножения матриц, содержащее M2 регистров (М порядок обрабатываемых матриц), M2 блоков вычисления скалярного произведения векторов и блок синхронизации, первый выход которого подключен ко входам запуска блоков вычисления скалярного произведевход k-го информационным входом первой группы устройства, вход начальной установки блока синхронизации является одноименным входом устройства, отличающеес я тем, что, с целью повышения быстродействия устройство содержит M2 М-раэрядных мультиплексоров и М групп элементов И/причем выход hro разряда k-го мультиплексора (.М) соединен с первым входом 1-го элемента И k-й группы, второй вход

## Формула изобретения:

Изобретение относится к автоматике и вычислительной технике и может быть использовано в составе специализированных вычислительных машин для перемножения матриц..

Цель изобретения - повышение быстродействия.

. На фиг. 1 показана структурная схема устройства; на фиг. 2 - пример выполнения М-разрядного мультиплексора; на фиг. 3 - схема соединения элементов И в группе.

Устройство (фиг. 1) содержит М регистров 1 (М-порядок обрабатываемых матриц), М2 мультиплексоров 2, М2 групп 3 элементов И, М2 блоков 4 вычисления скалярного произведения векторов, блок 5 синхронизации , первую 6, вторую 7 и третью 8 группы информационных входов устройства, второй 9 и первый 10 выходы блока синхронизации, вход 11 начальной установки устройства.

Каждый мультиплексор (фиг. 2) может содержать 2М триггеров 12, М элементов И-ИЛИ 13 и управляющий вход мультиплексора 14..

Каждая группа 3 элементов И (фиг. 3) содержит М элементов И 15.

Устройство для поклеточного умножения матрицы перемножает матрицы А JjAijjf и В f|Biji| с различными размерами клеток. Каждому размеру клеток соответствует своя управляющая числовая, матрица, которая перед началом работы через информационные входы устройства.первой группы записывается в регистры 1. Для обычного умножения матриц (размер клетки равен размерности матрицы) значение числовой управляющей матрицы равно нулю, во все

-x|
го
4
Ы О

разряды регистров 1 записываются



SU 1727136 A1

SU 1727136 A1

которого соединен с выходом 1-го разряда k-го регистра, выход 1-го элемента И k-й группы соединен с |-м информационным входом k-го

блока вычисления скалярного произведения векторов, первый и второй информационные входы k-го мультиплексора являются информационными входами соответственно второй и третьей групп устройства, второй выход блока синхронизации подключен к управляющим входам всех мультиплексоров. .

wvrvw . | ьл iv iivi/i vr bi/i/ L/iiv i j ii

ния вектороа информационный регистра () является k-м ин

ГТТТ II I

ЛЮ

лЬ,

МФ lsk,

ГТТТ ТТ II I гтпг

Ю

1/ 1/ 1

I Ж1.

... ц-U

ill ..ГГТ



разряды регистров 1 записываются нулевые значения.

Через вторую группу информационных входов 7 на первые информационные входы мультиплексоров 2 поступают значения разрядов элементов векторов – строк матрицы A, через третью группу информационных входов 8 на вторые информационные входы мультиплексоров 2 поступают значения разрядов элементов векторов – столбцов матрицы B, которые синхронизируются по управляющему входу мультиплексоров. На выходах нечетных элементов И–ИЛИ 13 мультиплексоров 2 образуются пары:

$a_0 j\, b i^1$, $a_0 i\, b o^1$, .... $a_{m} i\, b i_{n-1}$, $a_2{}^{n-1} b i^2$, $a_2{}^{n-1} b o^1$, .... $a_{m} i\, b i_n$, $a_2{}^{n-1} b o_m$, .... $a_2{}^{n-1} b i^1$, $a_0 i\, b i^1$, .... $a_{m} i\, b i_n$,

где n – разрядность элементов матриц, i=1,M, j=1,M. На выходах четных элементов И–ИЛИ 13 образуются пары:

$a_0 j\, b i^1$, $a_0 i\, b o^1$, .... $a_{n-1} i\, b i_n{}^1$, $a_2{}^{n-1} b i^1$, $a_2{}^{n-1} b o^1$, .... $a_{n-1} i\, b i_n{}^1$, $a_2{}^{n-1} b o_m{}^1$, .... $a_2{}^{n-1} b o^1$, $a_0 i\, b o^1$, .... $a_{n-1} i\, b o_n{}^1$.

Нулевые сигналы с выходов k-го регистра (k=1,M²) поступят на вторые входы элементов И k-й группы и k-я группа элементов И пропустит информацию с k-го мультиплексора без изменения. По окончании работы устройства в блоках 4 вычисления скалярного произведение векторов образуется результат умножения матриц.

Для случая, отличного от обычного умножения матриц, числовая управляющая матрица содержит информацию, соответствующую предстоящему вычислительному процессу. Каждая числовая управляющая матрица соответствует размеру клеток – сомножителей и указывает, какую часть образованных k-м мультиплексором 2 пар элементов матриц $\|A_{ij}\|$ и $\|B_{ij}\|$ необходимо отключить в ходе вычислительного процесса. Отключение производится подачей сигнального сигнала с выхода i-го разряда k-го регистра 1 на второй вход i-го элемента И k-й группы.

Поклеточное произведение матриц C=AB вычисляется устройством, как поклеточное произведение матриц, в которых элементами выступают клетки $\|A_{ij}\|$ и $\|B_{ij}\|$, то есть $\|C_{ij}\| = \|A_{ij}\| \|B_{ij}\|$.

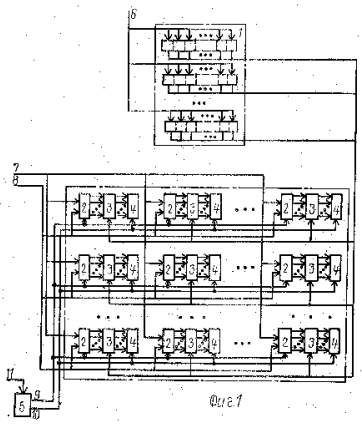
## Формула изобретения

Устройство для поклеточного умножения матриц, содержащее $M^2$ регистров (M – порядок обрабатываемых матриц), $M^2$ блоков вычисления скалярного произведения векторов и блок синхронизации, первый выход которого подключен ко входам запуска блоков вычисления скалярного произведения векторов, информационный вход k-го регистра (k=1,M²) является k-м информационным входом первой группы устройства, вход начальной установки блока синхронизации является одноименным входом устройства, отличающееся тем, что, с целью повышения быстродействия устройство содержит $M^2$ M-разрядных мультиплексоров и $M^2$ групп элементов И, причем выход i-го разряда k-го мультиплексора (i=1,M) соединен с первым входом i-го элемента И k-й группы, второй вход которого соединен с выходом i-го разряда k-го регистра, выход i-го элемента И k-й группы соединен с i-м информационным входом k-го блока вычисления скалярного произведения векторов, первый и второй информационные входы k-го мультиплексора являются информационными входами соответственно второй и третьей групп устройства, второй выход блока синхронизации подключен к управляющим входам всех мультиплексоров.



SU 1727136 A1

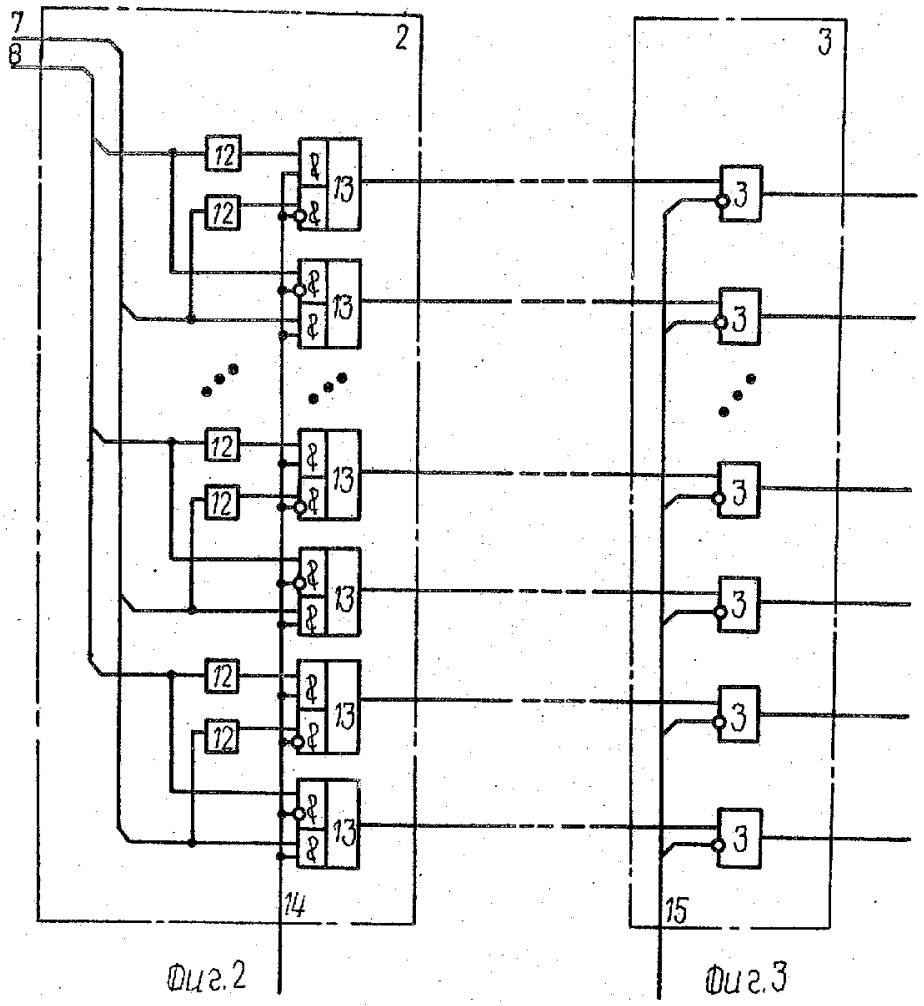
SU 1727136 A1



Фиг.1

SU 1727136 A1

SU 1727136 A1




Фиг.2 Фиг.3

Составитель К.Кухаренко
Редактор Н.Каменская Техред М.Моргентал Корректор О.Ципле

Заказ 1279 Тираж Подписное
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101



SU 1727136 A1

SU 1727136 A1