

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月11日(11.08.2016)



(10) 国際公開番号
WO 2016/125323 A1

- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 27/04 (2006.01)
H01L 21/822 (2006.01) H01L 29/812 (2006.01)
- (21) 国際出願番号: PCT/JP2015/068033
- (22) 国際出願日: 2015年6月23日(23.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-020221 2015年2月4日(04.02.2015) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者: 今井 翔平(IMAI, Shohei); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 弥政 和宏(IYOMASA, Kazuhiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 山中 宏治(YAMANAKA, Koji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 前原 宏昭(MAEHARA, Hiroaki); 〒1008310 東京都千代田区丸の内二丁目7番3号

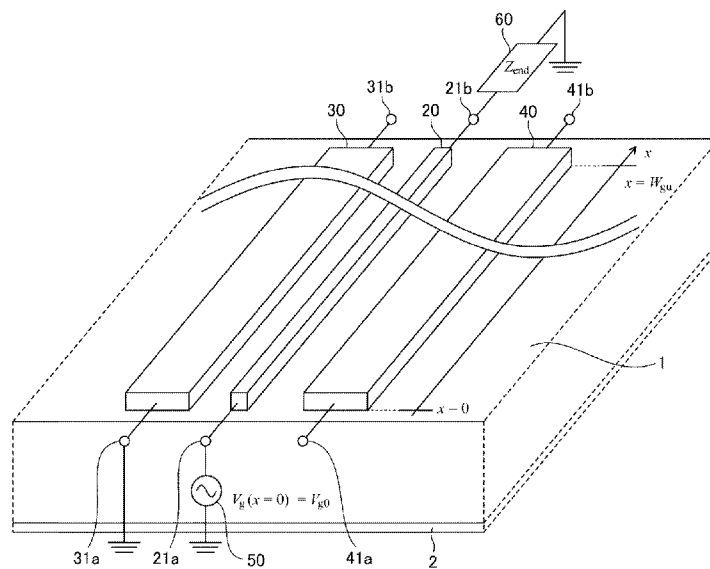
号 三菱電機株式会社内 Tokyo (JP). 金谷 康(KANAYA, Ko); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 國井 徹郎(KUNII, Tetsuo); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 片山 秀昭(KATAYAMA, Hideaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

- (74) 代理人: 田澤 英昭, 外(TAZAWA, Hideaki et al.); 〒1000014 東京都千代田区永田町二丁目12番4号 赤坂山王センタービル5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is equipped with: one or more gate fingers (20) that are provided in an active region on a semiconductor substrate (1); and source fingers (30) and drain fingers (40), which are provided in the active region, and which are alternately disposed by sandwiching the gate fingers (20). The semiconductor device is provided with a terminal circuit (60), which has inductive impedance at a frequency of a signal inputted from input terminals (21a) of the gate fingers (20), and which is directly or indirectly connected to the gate fingers at an area at a distance from the connecting positions of the input terminals (21a) of the gate fingers (20).

(57) 要約:

[続葉有]

WO 2016/125323 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

半導体基板 (1) 上の活性領域に設けられた一本以上のゲートフィンガ (20) と、活性領域に設けられ、ゲートフィンガ (20) を挟んで交互に配置されたソースフィンガ (30) 及びドレインフィンガ (40) とを備えた半導体装置において、ゲートフィンガ (20) の入力端子 (21a) から入力される信号の周波数において誘導性インピーダンスとなり、当該ゲートフィンガ (20) の当該入力端子 (21a) の接続位置から離れた箇所当該ゲートフィンガに直接又は間接的に接続された終端回路 (60) を備えた。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この発明は、高周波電力増幅器に用いられる電界効果型トランジスタ（F E T : F i e l d e f f e c t t r a n s i s t o r）等の半導体装置に関するものである。

背景技術

[0002] 従来から、一本以上のゲートフィンガを挟んでソースフィンガ及びドレインフィンガが交互に平行に配置されたF E Tが知られている（例えば非特許文献1参照）。

先行技術文献

非特許文献

[0003] 非特許文献1：福田益美著” G a A s 電界効果トランジスタの基礎”

発明の概要

発明が解決しようとする課題

[0004] しかしながら、従来のF E Tでは、非特許文献1にも示されている通り、1セル内において、信号の波長に起因する電圧分布が生じるという課題があった。その結果、セル内の一部分が動作せず、F E Tの性能が低下する場合があった。

[0005] この発明は、上記のような課題を解決するためになされたもので、半導体装置の1セル内の電圧を均一化することができる半導体装置を提供することを目的としている。

課題を解決するための手段

[0006] この発明に係る半導体装置は、半導体基板上の活性領域に設けられた一本以上のゲートフィンガと、活性領域に設けられ、ゲートフィンガを挟んで交互に配置されたソースフィンガ及びドレインフィンガとを備えた半導体装置において、ゲートフィンガの入力端子から入力される信号の周波数において

誘導性インピーダンスとなり、当該ゲートフィンガの当該入力端子の接続位置から離れた箇所当該ゲートフィンガに直接又は間接的に接続された終端回路を備えたものである。

発明の効果

[0007] この発明によれば、上記のように構成したので、半導体装置の1セル内の電圧を均一化することができる。

図面の簡単な説明

- [0008] [図1]この発明の実施の形態1に係るFETの構成を示す斜視図である。
[図2]この発明の実施の形態1に係るFETの構造パターンを示す図である。
[図3]この発明の実施の形態1における終端回路の構成例を示す図である。
[図4]この発明の実施の形態1に係るFETの効果を示す図である。
[図5]従来のFETでの1ゲートフィンガ内の電圧分布の解析結果例を示す図である。
[図6]この発明の実施の形態1に係るFETでの1ゲートフィンガ内の電圧分布の解析結果例を示す図である。
[図7]この発明の実施の形態1に係るFETでの入力アドミタンスの解析結果例を示す図である。
[図8]この発明の実施の形態1における終端回路の別の構成例を示す図である。
[図9]図8に示す終端回路において、規格化した入力インピーダンスの虚部と、線路波長との関係を示す図である。
[図10]図8に示す終端回路において、入力インピーダンスの虚部が正となる線路波長の下限及び上限を $Z_0 \omega C$ に関して求めた結果を示す図である。
[図11]この発明の実施の形態1における終端回路の別の構成例を示す図である。
[図12]この発明の実施の形態1における終端回路の別の構成例を示す図である。
[図13]この発明の実施の形態1における終端回路の別の構成例を示す図であ

る。

[図14]図13に示す終端回路の抵抗及びインダクタンスの電圧不均一性とMAGMSGの解析結果例を示す図である。

[図15]この発明の実施の形態1における終端回路の入力インピーダンスに関して効果のある範囲をスミスチャート上に投射した図である。

[図16]この発明の実施の形態1に係るFETでの極低周波領域のK値の解析結果例を示す図である。

[図17]この発明の実施の形態2に係るFETの構造パターンを示す図である。

[図18]この発明の実施の形態2に係るFETでの1ゲートフィンガ内の電圧分布の解析結果例を示す図である。

[図19]この発明の実施の形態2における終端回路の接続方法及び接続位置を変更した場合の高周波特性の解析結果例を示す図である。

[図20]この発明の実施の形態2に係るFETの別の構造パターンを示す図である。

[図21]図20に示す半導体装置における高周波特性の解析結果例を示す図である。

[図22]この発明の実施の形態2における終端回路の構成例を示す図である。

[図23]この発明の実施の形態3に係るFETの構造パターンを示す図である。

[図24]この発明の実施の形態3に係るFETでの1ゲートフィンガ内の電圧分布の解析結果例を示す図である。

[図25]この発明の実施の形態3に係るFETでの高周波特性の解析結果例を示す図である。

[図26]この発明の実施の形態4に係るFETの構造パターンを示す図である。

[図27]この発明の実施の形態5に係るFETの構造パターンを示す図である。

[図28]この発明の実施の形態5に係るFETでの1ゲートフィンガ内の電圧分布の解析結果例を示す図である。

発明を実施するための形態

[0009] 以下、この発明の実施の形態について図面を参照しながら詳細に説明する。

実施の形態1.

図1はこの発明の実施の形態1に係るFETの構成を示す斜視図である。なお以下では、半導体装置として、高周波電力増幅器に用いられるFETを例に説明を行うが、これに限るものではない。

[0010] このFETの半導体基板1上には、活性領域に、一本以上のゲートフィンガ20が配置され、ソースフィンガ30とドレインフィンガ40がゲートフィンガ20を挟んで交互に平行に配置されている。図1では、ゲートフィンガ20、ソースフィンガ30及びドレインフィンガ40が一本ずつ平行に配置されている。なお図1において、符号2はグランドである。また、ゲートフィンガ20のゲート幅を W_{gu} としている。

[0011] ゲートフィンガ20は、一端側（フィンガ方向 $x=0$ ）に入力端子21aを有し、この入力端子21aが信号源50に電氣的に接続されている。また、ソースフィンガ30は、一端側（フィンガ方向 $x=0$ ）の端子31aを介して接地されている。また、ドレインフィンガ40は、他端側（フィンガ方向 $x=W_{gu}$ ）に、外部回路（不図示）に電氣的に接続される接続端子41bを有し、この接続端子41bから増幅された信号が出力される。

[0012] さらに、ゲートフィンガ20は、他端側（フィンガ方向 $x=W_{gu}$ ）の端子21bが、すなわち入力端子21aの接続位置から離れた端部が、本願発明の特徴である終端回路60に接続されている。この終端回路60は、入力端子21aからゲートフィンガ20に入力される信号の周波数において、誘導性インピーダンスとなる回路である。すなわち、上記信号周波数において、入力インピーダンスの虚部が正となる回路である。

[0013] 図2はこの発明の実施の形態1に係るFETの構造パターンを示す図であ

る。図2では、FETの半導体基板1上の活性領域に、一本のゲートフィンガ20が配置され、それぞれ一本ずつのソースフィンガ30とドレインフィンガ40がゲートフィンガ20を挟んで平行に配置されている。すなわち、図2では、FETが1フィンガトランジスタに構成された場合を示している。

[0014] この図2に示すFETにおいて、ソースフィンガ30は、ソース電極32（図1に示す端子31aに相当）を介して接地されている。また、ゲートフィンガ20は、ゲートパッド22（図1に示す入力端子21aに相当）を介して信号源50（図2では不図示）に電氣的に接続される。また、ドレインフィンガ40は、ドレインパッド42（図1に示す接続端子41bに相当）を介して外部回路に電氣的に接続される。

[0015] 図2に示す構成は、一般的な1フィンガトランジスタである。これに対し、必要な出力電力を得るため、上記1フィンガトランジスタを、フィンガ方向又はそれとは垂直な方向に周期的に配置した構成としてもよい。

[0016] そして、図2に示すように、実施の形態1に係るFETでは、1フィンガトランジスタのゲートフィンガ20、又は周期的に配置された1フィンガトランジスタの1周期分のゲートフィンガ20において、ゲートパッド22の接続位置から離れた端部に、終端回路60が接続されている。

[0017] 次に、終端回路60の構成例を図3に示す。

図3に示す終端回路60は、コイル601及びコンデンサ（DCブロック用コンデンサ）602から構成されている。図2では、図3に示す終端回路60を用いた場合を示している。

[0018] コイル601は、一端にゲートフィンガ20側（図2の例ではゲートフィンガ20の端部）に接続される接続端子603を有するものである。このコイル601は、コイル601自身が有するインダクタンスを用いて、終端回路60のインピーダンスを信号周波数において誘導性にする機能を有する。

コンデンサ602は、一端がコイル601の接続端子603側とは反対側である他端に直列接続され、他端が接地されたものである。このコンデンサ

602は、主として、ゲートに加えるバイアス直流電圧が短絡されないよう機能する。

なお図3に示す配置に限るものではなく、コイル601とコンデンサ602の配置を反対にしてもよい。

[0019] なお実施の形態1では、信号周波数において誘導性インピーダンスとなる終端回路60を、ゲートフィンガ20の端部（フィンガ方向 $x = W_{gu}$ ）で接続することを特徴としている。そのため、終端回路60の構成は様々な形態があり、図3以外の構成例については後述する。

[0020] 次に、実施の形態1に係るFETによる高周波特性の一例として、FETが安定に実現できる最大の利得（以下、MAGMSG）の解析結果例を図4に示す。図4の解析では、図3に示す終端回路60を用いた。また、図4において、実線は実施の形態1に係るFETによる周波数特性であり、破線は従来のFETによる周波数特性である。

この図4に示すように、従来のFETにおいて高周波領域（約30GHz以上）で低下していた利得が、実施の形態1に係るFETでは改善していることがわかる。

[0021] 次に、従来のFETでの1ゲートフィンガ20内の電圧分布の解析結果例を図5に示す。図5の解析では、SiC基板上のGaNにゲート長0.25 μm 、ゲート幅（ W_{gu} ）100 μm のFETを形成し、解析周波数を30GHzとした場合を示している。また、図5において、実線は規格化した電圧振幅の分布であり、破線は規格化した電圧位相の分布である。

この図5に示すように、従来のFETでは、ゲートフィンガ20内での電圧振幅の変動が約0.5となり、電圧位相の変動が約40°となっている。

[0022] 次に、実施の形態1に係るFETでの1ゲートフィンガ20内の電圧分布の解析結果例を図6に示す。図6の解析では、図5の解析条件と同じとしてあるが、図3に示す終端回路60を用い、静電容量無限大のコンデンサ602と、0.3nHのインダクタンスのコイル601を用いた。また、図6において、実線は規格化した電圧振幅の分布であり、破線は規格化した電圧位

相の分布である。

この図6に示すように、実施の形態1に係るFETでは、ゲートフィンガ20内での電圧振幅の変動が約0.2となり、電圧位相の変動が約10°となっている。すなわち、図5に示す従来のFETでの解析結果例と比較して、ゲートフィンガ20内の電圧分布が一様になっている。そして、その一つの効果として、図4に示した高周波領域での利得の改善が得られる。

[0023] また、実施の形態1に係るFETの副次的効果として、入力アドミタンスの低減がある。

FETは、高周波において、FET自身が有するゲートソース間容量の影響によって入力アドミタンスが高くなる。FETを増幅器として用いる場合、入力アドミタンスが高いFETではインピーダンス整合比が高くなり、増幅器が良好な特性を示す周波数範囲に悪影響を及ぼす。

[0024] 実施の形態1に係るFETでの入力アドミタンスの計算結果例を図7に示す。図7において、一点鎖線は従来のFETでの入力アドミタンス(0.053S)であり、実線は実施の形態1に係るFETでの入力アドミタンスの計算結果例であり、横軸は終端回路60におけるコイル601のインダクタンスである。

この図7に示すように、実施の形態1のFETでは、従来のFETに対して、入力アドミタンスを低下できることがわかる。また、実施の形態1のFETでは、入力アドミタンスを最も下げることができるインダクタンスが存在する。そして、コイル601として、この入力アドミタンスを最低とするインダクタンスより高い値のものを選定することで、面積効率を向上させることができる。

[0025] 次に、終端回路60の別の構成例を図8, 11~13に示す。

図8に示す終端回路60は、図3において誘導性負荷を実現するために用いたコイル601を、伝送線路604に置き換えたものである。

伝送線路604は、一端にゲートフィンガ20側に接続される接続端子603を有し、線路長 l が信号周波数における半波長以下の長さ($0 < l < \lambda$)。

／ 2) に構成されたものである。

なお、コンデンサ 602 は、一端が伝送線路 604 の他端に直列接続されている。

[0026] ここで、伝送線路 604 の線路長 l は、伝送線路理論に基づき設計される。

すなわち、線路長 l の低損失な伝送線路 604 の終端に容量 C のコンデンサ 602 が接続された場合、入力インピーダンスの虚部 $\text{Im}\{Z_{in}\}$ は下式 (1) で表される。

$$\text{Im}\{Z_{in}\} = Z_0 \frac{-\frac{1}{\omega C} + Z_0 \tan \beta l}{Z_0 + \frac{\tan \beta l}{\omega C}} \quad (1)$$

なお式 (1) において、 Z_0 は特性インピーダンスであり、 ω は角周波数であり、 β は位相定数である。

[0027] さらに、式 (1) の入力インピーダンスの虚部を特性インピーダンスで規格化すると、下式 (2) となる。

$$\frac{\text{Im}\{Z_{in}\}}{Z_0} = \frac{-\frac{1}{Z_0 \omega C} + \tan \beta l}{1 + \frac{\tan \beta l}{Z_0 \omega C}} \quad (2)$$

この式 (2) から明らかなように、 $Z_0 \omega C$ の値によって入力インピーダンスの虚部が正となる範囲 βl が変動する。

[0028] 図 8 に示す終端回路 60 において、規格化したインピーダンスの虚部と伝送線路 604 の線路波長との関係を図 9 に示す。図 9 において、実線は容量の大きいコンデンサ 602 を想定した場合 ($Z_0 \omega C = 100$)、破線は容量が中くらいのコンデンサ 602 を想定した場合 ($Z_0 \omega C = 1$)、二点鎖線は容量が小さいコンデンサ 602 を想定した場合 ($Z_0 \omega C = 0.01$) を示している。

この図 9 に示すように、コンデンサ 602 の容量によって、入力インピーダンスの虚部が正となる範囲が変動する。

[0029] また、図8に示す終端回路60において、入力インピーダンスの虚部が正となる伝送線路604の線路波長の下限及び上限を $Z_0 \omega C$ に関して求めた結果を図10に示す。なお図10において線路波長の下限を破線で示し、上限を実線で示している。

この図10に示すように、使用するコンデンサ602の容量が決定していない状態では、線路長 l の範囲は $0 < l < \lambda_g / 2$ となる。

[0030] コンデンサ602に半波長以下の線路長の伝送線路604を接続した回路は、静電容量と線路長を適切に選択することで、図3と同等の動作をする。これによって、終端回路60の誘導性インピーダンスを実現することができる。

なお図8に示す配置に限るものではなく、伝送線路604とコンデンサ602の配置を反対にしてもよい。

[0031] 図11に示す終端回路60は、伝送線路605から構成されている。

伝送線路605は、一端にゲートフィンガ20側に接続される接続端子603を有し、他端が開放され、線路長 l が信号周波数における四分の一波長以上且つ半波長以下の長さ($\lambda_g / 2 < l < \lambda_g / 4$)に構成されたものである。この構成によっても、終端回路60の誘導性インピーダンスを実現することができる。

[0032] 図12に示す終端回路60は、図3に示す構成に、抵抗606及びゲートバイアス端子607を追加したものである。

抵抗606は、一端がコイル601とコンデンサ602との接続点に接続されたものである。また、ゲートバイアス端子607は、抵抗606の他端に接続され、ゲートバイアスを供給するものである。

図12に示す終端回路60を用いることで、FETでの低周波領域における発振に対して安定性が改善される。

[0033] 図13に示す終端回路60は、図3に示す構成に、抵抗(第2の抵抗)608を追加したものである。

抵抗608は、終端回路60の主回路部分に直列接続されたものである。

図13では、コイル601とコンデンサ602との間に挿入されている。

図13に示す終端回路60は、信号周波数の入力電力の一部を抵抗608で消費する構成であり、図3, 8, 11, 12に示す終端回路60より高周波特性が低下する。しかしながら、従来の半導体装置のように終端回路60がない構成と比較して、図13に示す終端回路60を設けることで、ゲート電圧の分布が低減するため、高周波特性が改善される。

[0034] ここで、図13に示す終端回路60のコンデンサ602を無限大とし、抵抗608 (R) 及びコイル601のインダクタンスLを変数として解析した結果を図14に示す。図14 (a) はFET内のゲート電圧の不均一性を算出して等高線で示した図である。図14 (b) はMAGMSGを解析して等高線で示した図である。

なお、図14 (a) に示すゲート電圧の不均一性とは、ゲート電圧の標準偏差をゲート電圧の平均値で規格化した値である。このゲート電圧の不均一性は、小さいことが望ましく、理想状態で0となる評価値である。なお、 $R=0$ の極限が、図3に示す終端回路60と同値となる条件である。また、図14上の破線は、ゲートフィンガ20における特性インピーダンスの実部を示している。

[0035] 図3に示す終端回路60を用いた場合には、ゲート電圧の不均一性の限界値は0.104であり、MAGMSGは10.88 dBである。一方、従来の半導体装置のように終端回路60を接続しない場合には、ゲート電圧の不均一性は0.595であり、MAGMSGは9.15 dBである。

これに対して、図13に示す構成では、抵抗608が0ではない場合も、終端回路60を接続しない場合と比較して、概ね、ゲート電圧の不均一性が少なく、MAGMSGを高くすることができている。

[0036] ゲート電圧の不均一性に関しては、図13に示す終端回路60の抵抗608 (R) を、ゲートフィンガ20における特性インピーダンスの実部より小さい範囲とすることで、特に高い改善が確認できる。また、MAGMSGについても、図13に示す終端回路60の抵抗608 (R) を、ゲートフィン

が20における特性インピーダンスの実部より小さい範囲とすることで、特に高い改善が確認できる。

[0037] 次に、図13に示す終端回路60において、本願発明の効果として確認できたインピーダンス範囲と、特に強い効果を確認できたインピーダンス範囲を、スミスチャート上に反映させた図を図15に示す。

この図15に示すように、終端回路60のインピーダンスが、実軸を含むスミスチャートの上半分（図15の範囲1301, 1303）にあるときに本願発明の効果がある。また、特に効果が高いのは、終端回路60のインピーダンスが、ゲートフィンガ20における特性インピーダンスの実部1302以下となる範囲1303である。上記ゲートフィンガ20における特性インピーダンスは、FETの真正部の単位ゲート幅あたりのYパラメータの成分 $(1, 1) y_{11}$ とゲートフィンガ20の単位ゲート幅あたりのインピーダンス Z_{Fin} を用いて下式(1)によって定義される。

$$\sqrt{(Z_{Fin} \cdot y_{11})} \quad (1)$$

[0038] 次に、図13に示す終端回路60での副次的効果について説明する。

図13に示す終端回路60を用いた場合、抵抗608が安定化の役割を果たす。

信号周波数の周辺の周波数では、入力電力を抵抗608が消費するために想像が容易であるが、極低周波の安定性が改善されることがわかっている。例として、信号周波数より十分に低いと考えられる1MHzの安定性(K値)について解析した結果を図16に示す。

[0039] 図16では、図13に示す終端回路60の抵抗608を10Ωとし、終端回路60のコンデンサ602の静電容量を横軸としている。また、図16において、実線は本願発明の適用となる $x=Wgu$ に終端回路60を接続した場合であり、破線は本願発明の非適用となる $x=0$ に終端回路60を接続した場合である。

この図16に示すように、同じ静電容量を用いた場合には、本願発明の適用により安定性が高くなる。別の言い方をすれば、同じ安定性を得るための

コンデンサ602の静電容量を低く実現でき、コンデンサ602の静電容量を実現するスペースを小さくできる効果がある。図16の例では、本願発明の適用により、同じ安定性を得るためのコンデンサ602の静電容量を約1/3とすることができる。

[0040] また、終端回路60のコンデンサ602に関して、半導体の接合容量を用いた場合にも同様に本願発明の効果が得られる。半導体の接合容量を用いた場合、FETを作るプロセスにおいて必要な静電容量が得られるため、製造の簡易化という効果が得られる。

[0041] 以上のように、この実施の形態1によれば、1フィンガトランジスタにおいて、ゲートフィンガ20の入力端子21aから入力される信号の周波数において誘導性インピーダンスとなり、ゲートフィンガ20の入力端子21aの接続位置から離れた端部に接続された終端回路60を備えたので、FETの1セル内の電圧を均一化することができる。

[0042] なお図13では、図3に示すコイル601とコンデンサ602との間に抵抗608を挿入した場合について示したが、これに限るものではなく、終端回路60の主回路部分に抵抗608を直列接続したものであればよい。例えば、図8、12に示す終端回路60又は後述する図22に示す終端回路60の主回路部分に抵抗608を直列接続してもよく、同様の効果を得ることができる。また、主回路部分における抵抗608の接続箇所はどの箇所でもよく、図13に示すようにコイル601とコンデンサ602との間である必要はない。

[0043] 実施の形態2.

図2に示す実施の形態1では1フィンガトランジスタの場合について説明を行った。それに対し、実施の形態2ではマルチフィンガトランジスタの場合について説明を行う。図17はこの発明の実施の形態2に係るFETの構造パターンを示す図である。

[0044] 図17に示すFETでは、半導体基板1上の活性領域に、複数本のゲートフィンガ20が平行に配置され、複数本のソースフィンガ30と複数本のド

レイニングフィンガ40がゲートフィンガ20を挟んで交互に平行に配置されている。なお図17では、簡略化のため、ソースフィンガ30の接地については図示を省略している。

[0045] また、全てのゲートフィンガ20は、一端がゲートバス23により束ねられ、ゲートパッド22（図1に示す入力端子21aに相当）に接続されている。そして、ゲートフィンガ20は、このゲートパッド22を介して信号源50（図17では不図示）に電氣的に接続される。また、全てのドレインフィンガ40は、一端がドレインエアブリッジ43を介してドレインバス44（図1に示す接続端子41bに相当）により束ねられている。そして、ドレインフィンガ40は、このドレインバス44を介して外部回路に電氣的に接続される。

[0046] また、全てのゲートフィンガ20は、活性領域を挟んでゲートパッド22が配置された領域とは反対側の領域において、ドレインエアブリッジ43の下を通る連結線路24により連結されている。そして、連結線路24には、終端回路60が接続されている。この際、連結線路24のうち、ゲートパッド22の接続位置から最も離れた位置に終端回路60を接続することが望ましい。

[0047] 図17に示す終端回路60は、実施の形態1で示した終端回路60のうち最も単純な回路である、コイル601とコンデンサ602を直列接続した図3に示す回路を例にとっている。しかしながら、実施の形態2における終端回路60は、図3に示す構成に限るものではなく、信号周波数において誘導性インピーダンスとなる回路であればよく、図8, 11~13に示す終端回路60でもよい。但し、実施の形態2におけるマルチフィンガトランジスタの場合には、ゲートフィンガ20の特性インピーダンスが、1フィンガトランジスタの場合と比較して並列数に応じて概ね反比例になることに注意する必要がある。

[0048] このように、図17に示すマルチフィンガトランジスタ構成であっても、実施の形態1と同様に、終端回路60を用いて、ゲートフィンガ20を誘導

性インピーダンスで終端することで、ゲートフィンガ20内の電圧分布を改善でき、高周波特性を改善することができる。

[0049] また、図17に示す構成では、ゲートフィンガ20内の電圧分布を改善できる効果に加え、ゲートフィンガ20間の電圧分布も改善することができる。

ゲートフィンガ20を複数本用いるマルチフィンガトランジスタでは、実施の形態1で述べたフィンガ方向の電圧分布に加え、図17に示すフィンガ間方向にも電圧が分布する。このゲートフィンガ20間の電圧分布は、ゲートフィンガ20間に発生する位相差に影響される。マルチフィンガトランジスタにおけるゲートフィンガ20間の位相差は、下式(2)で求めることができる。

$$\text{Im} \{ \cosh^{-1} (1 - (\Psi_{11} \cdot Z_{\text{BUS}} / 2)) \} \quad (2)$$

ここで、 Ψ_{11} は1フィンガトランジスタの入力アドミタンスであり、 Z_{BUS} はゲートバス23におけるゲートフィンガ20間に寄生するインピーダンスである。

[0050] この式(2)に示すように、ゲートフィンガ20間の位相差を低減させるためには、1フィンガトランジスタの入力アドミタンスとゲートフィンガ20間のインピーダンスの積を低減することが望ましい。1フィンガトランジスタの入力アドミタンスは、実施の形態1の副次的効果で述べたとおり、ゲートフィンガ20の端部($x=Wg_u$)で誘導性インピーダンスを有する終端回路60により終端することで低減することができる。

したがって、図17に示すFETでは、ゲートフィンガ20内の電圧分布の均一性の改善と、ゲートフィンガ20間の電圧分布の均一性の改善との両方に対して効果を発揮し、FETの高周波特性を改善することができる。

[0051] 次に、実施の形態2に係るFETでの1ゲートフィンガ20内の電圧分布の解析結果例を図18に示す。図18の解析では、8フィンガのマルチフィンガトランジスタを用いている。

また、図18では、ゲートフィンガ20を $x=Wg_u$ で連結し、図3に示

す終端回路60のコイル601のインダクタンスを0.027 nH、コンデンサ602の静電容量を無限大とし、ゲートバス23の各ゲートフィンガ20との接続位置における電圧を解析した。図18(a)はゲートバス23における規格化した電圧振幅であり、図18(b)はゲートバス23における規格化した電圧位相である。図18(a), (b)において、実線は実施の形態2に係るFETの解析結果であり、破線は従来のFETの解析結果である。

図18に示すように、電圧振幅については、従来のFETの場合では約0.6の電圧振幅偏差があるが、実施の形態2に係るFETでは約0.2の電圧振幅偏差である。また、電圧位相についても、従来のFETでは約80°の電圧位相偏差があるのに対して、実施の形態2に係るFETでは約30°程度となっている。この電圧偏差の改善によりマルチフィンガトランジスタの高周波特性が改善される。

[0052] なお図17では、全てのゲートフィンガ20を連結し、誘導性インピーダンスを有する終端回路60を、連結線路24のゲートパッド22から最も離れた位置に接続した場合を示した。しかしながら、これに限るものではなく、ゲートフィンガ20毎に終端回路60を設け、各終端回路60を連結線路24の対応するゲートフィンガ20の接続位置に接続してもよく、同様の効果を得ることができる。

なお、現実的には、回路サイズの制約上等で、ゲートフィンガ20毎に終端回路60が配置できない場合がしばしばある。その場合には、数個の終端回路60をまとめて一つにする。

[0053] また図17では、全てのゲートフィンガ20を連結し、誘導性インピーダンスを有する終端回路60を、連結線路24のゲートパッド22から最も離れた位置に接続した場合を示した。しかしながら、これに限るものではなく、連結線路24のゲートパッド22に最も近い位置に接続した場合にも類似の効果が得られる。

[0054] 実施の形態2における終端回路60の接続方法及び接続位置を変更した場

合でのMAGMSGの高周波特性の解析結果例を図19に示す。図19(a)はゲートフィンガ20毎に終端回路60を接続した場合を示し、図19(b)は連結線路24のゲートパッド22から最も離れた位置に終端回路60を接続した場合を示し、図19(c)は連結線路24のゲートパッド22に最も近い位置に終端回路60を接続した場合を示している。なお図19において、実線は実施の形態2に係るFETの解析結果例であり、破線は従来のFETの解析結果例である。

この場合、図19(a)に示すゲートフィンガ20毎に終端回路60を接続した場合が、最も高周波まで高い利得が実現できている。そして、図19(b)に示す連結線路24のゲートパッド22から最も離れた位置に終端回路60を接続した場合が、二番目に高周波特性が改善できている。そして、図19(c)に示す連結線路24のゲートパッド22に最も近い位置に終端回路60を接続した場合が、高周波特性を改善する量が最も少ない。すなわち、図19(c)の構成では、連結線路24内にも電圧分布が生じてしまう。そのため、上記のような終端回路60の接続方法及び接続位置の違いによって優位性が生じる。

[0055] また、マルチフィンガトランジスタのゲートフィンガ20のうち数本のみを連結線路24で束ね、終端回路60を接続した場合にも同様の効果が得られる。例として、10本のゲートフィンガ20を有するマルチフィンガトランジスタにおいて、両端の2本のゲートフィンガ20を端部($x=W_{gu}$)において連結線路24で連結し、図3に示す終端回路60を接続した構成を図20に示す。また、図20に示す構成において、終端回路60のコイル601のインダクタンスを 0.04 nH 、コンデンサ602の静電容量を無限大とした場合でのMAGMSGの解析結果例を図21に示す。なお図21において、実線は図20に示すFETでの解析結果例であり、破線は従来のFETでの解析結果例である。

この図21に示すように、図20に示す構成においても、高周波特性が大きく改善していることがわかる。

[0056] 次に、マルチフィンガトランジスタに用いる終端回路60として、特に有効な構成例を図22に示す。

マルチフィンガトランジスタでは、極めて高い周波数（ミリ波帯等）においてFET内で帰還ループができてしまい、発振することがある。この発振周波数が信号周波数よりも高いときには、図22に示す終端回路60を用いることが有効である。

[0057] 図22に示す終端回路60は、図3に示す構成に、コイル601に並列接続された抵抗609を追加したものである。図22に示す終端回路60は、信号周波数においてコイル601の有するインダクタンスによって誘導性の入力インピーダンスとなる。さらに高い周波数では、コイル601のインピーダンスが高くなり、並列接続した抵抗606が優勢となり大きい損失を起こす。したがって、図22に示す終端回路60では、周波数が高くなるにつれて損失が増大し、不要な高い周波数の利得を低減させる効果がある。これによって発振が生じるリスクが低減される。当然ではあるが、図22に示す回路に直列に抵抗608を入れた回路は実施の形態1で述べた通り低周波領域の安定性を向上させる効果がある。

なお、図22に示す終端回路60は、1フィンガトランジスタにも適用可能である。

[0058] 以上のように、この実施の形態2によれば、マルチフィンガトランジスタにおいて、活性領域を挟んでゲートバス23が設けられた領域とは反対側の領域に設けられ、ゲートフィンガ20の他端側を連結する連結線路24と、ゲートバス23に接続された入力端子21aから入力される信号の周波数において誘導性インピーダンスとなり、連結線路24に接続された終端回路60とを備えても、FETの1セル内の電圧を均一化することができる。

[0059] 実施の形態3.

図23はこの発明の実施の形態3に係るFETの構造パターンを示す図である。この図23に示す実施の形態3に係るFETは、図17に示す実施の形態2に係るFETから連結線路24を取除き、終端回路60の接続位置を

変更したものである。また、ドレインエアブリッジ43も不要であり、各ドレインフィンガ40はドレインバス44に直接接続されている。その他の構成は同様であり、同一の符号を付して異なる部分についてのみ説明を行う。

[0060] 図23に示す実施の形態3に係るFETでは、終端回路60が、マルチフィンガトランジスタのゲートバス23に接続されている。この際、ゲートバス23のゲートパッド22の接続位置から最も離れた位置に終端回路60を接続することが望ましい。

[0061] 実施の形態2で述べたように、マルチフィンガトランジスタではゲートフィンガ20間に位相差があり、それが電圧分布を引き起こし、高周波特性を劣化させる。したがって、ゲートパッド22の接続位置である給電点から離れた位置であるゲートバス23の両端において、境界条件を変更することで、ゲートフィンガ20間に生じる電圧分布を変更できる。解析によって、ゲートフィンガ20間の電圧分布を改善するのは、誘導性インピーダンスであることがわかっている。

[0062] 次に、実施の形態3に係るFETでの1ゲートフィンガ20内の電圧分布の解析結果例を図24に示す。図24では、図22に示す終端回路60のコイル601のインダクタンスを 0.063 nH とし、コンデンサ602の静電容量を無限大とし、ゲートバス23の各ゲートフィンガ20との接続位置における電圧を解析した。図24(a)はゲートバス23における規格化した電圧振幅であり、図24(b)はゲートバス23における規格化した電圧位相である。図24(a), (b)において、実線は実施の形態3に係るFETの解析結果であり、破線は従来FETの解析結果である。

この図24に示すように、電圧振幅については、従来FETの場合では約0.6の電圧振幅偏差があるが、実施の形態3に係るFETでは約0.3の電圧振幅偏差である。また、電圧位相についても、従来FETでは約 80° の電圧位相偏差があるのに対して、実施の形態3に係るFETでは約 50° 程度となっている。この電圧偏差の改善によりマルチフィンガトランジスタの高周波特性が改善される。また、このときの周波数特性を図25に示

す。この図25から、わずかではあるが、高周波特性が改善していることがわかる。なお図25において、実線は実施の形態3に係るFETの解析結果例であり、破線は従来のFETの解析結果例である。

[0063] 以上のように、この実施の形態3によれば、マルチフィンガトランジスタにおいて、ゲートバス23に接続された入力端子21aから入力される信号の周波数において誘導性インピーダンスとなり、当該ゲートバス23に接続された終端回路60を備えても、FETの1セル内の電圧を均一化することができる。

[0064] 実施の形態4.

図26はこの発明の実施の形態4に係るFETの構造パターンを示す図である。この図26に示す実施の形態4に係るFETは、図23に示す実施の形態3に係るFETの終端回路60をゲートフィンガ20毎に設けたものである。その他の構成は同様であり、同一の符号を付して異なる部分についてのみ説明を行う。

[0065] 図26に示す実施の形態4に係るFETでは、終端回路60がゲートフィンガ20の数と同数設けられ、各終端回路60が、ゲートバス23の対応するゲートフィンガ20の接続位置に接続されている。

[0066] ここで、終端回路60の入力アドミタンスは、信号周波数における虚部が、1フィンガトランジスタの入力アドミタンスの虚部と符号が逆であり且つ絶対値が同じであるように選定するのが望ましい。式(2)からフィンガ間の位相差を低減するためには1フィンガトランジスタの入力アドミタンスを下げるのが効果的であることは、前述の通りである。

そして、1フィンガトランジスタの入力アドミタンスを等価的に下げる方法として、1フィンガトランジスタの入力アドミタンスの虚部と符号が異なり且つ絶対値が等しい入力アドミタンスの虚部を有する回路を並列に接続する。これにより、1フィンガトランジスタと負荷した回路の入力アドミタンスの虚部が互いに打ち消し合い、低いアドミタンスを実現できる。

[0067] しかしながら、現実的には、回路サイズの制約上等で、ゲートフィンガ2

0毎に終端回路60が配置できない場合がしばしばある。その場合には、数個の終端回路60をまとめて一つにする。

[0068] 以上のように、この実施の形態4によれば、ゲートバス23に複数の終端回路60を接続したので、実施の形態3における効果に加え、終端回路60の入力アドミタンスを低下させることができる。

[0069] 実施の形態5.

図27はこの発明の実施の形態5に係るFETの構造パターンを示す図である。図27に示す実施の形態5に係るFETは、図17に示す実施の形態2に係るFETの構成と、図23に示す実施の形態3に係るFETの構成とを組み合わせたものである。

[0070] 図17に示す実施の形態2の構成では、ゲートフィンガ20間の位相差を低減させる効果がある。しかしながら、実施の形態2の構成でゲートフィンガ20間の位相差及び電圧分布が全くなくなるわけではない。そこで、実施の形態5では、実施の形態2で解消しきれなかったゲートフィンガ20間の電圧分布を、実施の形態3の構成を用いてさらに改善するものである。

[0071] 実施の形態5に係るFETでの1ゲートフィンガ20内の電圧分布の解析結果例を図28に示す。図28では、図27に示す連結線路24に接続された終端回路60のコイル601のインダクタンスを0.027nHとし、ゲートバス23に接続された終端回路60のコイル601のインダクタンスを0.316nHとし、両終端回路60のコンデンサ602の静電容量を無限大とし、ゲートバス23の各ゲートフィンガ20との接続位置における電圧を解析した。図28(a)はゲートバス23における規格化した電圧振幅であり、図28(b)はゲートバス23における規格化した電圧位相である。図28(a), (b)において、実線は実施の形態5に係るFETの解析結果であり、破線は従来FETの解析結果である。

この図28に示すように、電圧振幅については、従来FETの場合では約0.6の電圧振幅偏差があるが、実施の形態5に係るFETでは約0.1の電圧振幅偏差である。電圧位相についても、従来FETでは約80°の

電圧位相偏差があるのに対して、実施の形態5に係るFETでは約20°程度となっている。この電圧偏差の改善によりマルチフィンガトランジスタの高周波特性が改善される。

[0072] 以上のように、この実施の形態5によれば、実施の形態2, 3の構成を組み合わせるように構成したので、実施の形態2に対し、ゲートフィンガ20間の電圧分布をより改善することができる。

[0073] なお、本願発明はその発明の範囲内において、各実施の形態の自由な組み合わせ、あるいは各実施の形態の任意の構成要素の変形、もしくは各実施の形態において任意の構成要素の省略が可能である。

産業上の利用可能性

[0074] この発明に係る半導体装置は、半導体装置の1セル内の電圧を均一化することができ、高周波電力増幅器に用いられる電界効果型トランジスタ等の半導体装置等に用いるのに適している。

符号の説明

[0075] 1 半導体基板、2 グランド、20 ゲートフィンガ、21a, 21b 端子、22 ゲートパッド、23 ゲートバス、24 連結線路、30 ソースフィンガ、31a, 31b 端子、32 ソース電極、40 ドレインフィンガ、41a, 41b 端子、42 ドレインパッド、43 ドレインエアブリッジ、44 ドレインバス、50 信号源、60 終端回路、601 コイル、602 コンデンサ、603 接続端子、604 伝送線路、605 伝送線路、606 抵抗、607 ゲートバイアス端子、608 抵抗(第2の抵抗)、609 抵抗。

請求の範囲

- [請求項1] 半導体基板上の活性領域に設けられた一本以上のゲートフィンガと、前記活性領域に設けられ、前記ゲートフィンガを挟んで交互に配置されたソースフィンガ及びドレインフィンガとを備えた半導体装置において、
- 前記ゲートフィンガの入力端子から入力される信号の周波数において誘導性インピーダンスとなり、当該ゲートフィンガの当該入力端子の接続位置から離れた箇所であって当該ゲートフィンガに直接又は間接的に接続された終端回路を備えた
- ことを特徴とする半導体装置。
- [請求項2] 前記ゲートフィンガ、前記ソースフィンガ及び前記ドレインフィンガはそれぞれ一本ずつ設けられ、
- 前記終端回路は前記ゲートフィンガに直接接続された
- ことを特徴とする請求項1記載の半導体装置。
- [請求項3] 前記ゲートフィンガ、前記ソースフィンガ及び前記ドレインフィンガはそれぞれ複数本ずつ設けられ、
- 全ての前記ゲートフィンガの一端側を束ねるゲートバスと、
- 前記活性領域を挟んで前記ゲートバスが設けられた領域とは反対側の領域に設けられ、前記ゲートフィンガの他端側を連結する連結線路とを備え、
- 前記終端回路は前記連結線路に接続された
- ことを特徴とする請求項1記載の半導体装置。
- [請求項4] 前記ゲートフィンガ、前記ソースフィンガ及び前記ドレインフィンガはそれぞれ複数本ずつ設けられ、
- 全ての前記ゲートフィンガの一端側を束ねるゲートバスを備え、
- 前記終端回路は前記ゲートバスに接続された
- ことを特徴とする請求項1記載の半導体装置。
- [請求項5] 前記終端回路は、前記ゲートバスにも接続された

ことを特徴とする請求項3記載の半導体装置。

[請求項6] 前記終端回路は、前記入力端子の接続位置から最も離れた位置に接続された

ことを特徴とする請求項3記載の半導体装置。

[請求項7] 前記終端回路は、前記入力端子の接続位置から最も離れた位置に接続された

ことを特徴とする請求項4記載の半導体装置。

[請求項8] 前記終端回路は複数設けられた

ことを特徴とする請求項3記載の半導体装置。

[請求項9] 前記終端回路は複数設けられた

ことを特徴とする請求項4記載の半導体装置。

[請求項10] 前記終端回路は、

線路長が前記入力端子から入力される信号の周波数における半波長以下の長さである伝送線路と、

前記伝送線路に直列接続されたコンデンサとを有し、

前記終端回路の端部が接地された

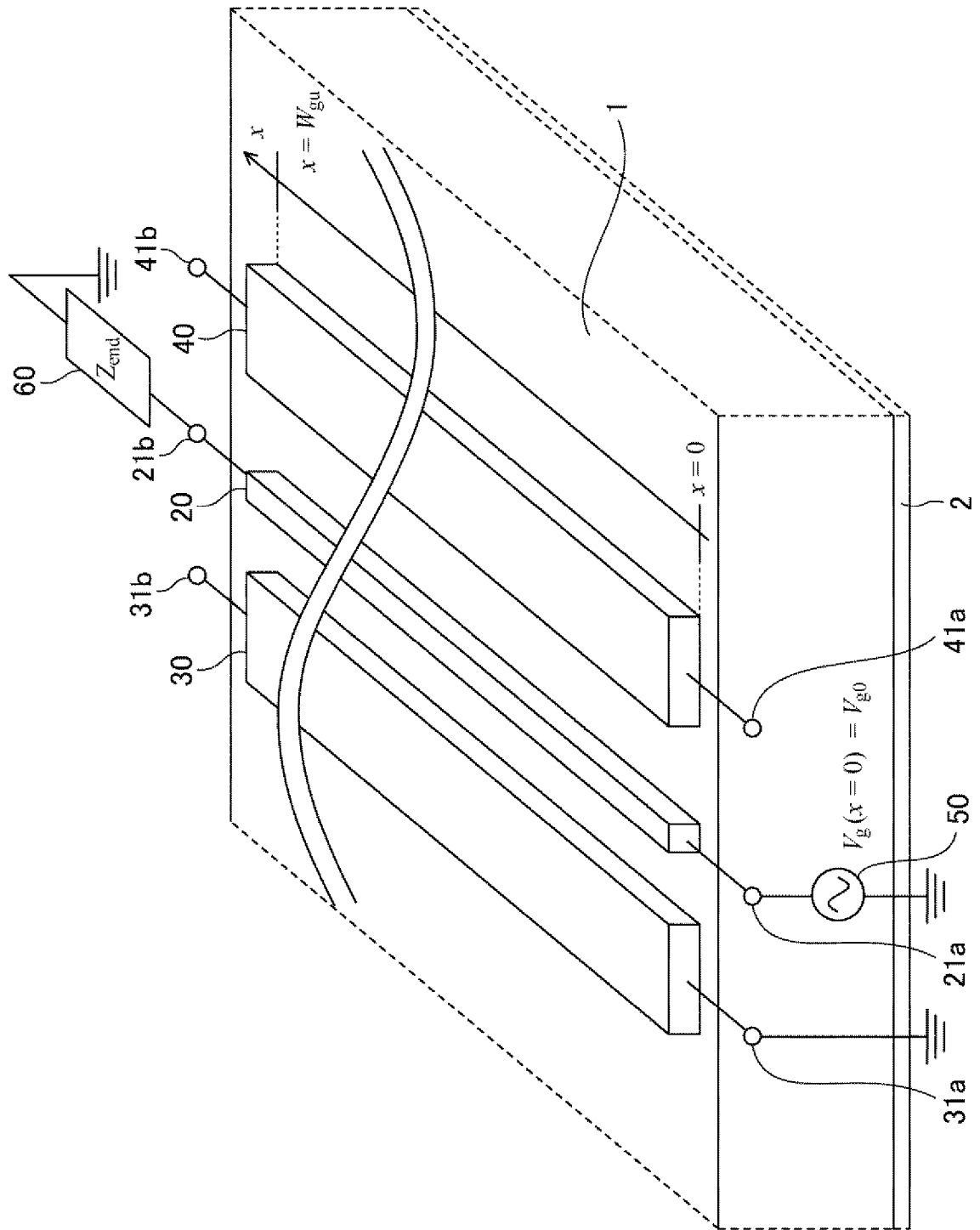
ことを特徴とする請求項1記載の半導体装置。

[請求項11] 前記終端回路は、

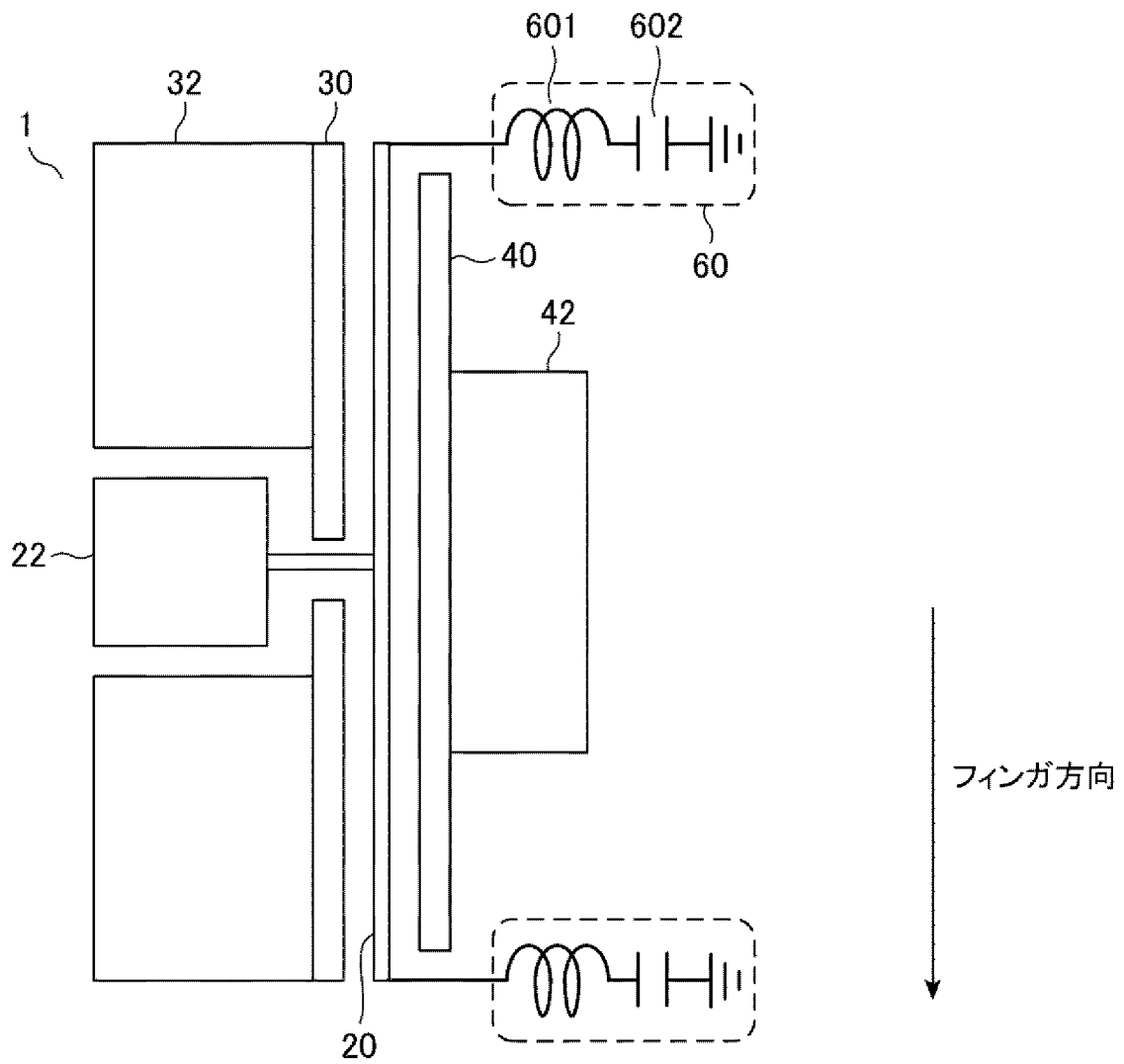
端部が開放され、線路長が前記入力端子から入力される信号の周波数における四分の一波長以上且つ半波長以下の長さである伝送線路を有する

ことを特徴とする請求項1記載の半導体装置。

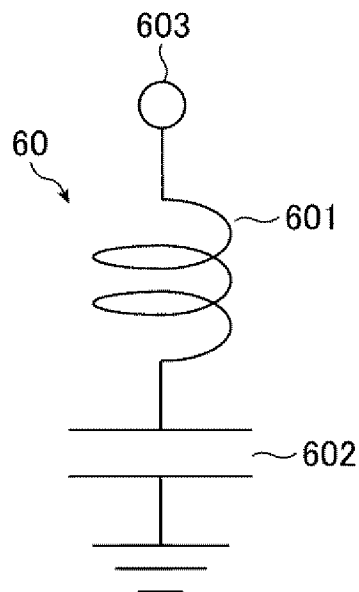
[図1]



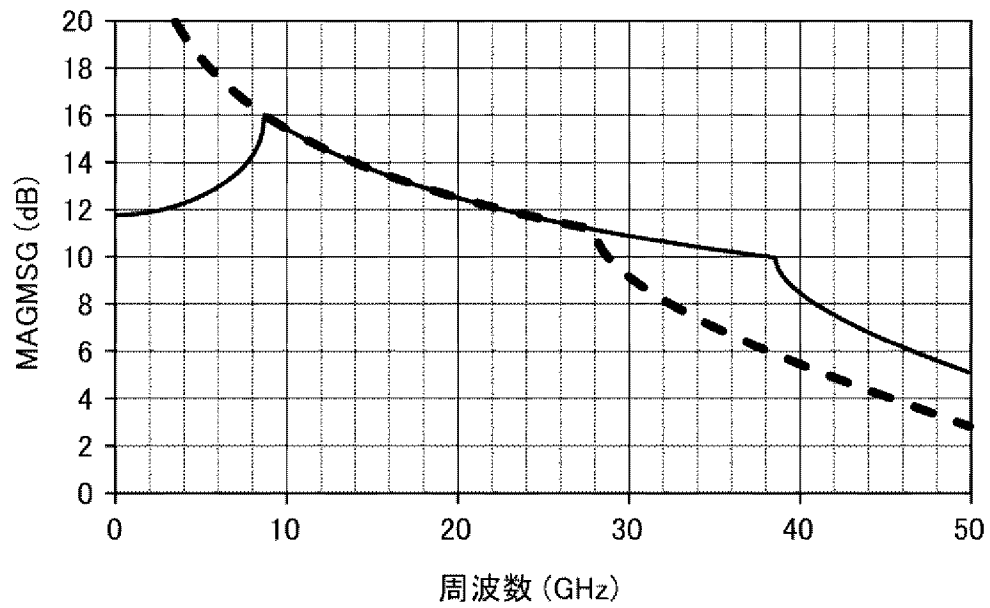
[図2]



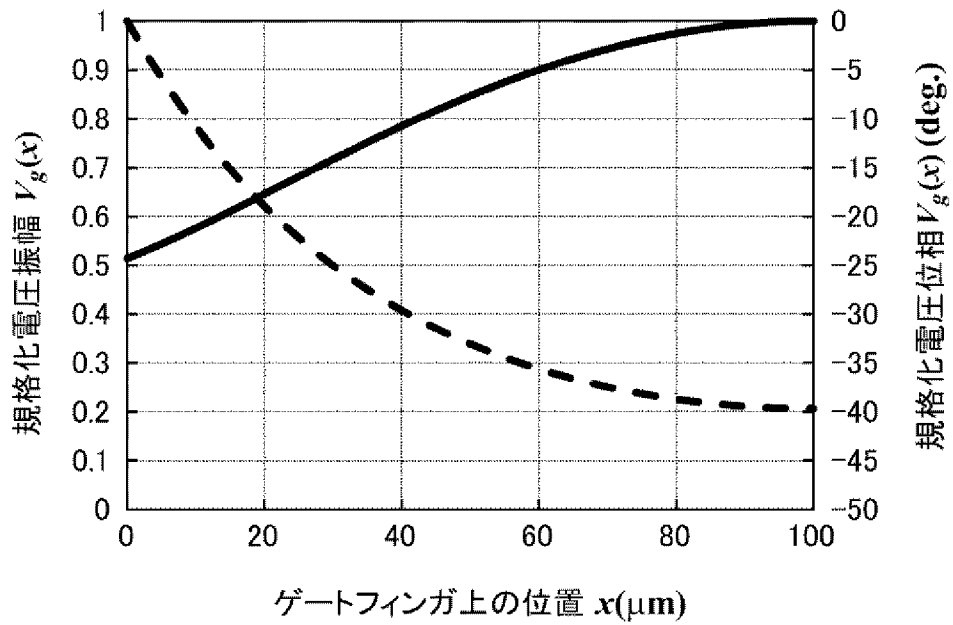
[図3]



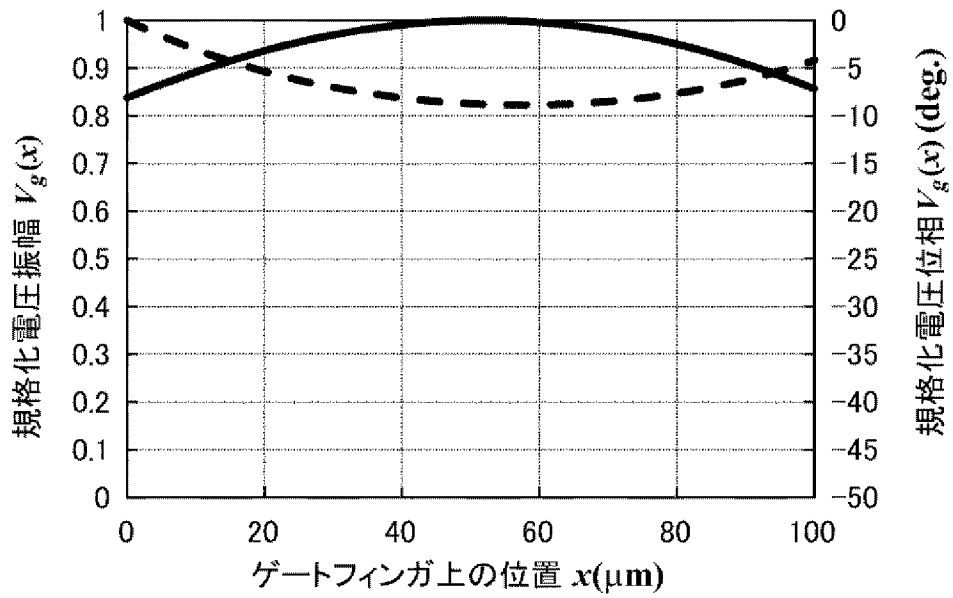
[図4]



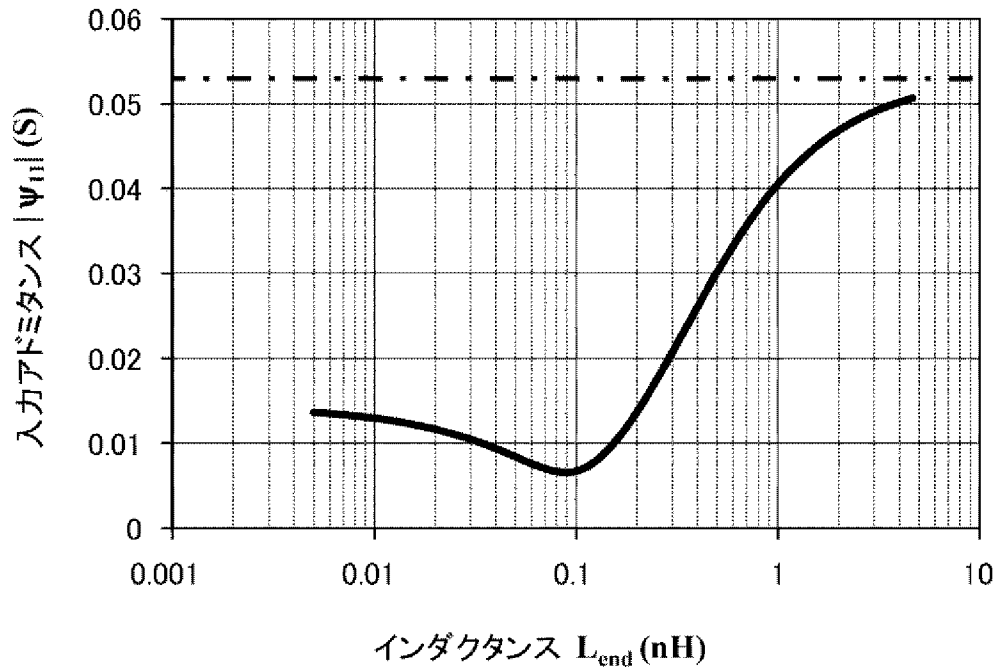
[図5]



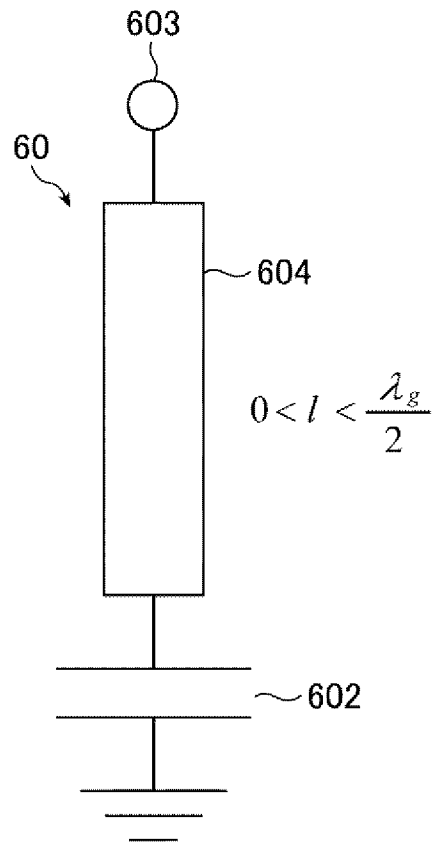
[図6]



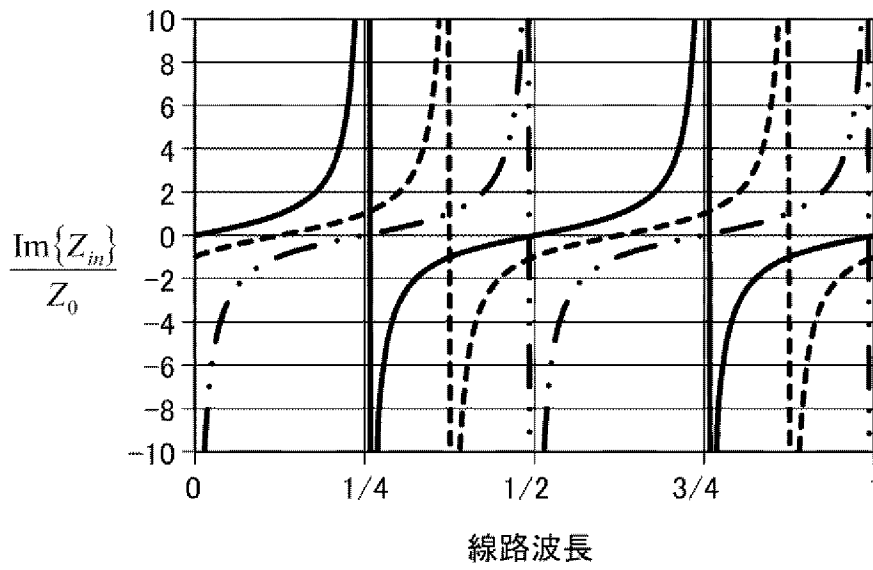
[図7]



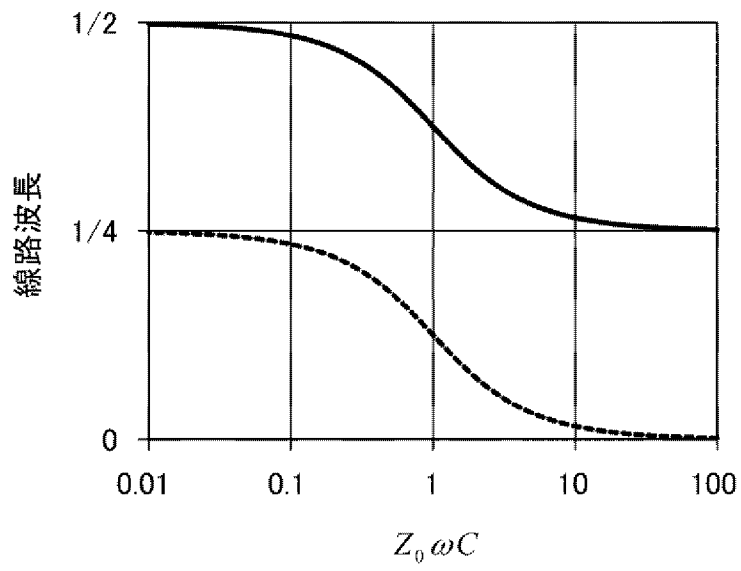
[図8]



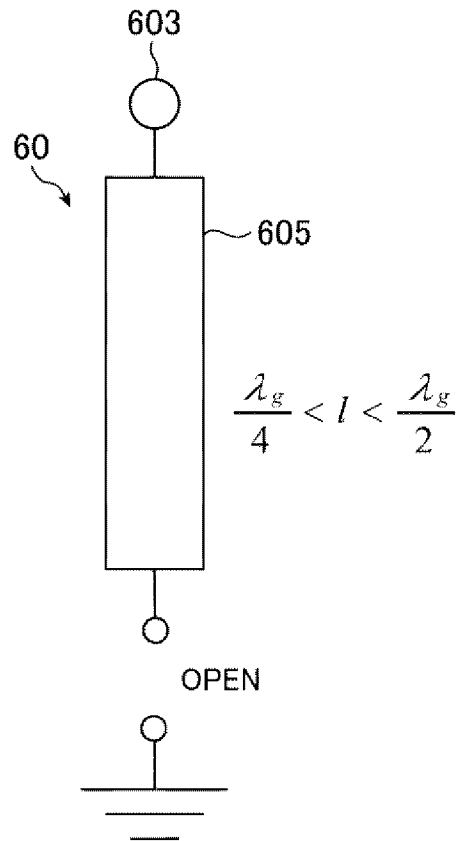
[図9]



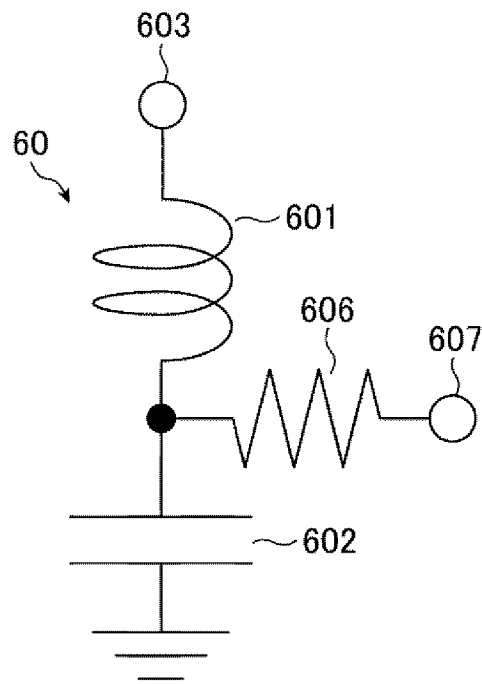
[圖10]



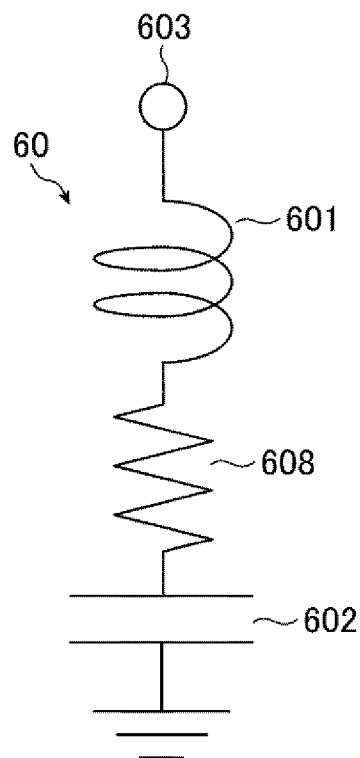
[圖11]



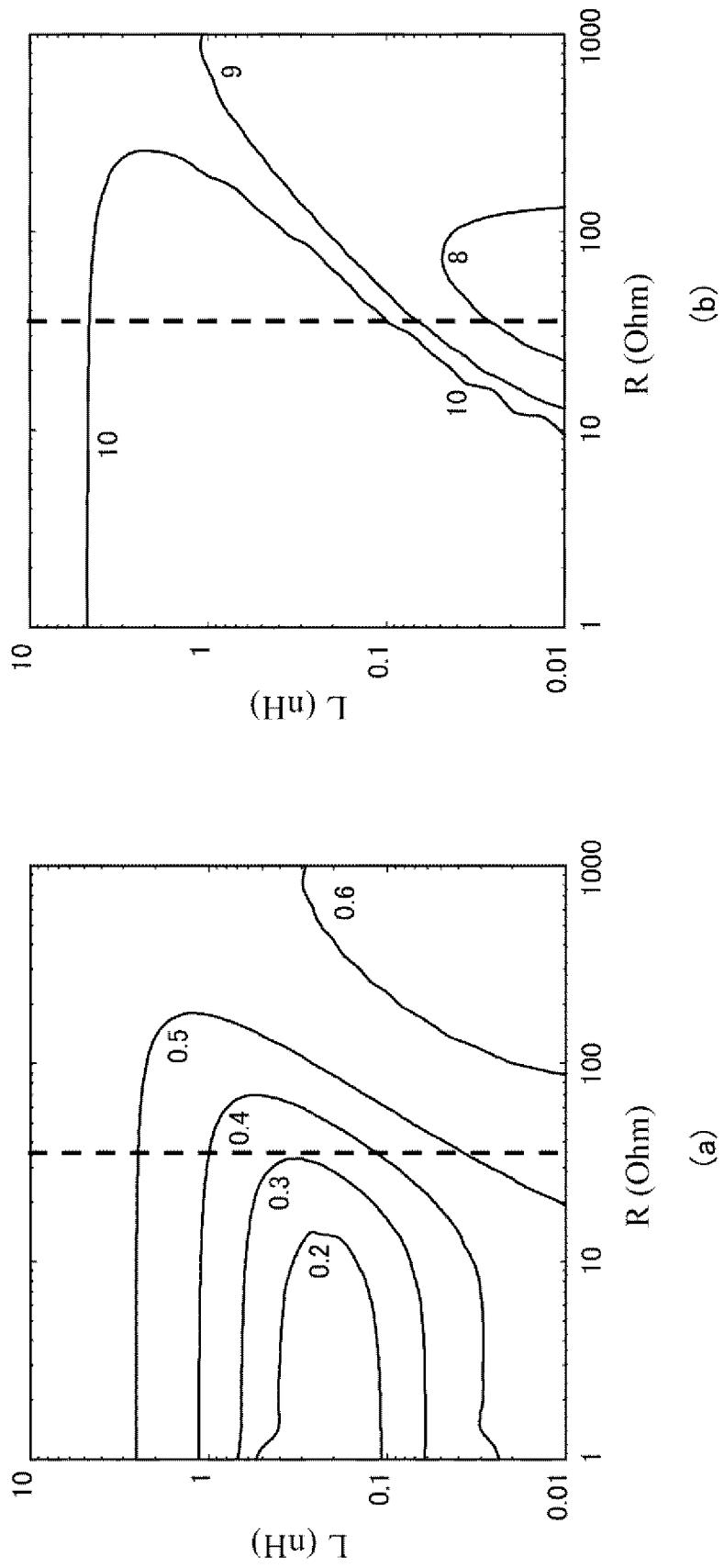
[図12]



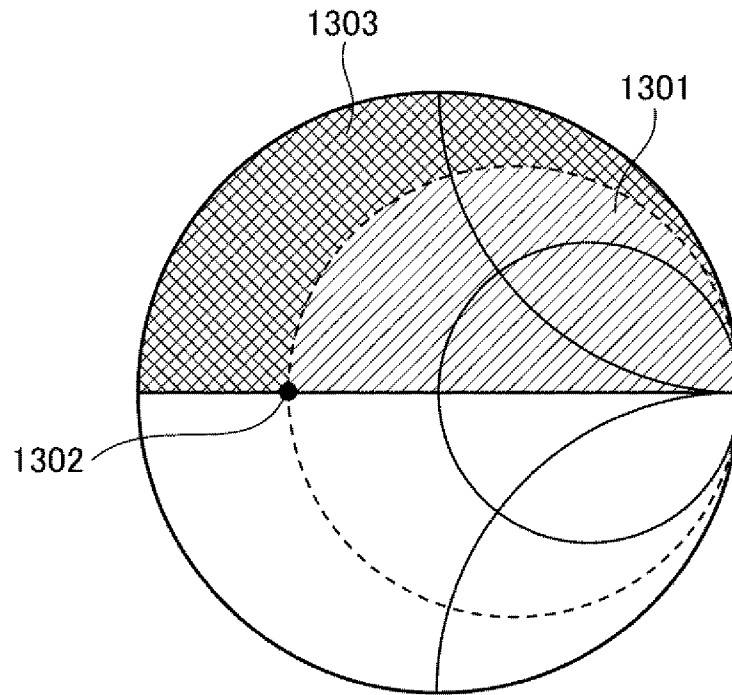
[図13]



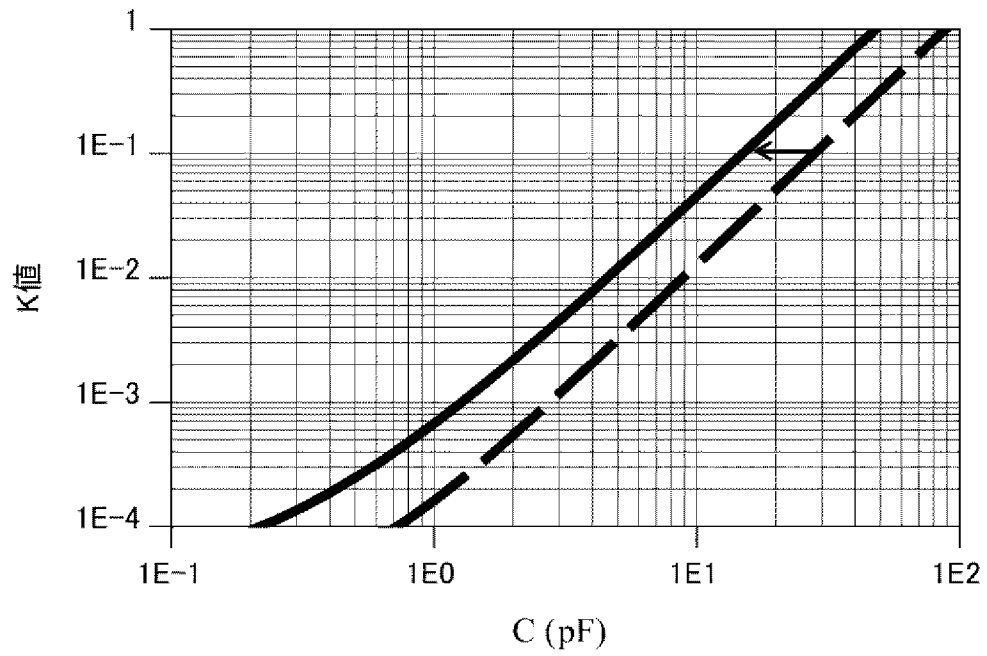
[図14]



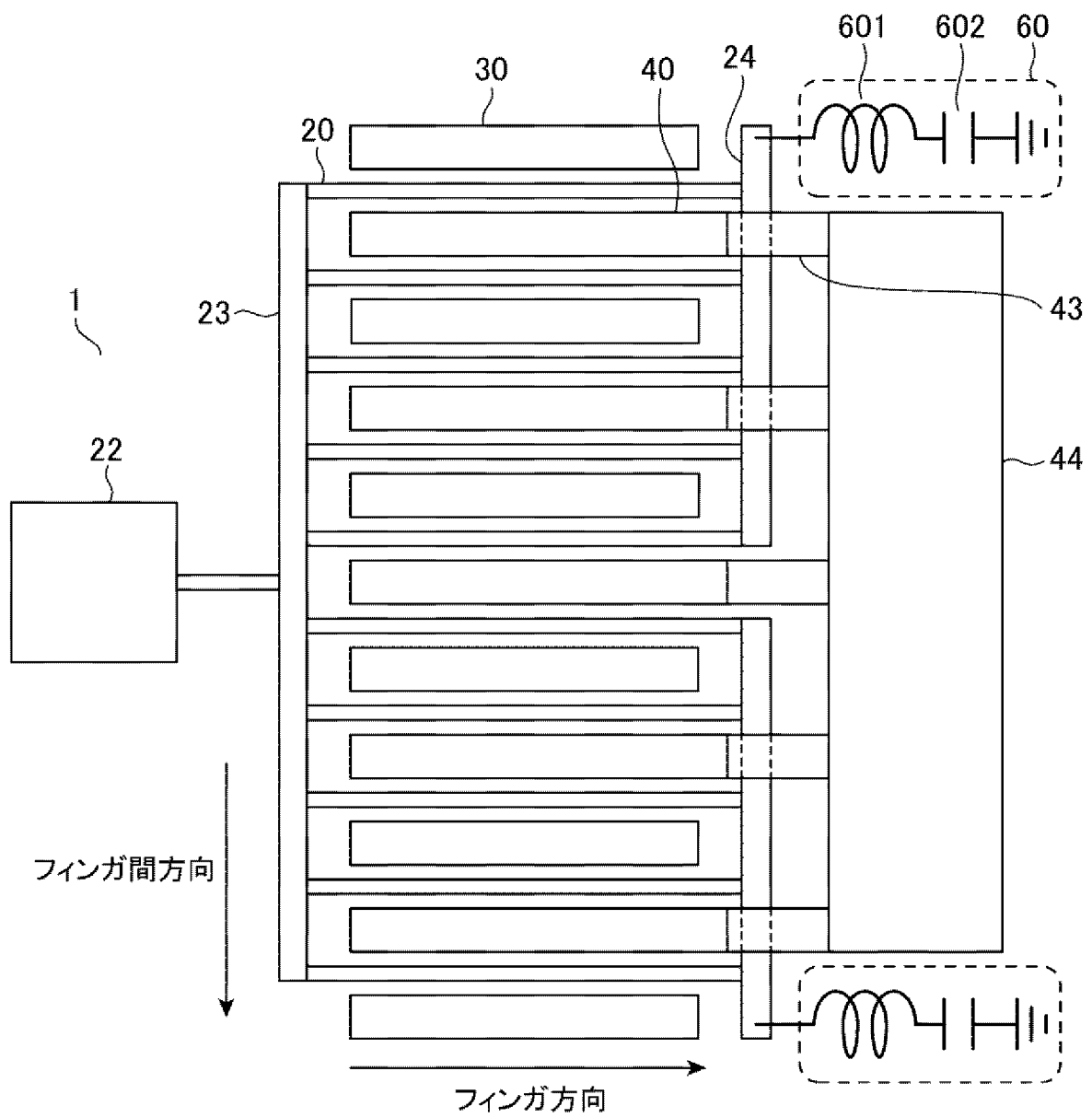
[圖15]



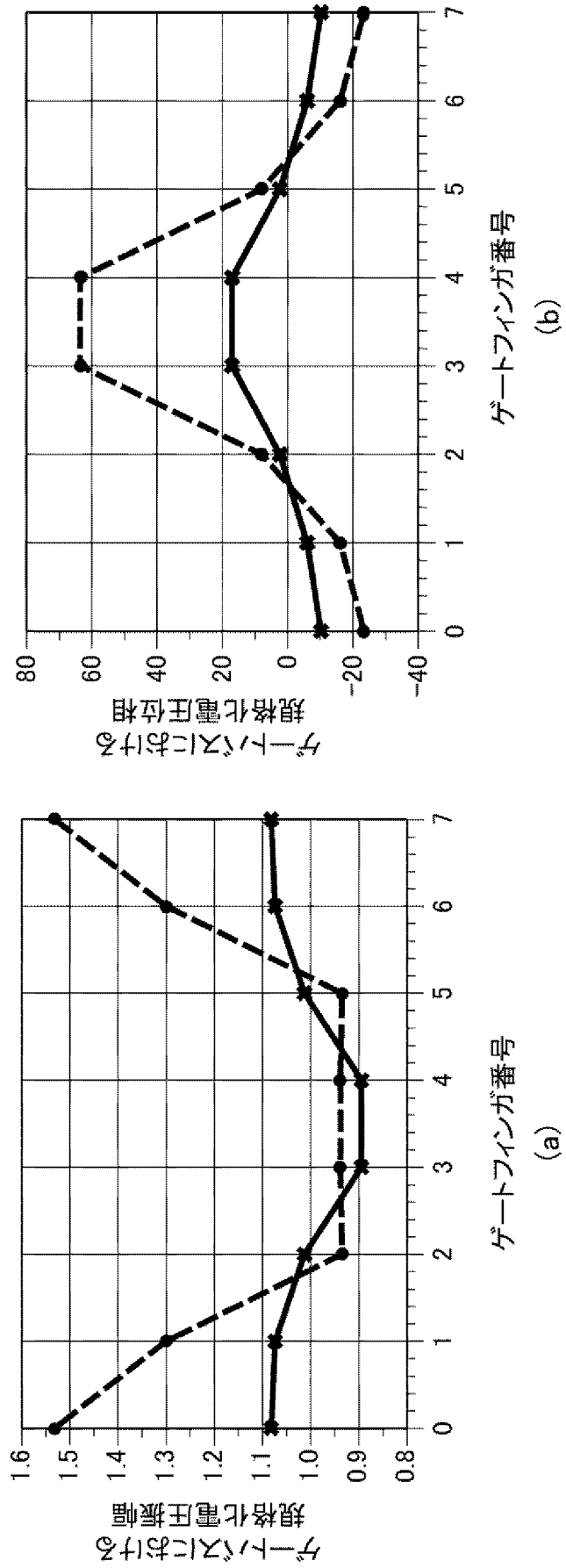
[圖16]



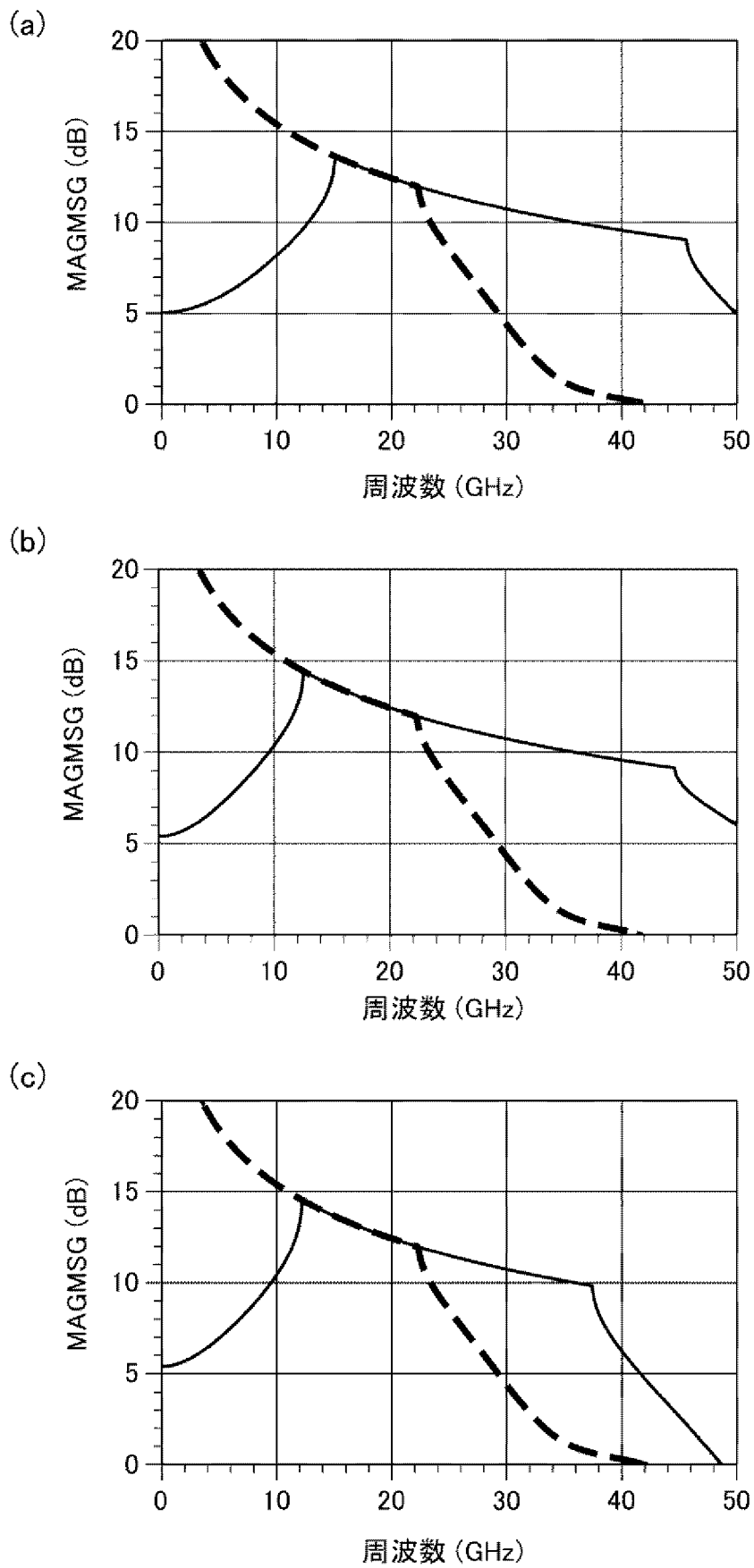
[図17]



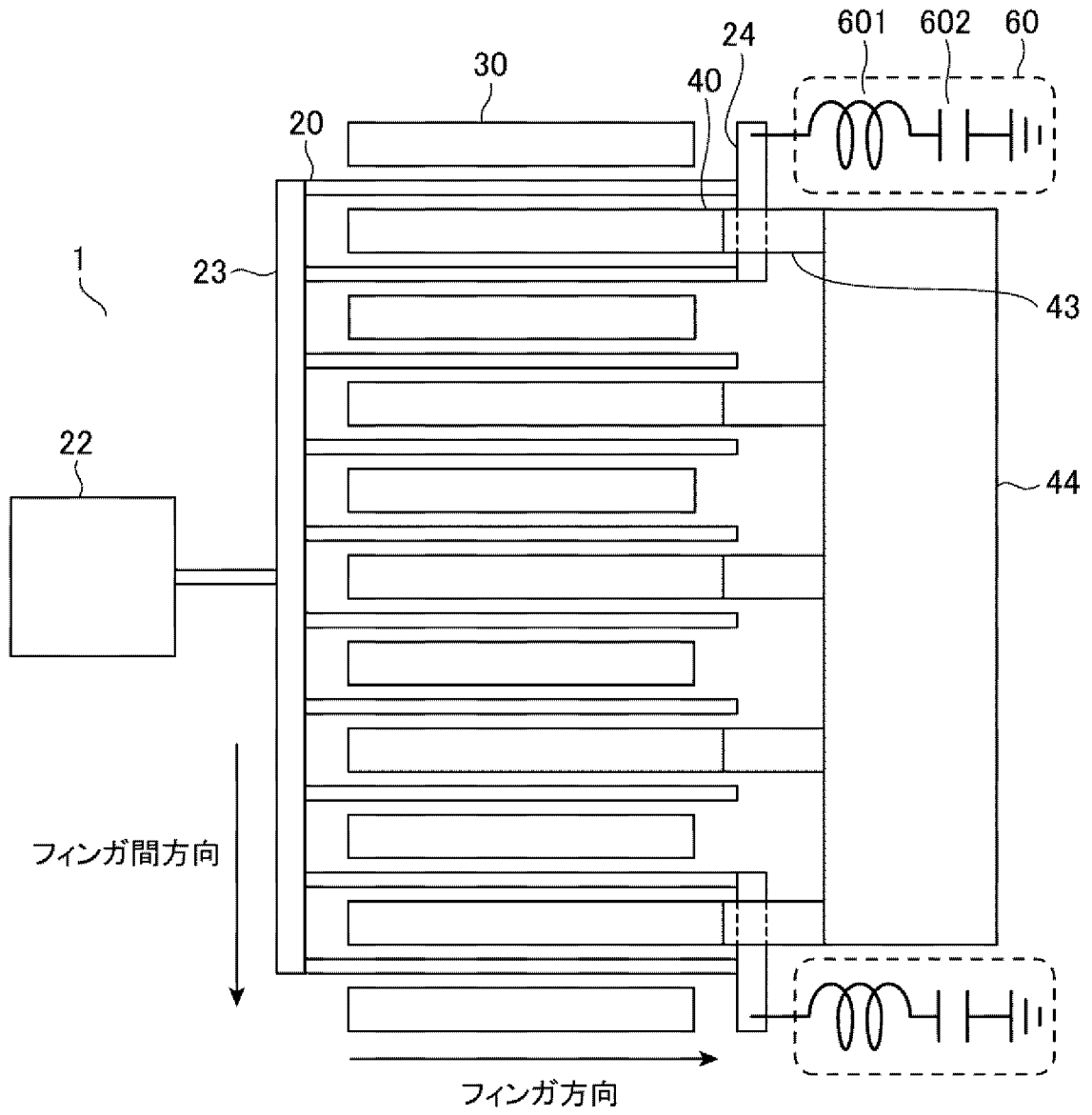
[図18]



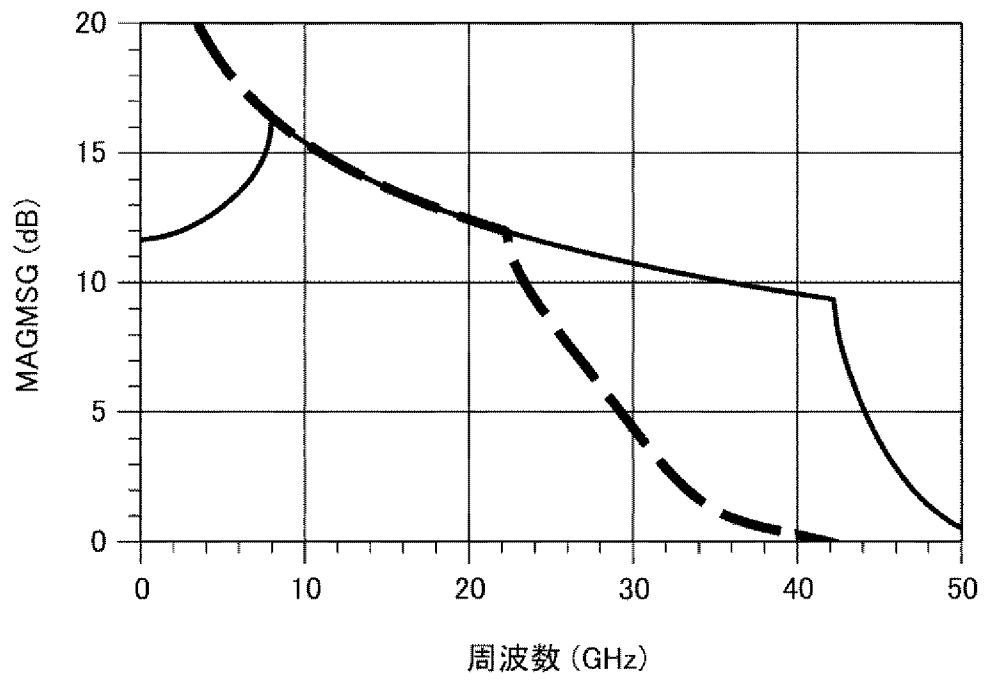
[図19]



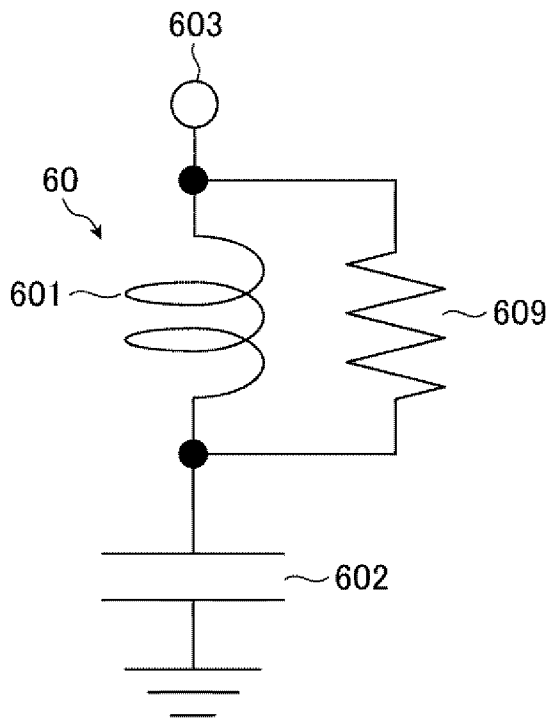
[図20]



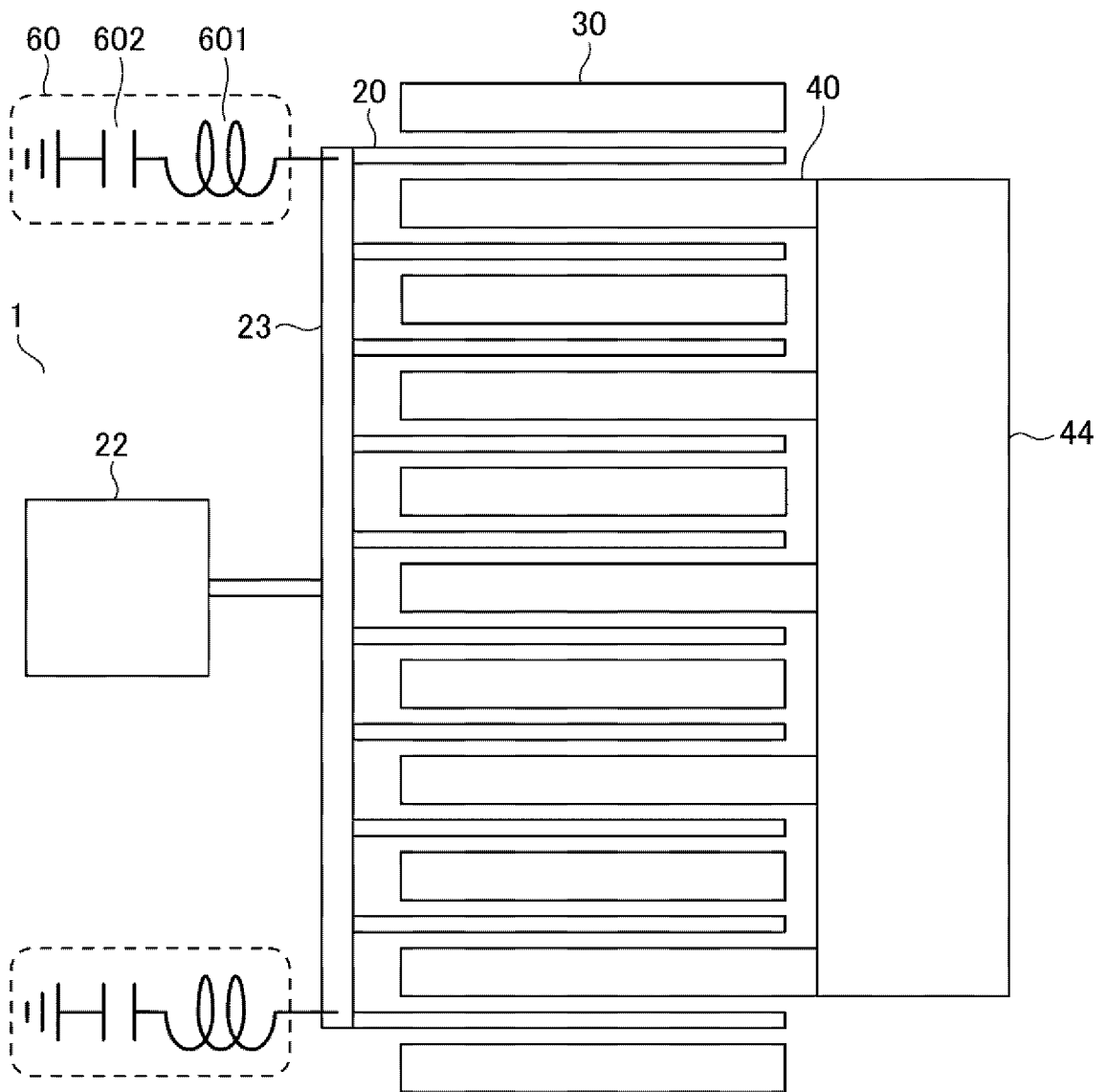
[図21]



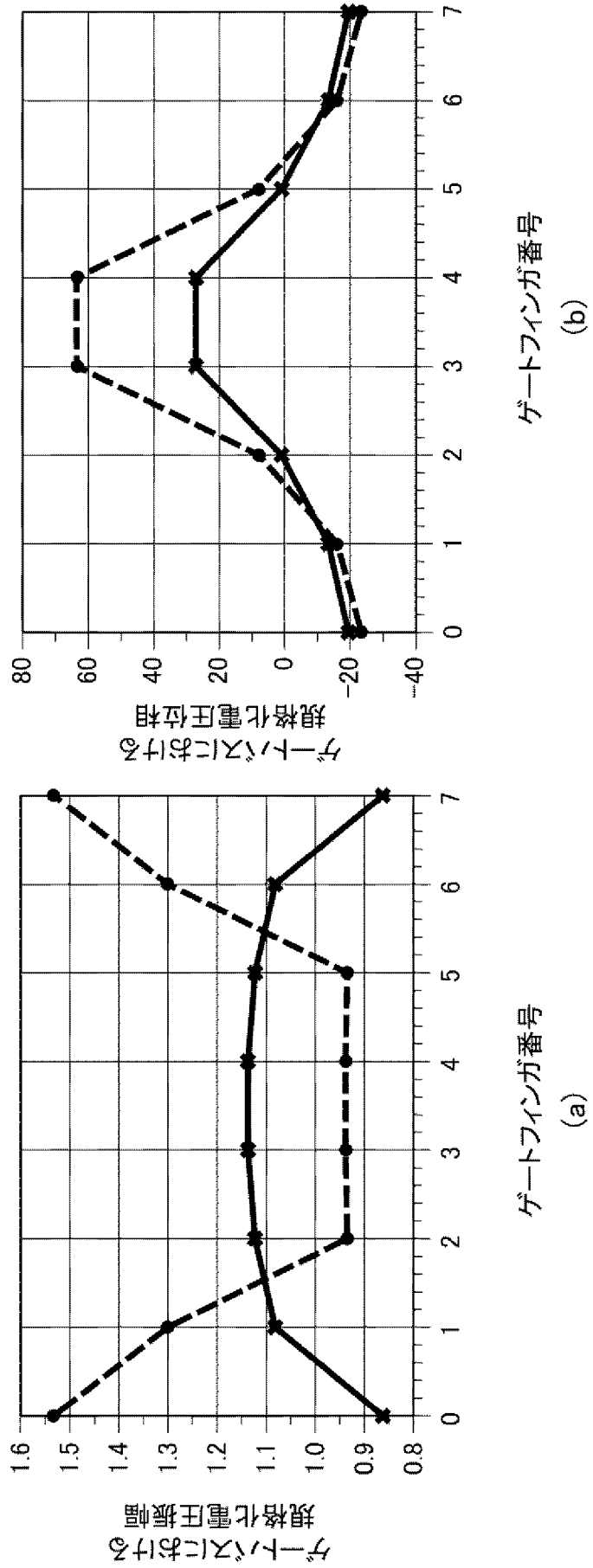
[図22]



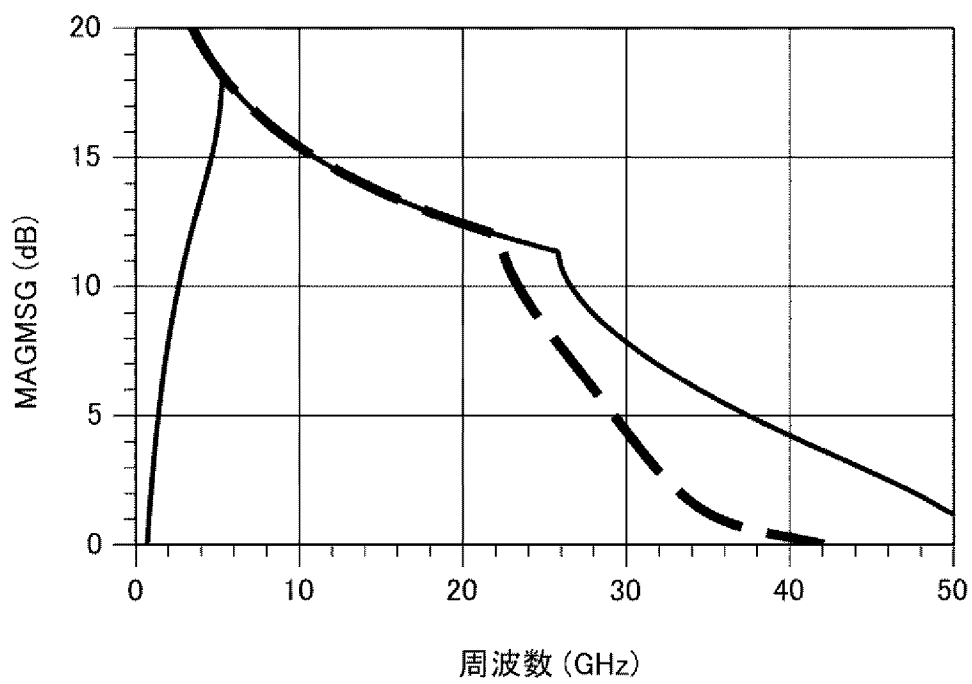
[図23]



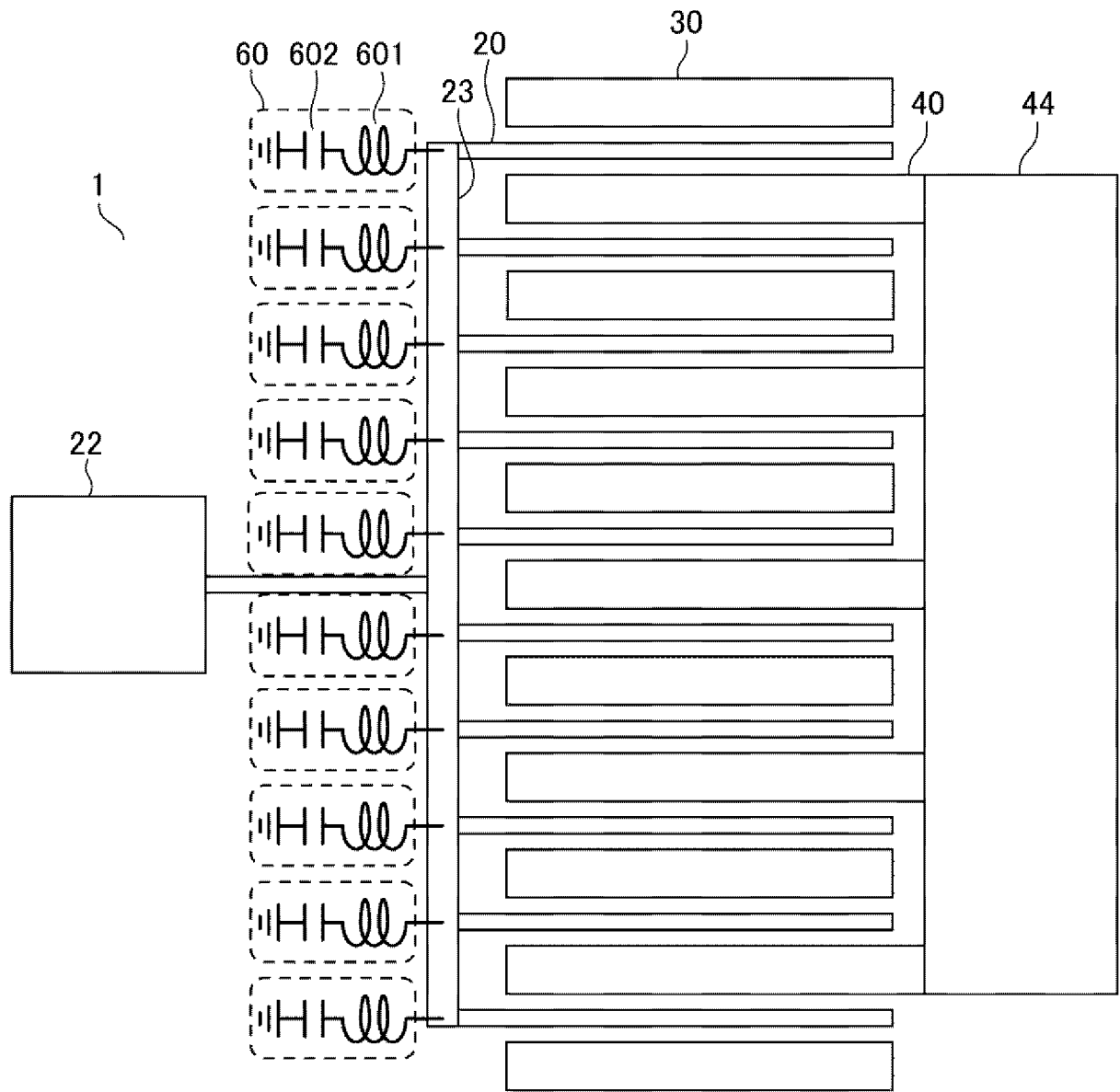
[図24]



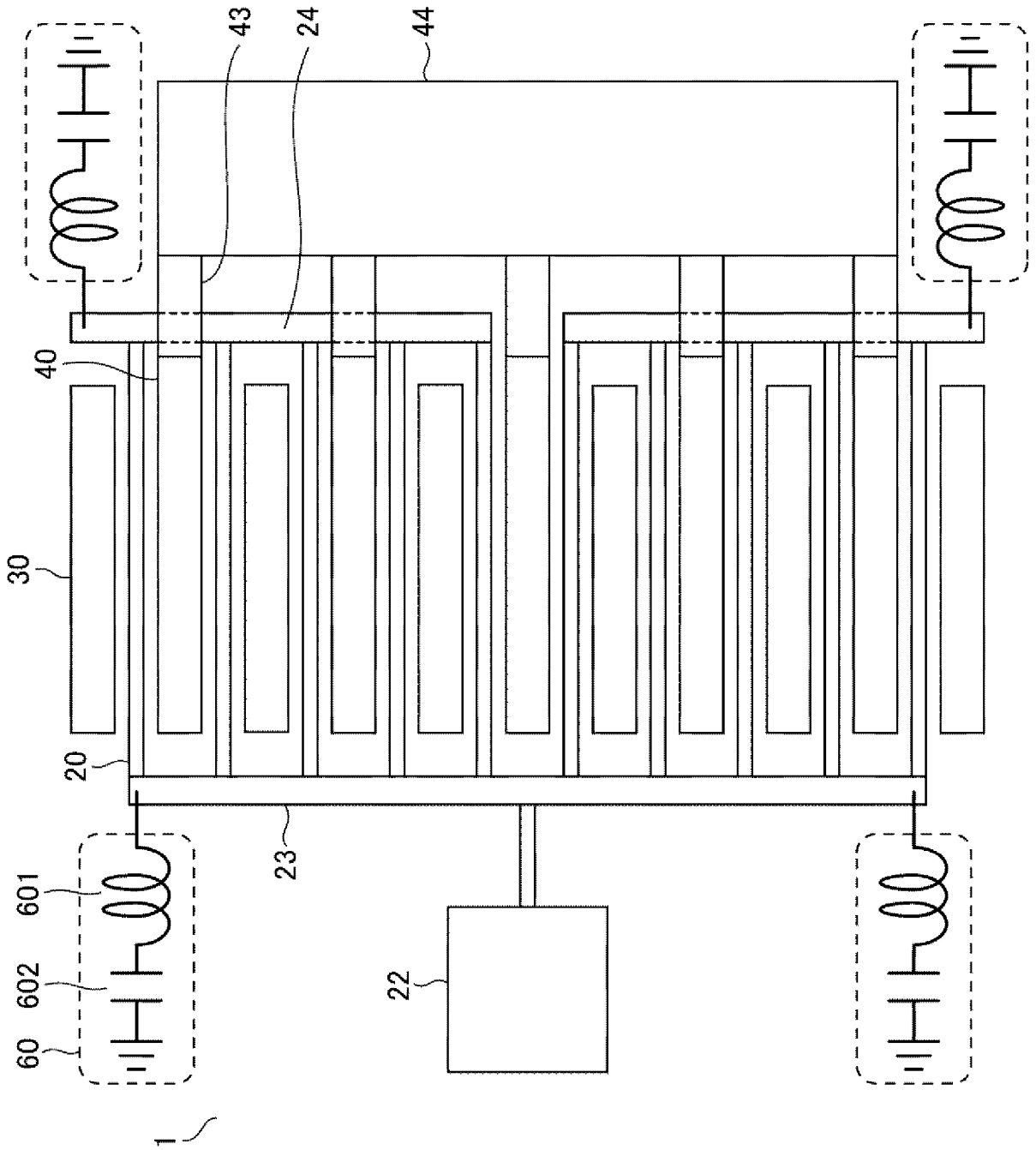
[図25]



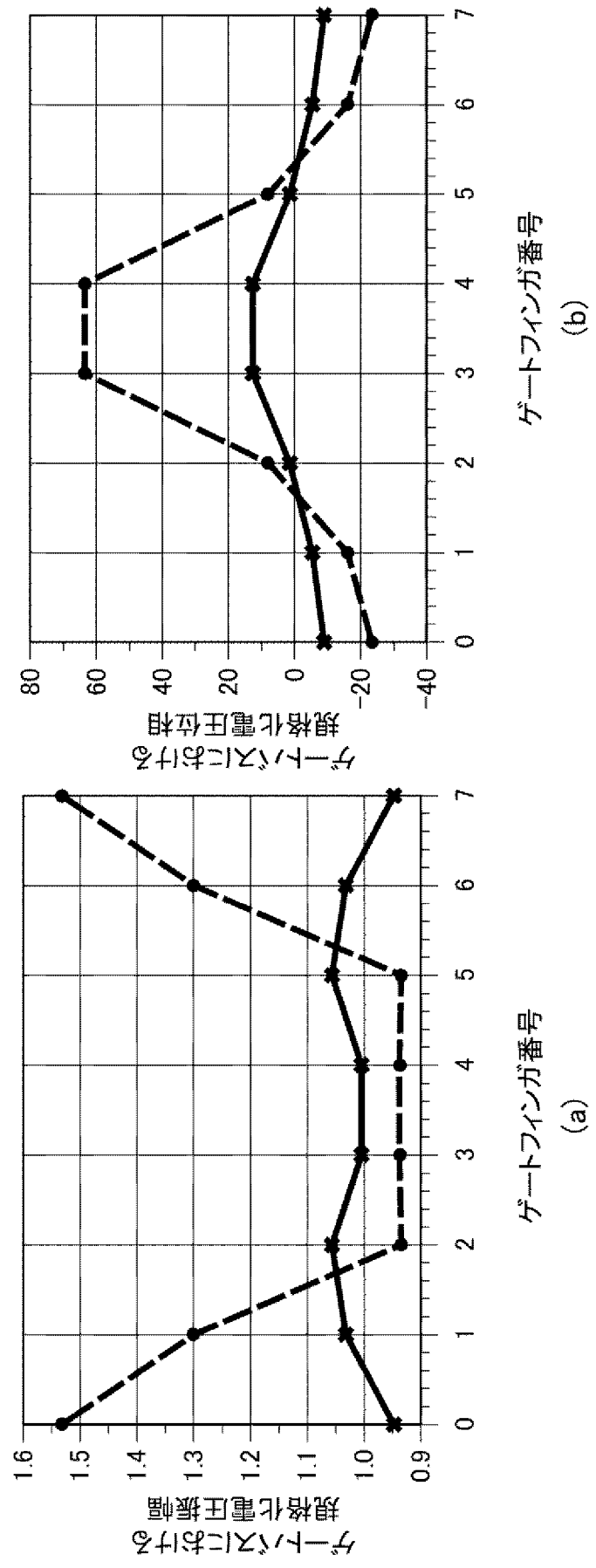
[図26]



[図27]



[図28]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/068033

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/338(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i,
H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/338, H01L21/822, H01L27/04, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 01-200809 A (N.V. Philips' Gloeilampenfabrieken), 14 August 1989 (14.08.1989), page 5, upper right column, line 10 to page 8, upper right column, line 10; fig. 1 to 3 & US 4985642 A & EP 321046 A1 & FR 2625052 A	1-11
A	JP 04-032309 A (Fujitsu Ltd.), 04 February 1992 (04.02.1992), page 3, lower left column, line 12 to page 5, upper left column, line 14; fig. 1 (Family: none)	1-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 17 August 2015 (17.08.15)	Date of mailing of the international search report 25 August 2015 (25.08.15)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/338(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/812(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/338, H01L21/822, H01L27/04, H01L29/812		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 01-200809 A（エヌ・ベー・ファイリツプス・フルーイランベンフ アプリケーション）1989.08.14, 第5頁右上欄10行ないし第8頁右上欄 第10行、図1ないし図3 & US 4985642 A & EP 321046 A1 & FR 2625052 A	1-11
A	JP 04-032309 A（富士通株式会社）1992.02.04, 第3頁左下欄第12 行ないし第5頁左上欄第14行、第1図（ファミリーなし）	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日	17.08.2015	国際調査報告の発送日
		25.08.2015
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 棚田 一也 電話番号 03-3581-1101 内線 3516	5 F 9361