(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7602067号
(P7602067)

(45)発行日　令和6年12月17日(2024.12.17)

(24)登録日　令和6年12月9日(2024.12.9)

(51)国際特許分類		FI		
Ｇ０９Ｇ	*3/3233(2016.01)*	Ｇ０９Ｇ	3/3233	
Ｇ０９Ｇ	*3/20 (2006.01)*	Ｇ０９Ｇ	3/20	６２４Ｂ
Ｈ１０Ｋ	*59/12 (2023.01)*	Ｇ０９Ｇ	3/20	６４１Ｄ
		Ｇ０９Ｇ	3/20	６７０Ｋ
		Ｇ０９Ｇ	3/20	６２１Ｆ

請求項の数　19　（全37頁）　最終頁に続く

(21)出願番号　特願2023-570638(P2023-570638)
(86)(22)出願日　令和3年12月29日(2021.12.29)
(86)国際出願番号　PCT/JP2021/049025
(87)国際公開番号　WO2023/127167
(87)国際公開日　令和5年7月6日(2023.7.6)
審査請求日　令和6年5月28日(2024.5.28)

(73)特許権者　000005049
シャープ株式会社
大阪府堺市堺区匠町１番地
(74)代理人　100104695
弁理士　島田 明宏
(74)代理人　100148459
弁理士　河本 悟
(72)発明者　三谷 昌弘
大阪府堺市堺区匠町１番地 シャープ株式会社内
(72)発明者　中村 浩三
大阪府堺市堺区匠町１番地 シャープ株式会社内
審査官　川俣 郁子

最終頁に続く

(54)【発明の名称】　表示装置

(57)【特許請求の範囲】

【請求項１】

表示すべき画像を表すデータ信号を与えるための複数本のデータ線と、前記複数本のデータ線と交差する複数本の走査線と、前記複数本のデータ線と前記複数本の走査線との交差点にそれぞれ対応するように配置された複数個の画素回路と、所定の電圧を各画素回路に供給する定電圧供給線とを備える表示装置であって、

各画素回路は、

前記複数本のデータ線のいずれか１つに対応するとともに前記複数本の走査線のいずれか１つに対応し、

供給される電流の量に応じた輝度で発光する発光表示素子と、容量素子と、前記容量素子の一端に接続された制御端子を有し前記容量素子に書き込まれた電圧に応じて前記発光表示素子への供給電流の量を制御する駆動トランジスタと、前記駆動トランジスタのチャネル領域に接続された第１導通端子と前記定電圧供給線に接続された第２導通端子とを有するスイッチングトランジスタとを備え、

対応する走査線がアクティブのときに対応するデータ線の電圧を前記駆動トランジスタの前記制御端子に与えて前記容量素子に書き込み、少なくとも、前記駆動トランジスタの前記制御端子に表示輝度の最大値または最小値に対応する電圧が与えられているときに、前記スイッチングトランジスタをオン状態とするように構成されている、表示装置。

【請求項２】

前記駆動トランジスタおよび前記スイッチングトランジスタはいずれもｐチャネル型の

トランジスタであり、
　各画素回路は、前記駆動トランジスタの前記制御端子に表示輝度の最大値に対応する電圧が与えられているときに、前記ｐチャネル型スイッチングトランジスタをオン状態とするように構成されており、
　前記定電圧供給線は負電圧を与える負電圧供給線であり、
　前記駆動トランジスタのチャネル領域は、前記ｐチャネル型スイッチングトランジスタを介して前記負電圧供給線に接続されている、請求項１に記載の表示装置。
【請求項３】
　前記駆動トランジスタはｐチャネル型のトランジスタであり、前記スイッチングトランジスタはｎチャネル型のトランジスタであり、
　各画素回路は、前記駆動トランジスタの前記制御端子に表示輝度の最小値に対応する電圧が与えられているときに、前記ｎチャネル型スイッチングトランジスタをオン状態とするように構成されており、
　前記定電圧供給線は正電圧を与える正電圧供給線であり、
　前記駆動トランジスタのチャネル領域は、前記ｎチャネル型スイッチングトランジスタを介して前記正電圧供給線に接続されている、請求項１に記載の表示装置。
【請求項４】
　前記駆動トランジスタおよび前記スイッチングトランジスタはいずれもｎチャネル型のトランジスタであり、
　各画素回路は、前記駆動トランジスタの前記制御端子に表示輝度の最大値に対応する電圧が与えられているときに、前記ｎチャネル型スイッチングトランジスタをオン状態とするように構成されており、
　前記定電圧供給線は正電圧を与える正電圧供給線であり、
　前記駆動トランジスタのチャネル領域は、前記ｎチャネル型スイッチングトランジスタを介して前記正電圧供給線に接続されている、請求項１に記載の表示装置。
【請求項５】
　前記駆動トランジスタはｎチャネル型のトランジスタであり、前記スイッチングトランジスタはｐチャネル型のトランジスタであり、
　各画素回路は、前記駆動トランジスタの前記制御端子に表示輝度の最小値に対応する電圧が与えられているときに、前記ｐチャネル型スイッチングトランジスタをオン状態とするように構成されており、
　前記定電圧供給線は負電圧を与える負電圧供給線であり、
　前記駆動トランジスタのチャネル領域は、前記ｐチャネル型スイッチングトランジスタを介して前記負電圧供給線に接続されている、請求項１に記載の表示装置。
【請求項６】
　所定の正電圧を各画素回路に供給する正電圧供給線をさらに備え、
　各画素回路は、
　　前記駆動トランジスタのチャネル領域に接続された第１導通端子と前記正電圧供給線に接続された第２導通端子とを有するｎチャネル型のスイッチングトランジスタをさらに備え、
　　前記駆動トランジスタの前記制御端子に表示輝度の最大値または最小値に対応する電圧のうち高い方の電圧が与えられているときに、前記ｎチャネル型スイッチングトランジスタをオン状態とするように構成されている、請求項２または５に記載の表示装置。
【請求項７】
　前記駆動トランジスタのチャネル領域にトラップされた正孔は、前記チャネル領域に接続された前記ｐチャネル型スイッチングトランジスタを介して前記負電圧供給線に放電される、請求項２、５、または６のいずれかに記載の表示装置。
【請求項８】
　前記駆動トランジスタのチャネル領域にトラップされた電子は、前記チャネル領域に接続された前記ｎチャネル型スイッチングトランジスタを介して前記正電圧供給線に放電さ

れる、請求項３、４、または６のいずれかに記載の表示装置。
【請求項９】
前記ｐチャネル型スイッチングトランジスタの制御端子は、前記駆動トランジスタの前記制御端子に接続されている、請求項２、５、または６のいずれかに記載の表示装置。
【請求項１０】
前記ｎチャネル型スイッチングトランジスタの制御端子は、前記駆動トランジスタの前記制御端子に接続されている、請求項３、４、または６のいずれかに記載の表示装置。
【請求項１１】
前記複数本のデータ線と交差する複数本のエミッション線をさらに備え、
各エミッション線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
各画素回路は、
前記複数本のエミッション線のいずれか１つに対応し、
対応するエミッション線がアクティブのときに前記発光表示素子への電流の供給を許容し、前記対応するエミッション線が非アクティブのときに前記発光表示素子への電流の供給を遮断するように構成されており、
前記ｐチャネル型スイッチングトランジスタの制御端子は、前記対応するエミッション線に接続されている、請求項２または５に記載の表示装置。
【請求項１２】
各走査線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
前記ｎチャネル型スイッチングトランジスタの制御端子は、前記対応する走査線に接続されている、請求項３または４に記載の表示装置。
【請求項１３】
前記複数本のデータ線と交差する複数本のエミッション線をさらに備え、
各エミッション線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
各画素回路は、
前記複数本のエミッション線のいずれか１つに対応し、
対応するエミッション線がアクティブのときに前記発光表示素子への電流の供給を許容し、前記対応するエミッション線が非アクティブのときに前記発光表示素子への電流の供給を遮断するように構成されており、
前記ｎチャネル型スイッチングトランジスタの制御端子は、前記対応するエミッション線に接続されている、請求項３または４に記載の表示装置。
【請求項１４】
前記正電圧供給線は、前記発光表示素子に駆動電流を供給するための電源線である、請求項３、４、または６のいずれかに記載の表示装置。
【請求項１５】
前記負電圧供給線は前記駆動トランジスタの制御端子の電圧を初期化するための初期化線である、請求項２、５、または６のいずれかに記載の表示装置。
【請求項１６】
各走査線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
各画素回路において、前記正電圧供給線は前記対応する走査線である、請求項３または４に記載の表示装置。
【請求項１７】
前記複数本のデータ線と交差する複数本のエミッション線をさらに備え、
各エミッション線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
各画素回路は、

前記複数本のエミッション線のいずれか１つに対応し、
対応するエミッション線がアクティブのときに前記発光表示素子への電流の供給を許容し、前記対応するエミッション線が非アクティブのときに前記発光表示素子への電流の供給を遮断するように構成されており、
各画素回路において、前記負電圧供給線は前記対応するエミッション線である、請求項２または５に記載の表示装置。
【請求項１８】
各画素回路は、前記対応する走査線がアクティブのときに、前記駆動トランジスタをダイオード接続状態にするとともに、前記対応するデータ線の電圧を前記駆動トランジスタを介して前記駆動トランジスタの前記制御端子に与え前記容量素子に書き込むように構成されている、請求項１から１７のいずれか１項に記載の表示装置。
【請求項１９】
前記複数本のデータ線と交差する複数本のエミッション線をさらに備え、
各エミッション線は、ローレベルの電圧を与えられているときにアクティブであり、ハイレベルの電圧を与えられているときに非アクティブであり、
各画素回路は、
前記複数本のエミッション線のいずれか１つに対応し、
前記対応する走査線に接続された制御端子と、前記駆動トランジスタの前記制御端子と前記容量素子の前記一端とが接続される節点に接続された第１導通端子と、前記節点を初期化するための初期化電位を与える初期化線に接続された第２導通端子とを有し、前記対応するデータ線の電圧を前記容量素子に書き込むデータ書込期間の前に設けられた初期化期間にオン状態となって前記節点の電位を初期化する第１初期化トランジスタと、
前記対応する走査線に接続された制御端子と、前記対応するデータ線に接続された第１導通端子と、前記駆動トランジスタの第１導通端子に接続された第２導通端子とを有し、前記データ書込期間に前記対応する走査線がアクティブとなることでオン状態とされて前記駆動トランジスタに前記対応するデータ線の電圧を供給する書込トランジスタと、
前記対応する走査線に接続された制御端子と、前記駆動トランジスタの第２導通端子に接続された第１導通端子と、前記駆動トランジスタの前記制御端子に接続された第２導通端子とを有し、前記データ書込期間に前記対応する走査線がアクティブとなることでオン状態とされて前記駆動トランジスタをダイオード接続状態とする補償トランジスタと、
前記対応するエミッション線に接続された制御端子と、前記発光表示素子に駆動電流を供給するための電源線に接続された第１導通端子と、前記駆動トランジスタの前記第１導通端子に接続された第２導通端子とを有し、前記初期化期間および前記データ書込期間を含むように設けられた非発光期間で前記対応するエミッション線が非アクティブとなることでオフ状態とされ、前記データ書込期間後に設けられた発光期間で前記対応するエミッション線がアクティブとなることでオン状態とされる電源供給トランジスタと、
前記対応するエミッション線に接続された制御端子と、前記駆動トランジスタの前記第２導通端子に接続された第１導通端子と、前記発光表示素子のアノードに接続された第２導通端子とを有し、前記非発光期間で前記対応するエミッション線が非アクティブとなることでオフ状態とされ、前記発光期間で前記対応するエミッション線がアクティブとなることでオン状態とされる発光制御トランジスタとをさらに備える、請求項１に記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
以下の開示は、表示装置に関し、より詳しくは、有機ＥＬ素子などの電流によって駆動される発光表示素子を備えた表示装置に関する。
【背景技術】
【０００２】
薄型、高画質、低消費電力などの特徴を備えた表示装置として、液晶表示装置に代わっ

て有機ＥＬ（Organic Electro Luminescence）表示装置が近年注目を集めており、現在その開発が活発に進められている。有機ＥＬ表示装置の表示パネルには、複数個の画素回路がマトリクス状に配置されている。各画素回路に含まれる有機ＥＬ素子が、入力されたデータ信号に応じた輝度で発光したり消灯したりすることによって、画像が表示パネルに表示される。

【０００３】

しかし、例えば表示パネルに、市松模様のような明暗の輝度差が大きい画像が表示され続けると、次の画面に切り替わった際に、元に表示されていた画像が残像として視聴者に視認される場合がある。画像の輝度が白表示からグレー表示に変化する場合、白表示の際に駆動トランジスタのチャネル領域とゲート絶縁膜との界面や結晶粒界のトラップ準位にトラップされたキャリアによって、グレー表示において駆動トランジスタに流れる電流の電流値は、本来流れるべき電流値よりも小さくなる。その結果、表示される画像の輝度が低下し、残像として視聴者に視認されるという問題があった。

【０００４】

特許文献１に開示された表示装置では、直前のフレームにおいて、画素回路に高輝度（白表示）の画像を表すデータ信号が書き込まれるときに、駆動トランジスタとしての駆動用ＴＦＴに流れるキャリアがそのゲート絶縁膜中にトラップされ、トラップされたキャリアが駆動用ＴＦＴのしきい値電圧を変動させることがある。この場合、次フレームで表示すべき画像を表示するための電流値とは異なる電流値の電流が駆動用ＴＦＴに流れ、残像が発生する。

【０００５】

そこで、特許文献１では、データ信号が書き込まれる前に、駆動用ＴＦＴのゲートの電位を上昇させることにより、ゲート絶縁膜にトラップされているキャリアをゲート絶縁膜からソースまたはドレインに引き抜く。これにより、駆動用ＴＦＴの電気的特性を初期化して、残像の発生を抑制している。

【先行技術文献】

【特許文献】

【０００６】

【文献】日本の特開２００６－２５１４５５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

しかし、特許文献１に記載された表示装置は、プリチャージ用トランジスタの制御や、保持容量線の電位を上昇させるための制御が必要になるので、回路構成が複雑になるという問題点があった。

【０００８】

そこで、本願は、回路構成を複雑にすることなく、有機ＥＬ素子を発光させる発光期間に、チャネル領域のトラップ準位にトラップされているキャリアを放電させることによって、残像の発生を抑制する表示装置を提供することを目的とする。

【課題を解決するための手段】

【０００９】

ある局面は、表示すべき画像を表すデータ信号を与えるための複数本のデータ線と、前記複数本のデータ線と交差する複数本の走査線と、前記複数本のデータ線と前記複数本の走査線との交差点にそれぞれ配置された複数個の画素回路と、所定の電圧を各画素回路に供給する定電圧供給線とを備える表示装置であって、

各画素回路は、

前記複数のデータ線のいずれか１つに対応するとともに前記複数の走査線のいずれか１つに対応し、

供給される電流の量に応じた輝度で発光する発光表示素子と、容量素子と、前記容量素子の一端に接続された制御端子を有し前記容量素子に書き込まれた電圧に応じて前記発

光表示素子への供給電流の量を制御する駆動トランジスタと、前記駆動トランジスタのチャネル領域に接続された第１導通端子と前記定電圧供給線に接続された第２導通端子とを有するスイッチングトランジスタとを備え、

対応する走査線がアクティブのときに対応するデータ線の電圧を前記駆動トランジスタの前記制御端子に与えて前記容量素子に書き込み、少なくとも、前記駆動トランジスタの前記制御端子に表示輝度の最大値または最小値に対応する電圧が与えられているときに、前記スイッチングトランジスタをオン状態とするように構成されている。

【発明の効果】

【００１０】

ある局面によれば、発光表示素子に駆動電流を供給する駆動トランジスタのチャネル領域に、スイッチングトランジスタの一方の導通端子が接続され、他方の導通端子は電圧供給線に接続されている。このような画素回路に高い輝度の画像を表示するために、駆動トランジスタに大きな電流を流すと、そのチャネル領域のトラップ準位にキャリアがトラップされる。このとき、スイッチングトランジスタもオンするようにしておくと、電圧供給線の電界によって、駆動トランジスタのトラップ準位にトラップされているキャリアが放出される。放出されたキャリアはスイッチングトランジスタを通って電圧供給線に抜き取られるので、チャネル領域にトラップされているキャリアが少なくなる。このため、駆動トランジスタに流れる駆動電流はトラップされたキャリアの影響を受けることがなくなり、データ信号に応じた電流が発光表示素子に供給される。これにより、現フレームにおいて高輝度の画像が表示されていた領域に、次フレームにおいてより低輝度の画像を表示するデータ信号が与えられると、データ信号に応じた本来の輝度の画像が表示される。その結果、データ信号に応じた輝度よりも低輝度または高輝度の画像として表示される残像が視認されなくなる。

【図面の簡単な説明】

【００１１】

【図１】基礎検討で使用した画素回路の構成を示す回路図である。

【図２】第１の実施形態に係る有機ＥＬ表示装置の全体構成を示すブロック図である。

【図３】第１の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。

【図４】図３に示す画素回路の駆動トランジスタおよびスイッチングトランジスタおよびそれらの近傍のレイアウトパターンを示す図である。

【図５】図４に示すレイアウトパターンの断面図であり、より詳しくは（Ａ）は図４に示す矢線Ａ－Ａ’に沿った駆動トランジスタの断面図であり、（Ｂ）は図４に示す矢線Ｂ－Ｂ’に沿ったスイッチングトランジスタの断面図である。

【図６】図３に示す画素回路に白表示電圧が書き込まれる場合の当該画素回路の動作を示すタイミングチャートである。

【図７】図３に示す画素回路に黒表示電圧が書き込まれる場合の当該画素回路の動作を示すタイミングチャートである。

【図８】駆動トランジスタのチャネル領域と、当該チャネル領域に接続されたｎ型のソース領域を有するスイッチングトランジスタのバンドを表す図である。

【図９】駆動トランジスタのチャネル領域と、当該チャネル領域に接続されたｐ型のソース領域を有するスイッチングトランジスタのバンドを表す図である。

【図１０】第２の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。

【図１１】図１０に示す画素回路の駆動トランジスタおよびスイッチングトランジスタおよびそれらの近傍のレイアウトパターンを示す平面図である。

【図１２】図１１に示すレイアウトパターンの断面図であり、より詳しくは、（Ａ）は図１１に示す矢線Ａ－Ａ’に沿った駆動トランジスタの断面図であり、（Ｂ）は図１１に示す矢線Ｃ－Ｃ’に沿ったスイッチングトランジスタの断面図である。

【図１３】第３の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路

図である。
【図１４】図１３に示す画素回路の駆動トランジスタ、スイッチングトランジスタ、およびスイッチングトランジスタおよびそれらの近傍のレイアウトパターンを示す平面図である。
【図１５】図１４に示すレイアウトパターンの断面図であり、より詳しくは（Ａ）は図１４に示す矢線Ａ－Ａ’に沿った駆動トランジスタＴ４の断面図であり、（Ｂ）は図１４に示す矢線Ｂ－Ｂ’に沿ったスイッチングトランジスタの断面図であり、（Ｃ）は図１４に示す矢線Ｃ－Ｃ’に沿ったスイッチングトランジスタの断面図である。
【図１６】第４の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。
【図１７】第５の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。
【図１８】第６の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。
【図１９】第７の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。
【図２０】第８の実施形態に係る有機ＥＬ表示装置に含まれる画素回路の構成を示す回路図である。
【発明を実施するための形態】
【００１２】
本発明に係る各実施形態について説明する前に、基礎検討として、内部補償回路を備えた画素回路の構成および残像が発生する理由を説明する。なお、本明細書において「接続」とは、特に断らない限り、「電気的に接続された状態」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、間接的な接続を意味する場合も含む。
【００１３】
＜１．基礎検討＞
＜１．１　画素回路の構成＞
従来の有機ＥＬ表示装置の表示パネルに配置されている内部補償回路を備えた画素回路１５の構成について説明する。図１は、表示パネル１０に配置された画素回路１５の構成を示す回路図である。図１に示すように、画素回路１５は、１個の有機ＥＬ素子ＯＬＥＤ、７個のｐチャネル型のトランジスタＴ１～Ｔ７、および１個のストレージキャパシタＣｓｔ（「容量素子」ともいう）を備えている。より詳細には、画素回路１５は、第１初期化トランジスタＴ１、補償トランジスタＴ２、書込トランジスタＴ３、駆動トランジスタＴ４、電源供給トランジスタＴ５、発光制御トランジスタＴ６、および第２初期化トランジスタＴ７を含んでいる。
【００１４】
駆動トランジスタＴ４は、ゲート端子（「制御端子」ともいう）、第１導通端子、および第２導通端子を有している。駆動トランジスタＴ４の第１導通端子は、電源供給トランジスタＴ５を介してＨレベル電源線ＥＬＶＤＤ（「電圧供給線」、「正電圧供給線」または「高電圧供給線」ともいう）に接続される導通端子であり、第２導通端子は、発光制御トランジスタＴ６を介して有機ＥＬ素子ＯＬＥＤに接続される導通端子である。駆動トランジスタＴ４では、キャリアである正孔が第１導通端子から第２導通端子に流れる場合には、第１導通端子がソース端子になり、第２導通端子がドレイン端子になる。
【００１５】
画素回路１５が形成された基板には、走査線Ｓｊ（１≦ｊ≦ｎの整数）、前走査線Ｓｊ－１（「ディスチャージ線」ともいう）、エミッション線Ｅｊ、データ線Ｄｉ（１≦ｉ≦ｍの整数）、Ｈレベル電源線ＥＬＶＤＤ、Ｌレベル電源線ＥＬＶＳＳ（「定電圧供給線」、「負電圧供給線」または「低電圧供給線」ともいう）、および初期化線Ｖｉｎｉ（「定電圧供給線」ともいう）が配設されている。書込トランジスタＴ３は、ゲート端子が走査

線Ｓｊに接続され、ソース端子がデータ線Ｄｉに接続されており、走査線Ｓｊの選択に応じてデータ線Ｄｉに供給されたデータ信号を駆動トランジスタＴ４の第１導通端子に供給する。

【００１６】

駆動トランジスタＴ４の第１導通端子は、書込トランジスタＴ３のドレイン端子に接続され、ゲート端子はノードＮ＿Ｇに接続されている。ノードＮ＿Ｇは、後述する補償トランジスタＴ２の第２導通端子と、ストレージキャパシタＣｓｔの第１端子とが接続された節点であり、ノードＮ＿Ｇに与えられるデータ信号の電圧によってストレージキャパシタＣｓｔが充電される。駆動トランジスタＴ４は、ストレージキャパシタＣｓｔに充電されたデータ信号に応じた電圧（「データ電圧」ともいう）によって決まる駆動電流を有機ＥＬ素子ＯＬＥＤに供給する。なお、上記のようなデータ電圧によるストレージキャパシタＣｓｔの充電は、“データ電圧のストレージキャパシタＣｓｔへの書き込み”または“データ電圧のノードＮ＿Ｇへの書き込み”を意味する。

【００１７】

補償トランジスタＴ２は、駆動トランジスタＴ４のゲート端子と第２導通端子との間に設けられている。補償トランジスタＴ２のゲート端子は走査線Ｓｊに接続されている。補償トランジスタＴ２は、走査線Ｓｊがアクティブになれば導通し、駆動トランジスタＴ４をダイオード接続する。これにより、ノードＮ＿Ｇの電位Ｖｎｇは、次式（１）に示すように、データ電圧よりも駆動トランジスタＴ４のしきい値電圧の絶対値｜Ｖｔｈ｜だけ低くなる。ノードＮ＿Ｇの電位Ｖｎｇは、ゲート電圧として駆動トランジスタＴ４のゲート端子に与えられる。

$$Vng = Vdata - |Vth| \quad \cdots \quad (1)$$

ここで、Ｖｄａｔａはデータ電圧であり、Ｖｔｈは駆動トランジスタＴ４のしきい値電圧であり、ｐチャネル型のトランジスタではＶｔｈ＜０、Ｎチャネル型のトランジスタではＶｔｈ＞０である。

【００１８】

第１初期化トランジスタＴ１は、ゲート端子が前走査線Ｓｊ－１に接続され、駆動トランジスタＴ４のゲート端子と初期化線Ｖｉｎｉとの間に設けられている。第１初期化トランジスタＴ１は、前走査線Ｓｊ－１がアクティブになれば導通し、ノードＮ＿Ｇに初期化電位Ｖｉｎｉを与えることによってノードＮ＿Ｇの電位Ｖｎｇを初期化する。これにより、駆動トランジスタＴ４のゲート端子に初期化電位Ｖｉｎｉが与えられる。なお、第１初期化トランジスタＴ１と補償トランジスタＴ２は、リーク電流を少なくするためにデュアルゲート構造を採用している。

【００１９】

電源供給トランジスタＴ５は、ゲート端子がエミッション線Ｅｊに接続され、Ｈレベル電源線ＥＬＶＤＤと駆動トランジスタＴ４の第１導通端子との間に設けられている。電源供給トランジスタＴ５はエミッション線Ｅｊがアクティブになれば導通して、Ｈレベル電圧ＥＬＶＤＤを駆動トランジスタＴ４の第１導通端子に供給する。

【００２０】

発光制御トランジスタＴ６は、ゲート端子がエミッション線Ｅｊに接続され、駆動トランジスタＴ４と第２初期化トランジスタＴ７との間に設けられている。発光制御トランジスタＴ６は、エミッション線Ｅｊの選択に応じて駆動トランジスタＴ４の第２導通端子と有機ＥＬ素子ＯＬＥＤとを導通させる。これにより、駆動トランジスタＴ４によって電流値を制御された駆動電流が駆動トランジスタＴ４から有機ＥＬ素子ＯＬＥＤに供給される。

【００２１】

第２初期化トランジスタＴ７は、ゲート端子が走査線Ｓｊに接続され、有機ＥＬ素子ＯＬＥＤのアノードと初期化線Ｖｉｎｉとの間に設けられている。第２初期化トランジスタＴ７は、走査線Ｓｊが選択されたときに初期化信号ＤＩＳを有機ＥＬ素子ＯＬＥＤのアノードに与え、アノードの電位を初期化する。

【００２２】

ストレージキャパシタＣｓｔの第１端子はノードＮ＿Ｇに接続され、第２端子はＨレベル電源線ＥＬＶＤＤに接続されている。ストレージキャパシタＣｓｔは、第１初期化トランジスタＴ１と補償トランジスタＴ２とがオフしたときのノードＮ＿Ｇの電位Ｖｎｇを保持する。

【００２３】

有機ＥＬ素子ＯＬＥＤは、アノード（有機ＥＬ素子ＯＬＥＤの一端）が発光制御トランジスタＴ６を介して駆動トランジスタＴ４の第２導通端子に接続され、カソード（有機ＥＬ素子ＯＬＥＤの他端）がＬレベル電源線ＥＬＶＳＳに接続されており、駆動トランジスタＴ４によって制御された駆動電流が供給されるとその電流値に応じた輝度で発光する。

【００２４】

＜１．２　残像現象＞

駆動トランジスタＴ４がＰチャネル型の場合に、黒表示された画面の一部に白色のボックスパターンを一定期間表示させた後に、画面全体をグレー表示にする。このとき、白色のボックスパターンが表示されていた領域の輝度は、周囲のグレー表示領域の輝度よりも低くなる。このような輝度が低下したボックスパターンは、残像として視聴者に視認される。

【００２５】

輝度が低下したボックスパターンが残像として視認される時間は、白色のボックスパターンが表示されていた時間が長いほど長くなる。例えば、白色のボックスパターンが表示されていた時間が６０秒のときには、残像が消失するまでに３０秒程度の時間を要する。

【００２６】

このような残像は以下のようなメカニズムによって発生すると考えられる。白色のボックスパターンを表示する現フレームにおいて、ｐチャネル型の駆動トランジスタＴ４のチャネル領域４２とゲート絶縁膜との界面および結晶粒界に形成されたトラップ準位に正孔がトラップされる。トラップされた正孔は、現フレームにおいて表示されていた白色のボックスパターンが次フレームにおいてグレー表示に切り替わっても、トラップ準位からすぐに放出されず、しばらくトラップ準位に留まる。このため、次フレームにおいて、駆動トランジスタＴ４のゲート端子にグレー表示のデータ電圧を印加しても、駆動トランジスタＴ４を通って有機ＥＬ素子ＯＬＥＤに供給される電流の電流値は、データ電圧によって決まる電流値よりも小さくなる。その結果、白表示のボックスパターンが表示されていた領域の輝度は、周囲のグレー表示の輝度よりも低くなる。このような輝度の低い領域は、トラップ準位にトラップされている正孔がすべて放出されるまで残像として視聴者に視認される。

【００２７】

そこで、白表示がされているときに、駆動トランジスタＴ４のチャネル領域４２とゲート絶縁膜との界面および結晶粒界に存在するトラップ準位にトラップされている正孔を速やかに放出させることができれば、残像を短時間で消失させることができる。このため、以下に説明する第１～第３の各実施形態において、トラップ準位にトラップされている正孔を放出させて、残像を速やかに消失させる画素回路の構成とその動作を説明する。

【００２８】

＜２．第１の実施形態＞

＜２．１　有機ＥＬ表示装置の構成＞

図２は、第１の実施形態に係る有機ＥＬ表示装置の全体構成を示すブロック図である。図２に示すように、有機ＥＬ表示装置（単に「表示装置」ともいう）は、表示パネル１０、表示制御回路２０、データ線ドライバ３０、走査線ドライバ５０、およびエミッション線ドライバ６０を備えている。図２に示す有機ＥＬ表示装置は、データ線ドライバ３０から各データ線にデータ信号を直接供給する。本実施形態では、データ線ドライバ３０によりデータ線駆動回路が実現され、走査線ドライバ５０により走査線駆動回路が実現され、エミッション線ドライバ６０により発光制御線駆動回路が実現されている。

【００２９】

表示パネル１０には、ｍ（ｍは２以上の整数）本のデータ線Ｄ１～Ｄｍと、ｎ＋１（ｎは２以上の整数）本の走査線Ｓ０～Ｓｎが配置されている。また、表示パネル１０には、ｍ本のデータ線Ｄ１～Ｄｍとｎ本の走査線Ｓ１～Ｓｎとの交差点にそれぞれ対応して、ｍ×ｎ個の画素回路１１が設けられている。したがって、各画素回路１１は、ｍ本のデータ線Ｄ１～Ｄｍのいずれか１つに対応するとともに、ｎ本の走査線Ｓ１～Ｓｎのいずれか１つに対応する。なお、後述の図３に示すように、各画素回路１１には、対応する走査線Ｓｊに加えて、当該対応する走査線Ｓｊの直前の走査線Ｓj-1も接続されている（１≦ｊ≦ｎ）。各画素回路１１において、対応する走査線Ｓｊはデータ電圧の書込の制御に使用され、直前の走査線Ｓj-1はデータ電圧の初期化（後述のノードＮ＿Ｇの電位の初期化）の制御に使用される（詳細は後述）。

【００３０】

表示パネル１０には、さらにｎ本の走査線Ｓ１～Ｓｎと平行に、ｎ本の発光制御線としてのエミッション線Ｅ１～Ｅｎが配置されている。ｍ本のデータ線Ｄ１～Ｄｍは、ｎ本の走査線Ｓ１～Ｓｎおよびｎ本のエミッション線Ｅ１～Ｅｎとそれぞれ交差するように配設され、それぞれデータ線ドライバ３０に接続されている。ｎ本の走査線Ｓ１～Ｓｎは走査線ドライバ５０に接続されている。ｎ本のエミッション線Ｅ１～Ｅｎはエミッション線ドライバ６０に接続されている。ｎ本のエミッション線Ｅ１～Ｅｎはｎ本の走査線Ｓ１～Ｓｎにそれぞれ対応し、各画素回路１１は、ｎ本のエミッション線Ｅ１～Ｅｎのいずれか１つに対応する。

【００３１】

また、表示パネル１０には、各画素回路１１に共通の電源線（不図示）が配置されている。より詳細には、後述の有機ＥＬ素子（「発光表示素子」ともいう）を駆動するためのＨレベル電圧ＥＬＶＤＤを供給する電源線（以下「Ｈレベル電源線」といい、Ｈレベル電位と同じく符号ＥＬＶＤＤで表す。）および有機ＥＬ素子を駆動するためのＬレベル電圧ＥＬＶＳＳを供給する電源線（以下「Ｌレベル電源線」といい、Ｌレベル電位と同じく符号ＥＬＶＳＳで表す。）が配置されている。さらに、後述の初期化動作のための初期化電位Ｖｉｎｉを供給する初期化線（初期化電位と同じく符号Ｖｉｎｉで表す。）が配置されている。これらの電位は、図示しない電源回路から供給される。

【００３２】

表示制御回路２０は、データ線ドライバ３０、走査線ドライバ５０、およびエミッション線ドライバ６０に各種制御信号を出力する。より詳細には、表示制御回路２０は、データ線ドライバ３０にデータスタートパルスＤＳＰ、データクロックＤＣＫ、表示データＤＡ、およびラッチパルスＬＰを出力する。表示制御回路２０はまた、走査線ドライバ５０に走査スタートパルスＳＳＰおよび走査クロックＳＣＫを出力する。表示制御回路２０はさらに、エミッション線ドライバ６０にエミッションスタートパルスＥＳＰおよびエミッションクロックＥＣＫを出力する。

【００３３】

データ線ドライバ３０は、図示しないｍビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびｍ個のＤ／Ａコンバータなどを含んでいる。シフトレジスタは、互いに縦続接続されたｍ個の双安定回路を有し、初段に供給されたデータスタートパルスＤＳＰをデータクロックＤＣＫに同期して転送し、各段からサンプリングパルスを出力する。サンプリングパルスの出力タイミングに合わせて、サンプリング回路に表示データＤＡが供給される。サンプリング回路は、サンプリングパルスに従って表示データＤＡを記憶する。サンプリング回路に１行分の表示データＤＡが記憶されると、表示制御回路２０はラッチ回路に対してラッチパルスＬＰを出力する。ラッチ回路は、ラッチパルスＬＰを受け取ると、サンプリング回路に記憶された表示データＤＡを保持する。Ｄ／Ａコンバータは、データ線ドライバ３０のｍ個の出力端子（不図示）にそれぞれ接続されたｍ本のデータ線Ｄ１～Ｄｍに対応して設けられており、ラッチ回路に保持された表示データＤＡをアナログ信号電圧であるデータ信号に変換し、得られたデータ信号をデータ線Ｄ１～Ｄｍにそれぞれ出力する。

【００３４】
走査線ドライバ５０は、ｎ本の走査線Ｓ１～Ｓｎを駆動する。より詳細には、走査線ドライバ５０は、図示しないシフトレジスタおよびバッファなどを含んでいる。シフトレジスタは、走査クロックＳＣＫに同期して走査スタートパルスＳＳＰを順に転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査線Ｓ１～Ｓｎに順次供給される。アクティブな（本実施形態ではローレベルの）走査信号により、走査線Ｓｊに接続されたｍ個の画素回路１１からなる画素が一括して選択される。
【００３５】
エミッション線ドライバ６０は、ｎ本のエミッション線Ｅ１～Ｅｎを駆動する。より詳細には、エミッション線ドライバ６０は、図示しないシフトレジスタおよびバッファなどを含んでいる。シフトレジスタは、エミッションクロックＥＣＫに同期してエミッションスタートパルスＥＳＰを順に転送する。シフトレジスタの各段からの出力であるエミッション信号は、バッファを経由して対応するエミッション線Ｅｊ（ｊ＝１～ｎ）に供給される。
【００３６】
図２には、一例として、走査線ドライバ５０を表示パネル１０の一端側（図２における、表示パネル１０の左側）に配置し、エミッション線ドライバ６０を表示パネル１０の他端側（図２における、表示パネル１０の右側）に配置した有機ＥＬ表示装置が示されているが、走査線ドライバ５０およびエミッション線ドライバ６０の配置はこれに限定されない。例えば、走査線ドライバ５０およびエミッション線ドライバ６０をいずれも表示パネル１０の両側に配置した両側入力構造であっても良い。また、データ線ドライバ３０の出力端子数を減らすために、データ線ドライバ３０と各画素回路１１との間にデマルチプレクサ部が設けられていても良い。この場合、データ線ドライバ３０は、デマルチプレクサ部を介して、出力したデータ信号を各データ線に供給するＳＳＤ（Source Shared Driving）と呼ばれる駆動方式で駆動する。
【００３７】
＜２．２　画素回路の構成＞
表示パネル１０に形成された画素回路１１の構成について説明する。図３は、画素回路１１の構成を示す回路図である。図３に示す画素回路１１は、図１に示す画素回路１５に、さらにｐチャネル型スイッチングトランジスタＴ８が追加されている。スイッチングトランジスタＴ８のソース端子は駆動トランジスタＴ４のチャネル領域であるボディ端子（「ボディ端子Ｎ＿ｂｏｄｙ」ともいう）に接続され、ドレイン端子は負電位の初期化線Ｖｉｎｉに接続され、ゲート端子はノードＮ＿Ｇに接続されている。画素回路１１のその他の構成は画素回路１５の構成と同じであるので、それらの説明を省略する。
【００３８】
＜２．３　スイッチングトランジスタ近傍のレイアウトパターン＞
図４は、画素回路１１の駆動トランジスタＴ４およびスイッチングトランジスタＴ８およびそれらの近傍のレイアウトパターンを示す図である。なお、以下で説明するレイアウトパターンの説明および断面図の説明において、上記回路の説明で使用した「ゲート端子」、「ソース端子」、「ドレイン端子」、「ボディ端子」の代わりに、それぞれ「ゲート電極」、「ソース領域」、「ドレイン領域」、「チャネル領域」と記載する。
【００３９】
図４に示すように、駆動トランジスタＴ４を構成する半導体層４０（「第１半導体層」ともいう）は、ソース領域４１（「第１ソース領域」ともいう）と、チャネル領域４２（「第１チャネル領域」ともいう）と、ドレイン領域４３（「第１ドレイン領域」ともいう）とからなる。ソース領域４１は、書込トランジスタＴ３（不図示）と電源供給トランジスタＴ５（不図示）に接続されている。ドレイン領域４３は、補償トランジスタＴ２（不図示）と発光制御トランジスタＴ６（不図示）に接続され、さらに発光制御トランジスタＴ６（不図示）を介して、有機ＥＬ素子ＯＬＥＤのアノード電極（不図示）に接続されている。

【００４０】
駆動トランジスタＴ４のチャネル領域４２（「第１チャネル領域」ともいう）から図４の下方に向かって、スイッチングトランジスタＴ８を構成する半導体層８０（「第２半導体層」ともいう）が延び、半導体層８０には駆動トランジスタＴ４のチャネル領域４２に近い側から順にソース領域８１（「第２ソース領域」ともいう）、チャネル領域８２（「第２チャネル領域」ともいう）およびドレイン領域８３（「第２ドレイン領域」ともいう）が配置されている。スイッチングトランジスタＴ８のソース領域８１は駆動トランジスタＴ４のチャネル領域に接続され，ドレイン領域８３は初期化線Ｖｉｎｉに接続されている。
【００４１】
ノードＮ＿Ｇは、駆動トランジスタＴ４のゲート電極として機能するとともに、データ電圧を充電するためのストレージキャパシタＣｓｔの第１端子としても機能する。ノードＮ＿Ｇは駆動トランジスタＴ４のチャネル領域４２を覆う矩形形状の本体部ＢＹ（「節点本体部」ともいう）と、本体部ＢＹから分岐してスイッチングトランジスタＴ８のチャネル領域８２上まで延びる突起部ＰＲとからなる。本体部ＢＹは、駆動トランジスタＴ４に流れる駆動電流を制御するゲート電極として機能し、突起部ＰＲはスイッチングトランジスタＴ８に流れる電流を制御するゲート電極として機能する。
【００４２】
なお、従来、トランジスタを構成する半導体層には、低温ポリシリコン（Low Temperature Polycrystalline Silicon：ＬＴＰＳ）膜が使用されていた。しかし、近年、下層に低温ポリシリコン膜、上層にＩＧＺＯ（酸化インジウムガリウム亜鉛）などの酸化物半導体膜を形成した２層の半導体層を有するＬＴＰＯ（Low Temperature Polycrystalline Oxide）技術が開発された。このため、本明細書に記載の各実施形態において、低温ポリシリコン膜の代わりに、ＬＴＰＯ技術を使用しても良い。これにより、例えば、リーク電流を少なくしたいトランジスタ（Ｔ１、Ｔ２、Ｔ７等）にはＩＧＺＯ膜を用い、駆動能力を必要とするトランジスタ（Ｔ３、Ｔ４、Ｔ５、Ｔ６）にはＬＴＰＳ膜を用いることで、二つの特徴を両立させた画素回路を形成することが出来る。なお、トランジスタを構成する上記構成の半導体層は、以下に説明する各実施形態でも使用される。
【００４３】
図５は、図４に示すレイアウトパターンの断面図であり、より詳しくは、図５（Ａ）は図４に示す矢線Ａ－Ａ’に沿った駆動トランジスタＴ４の断面図であり、図５（Ｂ）は図４に示す矢線Ｂ－Ｂ’に沿ったスイッチングトランジスタＴ８の断面図である。駆動トランジスタＴ４はｐチャネル型であるため、図５（Ａ）に示すように、ソース領域４１およびドレイン領域４３はｐ型不純物がドープされたｐ＋領域であり、チャネル領域４２はｎ型領域である。チャネル領域４２上には、ゲート絶縁膜ＧＩを挟んで、ゲート電極として機能する本体部ＢＹが形成されている。
【００４４】
スイッチングトランジスタＴ８もｐチャネル型であり、ソース領域８１およびドレイン領域８３はｐ型不純物がドープされたｐ型領域で通常形成されるが、図５（Ｂ）に示すように、ソース領域８１はｎ型不純物がドープされたｎ型領域（ｎ＋型またはイントリンシック型領域であってもよい）、ドレイン領域８３はｐ型不純物がドープされたｐ＋型領域としてもよい。チャネル領域８２はｎ型領域である。ソース領域８１は駆動トランジスタＴ４のチャネル領域４２に接続されている。チャネル領域８２上には、ゲート絶縁膜ＧＩを挟んで本体部ＢＹから分岐して延び、ゲート電極として機能する突起部ＰＲが形成されている。ドレイン領域８３は初期化線Ｖｉｎｉに接続されている。
【００４５】
＜２．４　画素回路の動作＞
図６および図７は、画素回路１１の動作を示すタイミングチャートを示す図である。図６および図７に示すように、タイミングチャートは、時刻ｔ１までの前フレーム、時刻ｔ１からｔ７までの現フレーム、および時刻ｔ７以後の次フレームに分けられる。また、現

フレームは、時刻ｔ１からｔ２までの初期化期間、時刻ｔ２からｔ３までのデータ書込期間、時刻ｔ３からｔ７までの発光期間に分けられる。

【００４６】

前フレームの発光期間では、前走査線Ｓｊ－１および走査線ＳｊはＨレベル（ハイレベル）であり、エミッション線ＥｊはＬレベル（ローレベル）である。なお、データ線Ｄｉに印加されるデータ電圧のレベルは、最小の表示輝度を示すデータ電圧である黒表示電圧を表すＨレベル（ＶＧＨ）（「黒表示電圧」ともいう）から、最大の表示輝度を示すデータ電圧である白表示電圧を表すＬレベル（ＶＧＬ）（「白表示電圧」ともいう）までの値（それらの中間のレベルであってグレー表示電圧を表すＭレベル（ＶＧＭ）（「グレー表示電圧」ともいう）の電圧も含む）を取りうる。なお、本願では、簡易的な説明のためにデータ電圧のレベルを３つで表し、黒表示電圧に近い電圧はＨレベルに含まれ、白表示電圧に近い電圧はＬレベルに含まれ、黒表示電圧に近い電圧と、白表示電圧に近い電圧の間の電圧はＭレベルに含まれると仮定する。

【００４７】

前フレームから現フレームになる時刻ｔ１においてエミッション線Ｅｊの電位がＬレベルからＨレベルに変化する。これにより、電源供給トランジスタＴ５と発光制御トランジスタＴ６がオフし、電流が駆動トランジスタＴ４に流れなくなる。その後、時刻ｔ２になるまでの期間において、前走査線Ｓｊ－１の電位がＨレベルからＬレベルに変化すると、第１初期化トランジスタＴ１はオンし、ノードＮ＿Ｇの電位ＶｎｇはＶｉｎｉになる。次に、前走査線Ｓｊ－１の電位がＬレベルからＨレベルに戻ると、第１初期化トランジスタＴ１はオフし、ノードＮ＿Ｇの電位Ｖｎｇは初期化電位ＶｉｎｉをＶｎｇ保持する。

【００４８】

＜２．４．１　データ電圧がＨレベル、ＭレベルまたはＬレベルからＬレベルに変化する場合＞

以下では、図６に示すように、データ電圧が、時刻ｔ２において、Ｈレベル、ＭレベルまたはＬレベルのいずれかから、Ｌレベルに変化する場合について説明する。時刻ｔ２において、データ線Ｄｉに印加されるデータ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＬレベルに変化する。その後、時刻ｔ３になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｌレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。次に、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフし、ノードＮ＿Ｇの電位Ｖｎｇは、次式で表される。

$$Vng = Vdata - |Vth|$$

【００４９】

ここで、白表示電圧が駆動トランジスタＴ４のゲート電極に印加されると、チャネル領域４２のトラップ準位に正孔がトラップされていく。このトラップされた正孔に起因する残像が次フレームにおいて視聴者に視認される。しかし、本実施形態では、ノードＮ＿Ｇに書き込まれるデータ電圧がＬレベルになったときからトランジスタＴ８はオンし、チャネル領域４２とゲート絶縁膜との界面および結晶粒界のトラップ準位にトラップされている正孔がトランジスタＴ８を介して初期化線Ｖｉｎｉに放出されるようになる。その結果、次フレームにおいて、トラップされた正孔に起因する残像現象の発生が抑制される。

【００５０】

時刻ｔ３において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って、有機ＥＬ素子ＯＬＥＤに電流が供給される。このとき、駆動トランジスタＴ４は、電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれた白表示電圧Ｖｄａｔａ（Ｗ）によって制御して有機ＥＬ素子ＯＬＥＤに供給する。これにより、有機ＥＬ素子ＯＬＥＤが発光し、画素回路１１は白表示の画像

を表示する。その後、時刻ｔ７まで有機ＥＬ素子ＯＬＥＤに電流が流れ続け、画素回路１１は白表示の画像を表示し続ける。

【００５１】

時刻ｔ７から次フレームになる。時刻ｔ７において、エミッション線Ｅｊの電位がＬレベルからＨレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオフすることによって、電流が有機ＥＬ素子ＯＬＥＤに供給されなくなるので、有機ＥＬ素子ＯＬＥＤは消灯する。その後、時刻ｔ８までの期間において、前走査線Ｓｊ－１の電位がＨレベルからＬレベルに変化し、第１初期化トランジスタＴ１がオンする。これにより、ノードＮ＿Ｇの電位Ｖｎｇは初期化され、初期化電位Ｖｉｎｉになる。さらに、前走査線Ｓｊ－１の電位がＬレベルからＨレベルに戻り、第１初期化トランジスタＴ１がオフする。その結果、初期化電位ＶｉｎｉがノードＮ＿Ｇに保持される。

【００５２】

時刻ｔ８において、データ線Ｄｉに印加されるデータ電圧がＬレベルからＭレベルに変化する。その後、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｍレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。

【００５３】

ここで、図１に示す従来の画素回路１５では、現フレームの時刻ｔ２～ｔ３の期間に、チャネル領域４２のトラップ準位に正孔がトラップされる。トラップされた正孔を積極的に放出する機構を備えていないため、時刻ｔ２以降、トラップされた正孔は放出されにくく（msecオーダー以上の時定数に従ってゆっくりと放出され）残り続ける。このため、次のフレームの時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも少なくなる。その結果、視聴者は輝度が低下した画像（残像）を視認することになる。

【００５４】

これに対して、図３に示す本実施形態に係る画素回路１１では、時刻ｔ２からｔ７までにおいて、スイッチングトランジスタＴ８をオンさせることによって、チャネル領域４２のトラップ準位にトラップされた正孔は、スイッチングトランジスタＴ８を通って初期化線Ｖｉｎｉに放電される。次のフレームの時刻ｔ８になると、チャネル領域４２には、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に応じたキャリア（電流）が誘起される。このため、トラップされた正孔に起因する残像の発生が抑制される。次に、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００５５】

時刻ｔ９において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれたグレー表示のデータ電圧によって制御する。

【００５６】

上記のように、データ電圧が時刻ｔ２において、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＬレベルに変化する場合、画素回路１１では、現フレームの時刻ｔ３～ｔ７の期間に、スイッチングトランジスタＴ８がオンする。これにより、チャネル領域４２のトラップ準位にトラップされている正孔は、スイッチングトランジスタＴ８を通って初期化線Ｖｉｎｉに放電される。その結果、時刻ｔ８以降においては、チャネル領域４２に、所望のＭレベルのデータ電圧に応じたキャリア（電流）が誘起される。このようにして、残像現象が抑制されるので、有機ＥＬ素子ＯＬＥＤはデータ電圧に応じた輝度で発光し、画素回路１１は所望のグレー表示の画像を表示する。その後も有機ＥＬ素子ＯＬＥＤに所

望の電流が流れ続けるので、有機ＥＬ素子ＯＬＥＤはデータ電圧に応じた所望の輝度で発光し続け、画素回路１１はグレー表示になる。

【００５７】

＜２．４．２　データ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する場合＞

次に、図７に示すように、時刻ｔ２において、データ電圧が、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する場合について説明する。時刻ｔ２において、データ線Ｄｉに印加されるデータ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する。その後、時刻ｔ３になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンしてＨレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。次に、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００５８】

ここで、黒表示電圧が駆動トランジスタＴ４のゲート電極に印加されると、ノードＮ＿Ｇに書き込まれるデータ電圧がＨレベルになるので、スイッチングトランジスタＴ８はオフする。これにより、駆動トランジスタＴ４のチャネル領域４２は、初期化線Ｖｉｎｉから切り離された状態になる。なお、黒表示電圧の場合、トラップ準位にトラップされる正孔が少ないので、トラップされた正孔が初期化線Ｖｉｎｉに放電されなくても、それによる残像（輝度低下）はほとんど視認されないが、一方でトラップ準位にトラップされる電子の方が顕著になるので、それによる残像（輝度上昇）が視認されるようになる。また、黒表示電圧が印加されたときに、正孔を放電させるためだけなら、スイッチングトランジスタＴ８はｎチャネル型またはｐチャネル型のいずれであってもよい。

【００５９】

時刻ｔ３から現フレームの発光期間になり、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれた黒表示のデータ電圧によって制御する。これにより、有機ＥＬ素子ＯＬＥＤがデータ電圧に応じた輝度で発光し続け、画素回路１１は黒表示になる。

【００６０】

時刻ｔ７から次フレームになる。時刻ｔ７において、エミッション線Ｅｊの電位がＬレベルからＨレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオフすることによって、電流が有機ＥＬ素子ＯＬＥＤに供給されなくなるので、有機ＥＬ素子ＯＬＥＤは消灯する。その後、時刻ｔ８までの期間において、前走査線Ｓｊ－１の電位がＨレベルからＬレベルに変化し、第１初期化トランジスタＴ１がオンする。これにより、ノードＮ＿Ｇの電位Ｖｎｇは初期化され、初期化電位Ｖｉｎｉになる。さらに、前走査線Ｓｊ－１の電位がＬレベルからＨレベルに戻り、第１初期化トランジスタＴ１がオフする。その結果、初期化電位ＶｉｎｉがノードＮ＿Ｇに保持される。

【００６１】

時刻ｔ８において、データ線Ｄｉに印加されるデータ電圧がＨレベルからＭレベルに変化する。その後、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｍレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。

【００６２】

図１に示す従来の画素回路１５では、現フレームの時刻ｔ２～ｔ３の期間に、チャネル領域４２のトラップ準位に電子がトラップされる。トラップされた電子を積極的に放出す

る機構を備えていないため、時刻ｔ２以降、トラップされた電子は放出されにくく（msecオーダー以上の時定数に従ってゆっくりと放出され）残り続ける。このため、次フレームの時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも多くなる。その結果、視聴者は輝度が上昇した画像（残像）を視認することになる。

【００６３】

一方、図３に示す本実施形態に係る画素回路１１では、時刻ｔ２からｔ７までにおいて、スイッチングトランジスタＴ８がオンされるが、接続先の電源線が負電位である初期化線Ｖｉｎｉのため、チャネル領域４２のトラップ準位にトラップされた電子は、放電されずに残り続ける。このため、次フレームの時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも多くなる。その結果、従来の画素回路１５と同様に、視聴者は輝度が上昇した画像（残像）を視認することになる。次に、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００６４】

時刻ｔ９において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれたグレー表示のデータ電圧によって制御する。

【００６５】

上記のように、データ電圧が時刻ｔ２において、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する場合、画素回路１１では、現フレームの時刻ｔ２～ｔ７の期間に、スイッチングトランジスタＴ８がオンするが、接続先の電源線が負電位である初期化線Ｖｉｎｉのため、チャネル領域４２のトラップ準位にトラップされた電子は、放電されずに残り続ける。その結果、次フレームの時刻ｔ８以降においては、チャネル領域４２に、所望のＭレベルのデータ電圧に対応したキャリア（電流）よりも大きなキャリア（電流）が誘起される。残像現象が抑制されないので、グレー表示に切り替えた瞬間は、有機ＥＬ素子ＯＬＥＤはデータ電圧以上の輝度で発光し、画素回路１１は所望のグレー表示よりも明るい画像を表示する。その後は、トラップされた電子が次第に（時定数に従ってゆっくりと）放出されるため、有機ＥＬ素子ＯＬＥＤは、数十秒かけて徐々に所望のＭレベルのデータ電圧に応じた所望の輝度に下がっていき、最終的には所望のグレー表示となり、残像は見えなくなる。

【００６６】

＜２．５　スイッチングトランジスタの動作＞

＜２．５．１　Ｌレベルの白表示電圧がノードＮ＿Ｇに書き込まれた場合＞

現フレームにおいて、Ｌレベルの白表示電圧Ｖｄａｔａ（Ｗ）をノードＮ＿Ｇに書き込むことによって駆動トランジスタＴ４のしきい値補償をする際に、駆動トランジスタＴ４のチャネル領域のトラップ準位に正孔がトラップされる。そこで、トラップされている正孔をｐチャネル型スイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電させるためには、スイッチングトランジスタＴ８をオンさせる必要がある。ｐチャネル型のスイッチングトランジスタＴ８をオンさせるための条件は、

$$Vth(T8) > Vgs$$

である。ここで、Ｖｇｓは、スイッチングトランジスタＴ８のゲート・ソース間電圧であり、次式で表される。

$$\begin{aligned} Vgs &= Vng - Vbody \\ &= Vdata(W) - |Vth(T4)| - Vbody \\ &= Vdata(W) + Vth(T4) - Vbody \end{aligned}$$

したがって、スイッチングトランジスタＴ８をオンさせるための条件は次のようになる。
　　Ｖｔｈ（Ｔ８）＞Ｖｄａｔａ（Ｗ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ　…（２）
【００６７】
　スイッチングトランジスタＴ８をオンさせるために、上式（２）を満たす駆動トランジスタＴ４のしきい値電圧Ｖｔｈ（Ｔ４）、スイッチングトランジスタＴ８のしきい値電圧Ｖｔｈ（Ｔ８）および白表示電圧Ｖｄａｔａ（Ｗ）を設定する。
電圧設定の一例として、
　　Ｖｄａｔａ（Ｗ）＝ ２Ｖ
　　ＥＬＶＤＤ ＝ ４Ｖ
　　ＥＬＶＳＳ ＝ －４Ｖ
　　Ｖｏｌｅｄ ＝ ３Ｖ
　　Ｖｂｏｄｙ　｛（ＥＬＶＤＤ－ＥＬＶＳＳ）－Ｖｏｌｅｄ｝/２
　　　＝ ２．５Ｖ
　　Ｖｉｎｉ＝ －３Ｖ
　　Ｖｔｈ（Ｔ４）＝ －４Ｖ
　　Ｖｔｈ（Ｔ８）＝ －２Ｖ
と設定した場合、式(２)の左辺は
　　Ｖｔｈ（Ｔ８）＝ －２Ｖ
式（２）の右辺は
　　Ｖｄａｔａ（Ｗ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ＝２Ｖ＋(－４Ｖ)－(２．５Ｖ)
　　＝ －４．５Ｖ
となり、式（２）を満たす。したがって、スイッチングトランジスタＴ８がオンするので、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされている正孔は、スイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電される。その結果、現フレームが白表示の場合、次フレームのグレー表示時には残像（白表示部が暗く見える）が発生しない。ただし、式（２）を満たさないしきい値電圧や電源電圧の設定であれば、スイッチングトランジスタＴ８がオンしないので、白表示であっても残像は発生しうる。
【００６８】
＜２．５．２　Ｈレベルの黒表示電圧がノードに書き込まれた場合＞
　現フレームにおいて、Ｈレベルの黒表示電圧Ｖｄａｔａ（Ｂ）が書き込まれたとき、駆動トランジスタＴ４のチャネル領域のトラップ準位に電子がトラップされる。このとき、ｐチャネル型のスイッチングトランジスタＴ８がオンする条件は、式（２）と同様に次式で表される。
　　Ｖｔｈ（Ｔ８）＞Ｖｇｓ
ここで、
　　Ｖｇｓ＝Ｖｎｇ－Ｖｂｏｄｙ
　　＝Ｖｄａｔａ（Ｂ）－｜Ｖｔｈ（Ｔ４）｜－Ｖｂｏｄｙ
　　＝Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ
である。したがって、スイッチングトランジスタＴ８がオンするための条件は次のようになる。
　　Ｖｔｈ（Ｔ８）＞Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ　…（３）
電圧設定の一例として、
　　Ｖｄａｔａ（Ｂ）＝ ５Ｖ
　　ＥＬＶＤＤ ＝ ４Ｖ
　　ＥＬＶＳＳ ＝ －４Ｖ
　　Ｖｏｌｅｄ ＝ ３Ｖ
　　Ｖｂｏｄｙ　｛（ＥＬＶＤＤ－ＥＬＶＳＳ）－Ｖｏｌｅｄ｝/２
　　　＝ ２．５Ｖ
　　Ｖｉｎｉ＝ －３Ｖ
　　Ｖｔｈ（Ｔ４）＝ －４Ｖ

Ｖｔｈ（Ｔ８）＝ －２Ｖ
と設定した場合、式(３)の左辺は
Ｖｔｈ（Ｔ８）＝ －２Ｖ
式（３）の右辺は
Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ＝５Ｖ＋(－４Ｖ)－(２．５Ｖ)
＝ －１．５Ｖ
となり、式（３）を満たさない。したがって、スイッチングトランジスタＴ８がオンしないので、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされている電子は、スイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電されず、駆動トランジスタＴ４のチャネル領域にとどまる。その結果、現フレームが黒表示の場合、次フレームのグレー表示時には残像（黒表示部が明るく見える）が発生する。

【００６９】

＜２．６　駆動トランジスタのチャネル領域にトラップされた正孔を初期化線に放電させるためのバンド図＞

駆動トランジスタＴ４がオンして駆動電流が流れているときに、チャネル領域４２にトラップされていた正孔がスイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電されることをバンド図を使用して説明する。図８および図９は、駆動トランジスタＴ４のチャネル領域４２と、チャネル領域４２に接続されたスイッチングトランジスタＴ８のバンドを表す図である。図８は、Ｔ８のソース領域８１がｎ型の場合の図であり、図９は、Ｔ８のソース領域８１がｐ型の場合の図である。

【００７０】

まず、駆動トランジスタＴ４およびスイッチングトランジスタＴ８がオフしているときについて説明する。図８および図９に示すように、駆動トランジスタＴ４のチャネル領域４２、スイッチングトランジスタＴ８のチャネル領域８２はいずれもｎ型領域であり、Ｔ８がオフする電圧（Ｖｎｇ≧Ｖｔｈ（Ｔ８）＋Ｖｂｏｄｙ）が印加されている。この時、Ｔ４のチャネル領域は、フェルミレベルＥｆが真性フェルミレベルＥｉより上にあるので、正孔をトラップしていない。ｐ＋型のドレイン領域８３は、ｎ型のチャネル領域８２と接すると同時に、負電位である初期化線Ｖｉｎｉに接続されている。このため、ドレイン領域８３のフェルミレベルＥｆはチャネル領域のフェルミレベルＥｆよりも、逆バイアス電圧であるＶｉｎｉ分だけ高い。チャネル領域４２に正孔自体がトラップされていないので、Ｔ８のソース領域８１がｎ型かｐ型かに関わらず（図８および図９のいずれの場合であっても）、正孔はスイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電されない。

【００７１】

次に、駆動トランジスタＴ４およびスイッチングトランジスタＴ８がオンしている場合について説明する。

【００７２】

ノードＮ＿Ｇは、駆動トランジスタＴ４およびスイッチングトランジスタＴ８のゲート電極として機能しているので、トランジスタＴ４およびＴ８のゲート電極にＴ８がオンする電圧（Ｖｎｇ＜Ｖｔｈ（Ｔ８）＋Ｖｂｏｄｙ）が印加されると、チャネル領域４２およびチャネル領域８２のフェルミレベルＥｆは、真性フェルミレベルＥｉよりも小さくなって、導電型がｎ型からｐ型に反転する。この時のバンドの曲がり（導電型の反転）に伴って、Ｔ４のチャネル領域４２近傍のトラップ準位には正孔がトラップされる。図８に示すように、Ｔ８のソース領域８１がｎ型の場合、この領域が正孔に対してポテンシャル障壁となるので、電位的には、正孔はＶｉｎｉに流れにくくなるが、一方で、ソース領域８１の価電子帯にある多数キャリアである電子とは再結合しやすくなり、Ｔ４のチャネル領域近傍にトラップされた正孔は消失しやすくなる。また、図９に示すように、Ｔ８のソース領域がｐ型の場合は、この領域は正孔に対してポテンシャル障壁とならないので、Ｔ４のチャネル領域近傍にトラップされた正孔は、そのままＶｉｎｉに流れてゆき、放電される。

【００７３】

＜２．７　効果＞

本実施形態によれば、駆動トランジスタＴ４のしきい値補償をするために、ノードＮ＿Ｇにデータ電圧としてＬレベルの白表示電圧を書き込む際に、駆動トランジスタＴ４のチャネル領域４２のトラップ準位に正孔がトラップされる。次に、発光期間において、白表示のデータ電圧が与えられると、駆動トランジスタＴ４は、データ電圧に応じた駆動電流を有機ＥＬ素子ＯＬＥＤに供給する。このとき、スイッチングトランジスタＴ８がオンする。これにより、駆動トランジスタＴ４のチャネル領域４２のトラップ準位にトラップされた正孔はスイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電される。その結果、駆動トランジスタＴ４のトラップ準位にトラップされている正孔がなくなるので、次フレームでグレー表示電圧が書き込まれた場合にも、書き込まれたグレー表示のデータ電圧値に応じた電流が駆動トランジスタＴ４から発光制御トランジスタＴ６を介して有機ＥＬ素子ＯＬＥＤに供給される。その結果、残像のない画像を表示することができる。

【００７４】

＜３．第２の実施形態＞

＜３．１　有機ＥＬ表示装置の構成＞

第２の実施形態に係る有機ＥＬ表示装置の全体構成は、図２に示す第１の実施形態に係る有機ＥＬ表示装置の全体構成と同じであるので、そのブロック図および説明を省略する。

【００７５】

＜３．２　画素回路の構成＞

本実施形態の表示パネル１０に形成された画素回路１２の構成について説明する。図１０は、本実施形態に係る有機ＥＬ表示装置に含まれる画素回路１２の構成を示す回路図である。図１０に示す画素回路１２には、図３に示す画素回路１１と異なり、スイッチングトランジスタとして、ｐチャネル型スイッチングトランジスタＴ８の代わりに、ｎチャネル型スイッチングトランジスタＴ９が設けられている。スイッチングトランジスタＴ９のソース端子は、スイッチングトランジスタＴ８の場合と同様に、駆動トランジスタＴ４のチャネル領域に接続され、ゲート端子はノードＮ＿Ｇに接続されている。しかし、スイッチングトランジスタＴ８の場合と異なり、スイッチングトランジスタＴ９では、ドレイン端子は正電位のＨレベル電源線ＥＬＶＤＤに接続されている。なお、画素回路１２のその他の構成は図３に示す画素回路１１の構成と同じであるので、その説明を省略する。

【００７６】

＜３．３　スイッチングトランジスタおよびその近傍のレイアウトパターン＞

図１１は、画素回路１２の駆動トランジスタＴ４およびスイッチングトランジスタＴ９およびその近傍のレイアウトパターンを示す平面図である。図１１に示すように、駆動トランジスタＴ４を構成する半導体層４０（「第１半導体層」ともいう）のソース領域４１およびドレイン領域４３の接続先は、第１の実施形態の場合と同じであるので、その説明を省略する。

【００７７】

駆動トランジスタＴ４のチャネル領域４２から図１１の下方に向かって延びるスイッチングトランジスタＴ９を構成する半導体層９０（「第２半導体層」ともいう）が延び、半導体層９０には駆動トランジスタＴ４のチャネル領域４２に近い側から順にソース領域９１（「第２ソース領域」ともいう）、チャネル領域９２（「第２チャネル領域」ともいう）、およびドレイン領域９３（「第２ドレイン領域」ともいう）が配置されている。スイッチングトランジスタＴ９のソース領域９１は駆動トランジスタＴ４のチャネル領域４２に接続され、ドレイン領域９３はＨレベル電源線ＥＬＶＤＤに接続されている。

【００７８】

ノードＮ＿Ｇは、駆動トランジスタＴ４のゲート電極として機能するとともに、データ電圧を充電するためのストレージキャパシタＣｓｔの第１端子としても機能する。ノードＮ＿Ｇは駆動トランジスタＴ４のチャネル領域４２を覆う矩形形状の本体部ＢＹと、本体部ＢＹから分岐してスイッチングトランジスタＴ９のチャネル領域９２上まで延びる突起部ＰＲとを含む。本体部ＢＹは、駆動トランジスタＴ４に流れる駆動電流を制御するゲー

ト電極として機能するとともに、データ電圧を充電するためのストレージキャパシタＣｓｔの第１端子としても機能する。突起部ＰＲはスイッチングトランジスタＴ９に流れる電流を制御するゲート電極として機能する。

【００７９】

図１２は、図１１に示すレイアウトパターンの断面図であり、より詳しくは、図１２（Ａ）は図１１に示す矢線Ａ－Ａ’に沿った駆動トランジスタＴ４の断面図であり、図１２（Ｂ）は、図１１に示す矢線Ｃ－Ｃ’に沿ったスイッチングトランジスタＴ９の断面図である。駆動トランジスタＴ４はｐチャネル型であるので、図１２（Ａ）に示す断面図は、図５（Ａ）に示す断面図と同じである。このため、駆動トランジスタＴ４の説明は省略する。

【００８０】

スイッチングトランジスタＴ９は、スイッチングトランジスタＴ８と異なり、ｎチャネル型のトランジスタであり、ソース領域９１およびドレイン領域９３はｎ型不純物がドープされたｎ型領域で通常形成されるが、図１２（Ｂ）に示したようにソース領域９１はｐ型（ｐ＋型またはイントリンシック型であってもよい）、チャネル領域９２はｐ型、ドレイン領域９３はｎ＋型としてもよい。スイッチングトランジスタＴ９のチャネル領域９２上には、ゲート絶縁膜ＧＩを挟んで、ノードＮ＿Ｇの本体部ＢＹから延びる突起部ＰＲからなるゲート電極が形成されている。ソース領域９１は駆動トランジスタＴ４のチャネル領域４２に接続され、ドレイン領域９３はＨレベル電源線ＥＬＶＤＤに接続されている。

【００８１】

＜３．４　画素回路の動作＞

画素回路の動作を示すタイミングチャートは、図６および図７に示す第１実施形態の場合と同じである。このため、図６および図７を使用して本実施形態に係る画素回路１２の動作を説明する。

【００８２】

＜３．４．１　データ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する場合＞

以下では、図７に示すように、データ電圧が、Ｈレベル、ＭレベルまたはＬレベルのいずれかから、黒表示電圧であるＨレベルに変化する場合について説明する。時刻ｔ１までの動作は、第１の実施形態の場合と同じなので、その説明を省略する。時刻ｔ２において、データ線Ｄｉに印加されるデータ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する。その後、時刻ｔ３になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｈレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。次に、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフし、ノードＮ＿Ｇは第１の実施形態の式（１）と同様に次式で表される。

$$Vng = Vdata - |Vth|$$

【００８３】

ここで、黒表示電圧が駆動トランジスタＴ４のゲート電極に印加されると、チャネル領域４２のトラップ準位に電子がトラップされていく。このトラップされた電子に起因する残像が次フレームにおいて視聴者に視認される。しかし、本実施形態では、ノードＮ＿Ｇに書き込まれるデータ電圧がＨレベルになったときからトランジスタＴ９はオンし、チャネル領域４２とゲート絶縁膜との界面および結晶粒界のトラップ準位にトラップされている電子がトランジスタＴ９を介してＨレベル電源線ＥＬＶＤＤに放出されるようになる。その結果、次フレームにおいて、トラップされた電子に起因する残像現象の発生が抑制される。

【００８４】

時刻ｔ３において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制

御トランジスタＴ６を順に通って、有機ＥＬ素子ＯＬＥＤに電流が供給される。このとき、駆動トランジスタＴ４は、電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれた黒表示電圧Ｖｄａｔａ（Ｂ）によって制御して有機ＥＬ素子ＯＬＥＤに供給する。これにより、有機ＥＬ素子ＯＬＥＤが発光し、画素回路１１は黒表示の画像を表示する。その後、時刻ｔ７まで有機ＥＬ素子ＯＬＥＤに電流が流れ続け、画素回路１１は黒表示の画像を表示し続ける。

【００８５】

時刻ｔ７から次フレームになる。時刻ｔ７において、エミッション線Ｅｊの電位がＬレベルからＨレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオフすることによって、電流が有機ＥＬ素子ＯＬＥＤに供給されなくなるので、有機ＥＬ素子ＯＬＥＤは消灯する。その後、時刻ｔ８までの期間において、前走査線Ｓｊ－１の電位がＨレベルからＬレベルに変化し、第１初期化トランジスタＴ１がオンする。これにより、ノードＮ＿Ｇの電位Ｖｎｇは初期化され、初期化電位Ｖｉｎｉになる。さらに、前走査線Ｓｊ－１の電位がＬレベルからＨレベルに戻り、第１初期化トランジスタＴ１がオフする。その結果、初期化電位ＶｉｎｉがノードＮ＿Ｇに保持される。

【００８６】

時刻ｔ８において、データ線Ｄｉに印加されるデータ電圧がＨレベルからＭレベルに変化する。その後、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｍレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。

【００８７】

図１に示す従来の画素回路１５では、現フレームの時刻ｔ２～ｔ３の期間に、チャネル領域４２のトラップ準位に電子がトラップされる。従来の画素回路１５は、トラップされた電子を積極的に放出する機構を備えていないため、時刻ｔ２以降、トラップされた電子は放出されにくく（msecオーダー以上の時定数に従ってゆっくりと放出されるため）次フレーム以降も残り続ける。このため、時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも多くなる。その結果、視聴者は輝度が上昇した画像（残像）を視認することになる。

【００８８】

これに対して、図１０に示す本実施形態に係る画素回路１２では、時刻ｔ２からｔ７までにおいて、スイッチングトランジスタＴ９をオンさせるために、チャネル領域４２のトラップ準位にトラップされている電子は、スイッチングトランジスタＴ９を通ってＨレベル電源線ＥＬＶＤＤに放電される。次フレームの時刻ｔ８になると、チャネル領域４２には、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に応じたキャリア（電流）が誘起される。このため、トラップされた電子に起因する残像の発生は抑制される。次に、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００８９】

時刻ｔ９において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから、電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれたグレー表示のデータ電圧によって制御する。

【００９０】

上記のように、データ電圧が時刻ｔ２において、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＨレベルに変化する場合、画素回路１２では、現フレームの時刻ｔ２～ｔ７

の期間に、スイッチングトランジスタＴ９がオンする。これにより、チャネル領域４２のトラップ準位にトラップされている電子は、スイッチングトランジスタＴ９を通ってＨレベル電源線ＥＬＶＤＤに放電される。その結果、時刻ｔ８以降においては、チャネル領域４２に、所望のＭレベルのデータ電圧に応じたキャリア（電流）が誘起される。このようにして、残像現象が抑制されるので、有機ＥＬ素子ＯＬＥＤはデータ電圧に応じた輝度で発光し、画素回路１２は所望のグレー表示の画像を表示する。その後も有機ＥＬ素子ＯＬＥＤに所望の電流が流れ続けるので、有機ＥＬ素子ＯＬＥＤはデータ電圧に応じた所望の輝度で発光し続け、画素回路１２はグレー表示になる。

【００９１】

＜３．４．２　データ電圧がＨレベル、ＭレベルまたはＬレベルのいずれかからＬレベルに変化する場合＞

図６に示すように、時刻ｔ２において、データ線Ｄｉに印加されるデータ電圧が、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＬレベルに変化する。その後、時刻ｔ３になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンすることによって、Ｌレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジスタＴ４のしきい値補償が行われる。次に、走査線Ｓｊの電位がＬレベルからＨレベルにもどると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００９２】

時刻ｔ３から現フレームの発光期間になり、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから、電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って、有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれた白表示のデータ電圧によって制御する。これにより、有機ＥＬ素子ＯＬＥＤがデータ電圧に応じた輝度で発光し、画素回路は白表示になる。

【００９３】

ここで、白表示電圧が駆動トランジスタＴ４のゲート電極に印加されると、ノードＮ＿Ｇに書き込まれるデータ電圧がＬレベルになるので、スイッチングトランジスタＴ９はオフする。これにより、駆動トランジスタＴ４のチャネル領域４２は、Ｈレベル電源線ＥＬＶＤＤから切り離された状態になる。なお、白表示電圧の場合、チャネル領域４２のトラップ準位にトラップされる電子が少ないので、トラップされている電子がＨレベル電源線ＥＬＶＤＤに放電されなくても、それによる残像はほとんど視認されないが、一方でトラップ準位にトラップされる正孔の方が顕著になるので、それによる残像（輝度低下）が視認されるようになる。

【００９４】

時刻ｔ７から次フレームになる。時刻ｔ７において、エミッション線Ｅｊの電位がＬレベルからＨレベルに変化する。これにより、発光制御トランジスタＴ６と電源供給トランジスタＴ５がオフすることによって、電流が有機ＥＬ素子ＯＬＥＤに供給されなくなるので、有機ＥＬ素子ＯＬＥＤは消灯する。その後、時刻ｔ８までの期間において、前走査線Ｓｊ－１の電位がＨレベルからＬレベルに変化し、第１初期化トランジスタＴ１がオンする。これにより、ノードＮ＿Ｇの電位Ｖｎｇは初期化され、初期化電位Ｖｉｎｉになる。さらに、前走査線Ｓｊ－１の電位がＬレベルからＨレベルに戻り、第１初期化トランジスタＴ１がオフする。その結果、初期化電位ＶｉｎｉがノードＮ＿Ｇに保持される。

【００９５】

時刻ｔ８において、データ線Ｄｉに印加されるデータ電圧がＬレベルからＭレベルに変化する。その後、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＨレベルからＬレベルに変化する。これにより、書込トランジスタＴ３および補償トランジスタＴ２がオンし、Ｍレベルのデータ電圧がノードＮ＿Ｇに書き込まれるとともに、駆動トランジス

タＴ４のしきい値補償が行われる。

【００９６】

図１に示す従来の画素回路１５では、現フレームの時刻ｔ２～ｔ３の期間に、チャネル領域４２のトラップ準位に正孔がトラップされる。従来の画素回路１５は、トラップされた正孔を積極的に放出する機構を備えていないため、時刻ｔ２以降、トラップされた正孔は放出されにくく（msecオーダー以上の時定数に従ってゆっくりと放出され）残り続ける。このため、次フレームの時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも少なくなる。その結果、視聴者は輝度が低下した画像（残像）を視認することになる。

【００９７】

一方、図１０に示す本実施形態に係る画素回路１２では、時刻ｔ２からｔ７までにおいて、スイッチングトランジスタＴ９がオンされるが、接続先の電源線が正電位であるＨレベル電源線ＥＬＶＤＤのため、チャネル領域４２のトラップ準位にトラップされた正孔は、放電されずに残り続ける。このため、次フレームの時刻ｔ８以降にチャネル領域４２に誘起されるキャリア（電流）は、ノードＮ＿Ｇに書き込まれたＭレベルのデータ電圧に対応したキャリア（電流）よりも少なくなる。その結果、従来の画素回路１５と同様に、視聴者は輝度が低下した画像（残像）を視認することになる。次に、時刻ｔ９になるまでの期間において、走査線Ｓｊの電位がＬレベルからＨレベルに戻ると、書込トランジスタＴ３および補償トランジスタＴ２はオフする。

【００９８】

時刻ｔ９において、エミッション線Ｅｊの電位がＨレベルからＬレベルに変化する。これにより、電源供給トランジスタＴ５および発光制御トランジスタＴ６がオンし、電流が、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５、駆動トランジスタＴ４、発光制御トランジスタＴ６を順に通って有機ＥＬ素子ＯＬＥＤに供給される。このとき、駆動トランジスタＴ４は、Ｈレベル電源線ＥＬＶＤＤから電源供給トランジスタＴ５を通って流れる電流を、ノードＮ＿Ｇに書き込まれたグレー表示のデータ電圧によって制御する。

【００９９】

上記のように、データ電圧が時刻ｔ２において、Ｈレベル、ＭレベルまたはＬレベルのいずれかからＬレベルに変化する場合、画素回路１２では、現フレームの時刻ｔ２～ｔ７の期間に、スイッチングトランジスタＴ９がオンするが、接続先の電源線が正電位であるＨレベル電源線ＥＬＶＤＤのため、チャネル領域４２のトラップ準位にトラップされた正孔は、放電されずに残り続ける。その結果、次フレームの時刻ｔ８以降においては、チャネル領域４２に、所望のＭレベルのデータ電圧に対応したキャリア（電流）よりも少ないキャリア（電流）が誘起される。残像現象が抑制されないので、グレー表示に切り替えた瞬間は、有機ＥＬ素子ＯＬＥＤはデータ電圧以下の輝度で発光し、画素回路１２は所望のグレー表示よりも暗い画像を表示する。その後は、トラップされた正孔が次第に（時定数に従ってゆっくりと）放出されるため、有機ＥＬ素子ＯＬＥＤは、数十秒かけて徐々に所望のＭレベルのデータ電圧に応じた所望の輝度に下がっていき、最終的には所望のグレー表示となり、残像は見えなくなる。

【０１００】

＜３．５　スイッチングトランジスタの動作＞

＜３．５．１　Ｈレベルの黒表示電圧がノードＮ＿Ｇに書き込まれた場合＞

現フレームにおいて、Ｈレベルの黒表示電圧Ｖｄａｔａ（Ｂ）をノードＮ＿Ｇに書き込むことによって駆動トランジスタＴ４のしきい値補償をする際に、駆動トランジスタＴ４のチャネル領域のトラップ準位に電子がトラップされる。そこで、トラップされている電子をｎチャネル型スイッチングトランジスタＴ９を介してＨレベル電源線ＥＬＬＶＤＤに放電させるために、スイッチングトランジスタＴ９をオンさせる必要がある。ｎチャネル型のスイッチングトランジスタＴ９をオンさせるための条件は、

Ｖｔｈ（Ｔ９）＜Ｖｇｓ

である。ここで、Ｖｇｓは、スイッチングトランジスタＴ９のゲート・ソース間電圧であり、次式で表される。

Ｖｇｓ＝Ｖｎｇ－Ｖｂｏｄｙ
＝Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ

したがって、スイッチングトランジスタＴ９をオンさせるための条件は次のようになる。

Ｖｔｈ（Ｔ９）＜Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ…（４）

【０１０１】

スイッチングトランジスタＴ９をオンさせるために、上式（４）を満たす、駆動トランジスタＴ４のしきい値電圧Ｖｔｈ（Ｔ４）、スイッチングトランジスタＴ９のしきい値電圧Ｖｔｈ（Ｔ９）および黒表示電圧Ｖｄａｔａ（Ｂ）を設定する。

電圧設定の一例として、

Ｖｄａｔａ（Ｂ）＝ ５Ｖ
ＥＬＶＤＤ ＝ ４Ｖ
ＥＬＶＳＳ ＝ －４Ｖ
Ｖｏｌｅｄ ＝ ３Ｖ
Ｖｂｏｄｙ　｛（ＥＬＶＤＤ－ＥＬＶＳＳ）－Ｖｏｌｅｄ｝/２
＝ ２．５Ｖ
Ｖｉｎｉ＝ －３Ｖ
Ｖｔｈ（Ｔ４）＝ －４Ｖ
Ｖｔｈ（Ｔ９）＝ －２Ｖ

と設定した場合、式(４)の左辺は

Ｖｔｈ（Ｔ９）＝ －２Ｖ

式（４）の右辺は

Ｖｄａｔａ（Ｂ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ＝５Ｖ＋(－４Ｖ)－(２．５Ｖ)
＝ －１．５Ｖ

となり、式（４）を満たす。したがって、スイッチングトランジスタＴ９がオンするので、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされている電子は、スイッチングトランジスタＴ９を介してＨレベル電源線ＥＬＬＶＤＤに放電される。その結果、現フレームで黒表示され、次フレームでグレー表示される領域で、黒表示部が明るく見える残像が発生しない。ただし、上記の電圧設定例では、スイッチングトランジスタＴ９はデプレション型のｎチャネルトランジスタであり、そのしきい値電圧Ｖｔｈ（Ｔ９）が－２Ｖに設定されている点に注意されたい。なお、このような式（４）を満たすしきい値電圧や電源電圧が設定されない場合には、スイッチングトランジスタＴ９がオンしないので、黒表示であっても残像は発生しうる。

【０１０２】

＜３．５．２　Ｌレベルの白表示電圧がノードＮ＿Ｇに書き込まれた場合＞

現フレームにおいて、Ｌレベルの白表示電圧が書き込まれたとき、駆動トランジスタＴ４のチャネル領域のトラップ準位に正孔がトラップされる。このとき、ｎチャネル型のスイッチングトランジスタＴ９がオンする条件は、次式で表される。

Ｖｔｈ（Ｔ９）＜Ｖｇｓ

ここで、

Ｖｇｓ＝Ｖｎｇ－Ｖｂｏｄｙ
＝Ｖｄａｔａ（Ｗ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ

である。したがって、スイッチングトランジスタＴ９がオンする条件は、式（４）と同様に、次式（５）によって表される。

Ｖｔｈ（Ｔ９）＜Ｖｄａｔａ（Ｗ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ …（５）

【０１０３】

電圧設定の一例として、

Ｖｄａｔａ（Ｗ）＝ ２Ｖ
ＥＬＶＤＤ ＝ ４Ｖ

ＥＬＶＳＳ ＝ －４Ｖ
Ｖｏｌｅｄ ＝ ３Ｖ
Ｖｂｏｄｙ ｛（ＥＬＶＤＤ－ＥＬＶＳＳ）－Ｖｏｌｅｄ｝/２
＝ ２．５Ｖ
Ｖｉｎｉ＝ －３Ｖ
Ｖｔｈ（Ｔ４）＝ －４Ｖ
Ｖｔｈ（Ｔ９）＝ －２Ｖ
と設定した場合、式(５)の左辺は
Ｖｔｈ（Ｔ９）＝ －２Ｖ
式（５）の右辺は
Ｖｄａｔａ（Ｗ）＋Ｖｔｈ（Ｔ４）－Ｖｂｏｄｙ＝２Ｖ＋(－４Ｖ)－(２．５Ｖ)
＝ －４．５Ｖ
となり、式（５）を満たさない。したがって、スイッチングトランジスタＴ９がオンしないので、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされている正孔は、Ｈレベル電源線ＥＬＶＤＤに放電されず、駆動トランジスタＴ４のチャネル領域にとどまる。このため、現フレームが白表示の場合、次フレームのグレー表示時には残像（白表示部が暗く見える）が発生する。ただし、上記の電圧設定例では、スイッチングトランジスタＴ９はデプレション型のｎチャネルトランジスタであり、そのしきい値電圧Ｖｔｈ（Ｔ９）が－２Ｖに設定されている点に注意されたい。

【０１０４】

＜３．６ 効果＞

本実施形態によれば、駆動トランジスタＴ４のしきい値補償をするために、ノードＮ＿ＧにＨレベルの黒表示電圧を書き込む際に、駆動トランジスタＴ４のチャネル領域のトラップ準位に電子がトラップされる。駆動トランジスタＴ４がオンして、有機ＥＬ素子ＯＬＥＤに駆動電流が供給されるときに、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされている電子が放出される。放出された電子はスイッチングトランジスタＴ９を介してＨレベル電源線ＥＬＶＤＤに放電される。これにより、駆動トランジスタＴ４のトラップ準位にトラップされている電子がなくなるので、次フレームでグレー表示電圧が書き込まれた場合にも、書き込まれたグレー表示のデータ電圧値に応じた電流が駆動トランジスタＴ４から発光制御トランジスタＴ６を介して有機ＥＬ素子ＯＬＥＤに供給される。その結果、次フレームでは残像のない画像を表示することができる。

【０１０５】

＜４ 第３の実施形態＞

第３の実施形態に係る有機ＥＬ表示装置の全体構成は、図２に示す第１の実施形態に係る有機ＥＬ表示装置の全体構成と同じであるので、そのブロック図および説明を省略する。

【０１０６】

＜４．１ 画素回路の構成＞

本実施形態の表示パネル１０に形成された画素回路１３の構成について説明する。図１３は、本実施形態に係る有機ＥＬ表示装置に含まれる画素回路１３の構成を示す回路図である。図１３に示すように、画素回路１３は、第１の実施形態で説明したｐチャネル型スイッチングトランジスタＴ８と、第２の実施形態で説明したｎチャネル型スイッチングトランジスタＴ９とを備えている。スイッチングトランジスタＴ８のソース端子と、スイッチングトランジスタＴ９のソース端子は、いずれも駆動トランジスタＴ４のボディ端子Ｎ＿ｂｏｄｙに接続されている。スイッチングトランジスタＴ８のドレイン端子は初期化線Ｖｉｎｉに接続され、スイッチングトランジスタＴ９のドレイン端子はＨレベル電源線ＥＬＶＤＤに接続されている。また、スイッチングトランジスタＴ８、Ｔ９のゲート端子はいずれもノードＮ＿Ｇに接続されている。画素回路１３のその他の構成は図３に示す画素回路１１の構成と同じであるので、その説明を省略する。

【０１０７】

＜４．２ スイッチングトランジスタおよびそれらの近傍のレイアウトパターン＞

図１４は、駆動トランジスタＴ４、スイッチングトランジスタＴ８、およびスイッチングトランジスタＴ９およびそれらの近傍のレイアウトパターンを示す平面図である。駆動トランジスタＴ４を構成する半導体層４０（「第１半導体層」ともいう）は、第１および第２実施形態の場合と同じであるので、それらの説明を省略する。駆動トランジスタＴ４のチャネル領域４２から下方に向かって延びる２本の半導体層８０、９０（これらをまとめて「第２半導体層」ともいう）が形成されている。

【０１０８】

スイッチングトランジスタＴ８は、第１の実施形態で説明したｐチャネル型スイッチングトランジスタＴ８と同じ構成であり、スイッチングトランジスタＴ９は、第２の実施形態で説明したｎチャネル型スイッチングトランジスタＴ９と同じ構成である。このため、スイッチングトランジスタＴ８およびＴ９の各構成要素には、それぞれ図４および図１１においてそれぞれ付した参照符号と同じ参照符号を付し、それらの説明を省略する。

【０１０９】

ノードＮ＿Ｇは駆動トランジスタＴ４のチャネル領域を覆う矩形形状の本体部ＢＹと、本体部ＢＹからスイッチングトランジスタＴ８およびＴ９のチャネル領域８２、９２上まで延びる突起部ＰＲとを含む。突起部ＰＲは、その先端が２方向に分岐し、一方はスイッチングトランジスタＴ８のチャネル領域８２上まで延び、他方はスイッチングトランジスタＴ９のチャネル領域９２上まで延びている。これらは、それぞれスイッチングトランジスタＴ８およびＴ９のオン／オフを制御して、駆動トランジスタＴ４のチャネル領域にトラップされている正孔または電子を放電させるためのゲート電極として機能する。

【０１１０】

図１５は、図１４に示すレイアウトパターンの断面図であり、より詳しくは、図１５（Ａ）は図１４に示す矢線Ａ－Ａ’に沿った駆動トランジスタＴ４の断面図であり、図１５（Ｂ）は図１４に示す矢線Ｂ－Ｂ’に沿ったスイッチングトランジスタＴ８の断面図であり、図１５（Ｃ）は図１４に示す矢線Ｃ－Ｃ’に沿ったスイッチングトランジスタＴ９の断面図である。図１５（Ａ）に示す断面図は、図５（Ａ）に示す駆動トランジスタＴ４の断面図と同じ構造である。また、図１５（Ｂ）に示す断面図は、図５（Ｂ）に示すスイッチングトランジスタＴ８の断面図と同じ構造であり、図１５（Ｃ）に示す断面図は、図１２（Ｂ）に示すスイッチングトランジスタＴ９の断面図と同じ構造である。このため、これらのトランジスタＴ４、Ｔ８、Ｔ９の構造についての説明を省略する。

【０１１１】

＜４．３　画素回路の動作＞

画素回路１３の動作を示すタイミングチャートは、第１および第２の実施形態で説明した図６および図７に示すタイミングチャートと同じである。このため、本実施形態のスイッチングトランジスタＴ８およびＴ９の詳しい動作は、第１および第２の実施形態で説明した動作と同じであるので、説明を省略する。

【０１１２】

＜４．４　効果＞

本実施形態によれば、駆動トランジスタＴ４のしきい値補償をするために、ノードＮ＿Ｇにデータ電圧としてＬレベルの白表示電圧を書き込む際に、駆動トランジスタＴ４のチャネル領域４２のトラップ準位に正孔がトラップされると同時に、スイッチングトランジスタＴ８がオンする。同様に、ノードＮ＿Ｇにデータ電圧としてＨレベルの黒表示電圧を書き込む際に、駆動トランジスタＴ４のチャネル領域４２のトラップ準位に電子がトラップされると同時に、スイッチングトランジスタＴ９がオンする。

【０１１３】

このように、白表示または黒表示に相当するデータ電圧（Ｈレベル、または、Ｌレベル）に応じて、スイッチングトランジスタＴ８またはＴ９のいずれかがオンする。したがって、白表示で駆動トランジスタＴ４のチャネル領域４２のトラップ準位にトラップされているキャリアが正孔の場合は、スイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電され、黒表示でトラップされているキャリアが電子の場合はスイッチングトランジ

スタＴ９を介してＨレベル電源線ＥＬＶＤＤに放電される。これにより、駆動トランジスタＴ４のトラップ準位にトラップされる正孔または電子がなくなるので、次フレームでグレー表示電圧が書き込まれた場合にも、書き込まれたグレー表示のデータ電圧値に応じた電流が有機ＥＬ素子ＯＬＥＤに供給される。その結果、次フレームでは、現フレームにおいて駆動トランジスタＴ４のチャネル領域４２のトラップ準位にトラップされているキャリアの影響がなくなるので、Ｍレベルの画像を表示する場合に、残像のないデータ電圧に応じた輝度の画像を表示することができる。

【０１１４】

＜５．第４の実施形態（第１の実施形態の変形例）＞

上記第１～第３の実施形態では、スイッチングトランジスタＴ８、Ｔ９のゲート端子は、いずれも、駆動トランジスタＴ４のゲート端子を含むノードＮ＿Ｇに接続されているが、少なくとも、最大または最小の表示輝度を示すデータ電圧（すなわち白表示電圧または黒表示電圧）のうち低い方の電圧がノードＮ＿Ｇに与えられているときに、ｐチャネル型スイッチングトランジスタＴ８がオン状態となり、少なくとも、最大または最小の表示輝度を示すデータ電圧（すなわち白表示電圧または黒表示電圧）のうち高い方の電圧がノードＮ＿Ｇに与えられているときに、ｎチャネル型スイッチングトランジスタＴ９がオン状態となるように構成されている。以下、このような構成の有機ＥＬ表示装置のうち、少なくとも、最大または最小の表示輝度を示すデータ電圧のうち低い方の電圧がノードＮ＿Ｇに与えられているときに、ｐチャネル型スイッチングトランジスタＴ８がオン状態となる有機ＥＬ表示装置の他の例を、第４の実施形態として説明する。

【０１１５】

本実施形態は、上記第１の実施形態の変形例に相当し、画素回路の構成のみが上記第１の実施形態と異なる。図１６は、本実施形態における画素回路１４の構成を示す回路図である。本実施形態における画素回路１４は、図１６に示すように、ｐチャネル型スイッチングトランジスタＴ８のゲート端子が対応するエミッション線Ｅｊに接続されており、この点で当該トランジスタＴ８のゲート端子が駆動トランジスタＴ４のゲート端子（ノードＮ＿Ｇ）に接続されている上記第１の実施形態における画素回路１１（図３）と相違する。本実施形態における画素回路１４の他の構成は、上記第１の実施形態における画素回路１１と同様である。

【０１１６】

このような本実施形態における画素回路１４では、図６に示すように発光期間において、その直前のデータ書込期間にストレージキャパシタＣｓｔに書き込まれたデータ電圧（正確にはしきい値補償後のデータ電圧）すなわち当該発光期間での有機ＥＬ素子ＯＬＥＤの輝度（表示輝度）に対応するデータ電圧が駆動トランジスタＴ４のゲート端子（ノードＮ＿Ｇ）に与えられており、ｐチャネル型スイッチングトランジスタＴ８のゲート端子に接続されるエミッション線Ｅｊの電圧はＬレベルである。したがって、表示輝度に対応する電圧が駆動トランジスタＴ４のゲート端子に与えられているときにｐチャネル型スイッチングトランジスタＴ８はオン状態となる。この画素回路１４では、最大または最小の表示輝度を示すデータ電圧のうち低い方の電圧（この例では白表示電圧）ＶＧＬが駆動トランジスタＴ４のゲート端子に与えられているときだけでなく、表示輝度の値に拘わらず発光期間でスイッチングトランジスタＴ８がオン状態となる。

【０１１７】

このような本実施形態によっても、上記第１の実施形態と同様、駆動トランジスタＴ４のＮ＿Ｇ（に接続されたストレージキャパシタＣｓｔ）にデータ電圧が書き込まれる際に駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされた正孔を、スイッチングトランジスタＴ８を介して初期化線Ｖｉｎｉに放電することができるので、第１の実施形態と同様に、次フレームでは残像のない画像を表示することができる。

【０１１８】

＜６．第５の実施形態（第２の実施形態の変形例）＞

上記第１～第３の実施形態に係る有機ＥＬ表示装置を包含する上記構成の有機ＥＬ表示

装置のうち、少なくとも、最大または最小の表示輝度を示すデータ電圧（すなわち白表示電圧または黒表示電圧）のうち高い方の電圧がノードＮ＿Ｇに与えられているときに、ｎチャネル型スイッチングトランジスタＴ９がオン状態となる有機ＥＬ表示装置の他の例を、第５の実施形態として説明する。

【０１１９】

本実施形態は、上記第２の実施形態の変形例に相当し、画素回路の構成のみが上記第２の実施形態と異なる。図１７は、本実施形態における画素回路１５の構成を示す回路図である。本実施形態における画素回路１５は、図１７に示すように、ｎチャネル型スイッチングトランジスタＴ９のゲート端子が対応する走査線Ｓｊに接続されており、この点で当該トランジスタＴ９のゲート端子が駆動トランジスタＴ４のゲート端子（ノードＮ＿Ｇ）に接続されている上記第２の実施形態における画素回路１２（図１０）と相違する。本実施形態における画素回路１５の他の構成は、上記第２の実施形態における画素回路１２と同様である。

【０１２０】

このような本実施形態における画素回路１５では、図７に示すように発光期間において、その直前のデータ書込期間にストレージキャパシタＣｓｔに書き込まれたデータ電圧（正確にはしきい値補償後のデータ電圧）すなわち当該発光期間での有機ＥＬ素子ＯＬＥＤの輝度（表示輝度）に対応するデータ電圧が駆動トランジスタＴ４のゲート端子（ノードＮ＿Ｇ）に与えられており、ｎチャネル型スイッチングトランジスタＴ９のゲート端子に接続される走査線Ｓｊの電圧はＬレベルである。したがって、表示輝度に対応する電圧が駆動トランジスタＴ４のゲート端子に与えられているときにｎチャネル型スイッチングトランジスタＴ９はオン状態となる。この画素回路１６では、最大または最小の表示輝度を示すデータ電圧のうち高い方の電圧（この例では黒表示電圧）ＶＧＨが駆動トランジスタＴ４のゲート端子に与えられているときだけでなく、表示輝度の値に拘わらず発光期間でスイッチングトランジスタＴ９がオン状態となる。

【０１２１】

したがって本実施形態によっても、上記第２の実施形態と同様、駆動トランジスタＴ４のＮ＿Ｇ（に接続されたストレージキャパシタＣｓｔ）にデータ電圧が書き込まれる際に駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされた電子を、スイッチングトランジスタＴ９を介してＨレベル電源線ＥＬＶＤＤに放電することができるので、第２の実施形態と同様に、次フレームでは残像のない画像を表示することができる。

【０１２２】

＜７．第６の実施形態（第２の実施形態の他の変形例）＞

上記第２の実施形態の変形例として、ｎチャネル型スイッチングトランジスタＴ９のゲート電極が、ノードＮ＿Ｇの本体部ＢＹから延びる突起部ＰＲではなく、エミッション線に接続されていても良い。このような構成の画素回路を使用する有機ＥＬ表示装置を第６の実施形態として説明する。図１８は、当該有機ＥＬ表示装置に含まれる画素回路１６の構成を示す回路図である。

【０１２３】

上記構成の画素回路１６では、図６または図７のタイミングチャートに示すように、時刻ｔ１からｔ３までの期間において、エミッション線ＥｊがＨレベルになり、スイッチングトランジスタＴ９がオンする。そのため、時刻ｔ２～ｔ３において、駆動トランジスタＴ４のＮ＿Ｇにデータ電圧が書き込まれる際に、駆動トランジスタＴ４のチャネル領域のトラップ準位にトラップされた電子を、スイッチングトランジスタＴ９を介して、Ｈレベル電源線ＥＬＶＤＤに放出することができるので、第２の実施形態と同様に、次フレームでは残像のない画像を表示することができる。

【０１２４】

＜８．第７の実施形態＞

上記第１～第６の実施形態では、スイッチングトランジスタＴ８、Ｔ９のドレイン端子を、それぞれＬレベルの初期化線ＶｉｎｉおよびＨレベル電源線ＥＬＶＤＤにそれぞれ接

続していた。しかし、これらのドレイン端子を接続する配線は、上記配線に限定されず、発光期間またはそれに近い期間、Ｈレベルおよびレベルの電圧を維持する配線であればよい。以下、このような構成の有機ＥＬ表示装置の一例を第７の実施形態として説明する。

【０１２５】

図１９は、本実施形態に係る画素回路１７の回路図である。画素回路１７のタイミングチャートは、第１～第３の実施形態の説明において使用した図６および図７に示すタイミングチャートと同じであるので、その説明を省略する。図１９に示すように、駆動トランジスタＴ４にトラップされていたキャリア（正孔）を十分放電させるために、発光期間の開始時刻である時刻ｔ３から終了時刻である時刻ｔ７までの期間またはそれに近い期間、それぞれのドレイン端子が定電圧供給線として機能している配線に接続されていることが望ましい。このため、ｐチャネル型スイッチングトランジスタＴ８のドレイン端子は発光期間にＬレベルであるエミッション線Ｅｊに接続されている。これにより、駆動トランジスタＴ４にトラップされていた正孔をスイッチングトランジスタＴ８を介してエミッション線Ｅｊに放電させることができる。

【０１２６】

このように、ｐチャネル型スイッチングトランジスタＴ８のドレイン端子をエミッション線Ｅｊに接続することによっても、駆動トランジスタＴ４にトラップされている正孔を放電させることができる。これにより、白表示が表示された後にグレー表示の画像を表示した場合にも残像の発生を抑制することができる。

【０１２７】

＜９．第８の実施形態＞

次に、ｎチャネル型スイッチングトランジスタＴ９のドレイン端子にＨレベル電源線ＥＬＶＤＤに代えて、発光期間またはそれに近い期間、Ｈレベルの電圧を維持する他の配線が接続される有機ＥＬ表示装置の一例を、第８の実施形態として説明する。

【０１２８】

図２０は、本実施形態に係る画素回路１８の回路図である。画素回路１８のタイミングチャートは、第１～第３の実施形態の説明において使用した図６および図７に示すタイミングチャートと同じであるので、その説明を省略する。図２０に示すように、駆動トランジスタＴ４にトラップされていたキャリア（電子）を十分放電させるために、発光期間の開始時刻である時刻ｔ３から終了時刻である時刻ｔ７までの期間またはそれに近い期間、ｎチャネル型スイッチングトランジスタＴ９のドレイン端子が定電圧供給線として機能している配線に接続されていることが望ましい。このため、ｎチャネル型スイッチングトランジスタＴ９のドレイン端子は発光期間にＨレベルである走査線Ｓｊに接続されている。これにより、駆動トランジスタＴ４にトラップされていた電子をスイッチングトランジスタＴ９を介して走査線Ｓｊに放電させることができる。

【０１２９】

このように、ｎチャネル型スイッチングトランジスタＴ９のドレイン端子を走査線Ｓｊに接続することによっても、駆動トランジスタＴ４にトラップされている電子を放電させることができる。これにより、黒表示の画像が表示された後にグレー表示の画像を表示した場合にも残像の発生を抑制することができる。

【０１３０】

＜１０．その他＞

上記各実施形態では、画素回路はｐチャネル型のトランジスタＴ１～Ｔ７によって構成されているとして説明した。しかし、画素回路は、ｎチャネル型のトランジスタによって構成されているとしてもよい。この場合も、上記各実施形態の場合と同様に、ｐチャネル型およびｎチャネル型スイッチングトランジスタの少なくともいずれか一方を設ける。これにより、現フレームにおいて黒表示または白表示の画像を表示していた領域に次フレームにおいてグレー表示の画像を表示する場合に、表示される画像はデータ電圧に応じた輝度の画像になり、残像が視認されなくなる。

【０１３１】

以下、画素回路における駆動トランジスタＴ４として、ｐチャネル型トランジスタに代えてｎチャネル型トランジスタを使用する場合につき、さらに詳しく説明する。ｎチャネル型の駆動トランジスタＴ４を使用する画素回路において、例えば上記第１の実施形態と同様に（図３）、駆動トランジスタＴ４のチャネル領域に接続されたソース端子と、初期化線Ｖｉｎｉ等の負電圧供給線に接続されたドレイン端子と、駆動トランジスタＴ４のゲート端子に接続されたゲート端子とを有するｐチャネル型スイッチングトランジスタＴ８を設けることにより、上記第１の実施形態と同様の効果が得られる。ただし、駆動トランジスタＴ４がｎチャネル型である場合、データ電圧のＬレベルは黒表示電圧（最小の表示輝度を示すデータ電圧）に相当し、Ｈレベルは白表示電圧（最大の表示輝度を示すデータ電圧）に相当する。したがって、この構成では、Ｌレベルの黒表示電圧を画素回路に書き込む際に駆動トランジスタＴ４のチャネル領域のトラップ準位に正孔がトラップされ、当該トラップされた正孔は発光期間においてスイッチングトランジスタＴ８を介して負電圧供給線に放電される。また、ｎチャネル型の駆動トランジスタＴ４を使用する画素回路において、例えば上記第２の実施形態と同様に（図１０）、駆動トランジスタＴ４のチャネル領域に接続されたソース端子と、Ｈレベル電源線ＥＬＶＤＤ等の正電圧供給線に接続されたドレイン端子と、駆動トランジスタＴ４のゲート端子に接続されたゲート端子とを有するｎチャネル型スイッチングトランジスタＴ９を設けることにより、上記第２の実施形態と同様の効果が得られる。この構成では、Ｈレベルの白表示電圧を画素回路に書き込む際に駆動トランジスタＴ４のチャネル領域のトラップ準位に電子がトラップされ、当該トラップされた電子は発光期間においてスイッチングトランジスタＴ９を介して正電圧供給線に放電される。さらにまた、ｎチャネル型の駆動トランジスタＴ４を使用する画素回路において、第３の実施形態と同様に接続されるｐチャネル型スイッチングトランジスタＴ８およびｎチャネル型スイッチングトランジスタＴ９を設けることにより、第３の実施形態と同様の効果が得られる。

【０１３２】

また上記各実施形態では、データ線Ｄｉのデータ電圧をダイオード接続状態の駆動トランジスタＴ４を介してノードＮ＿Ｇ（に接続されたストレージキャパシタＣｓｔ）に書き込むように構成された内部補償方式の画素回路が使用されている。しかし、他の内部補償方式の画素回路や内部補償を行わない画素回路においても、上記各実施形態における画素回路のように接続されるｐチャネル型スイッチングトランジスタＴ８および／またはｎチャネル型スイッチングトランジスタＴ９を設けることにより（図３、図１０、図１３、図１８、図１９参照）、上記と同様の効果が得られる。

【０１３３】

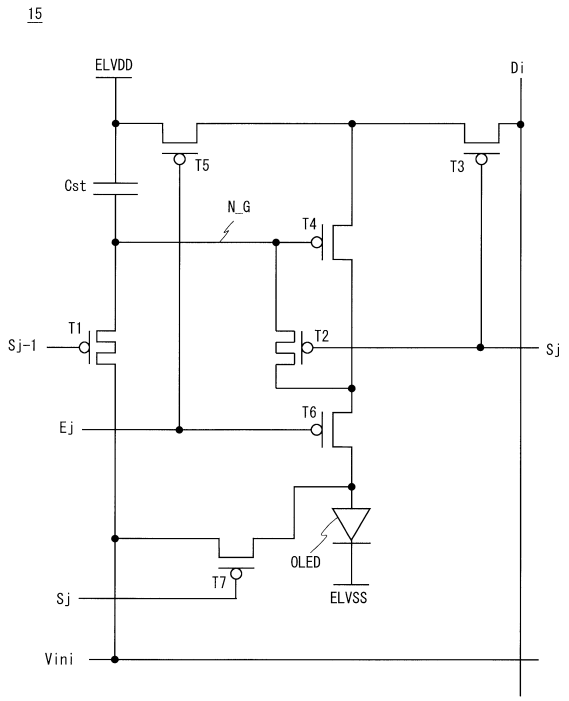
なお、以上に述べた表示装置の特徴をその性質に反せず本発明の趣旨を逸脱しない範囲において任意に組み合せて、上記実施形態および変形例のうちの幾つかの特徴を併せ持つ表示装置を構成してもよい。

【符号の説明】

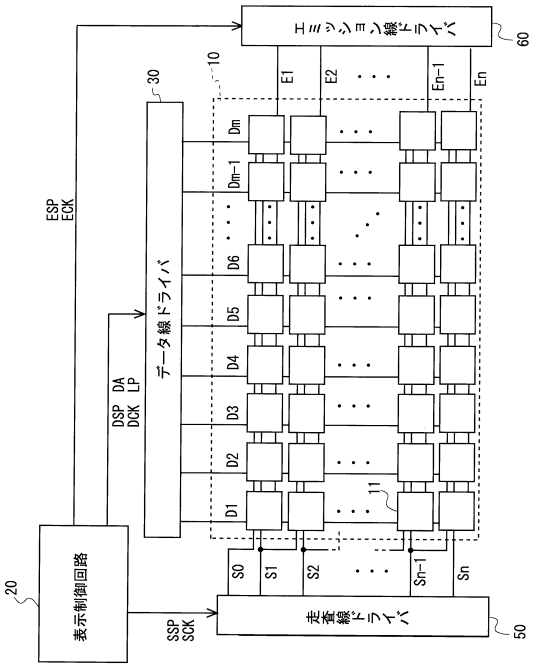
【０１３４】

１０…表示パネル
１１～１８…画素回路
Ｔ１…第１初期化トランジスタ
Ｔ２…補償トランジスタ
Ｔ３…書込トランジスタ
Ｔ４…駆動トランジスタ
Ｔ５…電源供給トランジスタ
Ｔ６…発光制御トランジスタ
Ｔ７…第２初期化トランジスタ
Ｔ８…ｐチャネル型スイッチングトランジスタ
Ｔ９…ｎチャネル型スイッチングトランジスタ
ＯＬＥＤ…有機ＥＬ素子（発光表示素子）

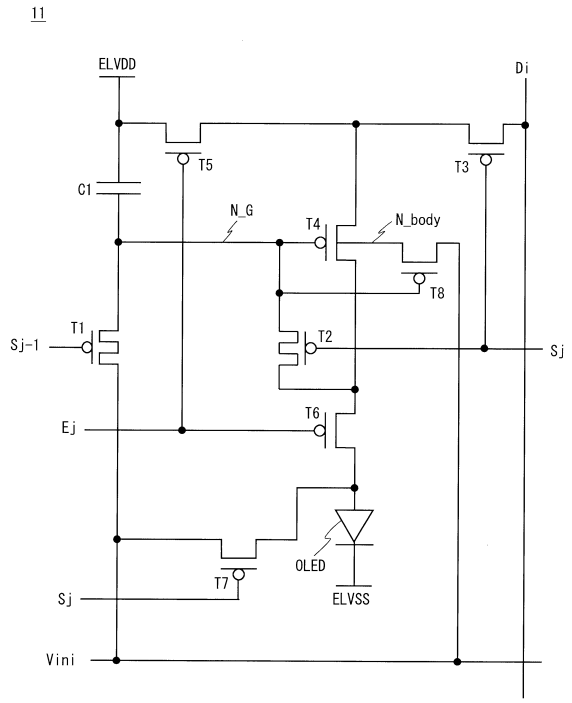
Ｎ＿Ｇ…ノード（節点）
Ｎ＿ｂｏｄｙ…ボディ端子（スイッチングトランジスタのソース領域）
ＥＬＶＤＤ…Ｈレベル電源線（電圧供給線、正電圧供給線）、Ｈレベル電圧
ＥＬＶＳＳ…Ｌレベル電源線（電圧供給線、負電圧供給線）、Ｌレベル電圧
Ｖｉｎｉ…初期化線（負電圧供給線）
Ｓｊ…走査線（正電圧供給線）
Ｅｊ…エミッション線（負電圧供給線）
【図面】
【図１】



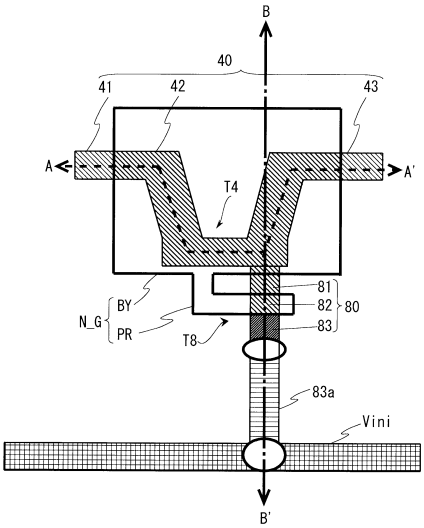
【図２】



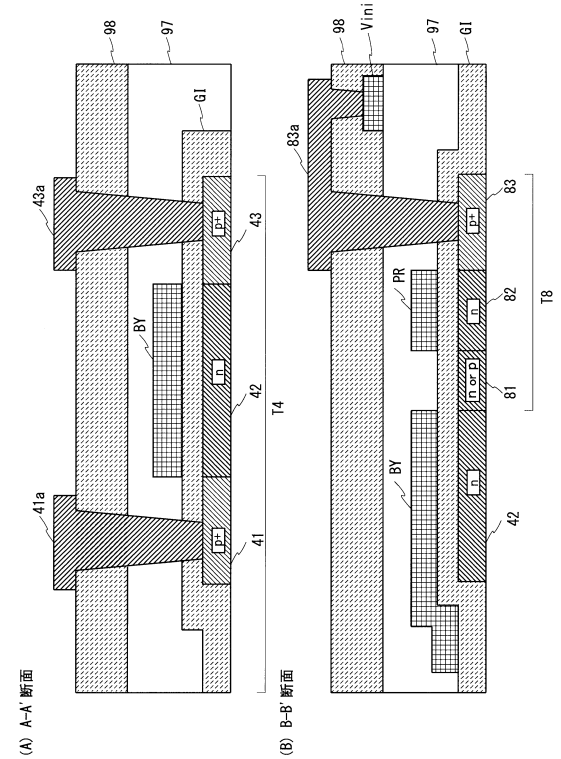
【図３】


11
ELVDD
Di
T5
T3
C1
N_G
T4
N_body
T8
T1
Sj-1
T2
Sj
T6
Ej
OLED
T7
Sj
ELVSS
Vini

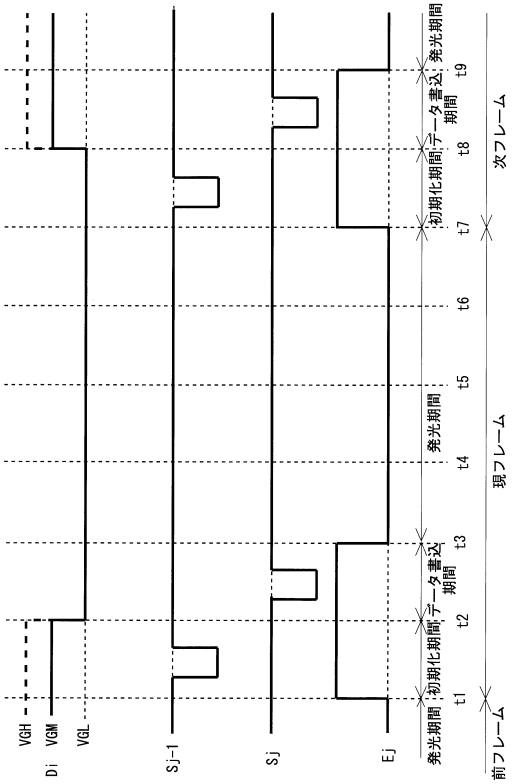
【図４】


B
40
41
42
43
A
A'
T4
81
BY
82
80
N_G
PR
T8
83
83a
Vini
B'

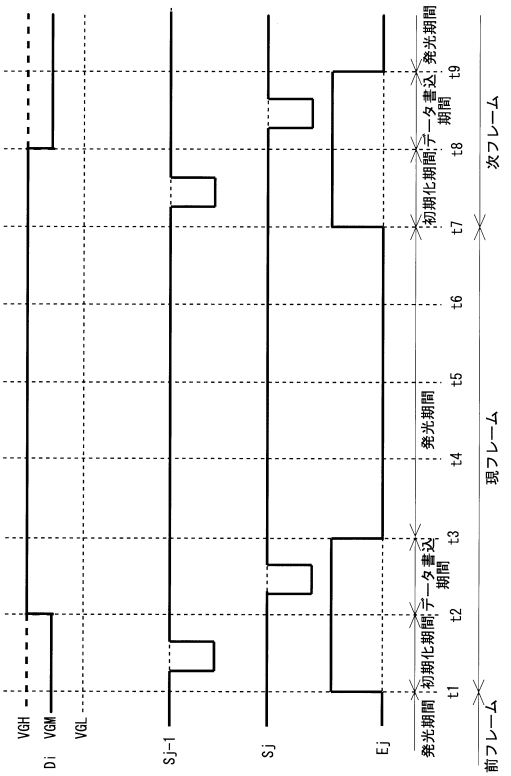
【図５】


98
97
GI
43a
43
BY
42
T4
41a
41
(A) A-A' 断面
98
Vini
97
GI
83a
83
PR
82
T8
81
BY
42
(B) B-B' 断面

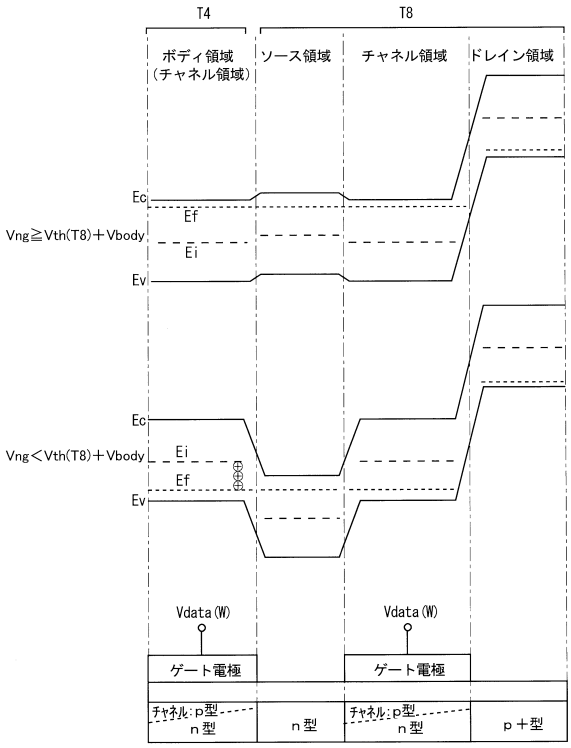
【図６】


VGH
VGM
VGL
Di
Sj-1
Sj
Ej
発光期間
初期化期間
データ書込期間
発光期間
初期化期間
データ書込期間
t1
t2
t3
t4
t5
t6
t7
t8
t9
前フレーム
現フレーム
次フレーム

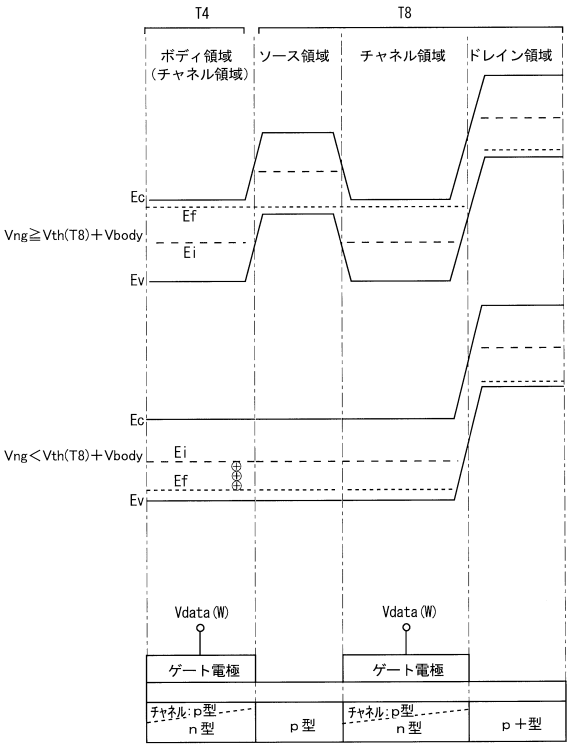
【図７】


VGH
VGM
VGL
Di
Sj-1
Sj
Ej
発光期間
初期化期間
データ書込期間
発光期間
t9
t8
t7
t6
t5
t4
t3
t2
t1
次フレーム
現フレーム
前フレーム

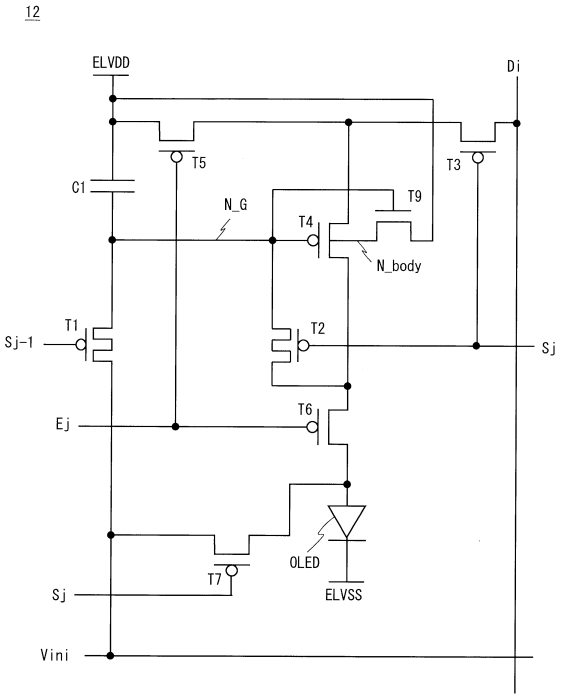
【図８】


T4
T8
ボディ領域
（チャネル領域）
ソース領域
チャネル領域
ドレイン領域
Ec
Ef
Ei
Ev
Vng≧Vth(T8)＋Vbody
Vng＜Vth(T8)＋Vbody
Vdata(W)
ゲート電極
チャネル:p型
n型
p＋型

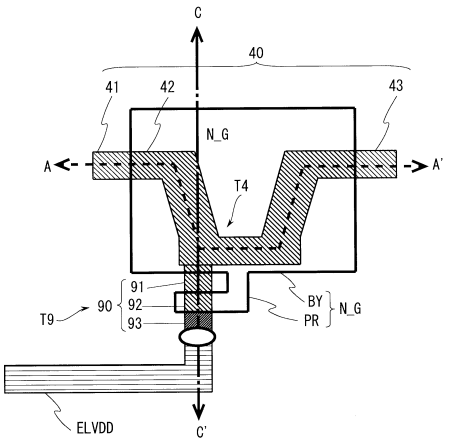
【図９】


T4
T8
ボディ領域
（チャネル領域）
ソース領域
チャネル領域
ドレイン領域
Ec
Ef
Ei
Ev
Vng≧Vth(T8)＋Vbody
Vng＜Vth(T8)＋Vbody
Vdata(W)
ゲート電極
チャネル:p型
n型
p型
p＋型

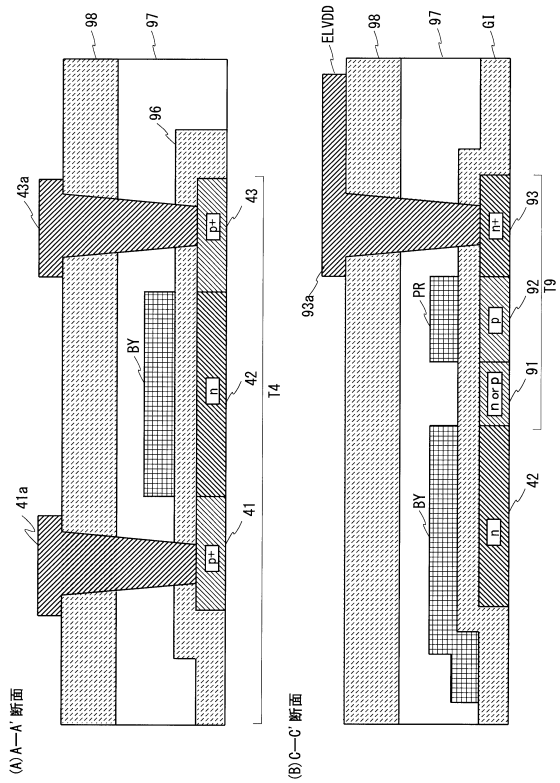
【図１０】


12
ELVDD
Di
C1
T5
T3
T9
N_G
T4
N_body
T1
T2
Sj-1
Sj
Ej
T6
OLED
T7
ELVSS
Vini

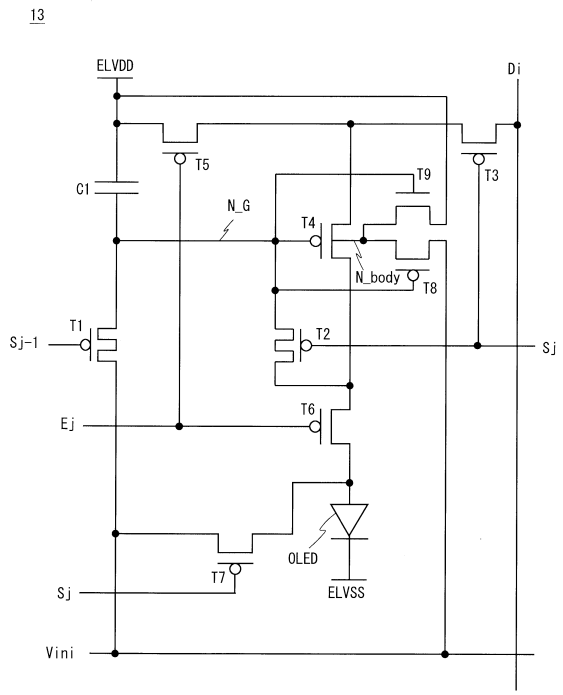
【図１１】



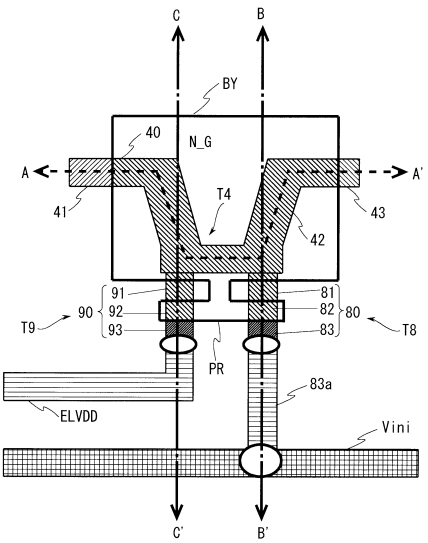
【図１２】



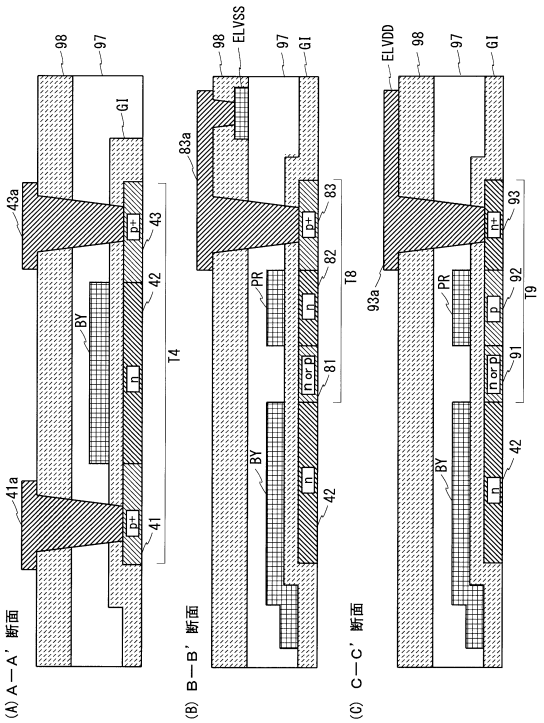
【図１３】



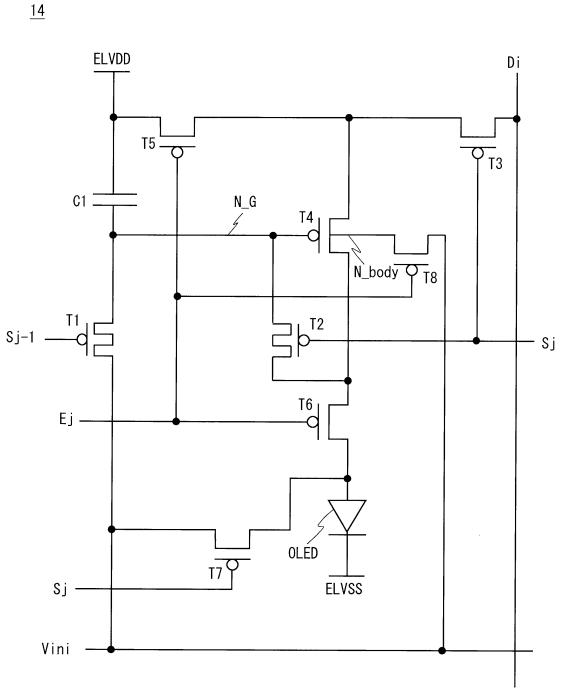
【図１４】



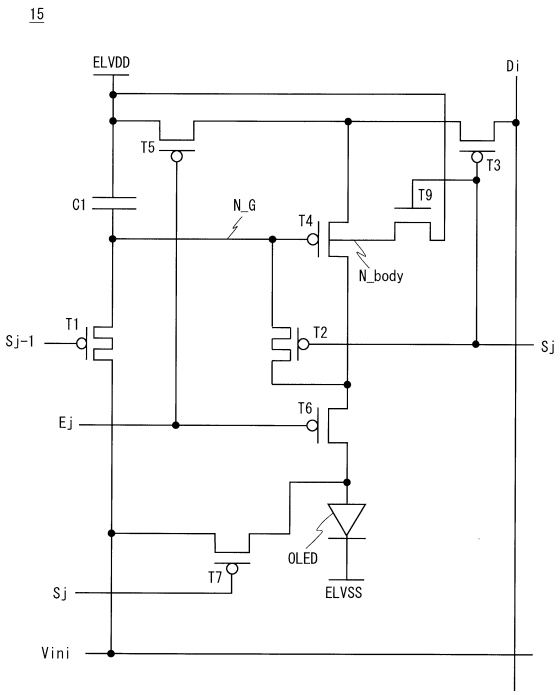
【図１５】



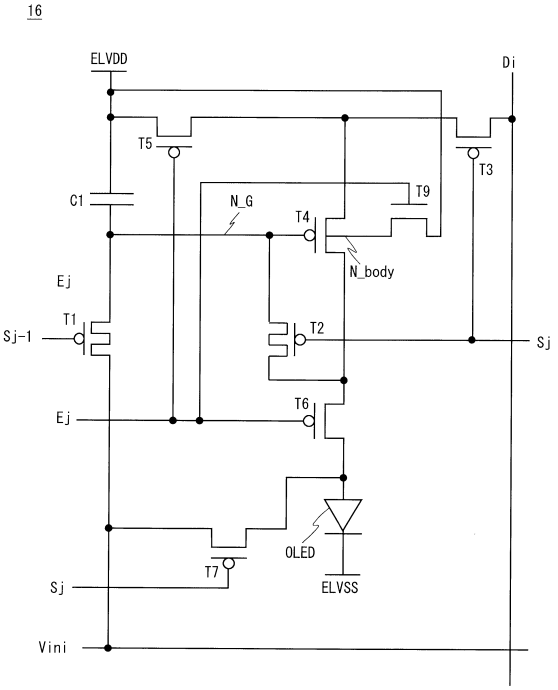
【図１６】



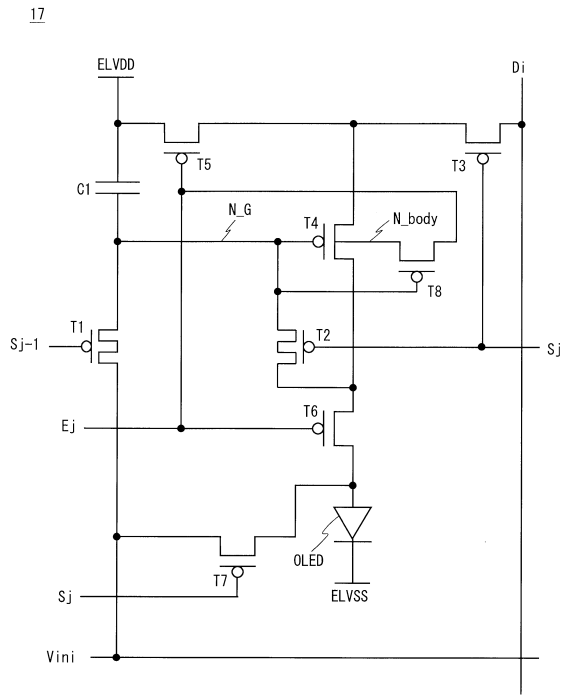
【図１７】



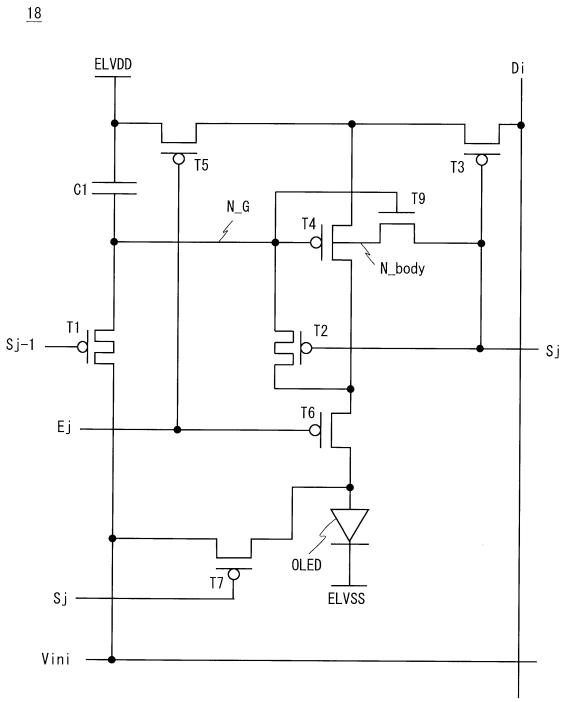
【図１８】



【図１９】


17
ELVDD
Di
T5
T3
C1
N_G
T4
N_body
T8
T1
Sj-1
T2
Sj
Ej
T6
OLED
T7
Sj
ELVSS
Vini

【図２０】


18
ELVDD
Di
T5
T3
C1
N_G
T9
T4
N_body
T1
Sj-1
T2
Sj
Ej
T6
OLED
T7
Sj
ELVSS
Vini

フロントページの続き

(51)国際特許分類　　ＦＩ
Ｇ０９Ｇ　3/20　６１１Ｅ
Ｈ１０Ｋ　59/12

(56)参考文献　特表２００８－５２２２４６（ＪＰ，Ａ）
米国特許出願公開第２０１２／０１６９６９３（ＵＳ，Ａ１）
米国特許出願公開第２０２０／０２４３０１７（ＵＳ，Ａ１）
米国特許出願公開第２０２０／０３８８２１４（ＵＳ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｇ０９Ｇ　３／３２３３
Ｇ０９Ｇ　３／２０
Ｈ１０Ｋ　５９／１２