

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 1 区分

【発行日】平成30年6月14日 (2018.6.14)

【公開番号】特開2016-211917(P2016-211917A)

【公開日】平成28年12月15日 (2016.12.15)

【年通号数】公開・登録公報2016-068

【出願番号】特願2015-94219(P2015-94219)

【国際特許分類】

G 0 1 R 31/28 (2006.01)

G 0 1 R 31/02 (2006.01)

H 0 1 L 21/66 (2006.01)

H 0 1 L 23/12 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【 F I 】

G 0 1 R 31/28 V

G 0 1 R 31/02

H 0 1 L 21/66 F

H 0 1 L 23/12 5 0 1 P

H 0 1 L 27/04 E

H 0 1 L 27/04 T

【手続補正書】

【提出日】平成30年4月24日 (2018.4.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基板と、

前記基板を貫通する 1 以上の T S V ( T h r o u g h S i l i c o n V i a ) と、  
前記基板の前記 1 以上の T S V 周辺に配置され、前記基板の電位を安定させるためのガードリングとして機能するメタル配線と、

前記基板に実装されると共に前記メタル配線に電気的に接続され、前記 1 以上の T S V からの雑音信号を前記メタル配線を介して検出するための検出回路とを備える半導体チップ。

【請求項 2】

前記 1 以上の第 1 の T S V に対して、個別に信号を入力するための入力回路を更に備える請求項 1 記載の半導体チップ。

【請求項 3】

前記入力回路は、前記基板に実装される回路をテストするためのバウンダリスキャン回路である、

請求項 2 記載の半導体チップ。

【請求項 4】

前記検出回路は、前記 T S V からの雑音信号を電流として外部へ出力可能である、請求項 1 乃至請求項 3 のいずれか 1 項記載の半導体チップ。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか 1 項記載の半導体チップと、  
前記検出回路から出力された信号に基づき、前記 T S V に関する異常を検出するための  
制御装置と  
を備える、半導体検査システム。

【請求項 6】

基板と、  
前記基板を貫通する 1 以上の T S V ( T h r o u g h S i l i c o n V i a ) と、  
前記基板の前記 1 以上の T S V 周辺に配置され、前記基板の電位を安定させるためのガ  
ードリングとして機能するメタル配線と、  
前記基板に実装されると共に前記ガードリングに電氣的に接続され、前記 1 以上の T S  
V からの雑音信号を前記メタル配線を介して検出するための検出回路と  
を備える半導体チップを複数積層して構成される半導体装置。

【請求項 7】

前記第 1 の層に係る前記半導体チップの前記 T S V の少なくとも一部は、前記第 2 の層  
に係る前記半導体チップに電氣的に接続され、  
前記第 1 の層に係る前記半導体チップに含まれる前記 T S V からの雑音信号を、前記第  
2 の層に係る前記半導体チップの前記検出回路で検出可能である、  
請求項 6 記載の半導体装置。

【請求項 8】

前記半導体チップは、  
前記 1 以上の第 1 の T S V に対して、個別に信号を入力するための入力回路  
を更に備える、請求項 6 又は請求項 7 記載の半導体装置。

【請求項 9】

前記入力回路は、前記基板に実装される回路をテストするためのバウンダリスキャン回  
路である、  
請求項 8 記載の半導体装置。

【請求項 10】

前記検出回路は、前記 T S V からの雑音信号を電流として外部へ出力可能である、  
請求項 6 乃至請求項 9 のいずれか 1 項記載の半導体装置。

【請求項 11】

請求項 6 乃至請求項 10 のいずれか 1 項記載の半導体装置と、  
前記検出回路から出力された信号に基づき、前記半導体チップ間の接続に関する異常を  
検出するための制御装置と  
を備える、半導体検査システム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

本発明に係る半導体チップは、基板と、前記基板を貫通する 1 以上の T S V ( T h r o  
u g h S i l i c o n V i a ) と、前記基板の前記 1 以上の T S V 周辺に配置され、  
前記基板の電位を安定させるためのガードリングとして機能するメタル配線と、前記基板  
に実装されると共に前記メタル配線に電氣的に接続され、前記 1 以上の T S V からの雑音  
信号を前記メタル配線を介して検出するための検出回路とを備える。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

本発明に係る半導体装置は、基板と、前記基板を貫通する１以上のＴＳＶ（Through Silicon Via）と、前記基板の前記１以上のＴＳＶ周辺に配置され、前記基板の電位を安定させるためのガードリングとして機能するメタル配線と、前記基板に実装されると共に前記ガードリングに電氣的に接続され、前記１以上のＴＳＶからの雑音信号を前記メタル配線を介して検出するための検出回路とを備える半導体チップを複数積層して構成される。