(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第6246518号
(P6246518)

(45)発行日　平成29年12月13日(2017.12.13)　(24)登録日　平成29年11月24日(2017.11.24)

(51)Int.Cl.		F I		
H01L 29/786	(2006.01)	H01L	29/78	617N
H01L 21/28	(2006.01)	H01L	29/78	616T
H01L 29/417	(2006.01)	H01L	29/78	618B
H01L 21/8242	(2006.01)	H01L	29/78	618E
H01L 27/108	(2006.01)	H01L	21/28	301B

請求項の数 5　(全 56 頁)　最終頁に続く

(21)出願番号　特願2013-156554(P2013-156554)
(22)出願日　平成25年7月29日(2013.7.29)
(65)公開番号　特開2015-26768(P2015-26768A)
(43)公開日　平成27年2月5日(2015.2.5)
審査請求日　平成28年6月27日(2016.6.27)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　小林　由幸
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　竹口　泰裕

最終頁に続く

(54)【発明の名称】トランジスタ

(57)【特許請求の範囲】
【請求項１】
酸化物半導体層と、
前記酸化物半導体層を挟んで上下に位置する第１のゲート電極及び第２のゲート電極と、
前記酸化物半導体層と前記第１のゲート電極との間の第１のゲート絶縁層と、
前記酸化物半導体層と前記第２のゲート電極との間の第２のゲート絶縁層と、
前記酸化物半導体層と接するソース電極及びドレイン電極と、を有するトランジスタであって、
前記酸化物半導体層は、前記ソース電極と重なる第１の領域と、前記ドレイン電極と重なる第２の領域と、前記第１の領域と前記第２の領域との間において、前記ソース電極及び前記ドレイン電極とは重ならない第３の領域とを有し、
前記第３の領域は、前記第２のゲート電極と重なる第４の領域と、前記第１の領域と前記第４の領域との間の第５の領域と、前記第２の領域と前記第４の領域との間の第６の領域と、を有し、
前記第３の領域は全て、前記第１のゲート電極と重なり、
前記第１のゲート電極のチャネル長方向の長さは、前記第２のゲート電極のチャネル長方向の長さよりも長く、
前記第１のゲート電極は、前記第２のゲート絶縁層、前記酸化物半導体層、及び前記第１のゲート絶縁層を介して、前記第２のゲート電極の上方に位置し、

前記第１のゲート電極は、前記トランジスタのスイッチング動作を制御する機能を有し、
前記第２のゲート電極は、前記トランジスタのしきい値電圧を制御する機能を有することを特徴とするトランジスタ。
【請求項２】
酸化物半導体層と、
前記酸化物半導体層を挟んで上下に位置する第１のゲート電極及び第２のゲート電極と、
前記酸化物半導体層と前記第１のゲート電極との間の第１のゲート絶縁層と、
前記酸化物半導体層と前記第２のゲート電極との間の第２のゲート絶縁層と、
前記酸化物半導体層と接するソース電極及びドレイン電極と、を有するトランジスタであって、
前記酸化物半導体層は、前記ソース電極と重なる第１の領域と、前記ドレイン電極と重なる第２の領域と、前記第１の領域と前記第２の領域との間において、前記ソース電極及び前記ドレイン電極とは重ならない第３の領域とを有し、
前記第３の領域は、前記第２のゲート電極と重なる第４の領域と、前記第１の領域と前記第４の領域との間の第５の領域と、前記第２の領域と前記第４の領域との間の第６の領域と、を有し、
前記第３の領域は全て、前記第１のゲート電極と重なり、
前記第１のゲート電極のチャネル長方向の長さは、前記第２のゲート電極のチャネル長方向の長さよりも長く、
前記第１のゲート電極は、前記第２のゲート絶縁層、前記酸化物半導体層、及び前記第１のゲート絶縁層を介して、前記第２のゲート電極の上方に位置し、
前記第１のゲート絶縁層の材料は、前記第２のゲート絶縁層の材料と同じであり、
前記第１のゲート絶縁層の膜厚は、前記第２のゲート絶縁層の膜厚よりも小さいことを特徴とするトランジスタ。
【請求項３】
請求項１または請求項２において、
前記第６の領域のチャネル長方向の長さは、前記第５の領域のチャネル長方向の長さよりも長いことを特徴とするトランジスタ。
【請求項４】
請求項１乃至請求項３のいずれか一において、
前記ソース電極及び前記ドレイン電極の一方は、前記酸化物半導体層と重なる開口を有する環状の上面形状を有し、
前記ソース電極及び前記ドレイン電極の他方は、前記開口の内側に設けられることを特徴とするトランジスタ。
【請求項５】
請求項１乃至請求項４のいずれか一において、
前記酸化物半導体層と前記第１のゲート絶縁層との間の第１の酸化物層と、
前記酸化物半導体層と前記第２のゲート絶縁層との間の第２の酸化物層と、有し、
前記第１の酸化物層及び前記第２の酸化物層は、前記酸化物半導体層が有する金属元素と同じ金属元素を一種以上有することを特徴とするトランジスタ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、それらの駆動方法、または、それらの製造方法に関する。
【０００２】

なお、本明細書等において、半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、パワーデバイス、パワーデバイスを有する集積回路、電源回路または電力変換回路のほか、半導体回路、演算装置は、半導体装置の一態様である。また、記憶装置、撮像装置、電気光学装置、表示装置、発電装置（薄膜太陽電池、有機薄膜太陽電池等を含む）、及び電子機器は、半導体装置を有している場合がある。

【背景技術】

【０００３】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が知られている。該トランジスタには集積回路（ＩＣ）や画像表示装置（単に表示装置とも表記する）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

【０００４】

また、高耐圧向けの半導体装置には、シリコンを用いて作製される半導体装置が広く流通している。しかし、シリコンを用いた半導体装置の性能は限界に近付いており、さらなる高性能化を実現することが困難となってきている。

【０００５】

また、シリコンはバンドギャップが小さいため、これを用いた高耐圧向けの半導体装置は、高温での動作範囲に限界がある。このため、近年ではバンドギャップの広いＳｉＣやＧａＮを用いた半導体装置の開発が進められている。

【０００６】

また、大電力向けに用いられる半導体装置に酸化物半導体を用いることが開示されている（特許文献１、２）

【先行技術文献】

【特許文献】

【０００７】

【特許文献１】特開２０１１－９１３８２号公報

【特許文献２】特開２０１１－１７２２１７号公報

【発明の概要】

【発明が解決しようとする課題】

【０００８】

大電力向けの半導体装置に適用されるトランジスタは、大電流を流すことが望まれる。また、高温であっても正常動作が可能であることが望まれる。また、高いドレイン電流を有することが望まれる。

【０００９】

また、トランジスタを含む半導体装置の消費電力を低減するためには、トランジスタのしきい値電圧を適正な値に制御することが望まれる。

【００１０】

本発明の一態様は、大きな電流を流すことのできる半導体装置を提供することを課題の一とする。または、高温動作が可能な半導体装置を提供することを課題の一とする。または、高い駆動電圧で安定して動作する半導体装置を提供することを課題の一とする。または、しきい値電圧の制御が容易な半導体装置を提供することを課題の一とする。または、消費電力が低減された半導体装置を提供することを課題の一とする。または、信頼性の高い半導体装置を提供することを課題の一とする。または、特性の良い半導体装置を提供することを課題の一とする。または、新規な半導体装置を提供することを課題の一とする。

【００１１】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、

図面、請求項などの記載から、これら以外の課題を抽出することが可能である。
【課題を解決するための手段】
【００１２】
本発明の一態様は、半導体層と、半導体層と電気的に接続し、半導体層と重なる領域で離間するソース電極及びドレイン電極と、半導体層を挟んで設けられる第１のゲート電極及び第２のゲート電極と、半導体層と第１のゲート電極との間に第１のゲート絶縁層と、半導体層と第２のゲート電極との間に第２のゲート絶縁層と、を有する半導体装置である。また、第１のゲート電極は、ソース電極の一部、半導体層、及びドレイン電極の一部と重畳して設けられる。また第２のゲート電極は、半導体層の一部と重畳し、上面側から見てソース電極のドレイン電極側の端部と第２のゲート電極のソース電極側の端部とが離間する。さらに、上面側から見てドレイン電極のソース電極側の端部と第２のゲート電極のドレイン電極側の端部とが離間する。
【００１３】
また、上記において、上面側から見て第２のゲート電極とドレイン電極との距離が、第２のゲート電極とソース電極との距離よりも大きいことが好ましい。
【００１４】
また、上記半導体層は島状の形状を有し、ドレイン電極は、半導体層と重なる開口を有する環状の形状を有し、ソース電極は、開口の内側に設けられていることが好ましい。
【００１５】
または、半導体層は島状の形状を有し、ソース電極は、半導体層と重なる開口を有する環状の形状を有し、ドレイン電極は、開口の内側に設けられていることが好ましい。
【００１６】
また、上記半導体層は、酸化物半導体を含むことが好ましい。
【００１７】
またこのとき、半導体層と第２のゲート絶縁層との間に第１の酸化物層と、半導体層と第１のゲート絶縁層との間に第２の酸化物層と、をさらに有することが好ましい。特に、第１の酸化物層及び第２の酸化物層は、半導体層と同一の金属元素を一種以上含むことが好ましい。
【発明の効果】
【００１８】
本発明の一態様によれば、大きな電流を流すことのできる半導体装置を提供できる。または、高温動作が可能な半導体装置を提供できる。または、高い駆動電圧で安定して動作する半導体装置を提供できる。または、しきい値電圧の制御が容易な半導体装置を提供できる。または、消費電力が低減された半導体装置を提供できる。または、信頼性の高い半導体装置を提供できる。
【図面の簡単な説明】
【００１９】
【図１】実施の形態に係る、半導体装置の構成例。
【図２】実施の形態に係る、計算に用いた構造モデル。
【図３】実施の形態に係る、トランジスタ特性の計算結果。
【図４】実施の形態に係る、トランジスタ特性の計算結果。
【図５】実施の形態に係る、トランジスタ特性の計算結果。
【図６】実施の形態に係る、トランジスタ特性の計算結果。
【図７】実施の形態に係る、トランジスタ特性の計算結果。
【図８】実施の形態に係る、トランジスタ特性の計算結果。
【図９】実施の形態に係る、半導体装置の構成例。
【図１０】実施の形態に係る、半導体装置の構成例。
【図１１】実施の形態に係る、半導体装置の作製方法例を説明する図。
【図１２】実施の形態に係る、半導体装置の構成例。
【図１３】実施の形態に係る、半導体装置の構成例。

【図１４】実施の形態に係る、半導体装置の構成例。
【図１５】実施の形態に係る、電力変換回路の構成例。
【図１６】実施の形態に係る、電力変換回路の構成例。
【図１７】実施の形態に係る、電源回路の構成例。
【図１８】実施の形態に係る、電源回路の構成例。
【図１９】実施の形態に係る、バッファ回路の構成例。
【図２０】実施の形態に係る、記憶装置を説明する回路図。
【図２１】実施の形態に係る、表示パネルの構成を説明する図。
【図２２】実施の形態に係る、電子機器。
【図２３】実施の形態に係る、電子機器。
【発明を実施するための形態】
【００２０】
実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００２１】
なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。
【００２２】
なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。
【００２３】
なお、本明細書等における「第１」、「第２」等の序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではない。
【００２４】
トランジスタは半導体素子の一種であり、電流や電圧の増幅や、導通または非導通を制御するスイッチング動作などを実現することができる。本明細書におけるトランジスタは、ＩＧＦＥＴ（Ｉｎｓｕｌａｔｅｄ Ｇａｔｅ Ｆｉｅｌｄ Ｅｆｆｅｃｔ Ｔｒａｎｓｉｓｔｏｒ）や薄膜トランジスタ（ＴＦＴ：Ｔｈｉｎ Ｆｉｌｍ Ｔｒａｎｓｉｓｔｏｒ）を含む。
【００２５】
（実施の形態１）
本実施の形態では、本発明の一態様の半導体装置の構成例について図面を参照して説明する。ここでは半導体装置の一例として、トランジスタについて説明する。
【００２６】
本発明の一態様の半導体装置は、チャネルが形成される半導体層を挟んで、第１のゲート電極と第２のゲート電極の２つのゲート電極を有する構成を有し、且つ、半導体層の一部に、一方のゲート電極と重畳しない領域を設けることにより、トランジスタのしきい値電圧の制御の容易性と、電界効果移動度及びドレイン電流の向上を同時に実現するものである。
【００２７】
より具体的には、例えば以下の構成とすることができる。
【００２８】
［構成例］
図１は、本発明の一態様のトランジスタの構成例における代表的な構成要素の位置関係を説明するためのチャネル長方向の断面概略図である。
【００２９】

図１（Ａ）に示すトランジスタは、半導体層１０２と、半導体層１０２とそれぞれ電気的に接続する第１の電極１０３ａ及び第２の電極１０３ｂと、絶縁層１０４を介して半導体層１０２と重なる第１のゲート電極１０５ａと、半導体層１０２を介して第１のゲート電極１０５ａと対向して設けられ、絶縁層１０６を介して半導体層１０２の一部と重なる第２のゲート電極１０５ｂと、を有する。

【００３０】

なお、図１（Ａ）において、第１のゲート電極１０５ａを第２のゲート電極１０５ｂよりも上方に配置するように示しているが、その上下の位置関係は問わない。

【００３１】

半導体層１０２は、チャネルが形成される領域においてシリコンなどの半導体を含んで構成されうるが、シリコンよりもバンドギャップの大きな半導体を含むことが好ましい。好適には、半導体層１０２は酸化物半導体を含んで構成される。

【００３２】

例えば、上記酸化物半導体として、少なくともインジウム（Ｉｎ）もしくは亜鉛（Ｚｎ）を含むことが好ましい。より好ましくはＩｎ－Ｍ－Ｚｎ系酸化物（ＭはＡｌ、Ｔｉ、Ｇａ、Ｇｅ、Ｙ、Ｚｒ、Ｓｎ、Ｌａ、ＣｅまたはＨｆ等の金属）で表記される酸化物を含む。

【００３３】

シリコンよりもバンドギャップの大きな酸化物半導体をチャネルが形成される半導体層１０２に適用することにより、高温下であってもトランジスタの電気特性の変動を極めて小さいものとすることができる。したがって、半導体層１０２に酸化物半導体を適用することで、高温で安定した動作が可能なトランジスタを実現できる。

【００３４】

さらに、半導体層１０２に酸化物半導体を用いることにより、ホットキャリア劣化に対する耐性が高められ、トランジスタに高いドレイン耐圧を付与することができる。そのため、高い駆動電圧で安定して動作するトランジスタを実現できる。

【００３５】

ここで、ホットキャリア劣化とは、高速に加速された電子がチャネル中のドレイン近傍でゲート絶縁層中に注入されて固定電荷になることや、ゲート絶縁層界面にトラップ準位を形成することにより、しきい値電圧の変動やゲートリーク等のトランジスタ特性の劣化が生じることであり、ホットキャリア劣化の要因としては、チャネルホットエレクトロン注入（ＣＨＥ注入）とドレインアバランシェホットキャリア注入（ＤＡＨＣ注入）がある。

【００３６】

シリコンはバンドギャップが狭いため、アバランシェ降伏によって雪崩的に電子が発生しやすく、ゲート絶縁層の障壁を超えられるほど高速に加速される電子数が増加する。しかしながら、本実施の形態で示す酸化物半導体は、バンドギャップが広いため、アバランシェ降伏が生じにくく、シリコンと比べてホットキャリア劣化の耐性が高い。

【００３７】

このように、トランジスタは高いドレイン耐圧を有すると言える。それゆえ、絶縁ゲート電界効果トランジスタ（ＩＧＦＥＴ：Ｉｎｓｕｌａｔｅｄ－Ｇａｔｅ　Ｆｉｅｌｄ－Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）などのパワーデバイスに好適である。

【００３８】

第１の電極１０３ａは、トランジスタのソース電極として機能する。また、第２の電極１０３ｂは、トランジスタのドレイン電極として機能する。

【００３９】

ここで、第１のゲート電極１０５ａは、第１の電極１０３ａの端部から第２の電極１０３ｂの端部に渡って、半導体層１０２と重なるように設けられている。

【００４０】

一方、第２のゲート電極１０５ｂは、第１の電極１０３ａの端部と第２の電極１０３ｂ

の端部の間に設けられ、第１の電極１０３ａ及び第２の電極１０３ｂのいずれとも重畳しないように設けられている。言い換えると、半導体層１０２の第１の電極１０３ａ側と、第２の電極１０３ｂ側の両方に、第２のゲート電極１０５ｂと重ならない領域（オフセット領域とも呼ぶ）が設けられている。

【００４１】

ここで、図１（Ａ）に示すように、第１の電極１０３ａと第２の電極１０３ｂの間隔をチャネル長Ｌと呼ぶこととする。また、少なくとも半導体層１０２と重なる領域において、上面側から見たときの、第１の電極１０３ａと第２のゲート電極１０５ｂとの間隔をオフセット長Ｌｏｆｆ１と呼び、第２の電極１０３ｂと第２のゲート電極１０５ｂとの間隔をオフセット長Ｌｏｆｆ２と呼ぶこととする。

【００４２】

チャネル長Ｌに対するオフセット長Ｌｏｆｆ１の比（すなわちＬｏｆｆ１／Ｌ）は、０以上０．９５以下、好ましくは０以上０．５以下、より好ましくは０以上０．２５以下とすればよい。また、チャネル長Ｌに対するオフセット長Ｌｏｆｆ２の比（すなわちＬｏｆｆ２／Ｌ）は、０以上０．９５以下、好ましくは０．５以上０．９５以下、より好ましくは０．７５以上０．９５以下とすればよい。なお、実際にはばらつきとしてプラスマイナス１０％の変動を含むものとする。

【００４３】

第１のゲート電極１０５ａには、トランジスタのオン状態を制御する電位を与えることができる。例えば、トランジスタをオン状態とする電位、またはトランジスタをオフ状態とする電位が与えられる。このような電位を与えることにより、トランジスタのスイッチング動作を実現できる。

【００４４】

第２のゲート電極１０５ｂには、トランジスタのしきい値電圧を制御するための電位を与えることができる。好ましくは、ソース電極として機能する第１の電極１０３ａに与えられる電位よりも低い電位を与える。このような電位を与えることにより、トランジスタのしきい値電圧をプラスシフトさせることができる。特に第２のゲート電極１０５ｂに適切な電位を与えることにより、ノーマリーオフのトランジスタ特性を得ることができる。

【００４５】

このような電位を与える第２のゲート電極１０５ｂを、ソース電極として機能する第１の電極１０３ａと、ドレイン電極として機能する第２の電極１０３ｂの両方からオフセットさせて配置することにより、オフセット領域を有さない場合、すなわち第１の電極１０３ａ及び第２の電極１０３ｂと重畳させて設ける場合に比べて、しきい値電圧のシフト量を同等なものとするばかりでなく、トランジスタの電界効果移動度を向上させ、オン状態におけるソース－ドレイン間電流（オン電流、ドレイン電流ともよぶ）を増大させることができる。

【００４６】

なお、第２のゲート電極１０５ｂは、少なくとも第１の電極１０３ａ及び第２の電極１０３ｂと重畳しないように設ければよい。したがって、オフセット長Ｌｏｆｆ１、Ｌｏｆｆ２のいずれか一方、または両方が０である場合でも、第２のゲート電極１０５ｂが第１の電極１０３ａ及び第２の電極１０３ｂと重畳させて設ける場合に比べてトランジスタの電界効果移動度が向上し、ドレイン電流を増大させることができる。

【００４７】

第２のゲート電極１０５ｂに与える電位を一定とした場合、第２のゲート電極１０５ｂのチャネル長方向の幅が大きいほどしきい値電圧のシフト量が大きくなる。一方、第２のゲート電極１０５ｂのチャネル長方向の幅が小さいほど、電界効果移動度が高まり、オン電流を増大させることができる。チャネル長Ｌに対する第２のゲート電極１０５ｂのチャネル長方向の幅の大きさは、オン電流や電界効果移動度の観点からは小さいほど好ましいが、トランジスタの駆動電圧や所望のしきい値電圧のシフト量などを考慮して適宜設定すればよい。

【００４８】
ここで、第２のゲート電極１０５ｂに、ソース電極として機能する第１の電極１０３ａに与えられる電位よりも高い電位を与えることもできる。このような電位を与えることにより、トランジスタのしきい値電圧をマイナスシフトさせることができる。
【００４９】
または、第２のゲート電極１０５ｂには、トランジスタのオン状態を制御する電位を与えることもできる。例えば、第１のゲート電極１０５ａに入力される電位と同電位を与えることが好ましい。このとき、図示しない配線やプラグなどにより、第２のゲート電極１０５ｂを第１のゲート電極１０５ａと電気的に接続する構成とすればよい。このような構成とすることで、第１のゲート電極１０５ａと第２のゲート電極１０５ｂに電位を供給する配線を共通化し、回路構成を単純化することができる。
【００５０】
なお、第２のゲート電極１０５ｂに入力するトランジスタのオン状態を制御する電位は上記に限られず、絶縁層１０６の厚さや電気的特性などを考慮し、第１のゲート電極１０５ａに入力する電位よりも高い電位、またはこれよりも低い電位であってもよい。また、第１のゲート電極１０５ａに入力される信号（電位レベルが時間変化する信号）に対し、電位の立ち上がりや立下りのタイミングがずれた信号を第２のゲート電極１０５ｂに入力してもよい。
【００５１】
第２のゲート電極１０５ｂにこのような電位を与えることにより、半導体層１０２に形成されるチャネル領域が拡大し、トランジスタの電界効果移動度を向上させ、オン電流を高めることができる。
【００５２】
図１（Ｂ）に示すトランジスタは、図１（Ａ）に示したトランジスタと比較して、オフセット長Ｌｏｆｆ２がオフセット長Ｌｏｆｆ１よりも大きくなるように、第２のゲート電極１０５ｂを配置した場合を示している。
【００５３】
このように、第２のゲート電極１０５ｂのチャネル長方向の幅を一定とした場合、上面側から見たときの第２のゲート電極１０５ｂと第２の電極１０３ｂとの距離（オフセット長Ｌｏｆｆ２）が大きいほど、トランジスタの電界効果移動度を向上させ、オン電流を増大させることができる。特に、上面側からみたときの第２のゲート電極１０５ｂと第１の電極１０３ａとの距離（オフセット長Ｌｏｆｆ１）が０に近いほどオン電流の増大が顕著になる。
【００５４】
また、図１（Ｃ）に示すように、第２のゲート電極１０５ｂを複数にチャネル長方向に分割して離間させて配置してもよい。ここでは便宜上、２つに分割された第２のゲート電極１０５ｂ$_1$、１０５ｂ$_2$の距離をオフセット長Ｌｏｆｆ３と呼ぶこととする。
【００５５】
このとき、２つに分割された第２のゲート電極１０５ｂ$_1$及び第２のゲート電極１０５ｂ$_2$は、いずれも上面側からみて第１の電極１０３ａと第２の電極１０３ｂの間に位置するように配置することが好ましい。
【００５６】
なお、ここでは第２のゲート電極１０５ｂを２つに分割した例を示したが、３以上に分割する構成としてもよい。その場合も、複数に分割された第２のゲート電極を、上面側からみて第１の電極１０３ａと第２の電極１０３ｂの間に位置するように配置することが好ましい。このように第２のゲート電極１０５ｂを複数に分割して配置する構成を、マルチゲート構造とも呼ぶことができる。
【００５７】
このように、第２のゲート電極１０５ｂを複数に分割し、チャネル長方向において半導体層１０２と第２のゲート電極１０５ｂとが重畳しないオフセット領域を複数有する構成

とすることで、トランジスタの電界効果移動度が向上し、オン電流を増大させることができる。

【００５８】

また、図１（Ｄ）に示すように、複数に分割された第２のゲート電極のうち１以上を、他よりも半導体層１０２から離れた位置に配置してもよい。図１（Ｄ）では、３つに分割された第２のゲート電極１０５ｂ$_1$、１０５ｂ$_2$、１０５ｂ$_3$のうち、第２のゲート電極１０５ｂ$_2$を、他よりも半導体層１０２から離れた位置に配置した場合を示している。なお明瞭化のため、図１（Ｄ）ではチャネル長やオフセット長などの記載は省略している。

【００５９】

第２のゲート電極１０５ｂ$_2$は、絶縁層１０６、絶縁層１０８及び絶縁層１０９を介して半導体層１０２の一部と重畳するように配置されている。

【００６０】

またこのとき、他よりも半導体層１０２から離れた位置に配置された第２のゲート電極には、他とは異なる電位を供給してもよい。例えば図１（Ｄ）に示す構成では、第２のゲート電極１０５ｂ$_1$、１０５ｂ$_3$に第１の電極１０３ａに与える電位よりも低い電位を与え、第２のゲート電極１０５ｂ$_2$には、これよりも低い電位を与えることもできる。

【００６１】

以上が本構成例についての説明である。

【００６２】

以上のように、本発明の一態様のトランジスタは、第２のゲート電極に適切な電位を与えることで、ノーマリーオフの電気特性を付与することが可能となる。さらに半導体層として酸化物半導体を用いることで、オフ状態におけるリーク電流（オフ電流ともよぶ）を極めて小さいものとすることができる。したがって、本発明の一態様のトランジスタを備える半導体装置の消費電力を低減することが可能となる。

【００６３】

また、本発明の一態様のトランジスタは、半導体層にシリコンを用いた場合よりもドレイン耐圧に優れるため、高いドレイン耐圧が要求されるデバイスに好適に用いることができる。さらに、本発明の一態様のトランジスタはしきい値電圧を容易に制御可能で、且つしきい値電圧をシフトさせ、ノーマリーオフの特性とした場合であっても高いドレイン電流を流すことができるため、高効率で且つ低消費電力駆動が要求されるデバイスに好適に用いることができる。例えば電源回路、ＤＣＤＣコンバータやインバータなどの電力変換回路、信号の送受信に係る送信回路または受信回路、電力を受電する受電回路などに好適に用いることができる。

【００６４】

また、半導体層にシリコンよりもバンドギャップの広い半導体材料を用いることで、高温であっても安定した動作が可能となる。特に本発明の一態様のトランジスタは大きな電流を流すことが可能であり、駆動時の自己発熱が顕著になる場合がある。また大電力向けの半導体装置では、他の素子からの発熱により使用環境が高温となってしまう場合もある。しかしながら本発明の一態様のトランジスタは、このような高温環境であっても安定した電気特性を維持することができ、該トランジスタを適用した半導体装置の高温環境における信頼性を高めることができる。

【００６５】

また、本発明の一態様のトランジスタは高いドレイン耐圧と高い電界効果移動度を実現できるため、チャネル長とチャネル幅を小さくすることが可能であり、素子の占有面積を縮小することができる。したがって、高集積化や素子の微細化が求められるデバイスにも好適に用いることができる。例えば、複数の画素を含む画像表示装置では、画素の高精細化を可能とする。また高集積化が望まれるメモリデバイスや演算装置などのＩＣにも好適に用いることができる。

【００６６】

［シミュレーションによる検証］

以下では、各ゲート電極の配置の違いがトランジスタの電気特性に与える影響について検証した結果を示す。

【００６７】

〔計算モデル〕

まず、計算に用いたトランジスタのモデルを図２（Ａ）乃至（Ｃ）にそれぞれ示す。なお、計算にはデバイスシミュレーションソフト　Ｓｅｎｔａｕｒｕｓ（ｓｙｎｏｐｓｙｓ社製）を用いた。

【００６８】

図２（Ａ）に示すトランジスタは、半導体層（ＯＳ）上に第１のゲート絶縁層（ＧＩ１）を有し、第１のゲート絶縁層（ＧＩ１）上に第１のゲート電極（ＧＥ１）を有する。また半導体層（ＯＳ）上にはソース電極（Ｓｏｕｒｃｅ）及びドレイン電極（Ｄｒａｉｎ）が離間して配置されている。半導体層（ＯＳ）のソース電極（Ｓｏｕｒｃｅ）、ドレイン電極（Ｄｒａｉｎ）と重畳する領域には、ドナー密度の高い領域（ｎ＋）が形成されている。半導体層（ＯＳ）の下方には第２のゲート絶縁層（ＧＩ２）が配置され、第２のゲート絶縁層（ＧＩ２）よりも下方に、半導体層（ＯＳ）の一部と重畳する第２のゲート電極（ＧＥ２）が配置されている。すなわち、第２のゲート電極（ＧＥ２）は、ソース電極（Ｓｏｕｒｃｅ）及びドレイン電極（Ｄｒａｉｎ）とは重畳しないように設けられている。

【００６９】

ここで、ソース電極（Ｓｏｕｒｃｅ）とドレイン電極（Ｄｒａｉｎ）の間の距離をチャネル長Ｌとする。また、上面側から見たときのソース電極（Ｓｏｕｒｃｅ）と第２のゲート電極（ＧＥ２）との距離をオフセット長Ｌｏｆｆ１とし、ドレイン電極（Ｄｒａｉｎ）と第２のゲート電極（ＧＥ２）との距離をオフセット長Ｌｏｆｆ２とする。また、ソース電極（Ｓｏｕｒｃｅ）とドレイン電極（Ｄｒａｉｎ）の間の領域における第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）とが重畳する長さをオーバーラップ長Ｌｏｖとする。

【００７０】

また、本計算モデルでは、半導体層に用いる半導体として酸化物半導体を想定して計算を行った。

【００７１】

計算に用いた条件を表１に示す。

【００７２】

【表１】

計算条件

構造パラメータ	チャネル長(L) チャネル幅(W)	10.0 μm 1.0 μm
ゲート絶縁層(GI1)	比誘電率 膜厚	4.1 20 nm
ゲート絶縁層(GI2)	比誘電率 膜厚	4.1 300 nm
酸化物半導体層(OS)	電子親和力 Eg 比誘電率 ドナー密度 ドナー密度(SD電極下) 電子移動度 正孔移動度 Nc Nv 膜厚	4.6 eV 3.2 eV 15 6.6E-09 cm^{-3} 5.0E+18 cm^{-3} 15.0 cm^2/Vs 0.01 cm^2/Vs 5.0E+18 cm^{-3} 5.0E+18 cm^{-3} 15.0 nm
ゲート電極(GE1)	仕事関数 印加電圧	5.0 eV -3.0～3.0 V
ゲート電極(GE2)	仕事関数 厚さ 印加電圧	5.0 eV 100 nm -15.0 V
Source, Drain	仕事関数 印加電圧(Source) 印加電圧(Drain)	4.6 eV 0.0 V 0.1, 3.0 V

【００７３】

また、図２（Ｂ）に示すトランジスタは、図２（Ａ）と比較して、第２のゲート電極（ＧＥ２）がソース電極（Ｓｏｕｒｃｅ）とドレイン電極（Ｄｒａｉｎ）及びこれらの間の半導体層（ＯＳ）の全体に重畳して配置されている点で相違している。ここでは、第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）とが重畳する長さＬｏｖはチャネル長Ｌと等しくなる。

【００７４】

また、図２（Ｃ）の示すトランジスタは、図２（Ａ）と比較して、第２のゲート電極（ＧＥ２）を有していない点で相違している。

【００７５】

〔第２のゲート電極のオーバーラップ長依存性〕

図２（Ａ）に示したモデルにおいて、まずは第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）とのオーバーラップ長Ｌｏｖ（すなわち、第２のゲート電極（ＧＥ２）のチャネル長方向の幅）を変えて、トランジスタ特性を算出した。ここで、第２のゲート電極（ＧＥ２）の位置をソース電極（Ｓｏｕｒｃｅ）とドレイン電極（Ｄｒａｉｎ）の中間の位置に固定した条件を用いた。すなわち、上面側からみたときの第２のゲート電極（ＧＥ２）とソース電極（Ｓｏｕｒｃｅ）とのオフセット長Ｌｏｆｆ１と、第２のゲート電極（ＧＥ２）とドレイン電極（Ｄｒａｉｎ）とのオフセット長Ｌｏｆｆ２とが一致する条件を用いた。また、オーバーラップ長Ｌｏｖを、チャネル長Ｌを基準にＬ／２０からＬまでの範囲で、Ｌ／２０ずつ変化させて計算を行った。さらに、第２のゲート電極（ＧＥ２）をソース

電極及びドレイン電極と重畳させて設けたモデル（図２（Ｂ））、及び第２のゲート電極（ＧＥ２）を配置しないモデル（図２（Ｃ））についても計算を行った。

【００７６】

また計算において、チャネル長Ｌを１０μｍとし、ソース－ドレイン間電圧（以下、ドレイン電圧Ｖｄと呼ぶ）として０．１Ｖ、３．０Ｖの２条件について計算を行った。

【００７７】

図３（Ａ）は、ドレイン電圧Ｖｄを０．１Ｖとしたときの、ゲート－ソース間電圧（以下、ゲート電圧Ｖｇと呼ぶ）に対するソース－ドレイン間電流（以下、ドレイン電流Ｉｄと呼ぶ）の関係（Ｖｇ－Ｉｄ特性ともいう）の計算結果である。また、図３（Ｂ）は、図３（Ａ）のＶｇ－Ｉｄ特性から見積もった、ゲート電圧Ｖｇに対する電界効果移動度の関係を示している。また、図４（Ａ）、（Ｂ）は同様に、ドレイン電圧Ｖｄを３．０Ｖとしたときの計算結果である。なお、図中、第２のゲート電極（ＧＥ２）をソース電極及びドレイン電極と重畳させて設けたモデル（図２（Ｂ））については一点鎖線で、また第２のゲート電極（ＧＥ２）を配置しないモデル（図２（Ｃ））については破線で、それぞれ示している。

【００７８】

なお、図３及び図４に示すＩｄ－Ｖｇ特性と電界効果移動度は、Ｌｏｖ＝Ｌの条件と第２のゲート電極（ＧＥ２）を全体に配置した条件とでは、これらの曲線がほぼ一致しているため、重ねて表示されている。

【００７９】

ここで、図３はドレイン電圧が十分に小さい条件の結果であり、線形領域におけるトランジスタの電気特性に相当する。一方、図４はドレイン電圧が十分に大きい条件の結果であり、飽和領域におけるトランジスタの電気特性に相当する。

【００８０】

図５に、ドレイン電圧Ｖｄの条件ごとに算出した、各Ｌｏｖ条件に対するトランジスタの各種特性の関係を示す。図５（Ａ）には、各Ｌｏｖ条件に対するしきい値電圧の値を示す。また、図５（Ｂ）には、各Ｌｏｖ条件における電界効果移動度の最大値を示す。また図５（Ｃ）には、各Ｌｏｖ条件に対するドレイン電流の値を示す。ここで、ドレイン電流Ｉｄは、各条件での比較を容易にするために、ゲート電圧Ｖｇをしきい値電圧よりも１．５Ｖ高い電圧としたときのドレイン電流Ｉｄを示している。また、図５（Ｄ）には、異なるドレイン電圧Ｖｄの条件間での比較を容易にするため、第２のゲート電極（ＧＥ２）を全体に配置した条件でのドレイン電流Ｉｄを１００％としたときの、各Ｌｏｖ条件におけるドレイン電流Ｉｄの比を示している。

【００８１】

図３乃至図５より、第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）とのオーバーラップ長Ｌｏｖが大きいほど、しきい値電圧をプラスシフトさせることができることが確認できた。より具体的には、Ｌｏｖが最も小さい条件（Ｌｏｖ＝Ｌ×１／２０）であっても第２のゲート電極（ＧＥ２）を配置しない条件に対して、しきい値電圧は急激に変化し、それよりもＬｏｖが大きくなるにつれて緩やかに上昇する傾向がみられた。

【００８２】

また、電界効果移動度及びドレイン電流Ｉｄは、Ｌｏｖが小さいほど増加する傾向があることが確認できた。電界効果移動度及びドレイン電流Ｉｄはいずれも、ドレイン電圧Ｖｄが大きい（飽和領域の）条件の方が、Ｌｏｖに対する変化がより顕著であることが確認できた。Ｌｏｖが最も小さい条件（Ｌｏｖ＝Ｌ×１／２０）でのドレイン電流Ｉｄの値は、第２のゲート電極（ＧＥ２）を全体に配置した場合に比べて、ドレイン電圧０．１Ｖ（線形領域）の条件で約１．４倍、ドレイン電圧３．０Ｖ（飽和領域）の条件で約２．３倍にまで向上することが確認できた。

【００８３】

このように、第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）とが重畳しない領域（オフセット領域）をソース側及びドレイン側の両方に設けることにより、第２のゲート電極

（ＧＥ２）をソース電極からドレイン電極にかけて全体に配置した場合に比べて電界効果移動度及びドレイン電流を向上させることができることが確認できた。

【００８４】

さらに、第２のゲート電極（ＧＥ２）のチャネル長方向の幅（Ｌｏｖ）はチャネル長Ｌに対して十分に小さい場合であっても、第２のゲート電極（ＧＥ２）をソース電極からドレイン電極にかけて全体に配置した場合と同等に、しきい値電圧をシフトさせることができる。さらに、第２のゲート電極（ＧＥ２）のチャネル長方向の幅（Ｌｏｖ）はチャネル長Ｌに対して小さいほど、電界効果移動度及びドレイン電流Ｉｄを高めることができることが確認できた。

【００８５】

〔第２のゲート電極の位置依存性〕

続いて、第２のゲート電極（ＧＥ２）のチャネル長方向の幅（Ｌｏｖ）を固定し、その位置をソース電極（Ｓｏｕｒｃｅ）側からドレイン電極（Ｄｒａｉｎ）側にかけて変化させていったときの、トランジスタの電気特性への影響を調査した。具体的には、第２のゲート電極（ＧＥ２）と半導体層（ＯＳ）のオーバーラップ長ＬｏｖをＬ／２０に固定し、ソース電極（Ｓｏｕｒｃｅ）と第２のゲート電極（ＧＥ２）とのオフセット長Ｌｏｆｆ１を０からＬ×１９／２０まで、Ｌ／２０ずつ変化させて計算を行った。ここで、Ｌｏｆｆ１が０の条件は、上面側からみて第２のゲート電極（ＧＥ２）のソース側の端部とソース電極（Ｓｏｕｒｃｅ）のドレイン側の端部とが一致する場合を意味する。同様に、Ｌｏｆｆ１がＬ×１９／２０の条件は、上面側から見て第２のゲート電極（ＧＥ２）のドレイン側の端部とドレイン電極（Ｄｒａｉｎ）のソース側の端部とが一致する場合を意味する。

【００８６】

図６及び図７に、それぞれドレイン電圧Ｖｄを０．１Ｖ、３．０Ｖとしたときの Ｉｇ－Ｖｄ特性と、ゲート電圧Ｖｇに対する電界効果移動度の関係を示す。また、図８には、ドレイン電圧Ｖｄごとに算出した、各Ｌｏｆｆ１条件に対するトランジスタの各種特性の関係を示す。図８（Ａ）には各Ｌｏｆｆ１条件に対するしきい値電圧の値を示し、図８（Ｂ）には各Ｌｏｆｆ１条件に対する電界効果移動度の最大値を示し、図８（Ｃ）には各Ｌｏｆｆ１条件に対するドレイン電流Ｉｄの値を示す。また図８（Ｄ）には、第２のゲート電極（ＧＥ２）を全体に配置した条件でのドレイン電流Ｉｄを１００％としたときの、各Ｌｏｆｆ１条件におけるドレイン電流Ｉｄの比を示している。

【００８７】

図６乃至図８より、しきい値電圧の値は、Ｌｏｆｆ１の大きさ、すなわち第２のゲート電極（ＧＥ２）の位置を変化させてもほぼ一定の値を示すことが確認できた。

【００８８】

また、電界効果移動度について、ドレイン電圧Ｖｄが小さい（線形領域の）条件では、Ｌｏｆｆ１の大きさによらずほぼ一定であるのに対し、ドレイン電圧Ｖｄが大きい（飽和領域の）条件では、Ｌｏｆｆ１が０に近づくほど急激に上昇することが確認できた。

【００８９】

また、ドレイン電流Ｉｄについて、ドレイン電圧Ｖｄが小さい（線形領域の）条件では、Ｌｏｆｆ１の大きさによらずほぼ一定であるのに対し、ドレイン電圧Ｖｄが大きい（飽和領域の）条件では、Ｌｏｆｆ１が小さいほど緩やかに上昇することが確認できた。

【００９０】

以上の結果から、第２のゲート電極（ＧＥ２）はソース側に近づけて配置することにより、より電界効果移動度とドレイン電流Ｉｄの向上が見込めることが確認できた。またその傾向はドレイン電圧Ｖｄが大きく、飽和領域での駆動の場合でより顕著となることが確認できた。

【００９１】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【００９２】

（実施の形態２）
本実施の形態では、本発明の一態様の半導体装置のより具体的な構成例と、その作製方法例について図面を参照して説明する。ここでは半導体装置の一例として、トランジスタについて説明する。なお、上記と重複する部分については説明を省略する場合がある。
【００９３】
［構成例］
図９（Ａ）に、本構成例で示すトランジスタ１００の上面概略図を示す。また図９（Ｂ）、（Ｃ）にはそれぞれ、図９（Ａ）中の切断線Ａ－Ｂ、Ｃ－Ｄにおける断面概略図を示す。なお、図９（Ａ）では明瞭化のため一部の構成要素を明示していない。
【００９４】
トランジスタ１００は、基板１０１上に設けられ、島状の半導体層１０２と、それぞれ半導体層１０２に電気的に接続される第１の電極１０３ａ及び第２の電極１０３ｂと、それぞれ半導体層１０２と重なる第１のゲート電極１０５ａ及び第２のゲート電極１０５ｂと、第１のゲート電極１０５ａと半導体層１０２の間に絶縁層１０４と、第２のゲート電極１０５ｂと半導体層１０２との間に絶縁層１０６と、を有する。また、絶縁層１０６、第１の電極１０３ａ、第２の電極１０３ｂ、第１のゲート電極１０５ａ等を覆う絶縁層１０７が設けられている。
【００９５】
第１の電極１０３ａは、トランジスタ１００のソース電極として機能する。また、第２の電極１０３ｂは、トランジスタ１００のドレイン電極として機能する。
【００９６】
ここで、図９（Ａ）、（Ｂ）に示すように、半導体層１０２と重なる部分における第１の電極１０３ａと第２の電極１０３ｂとの距離をトランジスタ１００のチャネル長Ｌとする。
【００９７】
第１の電極１０３ａと第２の電極１０３ｂに挟まれた領域において、半導体層１０２を覆うように第１のゲート電極１０５ａが設けられている。また第１のゲート電極１０５ａは、第１の電極１０３ａの一部、及び第２の電極１０３ｂの一部と重なるように設けられている。
【００９８】
一方、第２のゲート電極１０５ｂは、第１の電極１０３ａと第２の電極１０３ｂに挟まれた領域において、半導体層１０２の一部と重なるように設けられている。
【００９９】
ここで、図９（Ａ）、（Ｂ）に示すように、半導体層１０２と重なる領域において、上面側から見て第１の電極１０３ａの端部から第２のゲート電極１０５ｂの端部までの距離をオフセット長Ｌｏｆｆ１、第２の電極１０３ｂの端部から第２のゲート電極１０５ｂの端部までの距離をオフセット長Ｌｏｆｆ２とする。オフセット長Ｌｏｆｆ１、Ｌｏｆｆ２はいずれも以上で、且つ、Ｌｏｆｆ１とＬｏｆｆ２の和がチャネル長Ｌよりも小さくなるように、第２のゲート電極１０５ｂが配置されている。
【０１００】
また、第２のゲート電極１０５ｂの側面に接して絶縁層１０８が設けられている。また第２のゲート電極１０５ｂと絶縁層１０８は、その上面が平坦化され、これらの高さが一致していることが好ましい。少なくとも半導体層１０２の下部を平坦化することで、半導体層１０２の厚さや膜質の均一性が高まり、トランジスタの電気特性の安定性やばらつきを改善することができる。
【０１０１】
また、絶縁層１０８は加熱により酸素を放出する膜を含むことが好ましい。例えば、酸素過剰領域を有する絶縁膜を含む構成とすればよい。酸素過剰領域を有する絶縁膜としては、例えば化学量論的組成を満たす酸素よりも多くの酸素を含む酸化絶縁膜を用いることが好ましい。このような酸化絶縁膜は、加熱により一部の酸素が脱離する。

【０１０２】
トランジスタ１００は、第２のゲート電極１０５ｂが半導体層１０２の全域を覆わない構成であるため、トランジスタの作製工程における熱処理により、絶縁層１０８から放出された酸素が絶縁層１０６を介して半導体層１０２に供給され、半導体層１０２内の酸素欠損を補填し、半導体層１０２中の酸素欠損を低減することが可能となる。
【０１０３】
ここで、図９（Ｃ）に示すように、トランジスタ１００のチャネル幅方向の断面において、半導体層１０２が第１のゲート電極１０５ａと第２のゲート電極１０５ｂに囲われた形状となっている。また、第１のゲート電極１０５ａは、半導体層１０２の上面だけでなく、チャネル幅方向の端部も覆うように設けられている。このような構成とすることで、第１のゲート電極１０５ａからの電界が半導体層１０２に対して縦方向だけでなく横方向からもかかるため、半導体層１０２のチャネルの形成される領域が拡大し、トランジスタ１００のオン電流をさらに増大させることができる。
【０１０４】
［各構成要素について］
以下では、トランジスタ１００の各構成要素について説明する。
【０１０５】
〔半導体層〕
半導体層１０２に酸化物半導体を用いる場合、インジウム、亜鉛のうち少なくとも一つを含む酸化物半導体を用いることが好ましい。代表的には、Ｉｎ－Ｇａ－Ｚｎ系金属酸化物などが挙げられる。シリコンよりもバンドギャップが広く、且つキャリア密度の小さい酸化物半導体を用いるとオフ状態におけるリーク電流を抑制できるため好ましい。
【０１０６】
半導体層１０２は、酸化物半導体膜を単層で用いてもよいし、組成の異なる酸化物半導体膜を積層して用いてもよい。
【０１０７】
例えば、酸化物半導体膜を２層積層した構成とし、第１のゲート電極１０５ａ側に近い酸化物半導体膜に、その伝導帯の下端のエネルギーが下層の酸化物半導体膜よりも高い材料を用いる。または、酸化物半導体膜を３層以上積層した構成とし、内側に設けられる酸化物半導体膜に、その伝導帯の下端のエネルギーが他に比べて低い材料を用いる。このような構成とすることで、伝導帯の下端のエネルギーが最も低い酸化物半導体膜に主としてチャネルが形成される。
【０１０８】
酸化物半導体膜にＩｎ－Ｍ－Ｚｎ酸化物を適用した場合、膜中のＭの原子数比に対するＩｎの原子数比の割合が大きいほど、伝導帯の下端のエネルギーを低いものとすることができる。またＺｎの割合が大きいほど、結晶構造の安定性が高まる。またＭの割合が大きいほど、酸化物半導体膜からの酸素の放出を抑制できる。
【０１０９】
主としてチャネルが形成され、主な電流経路となる酸化物半導体膜に接して、同じ構成元素を含む酸化物半導体膜を設けることで、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。さらに、主としてチャネルが形成される酸化物半導体膜に対して、これに接して設けられる酸化物半導体膜には、Ｍの原子数比が大きい材料を用いると、主としてチャネルが形成される酸化物半導体膜中の酸素欠損を低減することができる。
【０１１０】
なお、半導体層１０２に適用することのできる酸化物半導体の好ましい形態とその形成方法については、後の実施の形態で詳細に説明する。
【０１１１】
また、酸化物半導体以外の半導体として、シリコンのほか、炭化シリコン、窒化ガリウム、またはダイヤモンドなどのシリコンよりもバンドギャップの大きな半導体を用いるこ

ともできる。作製の容易性、電気特性の安定性などの観点から、酸化物半導体を用いることが好ましい。

【０１１２】

以下では特に断りのない限り、半導体層１０２に酸化物半導体を適用した場合について説明する。

【０１１３】

〔基板〕

基板１０１の材質などに大きな制限はないが、少なくとも工程にかかる熱に耐えうる程度の耐熱性を有する材料を用いる。例えば、ガラス基板、セラミック基板、石英基板、サファイヤ基板、イットリア安定化ジルコニア（ＹＳＺ）基板などを、基板１０１として用いてもよい。また、シリコンや炭化シリコンなどの単結晶半導体基板または多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用することもできる。

【０１１４】

また、各種半導体基板やＳＯＩ基板上に半導体素子が設けられたものを、基板１０１として用いてもよい。その場合、基板１０１上に層間絶縁層を介してトランジスタ１００を形成する。このとき、当該層間絶縁層に埋め込まれた接続電極により、トランジスタ１００の第１のゲート電極１０５ａ、第２のゲート電極１０５ｂ、第１の電極１０３ａ、第２の電極１０３ｂなどの電極のうち少なくとも一つが、上記半導体素子と電気的に接続する構成とすればよい。半導体素子上に層間絶縁層を介してトランジスタ１００を設けることにより、これらを同一平面上に形成した場合に比べて占有面積を縮小することができる。

【０１１５】

〔ゲート電極〕

第１のゲート電極１０５ａ、第２のゲート電極１０５ｂは、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属、または上述した金属を成分とする合金か、上述した金属を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属を用いてもよい。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、ニッケルシリサイド等のシリサイドを用いてもよい。また、ゲート電極１０５は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する二層構造、窒化チタン膜上にチタン膜を積層する二層構造、窒化チタン膜上にタングステン膜を積層する二層構造、窒化タンタル膜または窒化タングステン膜上にタングステン膜を積層する二層構造、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成する三層構造等がある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数の金属を組み合わせた合金膜、もしくはこれらの窒化膜を用いてもよい。

【０１１６】

また、第１のゲート電極１０５ａ、第２のゲート電極１０５ｂは、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属の積層構造とすることもできる。

【０１１７】

また、第１のゲート電極１０５ａと絶縁層１０４の間、または第２のゲート電極１０５ｂと絶縁層１０６の間に、Ｉｎ－Ｇａ－Ｚｎ系酸窒化物半導体膜、Ｉｎ－Ｓｎ系酸窒化物半導体膜、Ｉｎ－Ｇａ系酸窒化物半導体膜、Ｉｎ－Ｚｎ系酸窒化物半導体膜、Ｓｎ系酸窒化物半導体膜、Ｉｎ系酸窒化物半導体膜、金属窒化膜（ＩｎＮ、ＺｎＮ等）等を設けてもよい。これらの膜は５ｅＶ、好ましくは５．５ｅＶ以上の仕事関数を有し、酸化物半導体

の電子親和力よりも大きい値であるため、酸化物半導体を用いたトランジスタのしきい値電圧をプラスにシフトすることができ、所謂ノーマリーオフ特性のスイッチング素子を実現できる。例えば、Ｉｎ－Ｇａ－Ｚｎ系酸窒化物半導体膜を用いる場合、少なくとも半導体層１０２より高い窒素濃度、具体的には７原子％以上のＩｎ－Ｇａ－Ｚｎ系酸窒化物半導体膜を用いる。

【０１１８】

〔ゲート絶縁層〕

絶縁層１０４及び絶縁層１０６は、ゲート絶縁層として機能する。

【０１１９】

絶縁層１０４及び絶縁層１０６は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはＧａ－Ｚｎ系金属酸化物、窒化シリコンなどを用いればよく、積層または単層で設ける。

【０１２０】

また、絶縁層１０４及び絶縁層１０６として、ハフニウムシリケート（$HfSiO_x$）、窒素が添加されたハフニウムシリケート（$HfSi_xO_yN_z$）、窒素が添加されたハフニウムアルミネート（$HfAl_xO_yN_z$）、酸化ハフニウム、酸化イットリウムなどのｈｉｇｈ－ｋ材料を用いてもよい。

【０１２１】

なお、特定の材料をゲート絶縁層に用いると、特定の条件でゲート絶縁層に電子を捕獲せしめて、しきい値電圧を増大させることもできる。例えば、酸化シリコンと酸化ハフニウムの積層膜のように、ゲート絶縁層の一部に酸化ハフニウム、酸化アルミニウム、酸化タンタルのような電子捕獲準位の多い材料を用い、より高い温度（半導体装置の使用温度あるいは保管温度よりも高い温度、あるいは、１２５℃以上４５０℃以下、代表的には１５０℃以上３００℃以下）の下で、ゲート電極の電位をソース電極やドレイン電極の電位より高い状態を、１秒以上、代表的には１分以上維持することで、半導体層からゲート電極に向かって、電子が移動し、そのうちのいくらかは電子捕獲準位に捕獲される。

【０１２２】

このように電子捕獲準位に必要な量の電子を捕獲させたトランジスタは、しきい値電圧がプラス側にシフトする。ゲート電極の電圧の制御によって電子の捕獲する量を制御することができ、それに伴ってしきい値電圧を制御することができる。また、電子を捕獲せしめる処理は、トランジスタの作製過程におこなえばよい。

【０１２３】

例えば、トランジスタのソース電極あるいはドレイン電極に接続する配線メタルの形成後、あるいは、前工程（ウェハー処理）の終了後、あるいは、ウェハーダイシング工程後、パッケージ後等、工場出荷前のいずれかの段階でおこなうとよい。いずれの場合にも、その後に１２５℃以上の温度に１時間以上さらされないことが好ましい。

【０１２４】

〔第１の電極、第２の電極〕

第１の電極１０３ａ及び第２の電極１０３ｂは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンからなる単体金属、またはこれを主成分とする合金を単層構造または積層構造として用いる。例えば、シリコンを含むアルミニウム膜の単層構造、チタン膜上にアルミニウム膜を積層する二層構造、タングステン膜上にアルミニウム膜を積層する二層構造、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用い

てもよい。
【０１２５】
〔絶縁層〕
絶縁層１０６及び絶縁層１０８は、半導体層１０２に酸素を供給する機能を有するほか、基板１０１に含有される不純物が拡散することを防ぐ機能を有していてもよい。
【０１２６】
絶縁層１０６及び絶縁層１０８は、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、加熱により一部の酸素が脱離する。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物絶縁膜は、昇温脱離ガス分光法（ＴＤＳ：Ｔｈｅｒｍａｌ Ｄｅｓｏｒｐｔｉｏｎ Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物絶縁膜である。
【０１２７】
このような絶縁膜を絶縁層１０６及び絶縁層１０８に用いることで、作製工程中の加熱処理などにより半導体層１０２に酸素を供給し、半導体層１０２中の酸素欠損を低減することができる。
【０１２８】
絶縁層１０７は、酸素を透過しにくい材料を用いることができる。また、水素や水を透過しにくい性質を持たせることが好ましい。絶縁層１０７に用いることのできる、酸素を透過しにくい材料としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の絶縁材料を用いることができる。特に上述の材料は、酸素、水素、水が透過しない材料である。絶縁層１０７としてこのような材料を用いることで、絶縁層１０６及び絶縁層１０８から放出される酸素の外部への拡散と、外部から半導体層１０２等への水素、水等の侵入を同時に抑制することができる。
【０１２９】
なお、絶縁層１０７の下層に、絶縁層１０６と同様の酸素を放出する層を設けてもよい。また、絶縁層１０７よりも上層に配線などの構造物を設ける場合には、絶縁層１０７上に平坦化層として機能する絶縁層を設けてもよい。
【０１３０】
以上が各構成要素についての説明である。
【０１３１】
［変形例］
以下では、上記トランジスタ１００とは構成の一部の異なるトランジスタの構成例について説明する。なお、上記と重複する部分については説明を省略し、相違点について詳細に説明する。また、構成要素の位置や形状が異なる場合であっても、その機能が同等である場合には、同一の符号を付し、説明を省略する場合がある。
【０１３２】
〔変形例１〕
図１０（Ａ）に以下で例示するトランジスタの断面概略図を示す。なお、上面概略図については図９（Ａ）を援用できる。図１０（Ａ）に示すトランジスタは、上記トランジスタ１００と比較して絶縁層１０４の形状が異なる点で相違している。具体的には、絶縁層１０４の一部が絶縁層１０６と接し、且つ、第１の電極１０３ａ及び第２の電極１０３ｂの上面を覆って設けられている。
【０１３３】
このような構成とすることで、ゲート電極１０５ａの加工時に絶縁層１０４をエッチングストッパとして機能させることができ、第１の電極１０３ａ及び第２の電極１０３ｂの当該エッチング工程における意図しない薄膜化を抑制できる。
【０１３４】

〔変形例２〕
本発明の一態様の半導体装置は、酸化物半導体層と、該酸化物半導体層と重なる絶縁層との間に、酸化物半導体層を構成する金属元素のうち、少なくとも一の金属元素を構成要素として含む酸化物層を有することが好ましい。これにより、酸化物半導体層と該酸化物半導体層と重なる絶縁層との界面にトラップ準位が形成されることを抑制することができる。

【０１３５】
すなわち、本発明の一態様は、酸化物半導体層の少なくともチャネル形成領域における上面または底面、若しくはその両方が、酸化物半導体層の界面準位形成防止のためのバリア膜として機能する酸化物層に接する構成とすることが好ましい。このような構成とすることにより、酸化物半導体中及び界面においてキャリアの生成要因となる酸素欠損の生成及び不純物の混入を抑制することが可能となるため、酸化物半導体層を高純度真性化することができる。高純度真性化とは、酸化物半導体層を真性または実質的に真性にすることをいう。よって、当該酸化物半導体層を含むトランジスタの電気特性の変動を抑制し、信頼性の高い半導体装置を提供することが可能となる。

【０１３６】
なお、本明細書等において実質的に真性という場合、酸化物半導体層のキャリア密度は、１×１０^{17}／ｃｍ^{3}未満、１×１０^{15}／ｃｍ^{3}未満、または１×１０^{13}／ｃｍ^{3}未満である。酸化物半導体層を高純度真性化することで、トランジスタに安定した電気特性を付与することができる。

【０１３７】
より具体的には、例えば以下の構成とすることができる。

【０１３８】
図１０（Ｂ）に、以下で例示するトランジスタの断面概略図を示す。なお、上面概略図については図９（Ａ）を援用できる。図１０（Ｂ）に示すトランジスタは、主に第１の酸化物層１２１及び第２の酸化物層１２２を有している点で相違している。

【０１３９】
第１の酸化物層１２１は、絶縁層１０６と半導体層１０２の間に設けられている。

【０１４０】
第２の酸化物層１２２は、半導体層１０２と絶縁層１０４の間に設けられている。より具体的には、第２の酸化物層１２２は、その上面が第１の電極１０３ａ及び第２の電極１０３ｂの下面、及び絶縁層１０４の下面に接して設けられている。

【０１４１】
第１の酸化物層１２１及び第２の酸化物層１２２は、それぞれ半導体層１０２と同一の金属元素を一種以上含む酸化物を含む。

【０１４２】
なお、半導体層１０２と第１の酸化物層１２１の境界、及び半導体層１０２と第２の酸化物層１２２の境界は、不明瞭である場合がある。

【０１４３】
例えば、第１の酸化物層１２１および第２の酸化物層１２２は、Ｉｎ若しくはＧａを含み、代表的には、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｚｎ系酸化物、Ｉｎ－Ｍ－Ｚｎ系酸化物（ＭはＡｌ、Ｔｉ、Ｇａ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、ＮｄまたはＨｆ）であり、且つ半導体層１０２よりも伝導帯の下端のエネルギーが真空準位に近い材料を用いる。代表的には、第１の酸化物層１２１または第２の酸化物層１２２の伝導帯の下端のエネルギーと、半導体層１０２の伝導帯の下端のエネルギーとの差が、０．０５ｅＶ以上、０．０７ｅＶ以上、０．１ｅＶ以上、または０．１５ｅＶ以上、且つ２ｅＶ以下、１ｅＶ以下、０．５ｅＶ以下、または０．４ｅＶ以下とすることが好ましい。

【０１４４】
半導体層１０２を挟むように設けられる第１の酸化物層１２１及び第２の酸化物層１２２に、半導体層１０２に比べてスタビライザとして機能するＧａの含有量の多い酸化物を

用いることにより、半導体層１０２からの酸素の放出を抑制することができる。

【０１４５】

半導体層１０２として、例えばＩｎ：Ｇａ：Ｚｎ＝１：１：１または３：１：２の原子数比のＩｎ－Ｇａ－Ｚｎ系酸化物を用いた場合、第１の酸化物層１２１または第２の酸化物層１２２として、例えばＩｎ：Ｇａ：Ｚｎ＝１：３：２、１：３：４、１：３：６、１：６：４、１：６：８、１：６：１０、または１：９：６などの原子数比のＩｎ－Ｇａ－Ｚｎ系酸化物を用いることができる。なお、半導体層１０２、第１の酸化物層１２１および第２の酸化物層１２２の原子数比はそれぞれ、誤差として上記の原子数比のプラスマイナス２０％の変動を含む。また、第１の酸化物層１２１と第２の酸化物層１２２は、組成の同じ材料を用いてもよいし、異なる組成の材料を用いてもよい。

【０１４６】

また、半導体層１０２としてＩｎ－Ｍ－Ｚｎ系酸化物を用いた場合、半導体層１０２となる半導体膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をＩｎ：Ｍ：Ｚｎ＝x_1：y_1：z_1としたときに、x_1/y_1の値が１／３以上６以下、好ましくは１以上６以下であり、z_1/y_1が１／３以上６以下、好ましくは１以上６以下の原子数比の酸化物を用いることが好ましい。なお、z_1/y_1を６以下とすることで、後述するＣＡＡＣ－ＯＳ膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、３：１：２などがある。

【０１４７】

また、第１の酸化物層１２１、第２の酸化物層１２２としてＩｎ－Ｍ－Ｚｎ系酸化物を用いた場合、第１の酸化物層１２１、第２の酸化物層１２２となる酸化物膜を成膜するために用いるターゲットは、該ターゲットが含有する金属元素の原子数比をＩｎ：Ｍ：Ｚｎ＝x_2：y_2：z_2としたときに、$x_2/y_2 < x_1/y_1$であり、z_2/y_2の値が１／３以上６以下、好ましくは１以上６以下の原子数比の酸化物を用いることが好ましい。なお、z_2/y_2を６以下とすることで、後述するＣＡＡＣ－ＯＳ膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、Ｉｎ：Ｍ：Ｚｎ＝１：３：４、１：３：６、１：３：８などがある。

【０１４８】

また、第１の酸化物層１２１および第２の酸化物層１２２に、半導体層１０２に比べて伝導帯の下端のエネルギーが真空準位に近い材料を用いることにより、半導体層１０２に主としてチャネルが形成され、半導体層１０２が主な電流経路となる。このように、チャネルが形成される半導体層１０２を、同じ金属元素を含む第１の酸化物層１２１及び第２の酸化物層１２２で挟持することにより、これらの界面準位の生成が抑制され、トランジスタの電気特性における信頼性が向上する。

【０１４９】

なお、これに限られず、必要とするトランジスタの半導体特性及び電気特性（電界効果移動度、しきい値電圧、ばらつき等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層１０２、第１の酸化物層１２１、第２の酸化物層１２２のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

【０１５０】

ここで、半導体層１０２の厚さは、少なくとも第１の酸化物層１２１よりも厚く形成することが好ましい。半導体層１０２が厚いほど、トランジスタのオン電流を高めることができる。また、第１の酸化物層１２１は、半導体層１０２の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、半導体層１０２の厚さは、第１の酸化物層１２１の厚さに対して１倍よりも大きく、好ましくは２倍以上、より好ましくは４倍以上、より好ましくは６倍以上とすればよい。なお、トランジスタのオン電流を高める必要のない場合にはその限りでなく、第１の酸化物層１２１の厚さを半導体層１０２の厚さ以上としてもよい。

【０１５１】

また、第２の酸化物層１２２も第１の酸化物層１２１と同様に、半導体層１０２の界面準位の生成を抑制する効果が失われない程度の厚さであればよい。例えば、第１の酸化物層１２１と同等またはそれ以下の厚さとすればよい。第２の酸化物層１２２が厚いと、第１のゲート電極１０５ａによる電界が半導体層１０２に届きにくくなる恐れがあるため、第２の酸化物層１２２は薄く形成することが好ましい。例えば、半導体層１０２の厚さよりも薄くすればよい。なおこれに限られず、第２の酸化物層１２２の厚さは絶縁層１０４の耐圧などを考慮して、トランジスタを駆動させる電圧に応じて適宜設定すればよい。

【０１５２】

ここで、例えば半導体層１０２が、構成元素の異なる絶縁層（例えば酸化シリコン膜を含む絶縁層など）と接する場合、これらの界面に界面準位が形成され、該界面準位はチャネルを形成することがある。このような場合、しきい値電圧の異なる第２のトランジスタが出現し、トランジスタの見かけ上のしきい値電圧が変動することがある。しかしながら、本構成のトランジスタにおいては、半導体層１０２を構成する金属元素を一種以上含んで第１の酸化物層１２１を有しているため、第１の酸化物層１２１と半導体層１０２との界面に界面準位を形成しにくくなる。よって第１の酸化物層１２１を設けることにより、トランジスタのしきい値電圧などの電気特性のばらつきや変動を低減することができる。

【０１５３】

また、絶縁層１０４と半導体層１０２との界面にチャネルが形成される場合、該界面で界面散乱が起こり、トランジスタの電界効果移動度が低下する。しかしながら、本構成のトランジスタにおいては、半導体層１０２を構成する金属元素を一種以上含んで第２の酸化物層１２２を有しているため、半導体層１０２と第２の酸化物層１２２との界面ではキャリアの散乱が起こりにくく、トランジスタの電界効果移動度を高くすることができる。

【０１５４】

〔変形例３〕

図１０（Ｃ）に以下で例示するトランジスタの断面概略図を示す。なお上面概略図については図９（Ａ）を援用できる。図１０（Ｃ）に示すトランジスタは、主に第２の酸化物層１２２の形状が異なる点で、上記変形例２で示したトランジスタと相違している。

【０１５５】

第２の酸化物層１２２は、その下面が第１の電極１０３ａ及び第２の電極１０３ｂのそれぞれの上面に接して設けられている。さらに、第１の電極１０３ａ及び第２の電極１０３ｂが設けられていない領域において、半導体層１０２の上面に接して設けられている。

【０１５６】

図１０（Ｃ）に示す構成では、第２の酸化物層１２２及び絶縁層１０４の上面形状が、第１のゲート電極１０５ａの上面形状と概略一致するように、同一のフォトマスクを用いて加工されている。

【０１５７】

なお、本明細書等において、「上面形状が概略一致」とは、積層した層と層との間で少なくとも輪郭の一部が重なることをいう。例えば、上層と下層とが、同一のマスクパターン、または一部が同一のマスクパターンにより加工された場合を含む。ただし、厳密には輪郭が重なりあわず、上層が下層の内側に位置することや、上層が下層の外側に位置することもあり、この場合も「上面形状が概略一致」という。

【０１５８】

このような構成とすることで、第１の電極１０３ａ及び第２の電極１０３ｂと、チャネルが形成される半導体層１０２との接触面積を増大させることができ、これらの接触抵抗を低減することができる。その結果、トランジスタのオン電流を増大させることができる。

【０１５９】

以上が変形例についての説明である。

【０１６０】

［作製方法例］

以下では、図９に示したトランジスタ１００の作製方法の一例について、図面を参照して説明する。図１１は、トランジスタ１００の作製工程にかかる各段階における断面概略図である。

【０１６１】

〔第２のゲート電極の形成〕

まず、基板１０１上に導電膜を成膜する。その後フォトリソグラフィ法等を用いて導電膜上にレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する、その後、レジストマスクを除去することにより、第２のゲート電極１０５ｂを形成することができる。

【０１６２】

導電膜は、例えばスパッタリング法、蒸着法、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法などにより成膜することができる。

【０１６３】

なお、導電膜の成膜前に、基板１０１上にバリア層として機能する絶縁層を形成しておいてもよい。

【０１６４】

レジストマスクの形成に用いる光は、例えばｉ線（波長３６５ｎｍ）、ｇ線（波長４３６ｎｍ）、ｈ線（波長４０５ｎｍ）、またはこれらを混合させた光を用いることができる。そのほか、紫外線やＫｒＦレーザ光、またはＡｒＦレーザ光等を用いることもできる。また、液浸露光技術により露光を行ってもよい。また、露光に用いる光として、極端紫外光（ＥＵＶ：Ｅｘｔｒｅｍｅ Ｕｌｔｒａ－ｖｉｏｌｅｔ）やＸ線を用いてもよい。また、露光に用いる光に換えて、電子ビームを用いることもできる。極端紫外光、Ｘ線または電子ビームを用いると、極めて微細な加工が可能となるため好ましい。なお、電子ビームなどのビームを走査することにより露光を行う場合には、フォトマスクは不要である。

【０１６５】

続いて、絶縁膜を形成する。該絶縁膜は、第２のゲート電極１０５ａよりも厚く形成することが好ましい。続いて、第２のゲート電極１０５ｂの上面が露出するように、該絶縁膜に対してＣＭＰ（Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）法等を用いて平坦化処理を行うことにより、絶縁層１０８を形成することができる（図１１（Ａ））。

【０１６６】

絶縁層１０８となる絶縁膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ（Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法、ＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法またはＰＬＤ（Ｐｕｌｓｅｄ Ｌａｓｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法などを用いて形成することができる。

【０１６７】

絶縁層１０８に酸素を過剰に含有させるには、例えば、酸素雰囲気下にて絶縁層１０８となる絶縁膜の成膜を行えばよい。または、成膜後の絶縁膜に酸素を導入して酸素を過剰に含有させてもよく、双方の手段を組み合わせてもよい。

【０１６８】

例えば、成膜後の絶縁膜に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法、プラズマ処理などを用いることができる。

【０１６９】

酸素を導入する処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素を導入する処理において、酸素を含むガスに希ガスなどの希釈ガスを含ませてもよい。

【０１７０】

なお、ここでは、第２のゲート電極１０５ｂを先に形成する方法を説明したが、絶縁層１０８となる絶縁膜を先に成膜してもよい。その場合は、基板１０１上に該絶縁膜を成膜し、フォトリソグラフィ法等によりレジストマスクを形成し、絶縁膜の不要な部分をエッチングにより除去して、第２のゲート電極１０５ｂが設けられる位置に凹部を形成する。その後、当該凹部を埋めるように導電膜を成膜し、絶縁膜の上面が露出するように平坦化処理を行うことで、絶縁層１０８と第２のゲート電極１０５ｂを形成することができる。

【０１７１】

〔絶縁層の形成〕

続いて、絶縁層１０６を形成する。絶縁層１０６は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法またはＰＬＤ法などを用いて形成することができる。

【０１７２】

絶縁層１０６は、上記絶縁層１０８と同様の方法により、酸素を過剰に含有させることが好ましい。

【０１７３】

〔半導体層の形成〕

続いて、絶縁層１０６上に半導体膜を成膜する。その後フォトリソグラフィ法等を用いて半導体膜上にレジストマスクを形成し、半導体膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、島状の半導体層１０２を形成することができる（図１１（Ｂ））。

【０１７４】

半導体膜の成膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法、またはＰＬＤ法等を用いることができる。または、ゾルゲル法やスプレー法、ミスト法など、液状の材料を用いた薄膜形成技術を用いることもできる。半導体膜の成膜は、スパッタリング法を用いることが好ましい。スパッタリング法としては、ＲＦスパッタリング法、ＤＣスパッタリング法、ＡＣスパッタリング法等を用いることができる。特に、成膜時に発生するゴミを低減でき、且つ膜厚分布も均一とすることから、ＤＣスパッタリング法を用いることが好ましい。

【０１７５】

半導体膜の成膜後、加熱処理を行ってもよい。加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下の温度で、不活性ガス雰囲気、酸化性ガスを１０ｐｐｍ以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上含む雰囲気で行ってもよい。加熱処理により、絶縁層１０８や絶縁層１０６から半導体膜（または半導体層１０２）に酸素が供給され、半導体層１０２に含まれる酸化物半導体中の酸素欠損を低減できる。なお、加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体層１０２を形成した後の工程で行ってもよい。

【０１７６】

また、レジストマスクとなるレジスト膜を形成する前に、被加工膜（ここでは半導体膜）とレジスト膜との密着性を改善する機能を有する有機樹脂膜を形成してもよい。また当該有機樹脂膜は、例えばスピンコート法などにより、その下層の段差を被覆するように形成することができ、当該有機樹脂膜の上層に設けられるレジストマスクの厚さのばらつきを低減できる。また特に微細な加工を行う場合には、当該有機樹脂膜として、露光に用いる光に対する反射防止膜として機能する材料を用いることが好ましい。このような機能を有する有機樹脂膜としては、例えばＢＡＲＣ（Ｂｏｔｔｏｍ　Ａｎｔｉ－Ｒｅｆｌｅｃｔｉｏｎ　Ｃｏａｔｉｎｇ）膜などがある。当該有機樹脂膜は、レジストマスクの除去と同時に除去するか、レジストマスクを除去した後に除去すればよい。

【０１７７】

半導体膜をエッチングするマスクとして、無機膜または金属膜からなるハードマスクを用いてもよい。例えば、半導体膜上に無機膜または金属膜を成膜し、当該無機膜または金属膜を、レジストマスクを用いてエッチングして島状に加工しハードマスクを形成する。

その後、ハードマスクをマスクとして半導体膜をエッチングし、ハードマスクを除去することにより島状の半導体膜を形成すればよい。特に微細な加工を行う場合には、ハードマスクを用いることで、レジストのサイドエッチに伴うパターン幅の縮小などを抑制し、半導体膜を安定した形状に加工できるため、トランジスタ１００の電気特性のばらつきを低減できる。

【０１７８】

〔第１の電極及び第２の電極の形成〕

続いて、絶縁層１０６及び半導体層１０２上に導電膜を成膜する。その後フォトリソグラフィ法等を用いて導電膜上にレジストマスクを形成し、導電膜の不要な部分をエッチングにより除去する。その後レジストマスクを除去することにより、第１の電極１０３ａ及び第２の電極１０３ｂを形成することができる（図１１（Ｃ））。

【０１７９】

導電膜は、例えばスパッタリング法、蒸着法、ＣＶＤ法などにより成膜することができる。

【０１８０】

ここで、導電膜のエッチングの際に、半導体層１０２の上部の一部がエッチングされ、第１の電極１０３ａ及び第２の電極１０３ｂと重ならない部分が薄膜化することがある。したがって、半導体層１０２となる半導体膜の厚さを、エッチングされる深さを考慮して予め厚く形成しておくことが好ましい。

【０１８１】

〔ゲート絶縁層、第１のゲート電極の形成〕

続いて、半導体層１０２、第１の電極１０３ａ、第２の電極１０３ｂ、絶縁層１０６上に絶縁膜を成膜する。さらに、該絶縁膜上に導電膜を成膜する。

【０１８２】

該絶縁膜は、後に絶縁層１０４となる絶縁膜である。該絶縁膜は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法またはＰＬＤ法などを用いて形成することができる。特に、該絶縁膜をＣＶＤ法、好ましくはプラズマＣＶＤ法によって成膜すると、被覆性を向上させることができるため好ましい。

【０１８３】

該導電膜は、後に第１のゲート電極１０５ａとなる導電膜である。該導電膜は、例えばスパッタリング法、蒸着法、ＣＶＤ法などにより成膜することができる。

【０１８４】

続いて、フォトリソグラフィ法等を用いて導電膜上にレジストマスクを形成する。その後、導電膜と絶縁膜の不要な部分を順にエッチングにより除去する。その後レジストマスクを除去することにより、第１のゲート電極１０５ａ及び絶縁層１０４を形成することができる（図１１（Ｄ））。

【０１８５】

なお、導電膜をエッチングして第１のゲート電極１０５ａを形成した後にレジストマスクを除去し、第１のゲート電極１０５ａをハードマスクとして用いて絶縁層１０４の加工を行ってもよい。

【０１８６】

〔絶縁層の形成〕

続いて、第１の電極１０３ａ、第２の電極１０３ｂ、第１のゲート電極１０５ａ、絶縁層１０４、絶縁層１０６上に絶縁層１０７を形成する（図１１（Ｅ））。

【０１８７】

絶縁層１０７は、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＡＬＤ法またはＰＬＤ法などを用いて形成することができる。特に、絶縁層１０７をＣＶＤ法、好ましくはプラズマＣＶＤ法によって成膜すると、被覆性を良好なものとすることができるため好ましい。

【０１８８】

以上の工程により、トランジスタ１００を形成することができる。

【０１８９】
〔加熱処理〕
絶縁層１０７の形成後、加熱処理を行ってもよい。加熱処理により、絶縁層１０６及び絶縁層１０８や、絶縁層１０７から半導体層１０２に対して酸素を供給し、半導体層１０２中の酸素欠損を低減することができる。またこのとき、絶縁層１０７よりも内側に絶縁層１０６及び絶縁層１０８ならびに半導体層１０２から放出される酸素が効果的に閉じ込められ、当該酸素の外部への放出が抑制される。そのため絶縁層１０６や絶縁層１０８から放出され、半導体層１０２に供給しうる酸素の量を増大させることができ、半導体層１０２中の酸素欠損を効果的に低減することができる。
【０１９０】
以上がトランジスタ１００の作製方法例についての説明である。
【０１９１】
本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。
【０１９２】
（実施の形態３）
本実施の形態では、実施の形態２で例示したトランジスタとは構成の一部が異なるトランジスタの構成例について説明する。なお、上記と重複する部分については説明を省略し、相違点について詳細に説明する。また、構成要素の位置や形状が異なる場合であっても、その機能が同等である場合には同一の符号を付し、説明を省略する場合がある。
【０１９３】
［構成例１］
図１２（Ａ）は、本構成例で示すトランジスタ２００の上面概略図である。また図１２（Ｂ）は、図１２（Ａ）中の切断線Ｅ－Ｆにおける断面概略図である。
【０１９４】
トランジスタ２００は、実施の形態１で例示したトランジスタ１００と比較し、半導体層１０２、第１の電極１０３ａ、第２の電極１０３ｂ、絶縁層１０４、第１のゲート電極１０５ａ、第２のゲート電極１０５ｂの上面形状が異なる点、ならびに絶縁層１０７上に設けられた配線１１１ａ及び配線１１１ｂを新たに有している点で主に相違している。
【０１９５】
島状の半導体層１０２は、円形の上面形状を有している。また第２の電極１０３ｂは半導体層１０２と重なる領域に開口を有する環状の上面形状を有している。また、第１の電極１０３ａは、第２の電極１０３ｂの開口の内側に位置するように設けられている。第２のゲート電極１０５ｂは、上面から見て第１の電極１０３ａと第２の電極１０３ｂに挟まれた領域において、半導体層１０２の一部と重畳するように、環状の上面形状を有し、その一部が上面から見て第２の電極１０３ｂよりも外側に引き出されている。また、第１のゲート電極１０５ａは、第１の電極１０３ａの一部、第２の電極１０３ｂの一部、及び半導体層１０２と重畳するように円形の上面形状を有し、その一部が上面から見て第２の電極１０３ｂよりも外側に引き出されている。また、第１のゲート電極１０５ａの第１の電極１０３ａと重畳する領域には開口が形成されている。第１の電極１０３ａは当該第１のゲート電極１０５ａの開口と重なる位置に設けられた絶縁層１０７の開口を介して配線１１１ａと電気的に接続されている。また第２の電極１０３ｂは、その上部に設けられた絶縁層１０７の開口を介して配線１１１ｂと電気的に接続されている。
【０１９６】
このように、第１の電極１０３ａを囲うように第２の電極１０３ｂを設けることで、これらを平行に配置した場合に比べて、トランジスタ２００の占有面積に対するチャネル幅を大きくとることができる。したがって、より大きなドレイン電流を得ることが可能となる。このような構成は大電力向けのパワーデバイスに好適に適用することができる。
【０１９７】
また、半導体層１０２及び第１の電極１０３ａの上面形状を円形とし、第２の電極１０

３ｂの上面形状を、これらを囲う環状の形状とすることで、円周方向にわたってチャネル長Ｌを一定にすることが可能となる。なお、半導体層１０２の上面形状はこれに限られず、正方形や長方形を含む多角形、楕円形、または角部が丸みを帯びた多角形などとすることができる。このとき、第１の電極１０３ａと第２の電極１０３ｂとの距離（チャネル長Ｌ）が一定となるように、これらの形状や配置方法を適宜設定すればよい。

【０１９８】

なお、ここではソース電極として機能する第１の電極１０３ａを内側に配置し、ドレイン電極として機能する第２の電極１０３ｂを外側に配置する構成としたが、これらに入力する電位を入れ替えることで、各々の機能を入れ替えてもよい。

【０１９９】

［構成例２］

図１３（Ａ）は、本構成例で示すトランジスタ２１０の上面概略図である。また図１３（Ｂ）は、図１３（Ａ）中の切断線Ｇ－Ｈにおける断面概略図である。

【０２００】

トランジスタ２１０は、上記構成例１におけるトランジスタ２００と比較して、第１のゲート電極１０５ａが半導体層１０２よりも下側（基板１０１側）に位置し、第２のゲート電極１０５ｂが半導体層１０２よりも上側に位置している点、ならびに絶縁層１０７上に配線１１１ｃを新たに有している点で主に相違している。

【０２０１】

第１のゲート電極１０５ａは、絶縁層１０６を介して半導体層１０２よりも基板１０１側に設けられている。また第１のゲート電極１０５ａは、半導体層１０２よりも半径の大きい円状の上面形状を有し、第１の電極１０３ａ、半導体層１０２、及び第２の電極１０３ｂの一部と重畳するように設けられている。

【０２０２】

また、第２のゲート電極１０５ｂは、絶縁層１０４上に設けられ、環状の上面形状を有する。また第２のゲート電極１０５ｂは、上面から見て第１の電極１０３ａと第２の電極１０３ｂの間に、これらと重畳しないように設けられている。

【０２０３】

また、第２のゲート電極１０５ｂは、その上部に設けられた絶縁層１０７の開口を介して配線１１１ｃと電気的に接続されている。

【０２０４】

ここで、図１３（Ｂ）に示すように、第２のゲート電極１０５ｂに覆われていない半導体層１０２の上面を絶縁層１０４で覆う構成とすることが好ましい。半導体層１０２上に絶縁層１０４を残すことにより、絶縁層１０７の成膜工程における半導体層１０２へのダメージを抑制することができる。

【０２０５】

また、半導体層１０２の第２のゲート電極１０５ｂに覆われていない領域では、作製工程にかかる熱処理によって絶縁層１０７から放出される酸素を、絶縁層１０４を介して半導体層１０２のチャネル形成領域に供給することが可能となる。したがって、半導体層１０２中の酸素欠損が低減され、トランジスタ２１０の信頼性を向上させることができる。

【０２０６】

［構成例３］

図１４（Ａ）は、本構成例で示すトランジスタ２２０の上面概略図である。また図１４（Ｂ）は、図１４（Ａ）中の切断線Ｉ－Ｊにおける断面概略図である。

【０２０７】

トランジスタ２２０は、上記構成例１におけるトランジスタ２００と比較して、第１の電極１０３ａ、第２の電極１０３ｂ、及び第２のゲート電極１０５ｂの上面形状が異なる点、ならびに配線１１１ａ、配線１１１ｂを有していない点で主に相違している。

【０２０８】

第１の電極１０３ａは、上面から見てその一部が半導体層１０２の端部を乗り越えて外

側にまで延在するように設けられている。また第２の電極１０３ｂは、半導体層１０２上において、第１の電極１０３ａとの距離が略一定になるように設けられている。また半導体層１０２の端部の一部が、第１の電極１０３ａ及び第２の電極１０３ｂと重ならない領域を有している。

【０２０９】

また、第２のゲート電極１０５ｂは、少なくとも半導体層１０２と重なる領域において、第１の電極１０３ａとの距離、及び第２の電極１０３ｂとの距離がそれぞれ略一定となるような上面形状を有している。また、第２のゲート電極１０５ｂの一部が半導体層１０２の端部を乗り越えて外側に引き出されている。

【０２１０】

このように、配線１１１ａや配線１１１ｂ等を設けない構成とすることで、工程を簡略化することができる。さらに、配線や電極の接続部を減らすことができるため、当該接続部における接触抵抗の影響を低減できる。特に、大電流を流す場合には、接触抵抗に起因して接続部が高温となってしまい、最悪の場合断線してしまう恐れもあるため、このように配線数を低減することが好ましい。

【０２１１】

また、図１４（Ｂ）に示すように、第１の電極１０３ａ及び第２の電極１０３ｂに覆われていない半導体層１０２の端部を、第１のゲート電極１０５ａが覆うように設けられている。そのため、当該領域において第１のゲート電極１０５ａからの電界が半導体層１０２に対して縦方向だけでなく横方向からもかかるため、半導体層１０２のチャネルの形成される領域が拡大し、トランジスタ２２０のオン電流をさらに増大させることができる。

【０２１２】

なお、ここではソース電極として機能する第１の電極１０３ａを内側に配置し、ドレイン電極として機能する第２の電極１０３ｂを外側に配置する構成としたが、これらに入力する電位を入れ替えることで、各々の機能を入れ替えてもよい。

【０２１３】

以上が各構成例についての説明である。

【０２１４】

本実施の形態で例示したトランジスタは、いずれもトランジスタの占有面積に対するチャネル幅を大きくとれる構成である。したがって、より大きなドレイン電流を得ることが可能であり、大電力向けの半導体装置に好適に用いることができる。

【０２１５】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０２１６】

（実施の形態４）

本実施の形態では、本発明の一態様の半導体装置の半導体層に好適に用いることのできる酸化物半導体について説明する。

【０２１７】

酸化物半導体は、エネルギーギャップが３．０ｅＶ以上と大きく、酸化物半導体を適切な条件で加工し、そのキャリア密度を十分に低減して得られた酸化物半導体膜が適用されたトランジスタにおいては、オフ状態でのソースとドレイン間のリーク電流（オフ電流）を、従来のシリコンを用いたトランジスタと比較して極めて低いものとすることができる。

【０２１８】

適用可能な酸化物半導体としては、少なくともインジウム（Ｉｎ）あるいは亜鉛（Ｚｎ）を含むことが好ましい。特にＩｎとＺｎを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザとして、それらに加えてガリウム（Ｇａ）、スズ（Ｓｎ）、ハフニウム（Ｈｆ）、ジルコニウム（Ｚｒ）、チタン（Ｔｉ）、スカンジウム（Ｓｃ）、イットリウム（Ｙ）、ランタノイド（例えば

、セリウム（Ｃｅ）、ネオジム（Ｎｄ）、ガドリニウム（Ｇｄ））から選ばれた一種、または複数種が含まれていることが好ましい。

【０２１９】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、Ｉｎ－Ｚｎ系酸化物、Ｓｎ－Ｚｎ系酸化物、Ａｌ－Ｚｎ系酸化物、Ｚｎ－Ｍｇ系酸化物、Ｓｎ－Ｍｇ系酸化物、Ｉｎ－Ｍｇ系酸化物、Ｉｎ－Ｇａ系酸化物、Ｉｎ－Ｇａ－Ｚｎ系酸化物（ＩＧＺＯとも表記する）、Ｉｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物、Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｚｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｉ－Ｚｎ系酸化物、Ｉｎ－Ｓｃ－Ｚｎ系酸化物、Ｉｎ－Ｙ－Ｚｎ系酸化物、Ｉｎ－Ｌａ－Ｚｎ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ａｌ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ａｌ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｈｆ－Ｚｎ系酸化物、Ｉｎ－Ｈｆ－Ａｌ－Ｚｎ系酸化物を用いることができる。

【０２２０】

ここで、Ｉｎ－Ｇａ－Ｚｎ系酸化物とは、ＩｎとＧａとＺｎを主成分として有する酸化物という意味であり、ＩｎとＧａとＺｎの比率は問わない。また、ＩｎとＧａとＺｎ以外の金属元素が入っていてもよい。

【０２２１】

また、酸化物半導体として、$InMO_3(ZnO)_m$（ｍ＞０、且つ、ｍは整数でない）で表記される材料を用いてもよい。なお、Ｍは、Ｇａ、Ｆｅ、Ｍｎ及びＣｏから選ばれた一の金属元素または複数の金属元素、若しくは上記のスタビライザとしての元素を示す。また、酸化物半導体として、$In_2SnO_5(ZnO)_n$（ｎ＞０、且つ、ｎは整数）で表記される材料を用いてもよい。

【０２２２】

例えば、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１、Ｉｎ：Ｇａ：Ｚｎ＝１：３：２、Ｉｎ：Ｇａ：Ｚｎ＝１：３：４、Ｉｎ：Ｇａ：Ｚｎ＝１：３：６、Ｉｎ：Ｇａ：Ｚｎ＝３：１：２あるいはＩｎ：Ｇａ：Ｚｎ＝２：１：３の原子数比のＩｎ－Ｇａ－Ｚｎ系酸化物やその組成の近傍の酸化物を用いるとよい。

【０２２３】

酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【０２２４】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素も同時に減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって同時に減少してしまった酸素を酸化物半導体に加える、または酸素を供給し酸化物半導体膜の酸素欠損を補填することが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理、または過酸素化処理と記す場合がある。

【０２２５】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素または水分が除去され、加酸素化処理により酸素欠損を補填することによって、ｉ型（真性）化またはｉ型に限りなく近く実質的にｉ型（真性）である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく

（ゼロに近く）、キャリア密度が$1\times10^{17}/cm^3$以下、$1\times10^{16}/cm^3$以下、$1\times10^{15}/cm^3$以下、$1\times10^{14}/cm^3$以下、$1\times10^{13}/cm^3$以下であることをいう。

【０２２６】

またこのように、ｉ型又は実質的にｉ型である酸化物半導体膜を備えるトランジスタは、極めて優れたオフ電流特性を実現できる。例えば、酸化物半導体膜を用いたトランジスタがオフ状態のときのドレイン電流を、室温（２５℃程度）にて1×10^{-18}Ａ以下、好ましくは1×10^{-21}Ａ以下、さらに好ましくは1×10^{-24}Ａ以下、または８５℃にて1×10^{-15}Ａ以下、好ましくは1×10^{-18}Ａ以下、さらに好ましくは1×10^{-21}Ａ以下とすることができる。なお、トランジスタがオフ状態とは、ｎチャネル型のトランジスタの場合、ゲート電圧がしきい値電圧よりも十分小さい状態をいう。具体的には、ゲート電圧がしきい値電圧よりも１Ｖ以上、２Ｖ以上または３Ｖ以上小さければ、トランジスタはオフ状態となる。

【０２２７】

以下では、酸化物半導体膜の構造について説明する。

【０２２８】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、ＣＡＡＣ－ＯＳ（Ｃ　Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【０２２９】

まずは、ＣＡＡＣ－ＯＳ膜について説明する。

【０２３０】

なお、本明細書において、「平行」とは、二つの直線が－１０°以上１０°以下の角度で配置されている状態をいう。従って、－５°以上５°以下の場合も含まれる。また、「垂直」とは、二つの直線が８０°以上１００°以下の角度で配置されている状態をいう。従って、８５°以上９５°以下の場合も含まれる。

【０２３１】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【０２３２】

ＣＡＡＣ－ＯＳ膜は、ｃ軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【０２３３】

ＣＡＡＣ－ＯＳ膜を透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、ＣＡＡＣ－ＯＳ膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【０２３４】

ＣＡＡＣ－ＯＳ膜を、試料面と概略平行な方向からＴＥＭによって観察（断面ＴＥＭ観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、ＣＡＡＣ－ＯＳ膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、ＣＡＡＣ－ＯＳ膜の被形成面または上面と平行に配列する。

【０２３５】

一方、ＣＡＡＣ－ＯＳ膜を、試料面と概略垂直な方向からＴＥＭによって観察（平面ＴＥＭ観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【０２３６】

断面ＴＥＭ観察および平面ＴＥＭ観察より、ＣＡＡＣ－ＯＳ膜の結晶部は配向性を有し

ていることがわかる。

【０２３７】

なお、ＣＡＡＣ－ＯＳ膜に含まれるほとんどの結晶部は、一辺が１００ｎｍ未満の立方体内に収まる大きさである。従って、ＣＡＡＣ－ＯＳ膜に含まれる結晶部は、一辺が１０ｎｍ未満、５ｎｍ未満または３ｎｍ未満の立方体内に収まる大きさの場合も含まれる。ただし、ＣＡＡＣ－ＯＳ膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。例えば、平面ＴＥＭ像において、２５００ｎｍ^{2}以上、５μｍ^{2}以上または１０００μｍ^{2}以上となる結晶領域が観察される場合がある。

【０２３８】

ＣＡＡＣ－ＯＳ膜に対し、Ｘ線回折（ＸＲＤ：Ｘ－Ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）装置を用いて構造解析を行うと、例えばＩｎＧａＺｎＯ$_4$の結晶を有するＣＡＡＣ－ＯＳ膜のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、回折角（２θ）が３１°近傍にピークが現れる場合がある。このピークは、ＩｎＧａＺｎＯ$_4$の結晶の（００９）面に帰属されることから、ＣＡＡＣ－ＯＳ膜の結晶がｃ軸配向性を有し、ｃ軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【０２３９】

一方、ＣＡＡＣ－ＯＳ膜に対し、ｃ軸に概略垂直な方向からＸ線を入射させるｉｎ－ｐｌａｎｅ法による解析では、２θが５６°近傍にピークが現れる場合がある。このピークは、ＩｎＧａＺｎＯ$_4$の結晶の（１１０）面に帰属される。ＩｎＧａＺｎＯ$_4$の単結晶酸化物半導体膜であれば、２θを５６°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行うと、（１１０）面と等価な結晶面に帰属されるピークが６本観察される。これに対し、ＣＡＡＣ－ＯＳ膜の場合は、２θを５６°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【０２４０】

以上のことから、ＣＡＡＣ－ＯＳ膜では、異なる結晶部間ではａ軸およびｂ軸の配向は不規則であるが、ｃ軸配向性を有し、かつｃ軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面ＴＥＭ観察で確認された層状に配列した金属原子の各層は、結晶のａｂ面に平行な面である。

【０２４１】

なお、結晶部は、ＣＡＡＣ－ＯＳ膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のｃ軸は、ＣＡＡＣ－ＯＳ膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、ＣＡＡＣ－ＯＳ膜の形状をエッチングなどによって変化させた場合、結晶のｃ軸がＣＡＡＣ－ＯＳ膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【０２４２】

また、ＣＡＡＣ－ＯＳ膜中において、ｃ軸配向した結晶部の分布が均一でなくてもよい。例えば、ＣＡＡＣ－ＯＳ膜の結晶部が、ＣＡＡＣ－ＯＳ膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりもｃ軸配向した結晶部の割合が高くなることがある。また、ＣＡＡＣ－ＯＳ膜に不純物を添加する場合、不純物が添加された領域が変質し、部分的にｃ軸配向した結晶部の割合の異なる領域が形成されることもある。

【０２４３】

なお、ＩｎＧａＺｎＯ$_4$の結晶を有するＣＡＡＣ－ＯＳ膜のｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、２θが３１°近傍のピークの他に、２θが３６°近傍にもピークが現れる場合がある。２θが３６°近傍のピークは、ＣＡＡＣ－ＯＳ膜中の一部に、ｃ軸配向性を有さない結晶が含まれることを示している。ＣＡＡＣ－ＯＳ膜は、２θが３１°近傍にピークを示し、２θが３６°近傍にピークを示さないことが好ましい。

【０２４４】

ＣＡＡＣ－ＯＳ膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリ

コンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

【０２４５】

また、ＣＡＡＣ－ＯＳ膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【０２４６】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

【０２４７】

また、ＣＡＡＣ－ＯＳ膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【０２４８】

次に、微結晶酸化物半導体膜について説明する。

【０２４９】

微結晶酸化物半導体膜は、ＴＥＭによる観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、１ｎｍ以上１００ｎｍ以下、または１ｎｍ以上１０ｎｍ以下の大きさであることが多い。特に、１ｎｍ以上１０ｎｍ以下、または１ｎｍ以上３ｎｍ以下の微結晶であるナノ結晶（ｎｃ：ｎａｎｏｃｒｙｓｔａｌ）を有する酸化物半導体膜を、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜と呼ぶ。また、ｎｃ－ＯＳ膜は、例えば、ＴＥＭによる観察像では、結晶粒界を明確に確認できない場合がある。

【０２５０】

ｎｃ－ＯＳ膜は、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、ｎｃ－ＯＳ膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、ｎｃ－ＯＳ膜に対し、結晶部よりも大きいビーム径のＸ線を用いるＸＲＤ装置を用いて構造解析を行うと、ｏｕｔ－ｏｆ－ｐｌａｎｅ法による解析では、結晶面を示すピークが検出されない。また、ｎｃ－ＯＳ膜に対し、結晶部よりも大きいプローブ径（例えば５０ｎｍ以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、ｎｃ－ＯＳ膜に対し、結晶部の大きさと近いか結晶部より小さいプローブ径（例えば１ｎｍ以上３０ｎｍ以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、ｎｃ－ＯＳ膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、ｎｃ－ＯＳ膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される

場合がある。

【０２５１】

ｎｃ－ＯＳ膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、ｎｃ－ＯＳ膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、ｎｃ－ＯＳ膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、ｎｃ－ＯＳ膜は、ＣＡＡＣ－ＯＳ膜と比べて欠陥準位密度が高くなる。

【０２５２】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、ＣＡＡＣ－ＯＳ膜のうち、二種以上を有する積層膜であってもよい。

【０２５３】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０２５４】

（実施の形態５）

本実施の形態では本発明の一態様の半導体装置の一形態として、上記実施の形態で例示したトランジスタを具備するインバータ及びコンバータ等の電力変換回路の構成例について説明する。

【０２５５】

［ＤＣＤＣコンバータ］

図１５（Ａ）に示すＤＣＤＣコンバータ５０１は、一例としてチョッパー回路を用いた、降圧型のＤＣＤＣコンバータである。ＤＣＤＣコンバータ５０１は、容量素子５０２、トランジスタ５０３、制御回路５０４、ダイオード５０５、コイル５０６及び容量素子５０７を有する。

【０２５６】

ＤＣＤＣコンバータ５０１は、制御回路５０４によるトランジスタ５０３のスイッチング動作により動作する。ＤＣＤＣコンバータ５０１により、入力端子ＩＮ１とＩＮ２に印加される入力電圧Ｖ１は、出力端子ＯＵＴ１とＯＵＴ２より降圧されたＶ２として負荷５０８に出力できる。ＤＣＤＣコンバータ５０１が具備するトランジスタ５０３には、上記実施の形態で例示した半導体装置を適用することができる。そのため、スイッチング動作によって大きな出力電流を流すことができ、且つオフ電流を低減することができる。したがって消費電力が低減され、高速な動作が可能なＤＣＤＣコンバータを実現できる。

【０２５７】

図１５（Ａ）では非絶縁型の電力変換回路の一例としてチョッパー回路を用いた降圧型のＤＣＤＣコンバータを示したが、他にもチョッパー回路を用いた昇圧型のＤＣＤＣコンバータ、チョッパー回路を用いた昇圧降圧型のＤＣＤＣコンバータが具備するトランジスタにも上記実施の形態で例示した半導体装置を適用することができる。そのため、スイッチング動作によって大きな出力電流を流すことができ、且つオフ電流を低減することができる。したがって消費電力が低減され、高速な動作が可能なＤＣＤＣコンバータを実現できる。

【０２５８】

次いで図１５（Ｂ）に示すＤＣＤＣコンバータ５１１は、一例として絶縁型の電力変換回路であるフライバックコンバータの回路構成例を示す。ＤＣＤＣコンバータ５１１は、容量素子５１２、トランジスタ５１３、制御回路５１４、一次コイル及び二次コイルを具備する変圧器５１５、ダイオード５１６及び容量素子５１７を有する。

【０２５９】

図１５（Ｂ）に示すＤＣＤＣコンバータ５１１は、制御回路５１４によるトランジスタ５１３のスイッチング動作により動作する。ＤＣＤＣコンバータ５１１により、入力端子ＩＮ１とＩＮ２に印加される入力電圧Ｖ１は、出力端子ＯＵＴ１とＯＵＴ２より昇圧または降圧されたＶ２として負荷５１８に出力できる。ＤＣＤＣコンバータ５１１が具備するトランジスタ５１３には、上記実施の形態で例示した半導体装置を適用することができる

。そのため、スイッチング動作によって大きな出力電流を流すことができ、且つオフ電流を低減することができる。したがって消費電力が低減され、高速な動作が可能なＤＣＤＣコンバータを実現できる。

【０２６０】

なお、フォワード型のＤＣＤＣコンバータが具備するトランジスタにも上記実施の形態で例示した半導体装置を適用することができる。

【０２６１】

［インバータ］

図１６に示すインバータ６０１は、一例としてフルブリッジ型のインバータである。インバータ６０１は、トランジスタ６０２、トランジスタ６０３、トランジスタ６０４、トランジスタ６０５、及び制御回路６０６を有する。

【０２６２】

図１６に示すインバータ６０１は、制御回路６０６によるトランジスタ６０２乃至６０５のスイッチング動作により動作する。入力端子ＩＮ１とＩＮ２に印加される直流電圧Ｖ１は、出力端子ＯＵＴ１とＯＵＴ２より交流電圧Ｖ２として出力することができる。インバータ６０１が具備するトランジスタ６０２乃至６０５には、上記実施の形態で例示した半導体装置を適用することができる。そのため、スイッチング動作により大きな出力電流を流すことができ、且つオフ電流を低減することができる。したがって消費電力が低減され、高速な動作が可能なインバータとすることができる。

【０２６３】

図１５及び図１６で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０２６４】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０２６５】

（実施の形態６）

本実施の形態では本発明の一態様の半導体装置の一形態として、上記実施の形態で例示したトランジスタを具備する電源回路の構成例について説明する。

【０２６６】

図１７に、本発明の一態様に係る電源回路４００の構成を、一例として示す。図１７に示す電源回路４００は、制御回路４１３と、パワースイッチ４０１と、パワースイッチ４０２と、電圧調整部４０３と、を有する。

【０２６７】

電源回路４００には、電源４１６から電圧が供給されており、パワースイッチ４０１及びパワースイッチ４０２は、電圧調整部４０３への上記電圧の入力を制御する機能を有する。

【０２６８】

なお、電源４１６から出力される電圧が交流電圧である場合、図１７に示すように、電圧調整部４０３への第１電位の入力を制御するパワースイッチ４０１と、電圧調整部４０３への第２電位の入力を制御するパワースイッチ４０２とを、電源回路４００に設ける。電源４１６から出力される電圧が直流電圧である場合、図１７に示すように、電圧調整部４０３への第１電位の入力を制御するパワースイッチ４０１と、電圧調整部４０３への第２電位の入力を制御するパワースイッチ４０２とを、電源回路４００に設けてもよいし、或いは、第２電位を接地電位とし、電圧調整部４０３への第２電位の入力を制御するパワースイッチ４０２を設けずに、電圧調整部４０３への第１電位の入力を制御するパワースイッチ４０１を電源回路４００に設けてもよい。

【０２６９】
そして、本発明の一態様では、パワースイッチ４０１及びパワースイッチ４０２として、耐圧性の高いトランジスタを用いる。例えば上記トランジスタとして、上記実施の形態で例示したトランジスタを用いることができる。
【０２７０】
パワースイッチ４０１及びパワースイッチ４０２として、上記結晶構造を有する酸化物半導体膜を用いることにより、高い出力電流を流すことが可能で、且つ耐圧を高めることができる。
【０２７１】
上記半導体材料を活性層に用いた電界効果トランジスタを、パワースイッチ４０１またはパワースイッチ４０２に用いることで、炭化珪素や窒化ガリウムなどを活性層に用いた電界効果トランジスタよりも、パワースイッチ４０１またはパワースイッチ４０２のスイッチングを高速にすることができ、それにより、スイッチングに起因する電力損失を小さく抑えることができる。
【０２７２】
電圧調整部４０３は、パワースイッチ４０１及びパワースイッチ４０２を介して電源４１６から電圧が入力されると、当該電圧の調整を行う機能を有する。具体的に、電圧調整部４０３における電圧の調整とは、交流電圧を直流電圧に変換すること、電圧の高さを変えること、電圧の高さを平滑化すること、のいずれか一つまたは複数を含む。
【０２７３】
電圧調整部４０３において調整された電圧は、負荷４１７と制御回路４１３に与えられる。
【０２７４】
また、図１７に示す電源回路４００では、蓄電装置４０４と、補助電源４０５と、電圧発生回路４０６と、トランジスタ４０７乃至トランジスタ４１０と、容量素子４１４と、容量素子４１５とを有する。
【０２７５】
蓄電装置４０４は、電圧調整部４０３から与えられた電力を、一時的に蓄える機能を有する。具体的に蓄電装置４０４は、電圧調整部４０３から与えられた電圧を用いて、電力を蓄えることができるキャパシタ、二次電池などの蓄電部を有する。
【０２７６】
補助電源４０５は、蓄電装置４０４から出力が可能な電力が不足しているときに、制御回路４１３の動作に要する電力を、補う機能を有する。補助電源４０５として、一次電池などを用いることができる。
【０２７７】
電圧発生回路４０６は、蓄電装置４０４または補助電源４０５から出力される電圧を用いて、パワースイッチ４０１及びパワースイッチ４０２のスイッチングを制御するための電圧を、生成する機能を有する。具体的に電圧発生回路４０６は、パワースイッチ４０１及びパワースイッチ４０２をオンにするための電圧を生成する機能と、パワースイッチ４０１及びパワースイッチ４０２をオフにするための電圧を生成する機能とを有する。
【０２７８】
無線信号入力回路４１１は、トランジスタ４０７乃至トランジスタ４１０のスイッチングに従ってパワースイッチ４０１及びパワースイッチ４０２を制御する機能を有する。
【０２７９】
具体的に、無線信号入力回路４１１は、外部から与えられる、パワースイッチ４０１及びパワースイッチ４０２の動作状態を制御するための無線信号に重畳した命令を電気信号に変換する入力部と、上記電気信号に含まれる命令をデコードし、トランジスタ４０７乃至トランジスタ４１０のスイッチングを、上記命令に従って制御するための信号を生成する信号処理部と、を有する。
【０２８０】

トランジスタ４０７乃至トランジスタ４１０は、無線信号入力回路４１１において生成された信号に従って、スイッチングを行う。具体的に、トランジスタ４０８及びトランジスタ４１０がオンであるとき、電圧発生回路４０６で生成された、パワースイッチ４０１及びパワースイッチ４０２をオンにするための電圧が、パワースイッチ４０１及びパワースイッチ４０２に与えられる。また、トランジスタ４０８及びトランジスタ４１０がオフであるとき、パワースイッチ４０１及びパワースイッチ４０２に、パワースイッチ４０１及びパワースイッチ４０２をオンにするための上記電圧が与えられた状態が、維持される。また、トランジスタ４０７及びトランジスタ４０９がオンであるとき、電圧発生回路４０６で生成された、パワースイッチ４０１及びパワースイッチ４０２をオフにするための電圧が、パワースイッチ４０１及びパワースイッチ４０２に与えられる。また、トランジスタ４０８及びトランジスタ４１０がオフであるとき、パワースイッチ４０１及びパワースイッチ４０２に、パワースイッチ４０１及びパワースイッチ４０２をオフにするための上記電圧が与えられた状態が、維持される。

【０２８１】

そして、本発明の一態様では、上記電圧がパワースイッチ４０１及びパワースイッチ４０２に与えられた状態を維持するために、トランジスタ４０７乃至トランジスタ４１０に、オフ電流の著しく小さいトランジスタを用いる。上記構成により、電圧発生回路４０６において、パワースイッチ４０１及びパワースイッチ４０２の動作状態を定めるための電圧の生成を停止しても、パワースイッチ４０１及びパワースイッチ４０２の動作状態を維持することができる。よって、電圧発生回路４０６における消費電力を削減し、延いては電源回路４００における消費電力を小さく抑えることができる。

【０２８２】

なお、トランジスタ４０７乃至トランジスタ４１０にバックゲートを設け、バックゲートに電位を与えることにより、トランジスタ４０７乃至トランジスタ４１０の閾値電圧を制御してもよい。

【０２８３】

バンドギャップがシリコンの２倍以上であるワイドギャップ半導体を活性層に用いたトランジスタは、オフ電流が著しく小さいので、トランジスタ４０７乃至トランジスタ４１０に用いるのに好適である。上記ワイドギャップ半導体として、例えば、酸化物半導体などを用いることができる。

【０２８４】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体（ｐｕｒｉｆｉｅｄ　ＯＳ）は、ｉ型（真性半導体）又はｉ型に限りなく近い。そのため、水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を小さくすることができる。よって、高純度化された酸化物半導体膜を用いたトランジスタを、トランジスタ４０７乃至トランジスタ４１０に用いることで、電圧発生回路４０６における消費電力を削減し、電源回路４００における消費電力を小さく抑える効果を高めることができる。

【０２８５】

具体的に、高純度化された酸化物半導体をチャネル形成領域に用いたトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が１×１０６μｍでチャネル長が１０μｍの素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が１Ｖから１０Ｖの範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち１×１０$^{-13}$Ａ以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で規格化したオフ電流は、１００ｚＡ／μｍ以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジ

スタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が３Ｖの場合に、数十ｙＡ／μｍという、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

【０２８６】

また、酸化物半導体の中でもＩｎ－Ｇａ－Ｚｎ系酸化物、Ｉｎ－Ｓｎ－Ｚｎ系酸化物などは、炭化シリコンまたは窒化ガリウムと異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコンまたは窒化ガリウムとは異なり、上記酸化物半導体Ｉｎ－Ｇａ－Ｚｎ系酸化物は室温でも成膜が可能なため、ガラス基板上への成膜、或いはシリコンを用いた集積回路上に電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【０２８７】

容量素子４１４は、トランジスタ４０７及びトランジスタ４０８がオフであるとき、パワースイッチ４０１に与えられている電圧を、保持する機能を有する。また、容量素子４１５は、トランジスタ４０９及びトランジスタ４１０がオフであるとき、パワースイッチ４０２に与えられている電圧を、保持する機能を有する。容量素子４１４及び４１５の一対の電極の一方は、無線信号入力回路４１１に接続される。なお、図１８に示すように、容量素子４１４及び４１５を設けなくてもよい。

【０２８８】

そして、パワースイッチ４０１及びパワースイッチ４０２がオンであるとき、電源４１６から電圧調整部４０３への電圧の供給が行われる。そして、上記電圧により、蓄電装置４０４には電力が蓄積される。

【０２８９】

また、パワースイッチ４０１及びパワースイッチ４０２がオフであるとき、電源４１６から電圧調整部４０３への電圧の供給が停止する。よって、蓄電装置４０４への電力の供給は行われないが、本発明の一態様では、上述したように、蓄電装置４０４または補助電源４０５に蓄えられている電力を用いて、制御回路４１３を動作させることができる。すなわち、本発明の一態様に係る電源回路４００では、制御回路４１３によるパワースイッチ４０１及びパワースイッチ４０２の動作状態の制御を行いつつ、電圧調整部４０３への電圧の供給を停止することができる。そして、電圧調整部４０３への電圧の供給を停止することで、負荷４１７への電圧の供給が行われないときに、電圧調整部４０３が有する容量の充放電により電力が消費されるのを防ぐことができ、それにより、電源回路４００の消費電力を小さく抑えることができる。

【０２９０】

図１７及び図１８で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０２９１】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０２９２】

（実施の形態７）

本実施の形態では、本発明の一態様のトランジスタを含むバッファ回路の構成について説明する。

【０２９３】

本発明の一態様のトランジスタは、パワースイッチのゲートに電圧を供給するためのバッファ回路に適用することができる。

【０２９４】
図１９（Ａ）に本発明の一態様のバッファ回路７０１を含む回路を示す。
【０２９５】
バッファ回路７０１には、駆動回路７０２と、パワースイッチ７２１が電気的に接続されている。またバッファ回路７０１には電源７１５から正の電位が、電源７１６から負の電位が、それぞれ与えられている。
【０２９６】
駆動回路７０２は、パワースイッチ７２１のオン、オフ動作を制御するための信号を出力する回路である。駆動回路７０２から出力された信号は、バッファ回路７０１を介してパワースイッチ７２１のゲートに入力される。
【０２９７】
パワースイッチ７２１は、上記実施の形態で例示したトランジスタを適用することもできるし、半導体としてシリコン、炭化シリコン、窒化ガリウムなどを適用したパワートランジスタを用いてもよい。ここで以下では、パワースイッチ７２１がｎチャネル型のトランジスタである場合について説明するが、ｐチャネル型のトランジスタであってもよい。
【０２９８】
バッファ回路７０１は、トランジスタ７１１、トランジスタ７１２、及びインバータ７１３を有する。
【０２９９】
トランジスタ７１１は、ソースまたはドレインの一方が電源７１５の高電位出力端子に電気的に接続され、ソースまたはドレインの他方がトランジスタ７１２のソースまたはドレインの一方、及びパワースイッチ７２１のゲートに電気的に接続され、ゲートがインバータ７１３の出力端子に電気的に接続される。トランジスタ７１２は、ソースまたはドレインの他方が電源７１６の低電位出力端子に電気的に接続される。駆動回路７０２の出力部は、インバータ７１３の入力端子、及びトランジスタ７１２のゲートに電気的に接続される。
【０３００】
駆動回路７０２からは、ハイレベル電位またはローレベル電位が出力される。ここでハイレベル電位は少なくともトランジスタ７１２をオン状態とする電位であり、ローレベル電位は少なくともトランジスタ７１２を状態とする電位である。
【０３０１】
駆動回路７０２からハイレベル電位が入力されると、インバータ７１３を介してトランジスタ７１１のゲートにローレベル電位が入力され、トランジスタ７１１がオフ状態となる。同時に、トランジスタ７１２のゲートにハイレベル電位が入力され、トランジスタ７１２がオン状態となる。したがって、パワースイッチ７２１のゲートには電源７１６から負の電位が入力され、パワースイッチ７２１がオフ状態となる。
【０３０２】
一方、駆動回路７０２からローレベル電位が入力されると、インバータ７１３を介してトランジスタ７１１のゲートにハイレベル電位が入力され、トランジスタ７１１がオン状態となる。同時に、トランジスタ７１２のゲートにローレベル電位が入力され、トランジスタ７１２がオフ状態となる。したがって、パワースイッチ７２１のゲートには電源７１５から正の電位が入力され、パワースイッチ７２１はオン状態となる。
【０３０３】
このように、駆動回路７０２からハイレベル電位またはローレベル電位をとるパルス信号が出力されることで、パワースイッチ７２１のオン、オフを制御することができる。パワースイッチ７２１を制御する制御方式としては、パルス幅変調（ＰＷＭ：Ｐｕｌｓｅ Ｗｉｄｔｈ Ｍｏｄｕｌａｔｉｏｎ）方式や、パルス周波数変調（ＰＦＭ：Ｐｕｌｓｅ Ｆｒｅｑｕｅｎｃｙ Ｍｏｄｕｌａｔｉｏｎ）方式などの制御方式を用いることができる。
【０３０４】

ここで、トランジスタ７１１及びトランジスタ７１２に、上記実施の形態で例示したトランジスタを適用することができる。したがって、パワースイッチ７２１を高い電位で駆動させることができる。さらに、高温で安定した動作が可能であるため、高温環境下であっても安定してパワースイッチの動作を制御することができ、さらに発熱の大きなパワースイッチ７２１の近傍に配置することもできる。また、トランジスタ７１１及びトランジスタ７１２のスイッチング動作により大きな出力電流を流すことができ、且つオフ電流を低減することができる。したがって消費電力が低減され、高速な動作が可能なバッファとすることができる。

【０３０５】

なお、図１９では負の電位を出力する電源７１６を設ける構成としたが、電源７１６を設けずにトランジスタ７１２のソースまたはドレインの他方に接地電位（または基準電位）が入力される構成としてもよい。

【０３０６】

また、インバータ７１３をトランジスタ７１１ではなくトランジスタ７１２側に電気的に接続する構成としてもよい。その場合、上記動作において、バッファ回路７０１からは上記とは反転した電位が出力される。

【０３０７】

ここで、パワースイッチ７２１に換えて、バイポーラパワートランジスタ、または絶縁ゲートバイポーラトランジスタ（ＩＧＢＴ：Ｉｎｓｕｌａｔｅｄ　Ｇａｔｅ　Ｂｉｐｏｌａｒ　Ｔｒａｎｓｉｓｔｏｒ）、サイリスタ、ゲートターンオフサイリスタ（ＧＴＯ）、トライアック、またはＭＥＳＦＥＴ（Ｍｅｔａｌ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ）などのパワーデバイスを用いることもできる。

【０３０８】

このとき、駆動回路７０２の出力信号は上記に限られず、それぞれの素子の駆動を制御するために適した信号を用いればよい。

【０３０９】

図１９（Ｂ）には、パワースイッチ７２１に換えてＩＧＢＴ７２２を設けた場合について示している。

【０３１０】

図１９で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０３１１】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０３１２】

（実施の形態８）

本実施の形態では、本発明の一態様である酸化物半導体を備えるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を、図面を用いて説明する。

【０３１３】

図２０に半導体装置の回路図を示す。

【０３１４】

図２０に示す半導体装置は、第１の半導体材料を用いたトランジスタ３２００と第２の半導体材料を用いたトランジスタ３３００、および容量素子３４００を有している。なお、トランジスタ３３００としては、先の実施の形態で説明したトランジスタを用いることができる。

【０３１５】
ここで、第１の半導体材料と第２の半導体材料は異なる禁制帯幅を持つ材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等など）とし、第２の半導体材料を先の実施の形態で説明した酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。
【０３１６】
トランジスタ３３００は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタである。トランジスタ３３００は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。
【０３１７】
図２０において、第１の配線３００１はトランジスタ３２００のソース電極と電気的に接続され、第２の配線３００２はトランジスタ３２００のドレイン電極と電気的に接続されている。また、第３の配線３００３はトランジスタ３３００のソース電極またはドレイン電極の一方と電気的に接続され、第４の配線３００４はトランジスタ３３００のゲート電極と電気的に接続されている。そして、トランジスタ３２００のゲート電極、およびトランジスタ３３００のソース電極またはドレイン電極の他方は、容量素子３４００の電極の一方と電気的に接続され、第５の配線３００５は容量素子３４００の電極の他方と電気的に接続されている。
【０３１８】
図２０に示す半導体装置では、トランジスタ３２００のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。
【０３１９】
情報の書き込みおよび保持について説明する。まず、第４の配線３００４の電位を、トランジスタ３３００がオン状態となる電位にして、トランジスタ３３００をオン状態とする。これにより、第３の配線３００３の電位が、トランジスタ３２００のゲート電極、および容量素子３４００に与えられる。すなわち、トランジスタ３２００のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Ｌｏｗレベル電荷、Ｈｉｇｈレベル電荷という）のいずれかが与えられるものとする。その後、第４の配線３００４の電位を、トランジスタ３３００がオフ状態となる電位にして、トランジスタ３３００をオフ状態とすることにより、トランジスタ３２００のゲート電極に与えられた電荷が保持される（保持）。
【０３２０】
トランジスタ３３００のオフ電流は極めて小さいため、トランジスタ３２００のゲート電極の電荷は長時間にわたって保持される。
【０３２１】
次に情報の読み出しについて説明する。第１の配線３００１に所定の電位（定電位）を与えた状態で、第５の配線３００５に適切な電位（読み出し電位）を与えると、トランジスタ３２００のゲート電極に保持された電荷量に応じて、第２の配線３００２は異なる電位をとる。一般に、トランジスタ３２００をｎチャネル型とすると、トランジスタ３２００のゲート電極にＨｉｇｈレベル電荷が与えられている場合の見かけのしきい値Ｖｔｈ＿Ｈは、トランジスタ３２００のゲート電極にＬｏｗレベル電荷が与えられている場合の見かけのしきい値Ｖｔｈ＿Ｌより低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ３２００を「オン状態」とするために必要な第５の配線３００５の電位をいうものとする。したがって、第５の配線３００５の電位をＶｔｈ＿ＨとＶｔｈ＿Ｌの中間の電位Ｖ０とすることにより、トランジスタ３２００のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Ｈｉｇｈレベル電荷が与えられていた場合には

、第５の配線３００５の電位がＶ０（＞Ｖｔｈ＿Ｈ）となれば、トランジスタ３２００は「オン状態」となる。Ｌｏｗレベル電荷が与えられていた場合には、第５の配線３００５の電位がＶ０（＜Ｖｔｈ＿Ｌ）となっても、トランジスタ３２００は「オフ状態」のままである。このため、第２の配線３００２の電位を判別することで、保持されている情報を読み出すことができる。

【０３２２】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ３２００が「オフ状態」となるような電位、つまり、Ｖｔｈ＿Ｈより小さい電位を第５の配線３００５に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ３２００が「オン状態」となるような電位、つまり、Ｖｔｈ＿Ｌより大きい電位を第５の配線３００５に与えればよい。

【０３２３】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【０３２４】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【０３２５】

図２０で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０３２６】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０３２７】

（実施の形態９）

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【０３２８】

［構成例］

図２１（Ａ）は、本発明の一態様の表示パネルの上面図であり、図２１（Ｂ）は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図２１（Ｃ）は、本発明の一態様の表示パネルの画素に有機ＥＬ素子を適用する場合に用いることができる画素回路を説明するための回路図である。

【０３２９】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはｎチャネル型とすることが容易なので、駆動回路のうち、ｎチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同

一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

【０３３０】

アクティブマトリクス型表示装置のブロック図の一例を図２１（Ａ）に示す。表示装置の基板９００上には、画素部９０１、第１の走査線駆動回路９０２、第２の走査線駆動回路９０３、信号線駆動回路９０４を有する。画素部９０１には、複数の信号線が信号線駆動回路９０４から延伸して配置され、複数の走査線が第１の走査線駆動回路９０２、及び第２の走査線駆動回路９０３から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板９００はＦＰＣ（Ｆｌｅｘｉｂｌｅ　Ｐｒｉｎｔｅｄ　Ｃｉｒｃｕｉｔ）等の接続部を介して、タイミング制御回路（コントローラ、制御ＩＣともいう）に接続されている。

【０３３１】

図２１（Ａ）では、第１の走査線駆動回路９０２、第２の走査線駆動回路９０３、信号線駆動回路９０４は、画素部９０１と同じ基板９００上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板９００外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板９００上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【０３３２】

〔液晶パネル〕

また、画素の回路構成の一例を図２１（Ｂ）に示す。ここでは、ＶＡ型液晶表示パネルの画素に適用することができる画素回路を示す。

【０３３３】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【０３３４】

トランジスタ９１６のゲート配線９１２と、トランジスタ９１７のゲート配線９１３には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層９１４は、トランジスタ９１６とトランジスタ９１７で共通に用いられている。トランジスタ９１６とトランジスタ９１７は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

【０３３５】

トランジスタ９１６と電気的に接続する第１の画素電極層と、トランジスタ９１７と電気的に接続する第２の画素電極層の形状について説明する。第１の画素電極層と第２の画素電極層の形状は、スリットによって分離されている。第１の画素電極層はＶ字型に広がる形状を有し、第２の画素電極層は第１の画素電極層の外側を囲むように形成される。

【０３３６】

トランジスタ９１６のゲート電極はゲート配線９１２と接続され、トランジスタ９１７のゲート電極はゲート配線９１３と接続されている。ゲート配線９１２とゲート配線９１３に異なるゲート信号を与えてトランジスタ９１６とトランジスタ９１７の動作タイミングを異ならせ、液晶の配向を制御できる。

【０３３７】

また、容量配線９１０と、誘電体として機能するゲート絶縁膜と、第１の画素電極層または第２の画素電極層と電気的に接続する容量電極とで保持容量を形成してもよい。

【０３３８】

マルチドメイン構造は、一画素に第１の液晶素子９１８と第２の液晶素子９１９を備え

る。第１の液晶素子９１８は第１の画素電極層と対向電極層とその間の液晶層とで構成され、第２の液晶素子９１９は第２の画素電極層と対向電極層とその間の液晶層とで構成される。

【０３３９】

なお、図２１（Ｂ）に示す画素回路は、これに限定されない。例えば、図２１（Ｂ）に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【０３４０】

〔有機ＥＬパネル〕

画素の回路構成の他の一例を図２１（Ｃ）に示す。ここでは、有機ＥＬ素子を用いた表示パネルの画素構造を示す。

【０３４１】

有機ＥＬ素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【０３４２】

図２１（Ｃ）は、適用可能な画素回路の一例を示す図である。ここではｎチャネル型のトランジスタを１つの画素に２つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、ｎチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

【０３４３】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【０３４４】

画素９２０は、スイッチング用トランジスタ９２１、駆動用トランジスタ９２２、発光素子９２４及び容量素子９２３を有している。スイッチング用トランジスタ９２１は、ゲート電極層が走査線９２６に接続され、第１電極（ソース電極層及びドレイン電極層の一方）が信号線９２５に接続され、第２電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ９２２のゲート電極層に接続されている。駆動用トランジスタ９２２は、ゲート電極層が容量素子９２３を介して電源線９２７に接続され、第１電極が電源線９２７に接続され、第２電極が発光素子９２４の第１電極（画素電極）に接続されている。発光素子９２４の第２電極は共通電極９２８に相当する。共通電極９２８は、同一基板上に形成される共通電位線と電気的に接続される。

【０３４５】

スイッチング用トランジスタ９２１および駆動用トランジスタ９２２は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機ＥＬ表示パネルを提供することができる。

【０３４６】

発光素子９２４の第２電極（共通電極９２８）の電位は低電源電位に設定する。なお、低電源電位とは、電源線９２７に設定される高電源電位より低い電位であり、例えばＧＮＤ、０Ｖなどを低電源電位として設定することができる。発光素子９２４の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子９２４に印加することにより、発光素子９２４に電流を流して発光させる。なお、発光素子９２４の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

【０３４７】

なお、容量素子９２３は駆動用トランジスタ９２２のゲート容量を代用することにより省略できる。駆動用トランジスタ９２２のゲート容量については、チャネル形成領域とゲ

ート電極層との間で容量が形成されていてもよい。

【０３４８】

次に、駆動用トランジスタ９２２に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ９２２が十分にオンするか、オフするかの二つの状態となるようなビデオ信号を、駆動用トランジスタ９２２に入力する。なお、駆動用トランジスタ９２２を線形領域で動作させるために、電源線９２７の電圧よりも高い電圧を駆動用トランジスタ９２２のゲート電極層にかける。また、信号線９２５には、電源線電圧に駆動用トランジスタ９２２の閾値電圧Ｖｔｈを加えた値以上の電圧をかける。

【０３４９】

アナログ階調駆動を行う場合、駆動用トランジスタ９２２のゲート電極層に発光素子９２４の順方向電圧に駆動用トランジスタ９２２の閾値電圧Ｖｔｈを加えた値以上の電圧をかける。なお、駆動用トランジスタ９２２が飽和領域で動作するようにビデオ信号を入力し、発光素子９２４に電流を流す。また、駆動用トランジスタ９２２を飽和領域で動作させるために、電源線９２７の電位を、駆動用トランジスタ９２２のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子９２４にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

【０３５０】

なお、画素回路の構成は、図２１（Ｃ）に示す画素構成に限定されない。例えば、図２１（Ｃ）に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【０３５１】

図２１で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電気的に接続される構成とする。さらに、制御回路等により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０３５２】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０３５３】

（実施の形態１０）

本発明の一態様に係る半導体装置（電力変換回路、電源回路、バッファ回路などを含む）は、機器への電力の供給を制御するのに適しており、特に大きな電力が必要な機器に好適に用いることができる。例えば、モーターなどの電力によりその駆動が制御される駆動部を備える機器や、電力により加熱または冷却を制御する機器などに好適に用いることができる。

【０３５４】

本発明の一態様に係る半導体装置を用いることのできる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Ｄｉｇｉｔａｌ　Ｖｅｒｓａｔｉｌｅ　Ｄｉｓｃ等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）などがある。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機、電子レンジ等の高周波加熱装置、電気炊飯器、電気洗濯機、扇風機、ドライヤー、エアコンディショナーなどの空調設備、エレベータやエスカレータなどの昇降設備、電気冷蔵庫、電気冷凍庫、電気冷凍冷蔵庫、電動ミシン、電動工具、半導体試験装置、などが挙げられる。また、本発明の一態様に係る半導体装置は、電力を用いて電動機により推進する移動体に用いられていてもよい。上記移動体

には、自動車（自動二輪車、三輪以上の普通自動車）、電動アシスト自転車を含む原動機付自転車、航空機、船舶、鉄道車両などが、その範疇に含まれる。また、食品、家電製品、上記移動体、鉄鋼、半導体機器、土木、建築、建設などのあらゆる分野で用いられる産業用ロボットの駆動の制御に用いることもできる。

【０３５５】

以下では、電子機器の具体例を図２２に示す。

【０３５６】

図２２（Ａ）は電子レンジ１４００であり、筐体１４０１と、被処理物を載置するための処理室１４０２と、表示部１４０３と、操作盤などの入力装置１４０４と、筐体１４０１の内部に設置されている高周波発生装置から発生した電磁波を、処理室１４０２に供給する照射部１４０５とを、有する。

【０３５７】

本発明の一態様に係る半導体装置は、例えば、高周波発生装置への電力の供給を制御する電源回路に用いることができる。

【０３５８】

図２２（Ｂ）は洗濯機１４１０であり、筐体１４１１と、筐体１４１１内に設けられた洗濯槽の入り口を、開閉させる開閉部１４１２と、操作盤などの入力装置１４１３と、洗濯槽の給水口１４１４とを、有する。

【０３５９】

本発明の一態様に係る半導体装置は、例えば、洗濯槽の回転を制御するモーターへの電力の供給を制御する回路に用いることができる。

【０３６０】

図２２（Ｃ）は、電気冷凍冷蔵庫の一例である。図２２（Ｃ）に示す電子機器は、筐体１４５１と、冷蔵室用扉１４５２と、冷凍室用扉１４５３と、を備える。

【０３６１】

図２２（Ｃ）に示す電子機器は、筐体１４５１の内部に本発明の一態様である半導体装置を有する。上記構成にすることにより、例えば、筐体１４５１内部の温度に応じて、または冷蔵室用扉１４５２及び冷凍室用扉１４５３の開閉に従って、筐体１４５１内の半導体装置に対する電源電圧の供給を制御できる。

【０３６２】

図２２（Ｄ）は、エアコンディショナーの一例である。図２２（Ｄ）に示す電子機器は、室内機１４６０及び室外機１４６４により構成される。

【０３６３】

室内機１４６０は、筐体１４６１と、送風口１４６２と、を備える。

【０３６４】

図２２（Ｄ）に示す電子機器は、筐体１４６１の内部に本発明の一態様である半導体装置を有する。上記構成にすることにより、例えば、リモートコントローラからの信号に従って、または室内の温度や湿度に応じて、筐体１４６１内の半導体装置に対する電源電圧の供給を制御できる。

【０３６５】

また、本発明の一態様の半導体装置は、室外機１４６４が有するファンの回転を制御するモーターへの電力の供給を制御する回路にも用いることができる。

【０３６６】

なお、図２２（Ｄ）では、室内機と室外機で構成されるセパレート型のエアコンディショナーを例示しているが、室内機の機能と室外機の機能とを１つの筐体に有するエアコンディショナーであってもよい。

【０３６７】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【０３６８】

（実施の形態１１）
本実施の形態では、本発明の一態様の半導体装置が適用された電子機器の構成例について説明する。
【０３６９】
図２３は、本発明の一態様の半導体装置を含む電子機器の外観図である。
【０３７０】
電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ等のカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。
【０３７１】
図２３（Ａ）は、携帯型の情報端末であり、本体１００１、筐体１００２、表示部１００３ａ、１００３ｂなどによって構成されている。表示部１００３ｂはタッチパネルとなっており、表示部１００３ｂに表示されるキーボードボタン１００４を触れることで画面操作や、文字入力を行うことができる。勿論、表示部１００３ａをタッチパネルとして構成してもよい。上記実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部１００３ａ、１００３ｂに適用することにより、信頼性の高い携帯型の情報端末とすることができる。
【０３７２】
図２３（Ａ）に示す携帯型の情報端末は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、ＵＳＢ端子など）、記録媒体挿入部などを備える構成としてもよい。
【０３７３】
また、図２３（Ａ）に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。
【０３７４】
図２３（Ｂ）は、携帯音楽プレイヤーであり、本体１０２１には表示部１０２３と、耳に装着するための固定部１０２２と、スピーカー、操作ボタン１０２４、外部メモリスロット１０２５等が設けられている。上記実施の形態で示したトランジスタをスイッチング素子として液晶パネルや有機発光パネルを作製して表示部１０２３に適用することにより、より信頼性の高い携帯音楽プレイヤーとすることができる。
【０３７５】
さらに、図２３（Ｂ）に示す携帯音楽プレイヤーにアンテナやマイク機能や無線機能を持たせ、携帯電話と連携させれば、乗用車などを運転しながらワイヤレスによるハンズフリーでの会話も可能である。
【０３７６】
図２３（Ｃ）は、携帯電話であり、筐体１０３０及び筐体１０３１の二つの筐体で構成されている。筐体１０３１には、表示パネル１０３２、スピーカー１０３３、マイクロフォン１０３４、ポインティングデバイス１０３６、カメラ用レンズ１０３７、外部接続端子１０３８などを備えている。また、筐体１０３０には、携帯電話の充電を行う太陽電池セル１０４０、外部メモリスロット１０４１などを備えている。また、アンテナは筐体１０３１内部に内蔵されている。上記実施の形態で説明するトランジスタを表示パネル１０３２に適用することにより、信頼性の高い携帯電話とすることができる。
【０３７７】
また、表示パネル１０３２はタッチパネルを備えており、図２３（Ｃ）には映像表示されている複数の操作キー１０３５を点線で示している。なお、太陽電池セル１０４０で出

力される電圧を各回路に必要な電圧に昇圧するための昇圧回路も実装している。

【０３７８】

例えば、昇圧回路などの電源回路に用いられるパワートランジスタも上記実施の形態で説明するトランジスタを適用することができる。

【０３７９】

表示パネル１０３２は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル１０３２と同一面上にカメラ用レンズ１０３７を備えているため、テレビ電話が可能である。スピーカー１０３３及びマイクロフォン１０３４は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体１０３０と筐体１０３１は、スライドし、図２３（Ｃ）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【０３８０】

外部接続端子１０３８はＡＣアダプタ及びＵＳＢケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット１０４１に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

【０３８１】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【０３８２】

図２３（Ｄ）は、テレビジョン装置の一例を示している。テレビジョン装置１０５０は、筐体１０５１に表示部１０５３が組み込まれている。表示部１０５３により、映像を表示することが可能である。また、筐体１０５１を支持するスタンド１０５５にＣＰＵが内蔵されている。上記実施の形態で説明するトランジスタを表示部１０５３およびＣＰＵに適用することにより、信頼性の高いテレビジョン装置１０５０とすることができる。

【０３８３】

テレビジョン装置１０５０の操作は、筐体１０５１が備える操作スイッチや、別体のリモコン操作機により行うことができる。また、リモコン操作機に、当該リモコン操作機から出力する情報を表示する表示部を設ける構成としてもよい。

【０３８４】

なお、テレビジョン装置１０５０は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０３８５】

また、テレビジョン装置１０５０は、外部接続端子１０５４や、記憶媒体再生録画部１０５２、外部メモリスロットを備えている。外部接続端子１０５４は、ＵＳＢケーブルなどの各種ケーブルと接続可能であり、パーソナルコンピュータなどとのデータ通信が可能である。記憶媒体再生録画部１０５２では、ディスク状の記録媒体を挿入し、記録媒体に記憶されているデータの読み出し、記録媒体への書き込みが可能である。また、外部メモリスロットに差し込まれた外部メモリ１０５６にデータ保存されている画像や映像などを表示部１０５３に映し出すことも可能である。

【０３８６】

また、上記実施の形態で説明するトランジスタのオフリーク電流が極めて小さい場合は、当該トランジスタを外部メモリ１０５６やＣＰＵに適用することにより、消費電力が十分に低減された信頼性の高いテレビジョン装置１０５０とすることができる。

【０３８７】

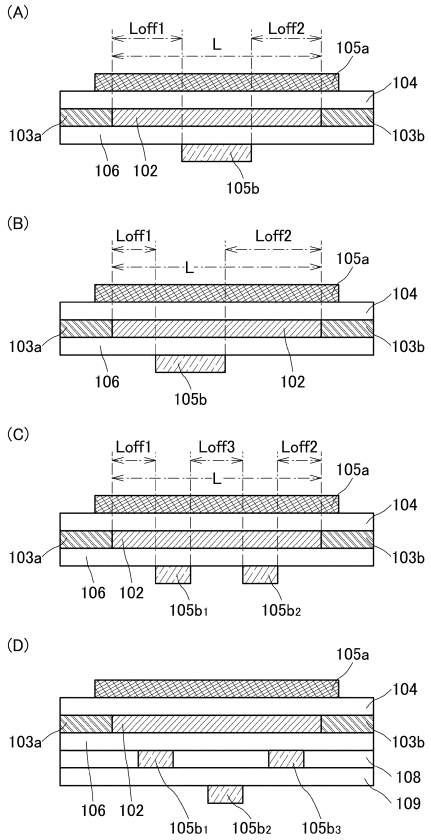
本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】
【０３８８】
１００　トランジスタ
１０１　基板
１０２　半導体層
１０３ａ　電極
１０３ｂ　電極
１０４　絶縁層
１０５　ゲート電極
１０５ａ　ゲート電極
１０５ｂ　ゲート電極
１０６　絶縁層
１０７　絶縁層
１０８　絶縁層
１０９　絶縁層
１１１ａ　配線
１１１ｂ　配線
１１１ｃ　配線
１２１　酸化物層
１２２　酸化物層
２００　トランジスタ
２１０　トランジスタ
２２０　トランジスタ
４００　電源回路
４０１　パワースイッチ
４０２　パワースイッチ
４０３　電圧調整部
４０４　蓄電装置
４０５　補助電源
４０６　電圧発生回路
４０７　トランジスタ
４０８　トランジスタ
４０９　トランジスタ
４１０　トランジスタ
４１１　無線信号入力回路
４１３　制御回路
４１４　容量素子
４１５　容量素子
４１６　電源
４１７　負荷
５０１　ＤＣＤＣコンバータ
５０２　容量素子
５０３　トランジスタ
５０４　制御回路
５０５　ダイオード
５０６　コイル
５０７　容量素子
５０８　負荷
５１１　ＤＣＤＣコンバータ
５１２　容量素子

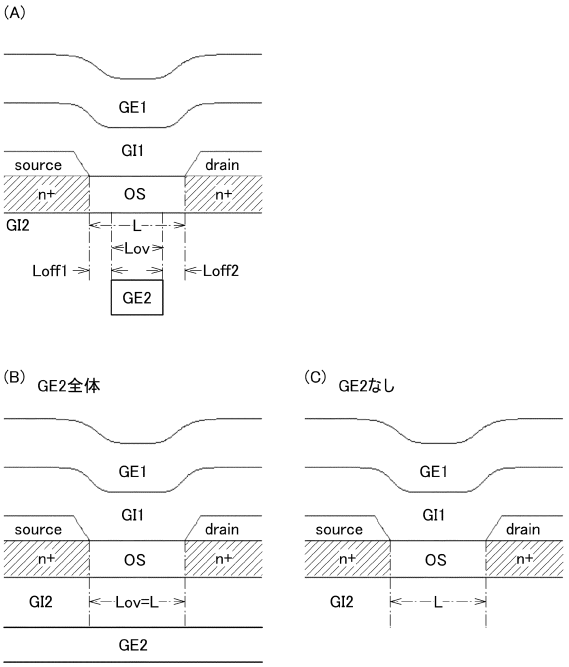
５１３　トランジスタ
５１４　制御回路
５１５　変圧器
５１６　ダイオード
５１７　容量素子
５１８　負荷
６０１　インバータ
６０２　トランジスタ
６０３　トランジスタ
６０４　トランジスタ
６０５　トランジスタ
６０６　制御回路
７０１　バッファ回路
７０２　駆動回路
７１１　トランジスタ
７１２　トランジスタ
７１３　インバータ
７１５　電源
７１６　電源
７２１　パワースイッチ
７２２　ＩＧＢＴ
９００　基板
９０１　画素部
９０２　走査線駆動回路
９０３　走査線駆動回路
９０４　信号線駆動回路
９１０　容量配線
９１２　ゲート配線
９１３　ゲート配線
９１４　ドレイン電極層
９１６　トランジスタ
９１７　トランジスタ
９１８　液晶素子
９１９　液晶素子
９２０　画素
９２１　スイッチング用トランジスタ
９２２　駆動用トランジスタ
９２３　容量素子
９２４　発光素子
９２５　信号線
９２６　走査線
９２７　電源線
９２８　共通電極
１００１　本体
１００２　筐体
１００３ａ　表示部
１００３ｂ　表示部
１００４　キーボードボタン
１０２１　本体
１０２２　固定部

１０２３　表示部
１０２４　操作ボタン
１０２５　外部メモリスロット
１０３０　筐体
１０３１　筐体
１０３２　表示パネル
１０３３　スピーカー
１０３４　マイクロフォン
１０３５　操作キー
１０３６　ポインティングデバイス
１０３７　カメラ用レンズ
１０３８　外部接続端子
１０４０　太陽電池セル
１０４１　外部メモリスロット
１０５０　テレビジョン装置
１０５１　筐体
１０５２　記憶媒体再生録画部
１０５３　表示部
１０５４　外部接続端子
１０５５　スタンド
１０５６　外部メモリ
１４００　電子レンジ
１４０１　筐体
１４０２　処理室
１４０３　表示部
１４０４　入力装置
１４０５　照射部
１４１０　洗濯機
１４１１　筐体
１４１２　開閉部
１４１３　入力装置
１４１４　給水口
１４５１　筐体
１４５２　冷蔵室用扉
１４５３　冷凍室用扉
１４６０　室内機
１４６１　筐体
１４６２　送風口
１４６４　室外機
３００１　配線
３００２　配線
３００３　配線
３００４　配線
３００５　配線
３２００　トランジスタ
３３００　トランジスタ
３４００　容量素子

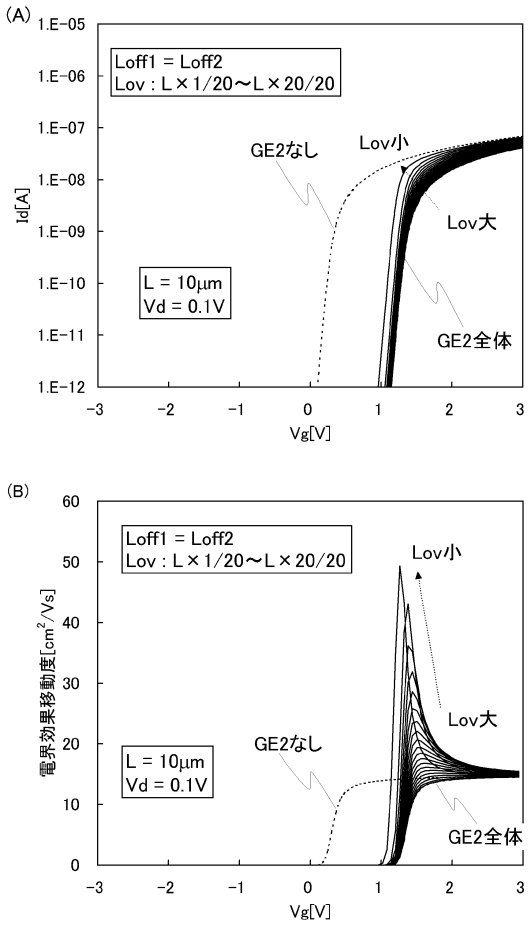
【図１】


(A)
Loff1
L
Loff2
105a
104
103a
103b
106
102
105b
(B)
Loff1
L
Loff2
105a
104
103a
103b
106
102
105b
(C)
Loff1
Loff3
Loff2
L
105a
104
103a
103b
106
102
105b1
105b2
(D)
105a
104
103a
103b
108
109
106
102
105b1
105b2
105b3

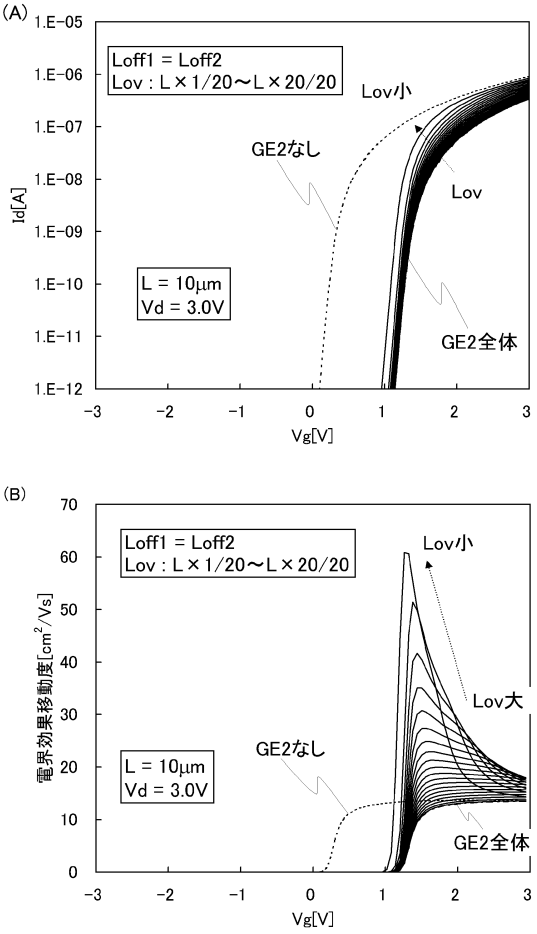
【図２】


(A)
GE1
GI1
source
drain
n+
OS
n+
GI2
L
Lov
Loff1
Loff2
GE2
(B) GE2全体
GE1
GI1
source
drain
n+
OS
n+
GI2
Lov=L
GE2
(C) GE2なし
GE1
GI1
source
drain
n+
OS
n+
GI2
L

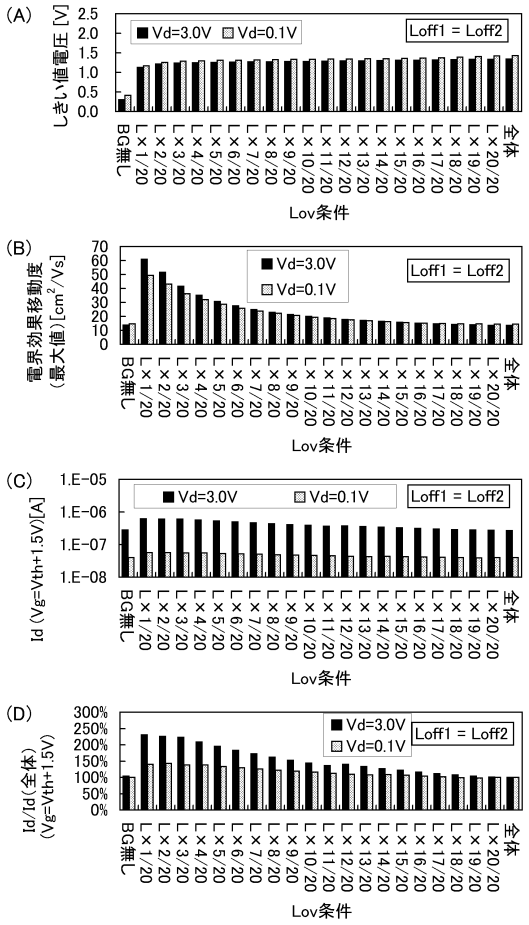
【図３】


(A)
Loff1 = Loff2
Lov : L×1/20～L×20/20
GE2なし
Lov小
Lov大
GE2全体
L = 10μm
Vd = 0.1V
Id[A]
Vg[V]
(B)
Loff1 = Loff2
Lov : L×1/20～L×20/20
Lov小
Lov大
GE2なし
GE2全体
L = 10μm
Vd = 0.1V
電界効果移動度[cm²/Vs]
Vg[V]

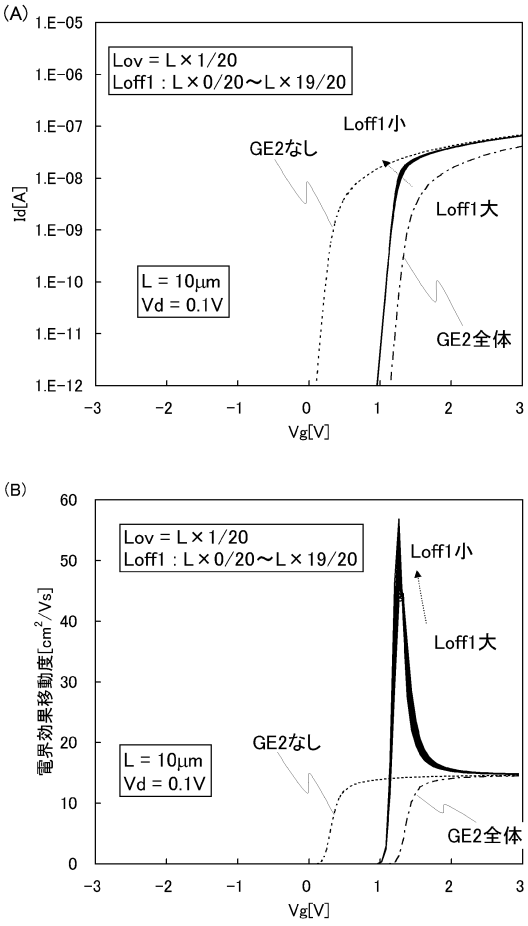
【図４】


(A)
Loff1 = Loff2
Lov : L×1/20～L×20/20
Lov小
GE2なし
Lov
GE2全体
L = 10μm
Vd = 3.0V
Id[A]
Vg[V]
(B)
Loff1 = Loff2
Lov : L×1/20～L×20/20
Lov小
Lov大
GE2なし
GE2全体
L = 10μm
Vd = 3.0V
電界効果移動度[cm²/Vs]
Vg[V]

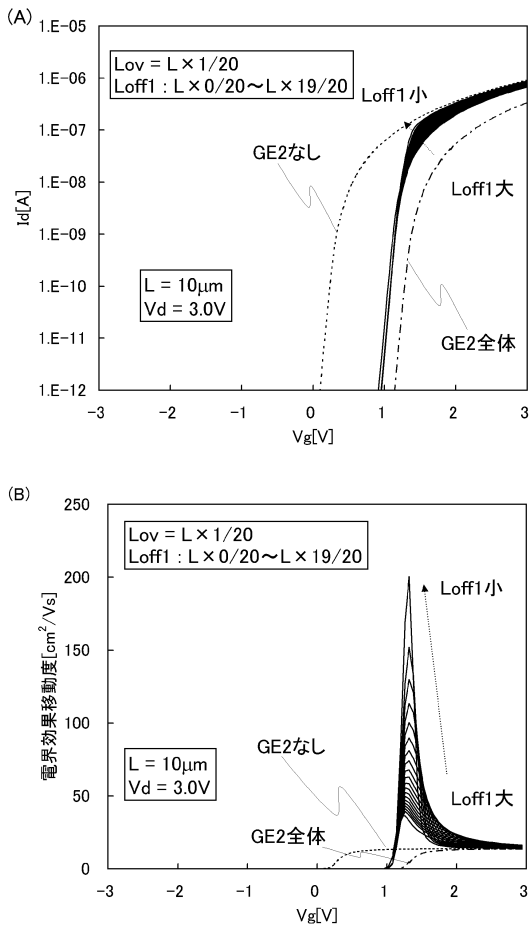
【図５】


(A)
しきい値電圧 [V]
Vd=3.0V
Vd=0.1V
Loff1 = Loff2
BG無し
L×1/20
L×2/20
L×3/20
L×4/20
L×5/20
L×6/20
L×7/20
L×8/20
L×9/20
L×10/20
L×11/20
L×12/20
L×13/20
L×14/20
L×15/20
L×16/20
L×17/20
L×18/20
L×19/20
L×20/20
全体
Lov条件
(B)
電界効果移動度 (最大値)[cm²/Vs]
Vd=3.0V
Vd=0.1V
Loff1 = Loff2
Lov条件
(C)
Id (Vg=Vth+1.5V)[A]
Vd=3.0V
Vd=0.1V
Loff1 = Loff2
Lov条件
(D)
Id/Id(全体) (Vg=Vth+1.5V)
Vd=3.0V
Vd=0.1V
Loff1 = Loff2
Lov条件

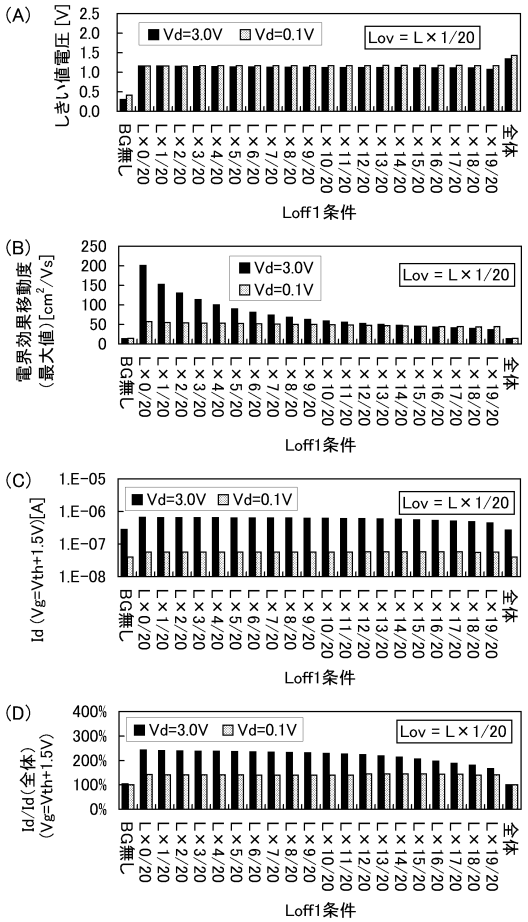
【図６】


(A)
Lov = L×1/20
Loff1 : L×0/20～L×19/20
Loff1小
GE2なし
Loff1大
L = 10μm
Vd = 0.1V
GE2全体
Id[A]
Vg[V]
(B)
Lov = L×1/20
Loff1 : L×0/20～L×19/20
Loff1小
Loff1大
GE2なし
L = 10μm
Vd = 0.1V
GE2全体
電界効果移動度[cm²/Vs]
Vg[V]

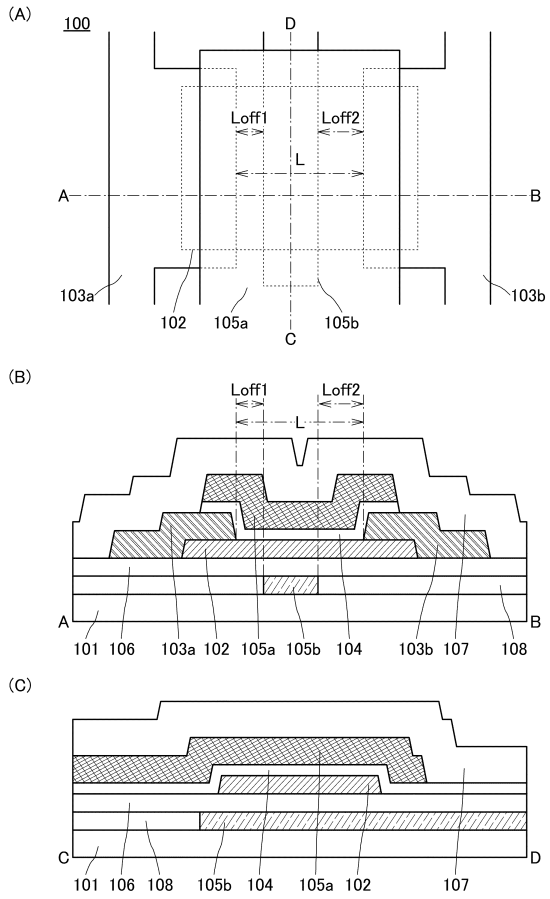
【図７】


(A)
Lov = L×1/20
Loff1 : L×0/20～L×19/20
Loff1小
GE2なし
Loff1大
L = 10μm
Vd = 3.0V
GE2全体
Id[A]
Vg[V]
(B)
Lov = L×1/20
Loff1 : L×0/20～L×19/20
Loff1小
GE2なし
Loff1大
L = 10μm
Vd = 3.0V
GE2全体
電界効果移動度[cm²/Vs]
Vg[V]

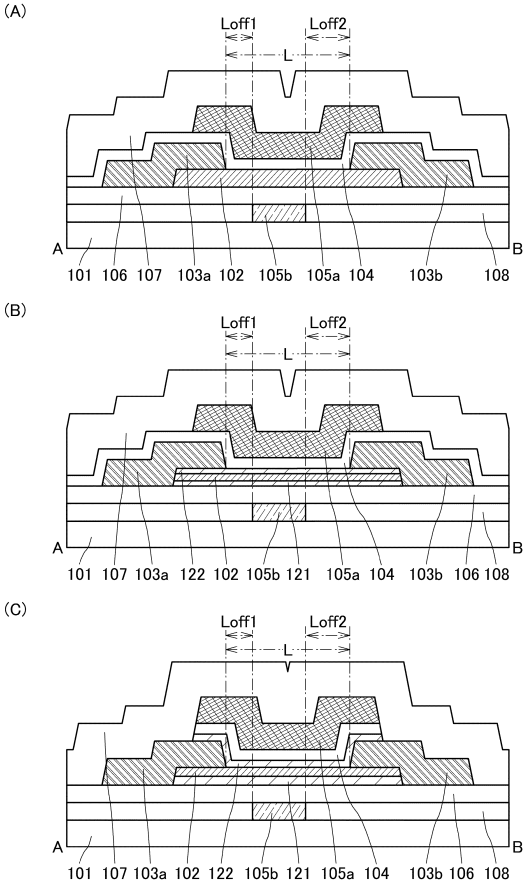
【図８】


(A)
しきい値電圧 [V]
Vd=3.0V
Vd=0.1V
Lov = L×1/20
BG無し
L×0/20
L×1/20
L×2/20
L×3/20
L×4/20
L×5/20
L×6/20
L×7/20
L×8/20
L×9/20
L×10/20
L×11/20
L×12/20
L×13/20
L×14/20
L×15/20
L×16/20
L×17/20
L×18/20
L×19/20
全体
Loff1条件
(B)
電界効果移動度 (最大値)[cm²/Vs]
Vd=3.0V
Vd=0.1V
Lov = L×1/20
Loff1条件
(C)
Id (Vg=Vth+1.5V)[A]
Vd=3.0V
Vd=0.1V
Lov = L×1/20
Loff1条件
(D)
Id/Id(全体) (Vg=Vth+1.5V)
Vd=3.0V
Vd=0.1V
Lov = L×1/20
Loff1条件

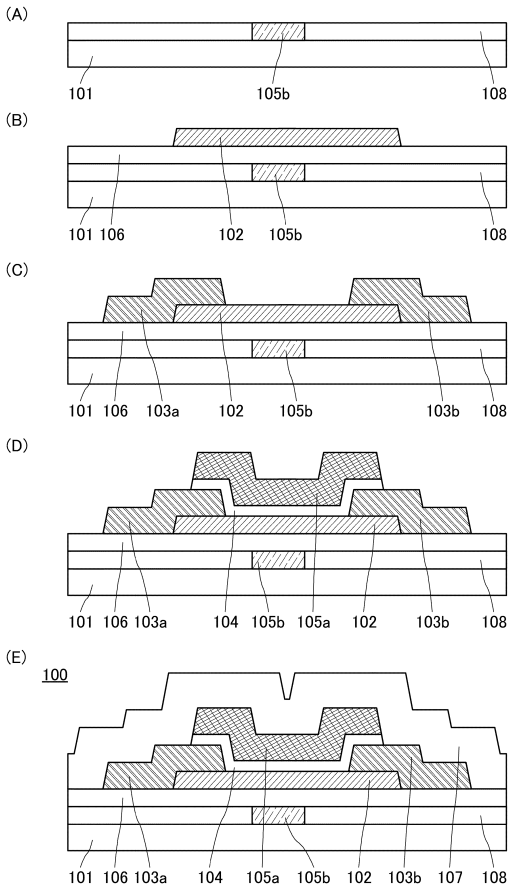
【図９】



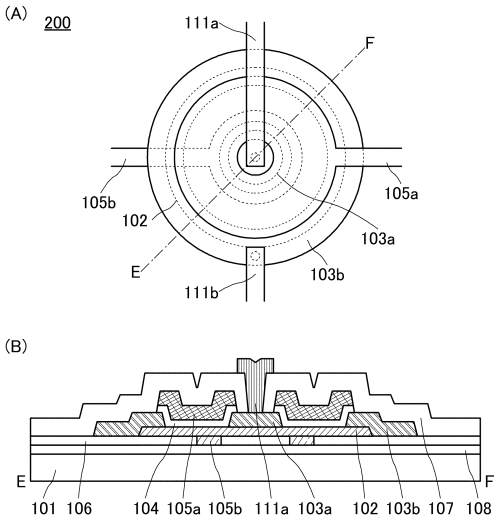
【図１０】



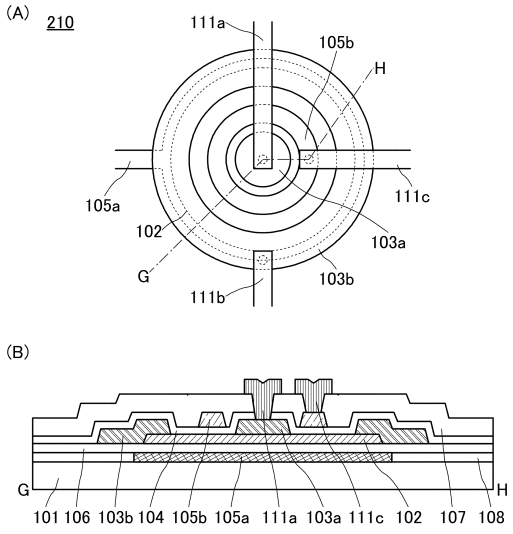
【図１１】



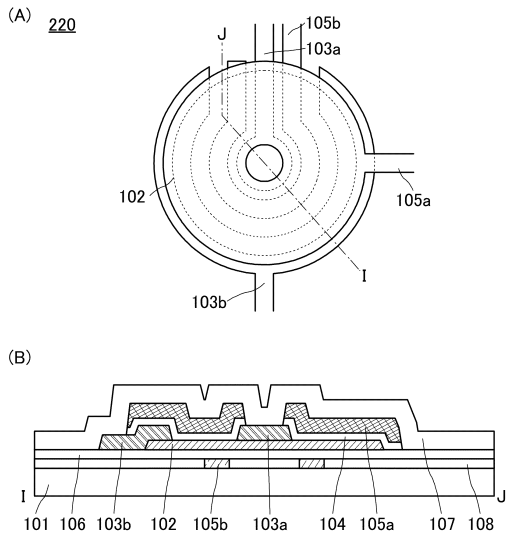
【図１２】



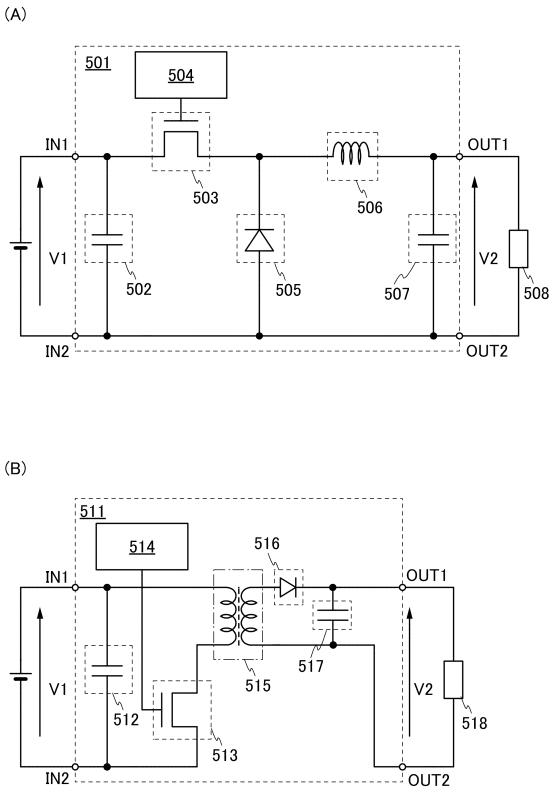
【図１３】



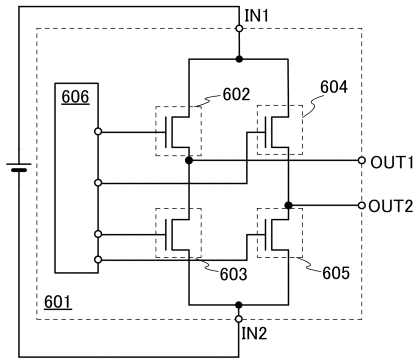
【図１４】



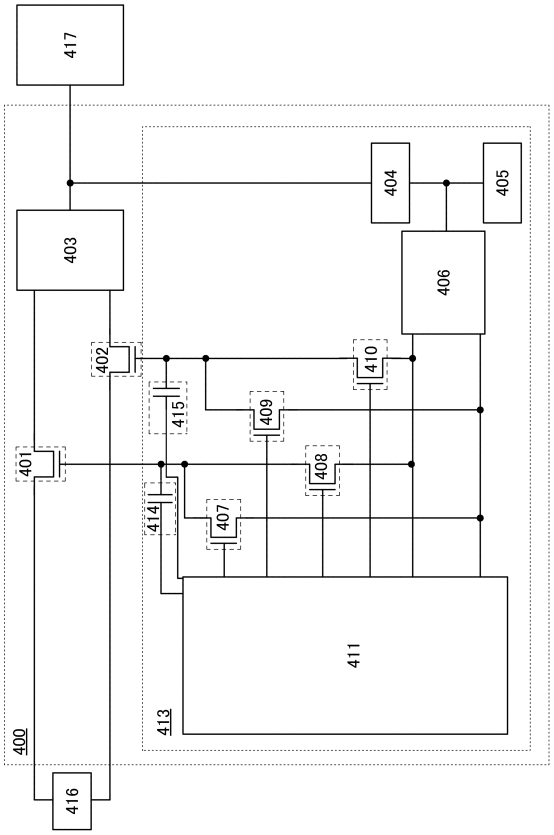
【図１５】



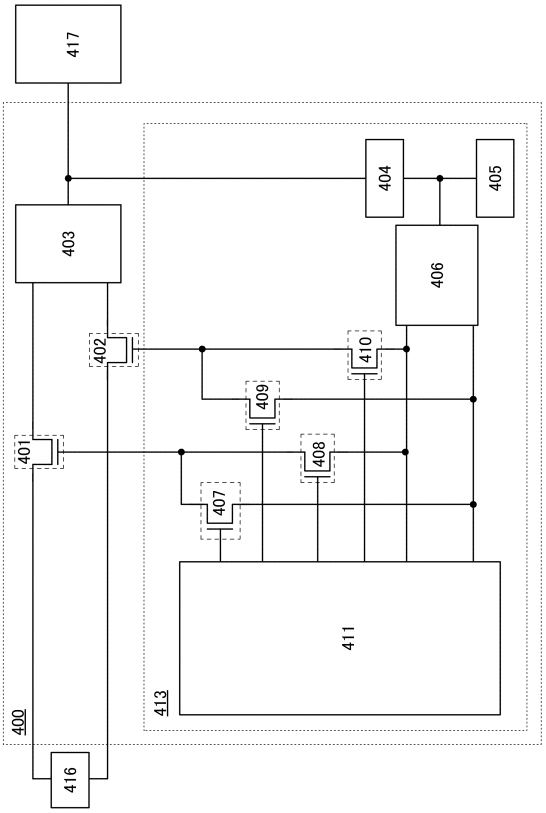
【図１６】



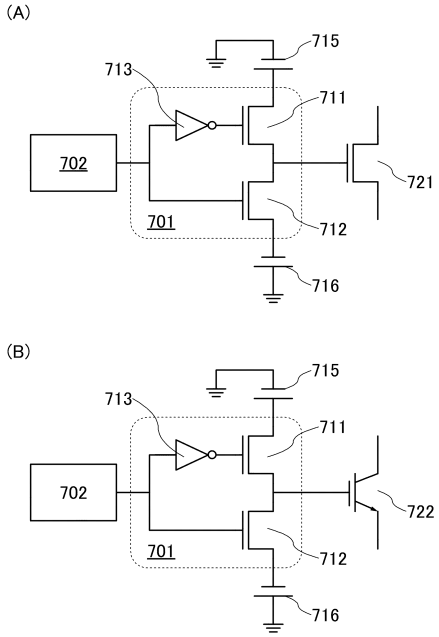
【図１７】



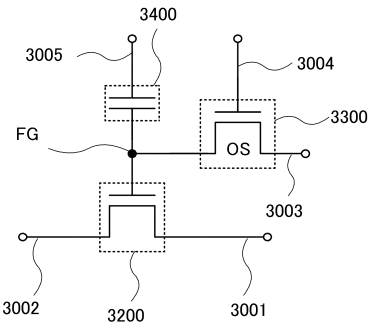
【図１８】



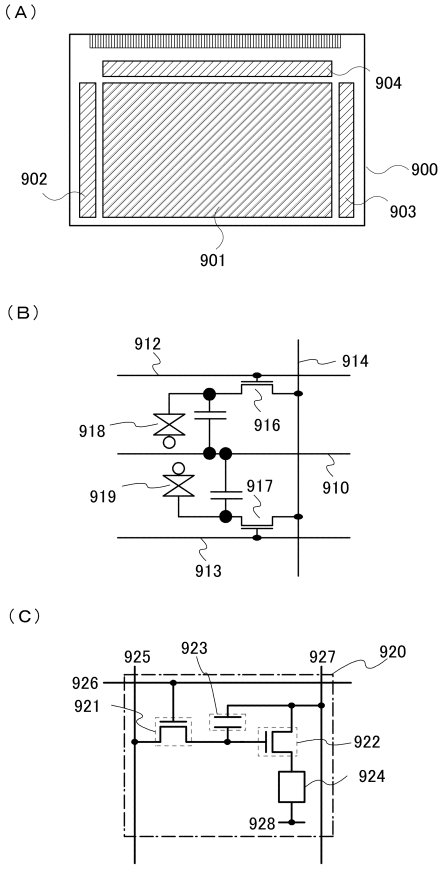
【図１９】



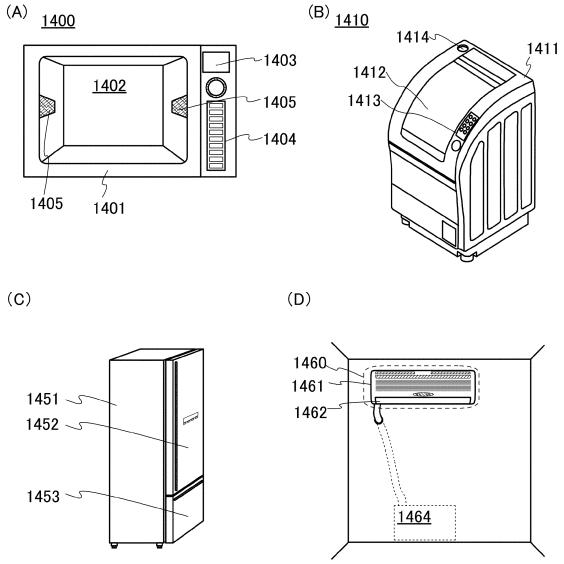
【図２０】



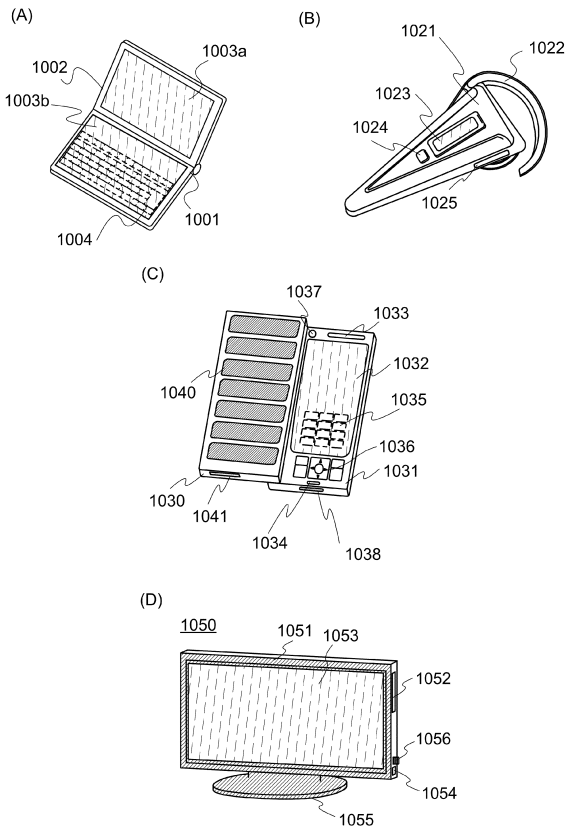
【図２１】


（Ａ）
904
902
900
903
901
（Ｂ）
912
914
916
918
917
919
910
913
（Ｃ）
925
923
927
920
926
921
922
924
928

【図２２】


(A)
1400
1403
1402
1405
1404
1405
1401
(B)
1410
1414
1411
1412
1413
(C)
1451
1452
1453
(D)
1460
1461
1462
1464

【図２３】


(A)
1002
1003a
1003b
1001
1004
(B)
1021
1022
1023
1024
1025
(C)
1037
1033
1032
1040
1035
1036
1031
1030
1041
1034
1038
(D)
1050
1051
1053
1052
1056
1054
1055

フロントページの続き

(51)Int.Cl.			FI		
H01L	*27/115*	*(2017.01)*	H01L	29/50	M
H01L	*27/1156*	*(2017.01)*	H01L	27/108	321
H01L	*21/8239*	*(2006.01)*	H01L	27/115	
H01L	*27/105*	*(2006.01)*	H01L	27/1156	
H01L	*21/336*	*(2006.01)*	H01L	27/105	441
H01L	*29/788*	*(2006.01)*	H01L	29/78	371
H01L	*29/792*	*(2006.01)*	H05B	33/14	A
H01L	*51/50*	*(2006.01)*	G02F	1/1368	
G02F	*1/1368*	*(2006.01)*			

(56)参考文献 特開２０１２－２５６８３８（ＪＰ，Ａ）
特開２０１０－１２３９２５（ＪＰ，Ａ）
特開２０１１－１２４３６０（ＪＰ，Ａ）
特開２０１１－２４３７４５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ２１／３３６、２９／７８６