

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-66743

(P2010-66743A)

(43) 公開日 平成22年3月25日(2010.3.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/13357 (2006.01)	G02F 1/13357	2H191
G02F 1/133 (2006.01)	G02F 1/133 535	2H193
G09G 3/20 (2006.01)	G09G 3/20 612U	5C006
G09G 3/34 (2006.01)	G09G 3/34 J	5C080
審査請求 有 請求項の数 16 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2008-316324 (P2008-316324)
 (22) 出願日 平成20年12月12日(2008.12.12)
 (31) 優先権主張番号 10-2008-0089278
 (32) 優先日 平成20年9月10日(2008.9.10)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100064447
 弁理士 岡部 正夫
 (74) 代理人 100085176
 弁理士 加藤 伸晃
 (74) 代理人 100094112
 弁理士 岡部 譲
 (74) 代理人 100096943
 弁理士 臼井 伸一
 (74) 代理人 100101498
 弁理士 越智 隆夫

最終頁に続く

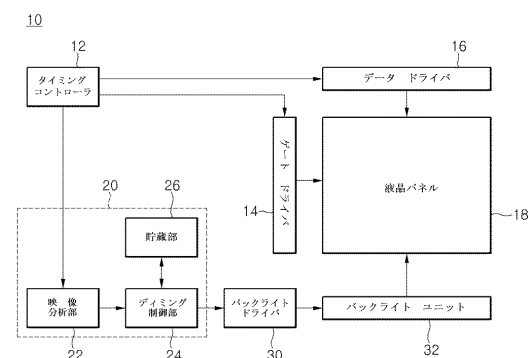
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】映像の局所的な領域の明るさに符合する最適の輝度を提供することができる液晶表示装置を提供する。

【解決手段】本発明の液晶表示装置は、多数の画素がマトリックス形態に配列された液晶パネルと、液晶パネルに表示する一フレームの映像から分割された少なくとも一つ以上の分割領域に相異した輝度の光を発光させるための少なくとも一つ以上のPWM信号を生成するバックライト制御部と、少なくとも一つ以上の分割領域に対応するように区画された少なくとも一つ以上のブロックを含むバックライトユニットと、少なくとも一つ以上のPWM信号に相応する少なくとも一つ以上の駆動信号をバックライトユニットの少なくとも一つ以上のブロックに供給するバックライトドライバを含む。

【選択図】図2



【特許請求の範囲】**【請求項 1】**

多数の画素がマトリックス形態に配列された液晶パネルと、
前記液晶パネルに表示する一フレームの映像から分割された少なくとも一つ以上の分割領域に互いに相異なる輝度の光を発光させるための少なくとも一つ以上のPWM信号を生成するバックライト制御部と、
前記分割領域に対応するように区画された少なくとも一つ以上のブロックを含むバックライトユニットと、
前記PWM信号などに相応する少なくとも一つ以上の駆動信号を前記バックライトユニットの前記ブロックに供給するバックライトドライバと
を含むことを特徴とする液晶表示装置。

10

【請求項 2】

前記バックライト制御部は、
前記一フレームの映像を前記バックライトユニットに区画されたブロックの個数に対応する分割領域に分割して前記各分割領域の平均輝度値によるディミングアドレスを生成する映像分析部、
前記映像分析部で生成されたディミングアドレスに対応するディミング信号を生成して前記ディミング信号に相応するPWM信号を生成するディミング制御部、
及び、前記少なくとも一つ以上の分割領域の各々に対してディミングアドレスとこれに対応するディミング信号に構成された少なくとも一つ以上のディミングカーブを貯蔵する
少なくとも一つ以上の貯蔵部
を含むことを特徴とする請求項 1 記載の液晶表示装置。

20

【請求項 3】

前記ディミングアドレスの個数は前記少なくとも一つ以上の分割領域に対して互いに相異なることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 4】

前記分割領域に含まれた画素の総数が多ければ多いほど前記ディミングアドレスの個数は増加することを特徴とする請求項 3 記載の液晶表示装置。

【請求項 5】

前記ディミング信号は 0 乃至 255 階調の中の一つを表す輝度信号であることを特徴とする請求項 2 記載の液晶表示装置。

30

【請求項 6】

前記ディミングカーブの個数は前記分割領域の個数に応じて設定されることを特徴とする請求項 2 記載の液晶表示装置。

【請求項 7】

前記分割領域は前記液晶パネルの横方向に互いに相異なる画素数を有することにより分割された少なくとも二つ以上の領域を含むことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 8】

前記分割領域は前記液晶パネルの縦方向に互いに相異なる画素数を有することにより分割された少なくとも二つ以上の領域を含むことを特徴とする請求項 1 記載の液晶表示装置。

40

【請求項 9】

前記分割領域は前記液晶パネルの横方向と縦方向に互いに相異なる画素数を有することにより分割された少なくとも四つ以上の領域を含むことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 10】

前記各ブロックは多数の発光ダイオードとを含むことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 11】

50

前記各ブロックは導光板と導光板の側面に配置された多数の発光ダイオードとを含むことを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 2】

前記分割領域の個数は前記バックライトユニットに区画されたブロックの個数により決定されることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 1 3】

多数の画素がマトリックス形態に配列された液晶パネルと少なくとも一つ以上のブロックを含むバックライトユニットを含む液晶表示装置において、

前記液晶パネルに表示する一フレームの映像を前記ブロックに対応する少なくとも一つ以上の分割領域に分割する段階、

前記各分割領域の平均輝度値によるディミングアドレスを生成する段階、

前記分割領域別に設定されたディミングカーブを基に前記各分割領域に対して生成されたディミングアドレスに対応するディミング信号を生成する段階、

及び、前記各分割領域に対して生成されたディミング信号に相応するPWM信号を生成して前記バックライトユニットのブロックに供給する段階、

を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 1 4】

前記分割領域は前記バックライトユニットに区画されたブロックに対応するように分割されることを特徴とする請求項 1 3 記載の液晶表示装置の駆動方法。

【請求項 1 5】

前記各ディミングカーブはディミングアドレスを入力値としてディミング信号を出力値として構成されることを特徴とする請求項 1 3 記載の液晶表示装置の駆動方法。

【請求項 1 6】

前記各分割領域に対応する前記バックライトのブロックから互いに相異した輝度の光が発光されることを特徴とする請求項 1 3 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関するもので、特に映像の局所的な領域等の明るさによりバックライト装置の輝度を調節することができる液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

情報化社会の発達により、情報を表示することができる表示装置が活発に開発されている。表示装置は液晶表示装置(LCD; liquid crystal display device)、有機電界発光(OELD; organic electro-luminescence display device)、プラズマ表示装置(PD; plasma display panel)及び電界放出表示装置(FED; field emission display device)とを含む。この中で、液晶表示装置は軽薄短小、低消費電力及びフルカラー動映像の具現のような長所があり、モバイルフォン、ナビゲーションシステム、モニター、テレビジョンに広く適用されている。

【0003】

図1は一般的な液晶表示装置を概略的に示したブロック図である。図1を参照すると、液晶表示装置はタイミングコントローラ1、ゲートドライバ2、データドライバ3、液晶パネル4、バックライト制御部5、バックライトドライバ6及びバックライトユニット7とを含む。

【0004】

液晶パネル4は二基板の間に液晶が介在されて液晶の屈折率により映像を表示する。タイミングコントローラ1は外部から制御信号、即ち垂直同期信号、水平同期信号及びデータイネーブル信号等及びデータ信号を供給受け、垂直同期信号、水平同期信号及びデータイネーブル信号を利用してゲートドライバ2を駆動するための第1制御信号とデータドライバ3を駆動するための第2制御信号を生成する。更に、タイミングコントローラ1はバ

10

20

30

40

50

ックライトユニット 7 を駆動するためのバックライト制御信号を生成する。

【 0 0 0 5 】

ゲートドライバ 2 は第 1 制御信号に応答してスキャン信号を液晶パネル 4 に供給する。データドライバ 3 は第 2 制御信号によりデータ信号をアナログデータ電圧に変換して液晶パネル 4 に供給する。

【 0 0 0 6 】

また、バックライト制御部 5 はバックライト制御信号によるバックライト駆動信号をバックライトドライバ 6 に供給する。バックライトドライバ 6 はバックライト駆動信号による駆動電圧をバックライトユニット 7 に供給する。バックライトユニット 7 は駆動電圧による光を生成して液晶パネル 4 に供給する。従って、液晶パネル 4 はアナログデータ電圧により液晶の屈折率を可変させ、その液晶の屈折率によりバックライトユニット 7 から液晶パネルを透過する光の透過量が可変されるようにすることで、映像を表示する。

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

液晶パネルに表示された映像には更に明るく表示されるべき領域と、更に暗く表示されるべき領域が共存するようになる。しかしながら、一般的な液晶表示装置は同一の輝度を有する光が液晶パネル全体に照射されるため、更に明るく表示されるべき領域と更に暗く表示されるべき領域が強調されなくなり、コントラスト比が低下され、視認性が落ちてくる問題がある。

20

【 0 0 0 8 】

従って、本発明は映像の局所的な領域の明るさに符合する最適の輝度を提供することができる液晶表示装置及びその駆動方法を提供することにその目的がある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の液晶表示装置は多数の画素がマトリックス形態に配列された液晶パネルと、前記液晶パネルに表示する一フレームの映像から分割された少なくとも一つ以上の分割領域に互いに相異した輝度の光等を発光させるための少なくとも一つ以上の PWM 信号を生成するバックライト制御部と、前記分割領域等に対応するように区画された少なくとも一つ以上のブロックを含むバックライトユニットと、及び前記 PWM 信号等に対応する少なくとも一つ以上の駆動信号を前記バックライトユニットの前記ブロック等に供給するバックライトドライバとを含む。

30

【 0 0 1 0 】

本発明の液晶表示装置の駆動方法は、多数の画素がマトリックス形態に配列された液晶パネルと少なくとも一つ以上のブロックを含むバックライトユニットを含む液晶表示装置の駆動方法であって、前記液晶パネルに表示する一フレームの映像を前記ブロック等に対応する少なくとも一つ以上の分割領域に分割する段階と、前記各分割領域の平均輝度値によるディミングアドレスを生成する段階と、前記分割領域別に設定されたディミングカーブを基に前記各分割領域に対し生成されたディミングアドレスに対応するディミング信号を生成する段階と、及び前記各分割領域に対し生成されたディミング信号に対応する PWM 信号を生成し前記バックライトユニットのブロック等に供給する段階とを含む。

40

【発明の効果】

【 0 0 1 1 】

本発明は一フレームから分割された分割領域等に互いに相異した輝度の光を提供し、各分割領域の明るさに符合する最適の輝度を提供することができる。本発明は互いに相異した画素等を有する各分割領域等に適合した別途のディミングカーブ等を貯蔵して、各分割領域に当たるディミングカーブを利用することで、輝度不一致か輝度無現象を防止することができる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

50

以下、本発明の実施例等は液晶表示装置を概略的に示したブロック図の図面等を参照して詳細に説明する。次に説明する実施例等は当業者に本発明の思想が十分に伝達されることができるようをするため、例として提供されることである。従って、本発明は説明される実施例等に限定されることなく、異なる形態に具体化されることもできる。そして、図面等において、装置の大きさ及び厚さ等は便宜のために誇張されて表現されることもある。明細書及び図面の全体にかけて同一の符号番号等は同一の構成要素等を表すものとする。

【実施例１】

【００１３】

図２は本発明の第１実施例による液晶表示装置を概略的に示したブロック図であり、図３は図２の映像分析部を詳細に示したブロック図である。図２を参照すると、液晶表示装置１０はタイミングコントローラ１２、ゲートドライバ１４、データドライバ１６、液晶パネル１８、バックライト制御部２０、バックライトドライバ３０及びバックライトユニット３２とを含む。

【００１４】

液晶パネル１８は下部基板と上部基板そして、これらの基板等の間に介在された液晶とを含む。下部基板は多数のゲートラインと多数のデータラインが交差して配置される。ゲートラインとデータラインの交差領域には薄膜トランジスタが配置される。薄膜トランジスタは画素電極に連結される。ゲートラインとデータラインの交差により単位画素が定義される。単位画素には薄膜トランジスタと画素電極が配置されることができ、液晶パネル１８は多数の画素がマトリックス形態に配列されることができ、液晶パネル１８の多数の画素には赤色、緑色及び青色データが提供されてフレームの映像が表示されることができ、上部基板には各画素に対応された赤色、緑色及び青色カラーフィルタが配置されて、各カラーフィルタの間にブラックマトリックスが配置されて、カラーフィルタ等とブラックマトリックス上に共通電極が配置される。このように、液晶パネル１８がTNモード（twisted nematic mode）である場合、共通電極が上部基板に配置されることができ、これと異なり、共通電極は液晶パネル１８がIPSモード（in plane switching mode）である場合、下部基板に配置されることができ、

【００１５】

タイミングコントローラ１２は外部、例えば、ビデオカードからフレーム単位に映像の供給を受ける。また、タイミングコントローラ１２はビデオカードから映像の表示を制御するための垂直同期信号、水平同期信号及びデータイネーブル信号等の供給を受ける。タイミングコントローラ１２は垂直同期信号、水平同期信号及びデータイネーブル信号を利用し、ゲートドライバ１４を駆動するための第１制御信号とデータドライバ１６を駆動するための第２制御信号を生成する。第１制御信号はGSP(gate start pulse)、GSC(gate shift clock)、GOE(gate output enable)であることができる。第２制御信号はSSP(source start pulse)、SSC(source shift clock)、SOE(source output enable)であることができる。

【００１６】

ゲートドライバ１４は第１制御信号に応答し、スキャン信号を液晶パネル１８の各ゲートラインに供給する。これにより、該当のゲートライン上の各画素の薄膜トランジスタがターンオンとなる。

【００１７】

データドライバ１６は第２制御信号により映像をそれに相応するアナログデータ電圧へ変換し、変換されたアナログデータ電圧を該当のゲートライン上の各画素に供給する。各画素に供給されたアナログデータ電圧と共通電極に印加された共通電圧により液晶の屈折率が可変されることができ、

【００１８】

また、タイミングコントローラ１２はフレーム単位の映像、垂直同期信号、水平同期信号及びデータイネーブル信号をバックライト制御部２０に供給する。バックライト制御部

10

20

30

40

50

20は映像分析部22、ディミング制御部24及び貯蔵部26とを含む。

【0019】

映像分析部22は図3に示したところのように、映像分割部34と平均計算部36とを含むことができる。映像分割部34は垂直同期信号、水平同期信号及びデータイネーブル信号を利用して一フレームの映像を多数の領域に分割する。ここで、分割された領域等はバックライトユニット32の多数のブロックに対応されることができる。従って、分割される領域等はバックライトユニット32に設計された多数のブロックの数により決定されることができる。

【0020】

バックライトユニット32には図4に示したところのように、横個数×縦個数($m \times n$)のブロックが区画されている。このような場合、同じく一フレームから分割された分割領域等もまた、横個数×縦個数($m \times n$)のブロックと同一の個数を有することができる。

【0021】

例えば、一フレームが 1920×1080 の画素に構成され、縦方向に9個の領域に分割され、横方向に10個の領域に分割されると仮定する。また、横方向の画素個数、即ち1980個の画素は2ポートで液晶パネルに提供されると仮定する。このような場合、縦方向の一つの領域には $1080/9=120$ 個の画素が含まれ、横方向の一つの領域には $(1920/2)/10=96$ 個の画素が含まれる。従って、これらを組み合わせると、一つの領域には $96 \times 120=11520$ 個の画素が含まれることができる。結局、90個の領域の各々に $96 \times 120=11520$ 個の画素が含まれることができる。

【0022】

本発明の第1実施例では各領域に同一の画素の数を有することに限定し説明する。バックライトユニット32に含まれた多数のブロックは図5及び図6に示されたところのように構成されることができる。

【0023】

図5に示したところのように、バックライトユニット32は多数のブロックを含み、各ブロックは多数の発光ダイオード27を含む。この際、各ブロックの発光ダイオード等27には同一の駆動電圧が供給され同一の輝度の光等が発光する。各ブロックの間には互いに相異した駆動電圧が供給されて互いに相異した輝度の光等が発光される。従って、各ブロックに最適化された輝度の光等が発光されることができる。各ブロックに含まれた発光ダイオード等27は図示しないパッケージに実装されることができる。即ち、各ブロック毎にパッケージが具備され、各ブロックのパッケージに各ブロックのための多数の発光ダイオード27が実装されることができる。

【0024】

これとは異なり、図6に示したところのように、バックライトユニット32は多数のブロックを含め、各ブロックには光を前方に提供する導光板28と、導光板28の一端側に導光板28に平行に配置されたパッケージ(未図示)上に実装された多数の発光ダイオード29とを含む。ここで、発光ダイオード等29は側面発光のタイプであることができる。即ち、発光ダイオード等29は側面方向に光を提供することができる。従って、パッケージ上に配置された発光ダイオード等29から発光された光が導光板28に入射され、導光板28により前方に提供されることができる。

【0025】

尚、映像分割部34は一フレームの映像をバックライトユニット32に区画された多数のブロックに一对一に対応するように多数の領域に分割する。このような領域等の分割には垂直同期信号、水平同期信号及びデータイネーブル信号が利用されることができる。各分割領域には前述したように11520個の画素が含まれることができる。

【0026】

平均計算部36は各分割領域に含まれた画素等の平均輝度値を計算する。各画素の輝度値はデジタル信号にされる。従って、各分割領域の平均輝度値は相当に多くのビット数にされるため、計算の便宜のために下位所定のビット数以下を除去する。

10

20

30

40

50

【 0 0 2 7 】

本発明では下位所定のビット数は下位13ビットに限定し説明する。例えば、一つの分割領域に含まれた画素数が 96×120 である場合、 $255\text{gray} \times 96 \times 120 = 2937600$ であり、これを二進数で表すと01 0111 0010 0111 0100 0000(22ビット)である。この二進数で下位13ビットを除去すると、010111001=185となる。この際、185は各分割の領域の平均の輝度値が0乃至185個の段階を有することを意味する。ここで、0乃至185個の段階を'ディミングアドレス'と命名する。従って、平均計算部36は各分割領域の平均輝度値を計算して、平均輝度値で下位所定のビットを除去しディミングアドレスを出力する。

【 0 0 2 8 】

貯蔵部26はディミングアドレスの入力値とディミング信号の出力値を有するディミング曲線がテーブルに貯蔵されている。例えば、0乃至185段階の各ディミングアドレスに対応する185個のディミング信号がテーブルに貯蔵されることができる。ディミング信号は各分割領域の平均輝度値に最適の階調値を有する輝度信号である。ディミング信号はデジタル信号にされる。

【 0 0 2 9 】

ディミング制御部24は映像分析部22から供給されたディミングアドレスに対応するディミング信号を貯蔵部26で読み込んできて、このディミング信号に相応するデューティ比を有するPWM信号を生成してバックライトドライバ30に供給する。

【 0 0 3 0 】

バックライトドライバ30はディミング制御部24から供給されたPWM信号に相応する駆動信号を生成してバックライトユニット32の該当のブロックに供給する。駆動信号は駆動電圧か駆動電流であることができる。

【 0 0 3 1 】

バックライトユニット32の該当のブロックに含まれた発光ダイオード等27または29はバックライトドライバ30から提供された駆動信号に相応する輝度を有する光等を発光する。

【 0 0 3 2 】

このように、平均計算部36で各分割領域のディミングアドレスが出力され、ディミング制御部24で各ディミングアドレスに相応するディミング信号によるPWM信号が出力され、バックライトドライバ30で各PWM信号に相応する駆動信号が出力され、バックライトユニット32の各ブロックで各駆動信号に相応する輝度を有する光等が発光される。これに依じて、本発明の第1実施例はバックライトユニット32の各ブロックが互いに相異した輝度を有する光を発光させてくれることができるので、液晶パネル18の局所的な領域等に最適の輝度を表示してくれる、もっと明るく表示する領域は更に明るく表示してくれる、もっと暗く表示する領域は更に暗く表示してくれることで、コントラスト比を向上させ視認性を増加させることができる。

【 0 0 3 3 】

以上の本発明の第1実施例は一フレームから分割された分割領域等が同一の画素等を有するとの仮定の下で説明した。しかしながら、液晶パネルのサイズを顧慮する際、一フレームから分割された分割領域等がすべて同一の画素等を有することができない場合がしばしばある。特に、分割領域の個数を顧慮する際、同一ではない分割領域等が発生する可能性が極めて高い。

【 0 0 3 4 】

例えば、一フレームが 1920×1080 の画素から構成されて、縦方向へ9個の領域に分割されて、また縦方向へ9個の領域に分割されると仮定する。即ち、一フレームから総81個の領域(9×9)が分割されると仮定する。また、横方向の画素個数、即ち1920個の画素は2ポットで液晶パネルに提供されると仮定する。このような場合、縦方向の一つの領域には $1080/9=120$ 個の画素が含まれて、横方向の一つの領域には $(1920/2)/9=106.666$ 個の画素が含まれる。言い換えると、横方向へは9個の領域の各々に同一の画素等が含まれなくなる。結局、横方向へは107個の画素を有する6個の領域と106個の画素を有する3個の領域

10

20

30

40

50

に分割されることができる。

【 0 0 3 5 】

このように分割された81 (9×9) 個の領域を図7に示した。一フレームは107×120の画素数を有する第1領域等(A)と106×120の画素数を有する第2領域等(B)に分割されることができる。従って、第1領域等(A)の各々には12840個の画素が含まれ、第2領域等(B)の各々には12720個の画素等が含まれることができる。このような場合、第1領域等(A)の各々の平均輝度値を算出して、下位13ビットを捨てるようになると、0乃至399段階のディミングアドレスが発生し、第2領域等(B)の各々の輝度値を算出して、下位13ビットを捨てるようになると、0乃至395段階のディミングアドレスが発生されることができる。

10

【 0 0 3 6 】

第1領域等(A)のディミング処理のための第1ディミングカーブと第2領域等(B)のディミング処理のための第2ディミングカーブは図8A及び図8Bに示した。図8Aに示したところのように、第1領域等(A)のための第1ディミングカーブは0乃至399段階のディミングアドレスに対応する0乃至255階調のディミング信号から構成されることができる。図8Bに示したところのように、第2領域等(B)のための第2ディミングカーブは0乃至395段階のディミングアドレスに対応する0乃至255階調のディミング信号から構成されることができる。図8A及び図8Bから分かるように、第2領域等(B)のための第2ディミングカーブには396乃至399段階のディミングアドレスが定義されていない。

【 0 0 3 7 】

20

これに応じて、第1ディミングカーブと第2ディミングカーブに各段階に対応する階調値もまた、互いに相異に設定されている。従って、互いに同一ではない第1及び第2領域等(A,B)に関係なく、第1及び第2領域等(A,B)のすべてに第1ディミングカーブを適用する場合、第1領域等(A)については最適のディミング信号が探せられるが、第2領域等については第1ディミングカーブが第2ディミングカーブと互いに相異した階調値を有する関係で不適切な階調値がディミング信号として探されるようになり、結局輝度不一致(luminance mismatching)現象が発生する問題がある。

【 0 0 3 8 】

これと異なり、第1及び第2領域等(A,B)のすべてに第2ディミングカーブを適用する場合、第2領域等(A)については最適のディミング信号が探されるが、第1領域等については396乃至399段階に対応する階調値が定義されなくなるので、396乃至399段階に対するいかなるディミング信号も出力されなくなり、結局バックライトユニットが駆動されなくなる輝度無(luminance nullity)現象が発生される問題がある。

30

【 実施例 2 】

【 0 0 3 9 】

以上の問題を解決するために本発明の第2実施例が提案された。図9は本発明の第2実施例による液晶表示装置を概略的に示したブロック図である。本発明の第2実施例で、タイミングコントローラ12、ゲートドライバ14、データドライバ16、液晶パネル18、バックライトドライバ30及びバックライトユニット32は本発明の第1実施例と同一の機能を有するので、同一の図面符号番号を付与し、詳細な説明は省略する。

40

【 0 0 4 0 】

未説明の図面の番号40は液晶表示装置である。本発明の第2実施例では、一フレームから分割された互いに相異した画素数を有する第1領域等(A)と第2領域等(B)についてのディミング処理が提案される。例えば、一つのフレームが横方向へ107個の画素を有する6個の領域と106個の画素を有する3個の領域に分割されることに限定されているが、本発明はこれに限定されなく、縦方向へ互いに相異した画素数等を有する第1領域等と第2領域等についても同一に適用されることができる。

本発明の第2実施例では、説明の便宜のため一つのフレームが第1及び第2領域等(A,B)に分割されているが、領域等の個数が顧慮される際、第1及び第2領域等の以外に第3領域等が更に追加されることができる。

50

【 0 0 4 1 】

バックライト制御部 5 0 は映像分析部 5 2、ディミング制御部 5 4 及び第 1 及び第 2 貯蔵部 5 6、5 8 とを含む。尚、映像分析部 5 2 は映像分割部と平均計算部とを含む（図示せず）。映像分割部と平均計算部は本発明の第 1 実施例で説明した映像分割部 3 4 と平均計算部 3 6 と同一の機能を有するので、これ以上の詳細な説明は省略する。

【 0 0 4 2 】

映像分析部 5 2 は一フレームに含まれた画素を第 1 領域等 (A) と第 2 領域等 (B) に分割する。第 1 領域等 (A) は 107×120 の画素数を有し、第 2 領域等 (B) は 106×120 の画素数を有することができる。映像分析部 5 2 は第 1 領域等 (A) の各々の平均輝度値を算出し、算出された平均輝度値から下位の所定ビット、即ち例えば、13ビットを除去した第 1

10

【 0 0 4 3 】

また、第 1 貯蔵部 5 6 には第 1 領域等 (A) 用の第 1 ディミング信号等を有する第 1 ディミングカーブがテーブル形態に貯蔵されている。第 2 貯蔵部 5 8 には第 2 領域等 (B) 用の第 2 ディミング信号等を有する第 2 ディミングカーブがテーブル形態に貯蔵されている。第 1 ディミングカーブは 0 乃至 399 段階の第 1 ディミングアドレスを入力値とし、これら第 1 ディミングアドレスに対応する 0 乃至 255 階調の第 1 ディミング信号を出力値と有するように構成されることができる。第 2 ディミングカーブは 0 乃至 395 段階の第 2

20

【 0 0 4 4 】

ディミング制御部 5 4 は映像分析部 5 2 から供給された第 1 領域 (A) の各々についての第 1 ディミングアドレスを基にこれに該当する第 1 ディミング信号を第 1 貯蔵部 5 6 から読み込んできて、この第 1 ディミング信号に相応する第 1 PWM 信号を生成する。また、ディミング制御部 5 4 は映像分析部 5 2 から供給された第 2 領域 (B) の各々についての第 2 ディミングアドレスを基に、これに該当する第 2 ディミング信号を第 2 貯蔵部 5 8 から読み込んできて、この第 2 ディミング信号に相応する第 2 PWM 信号を生成する。

【 0 0 4 5 】

30

従って、バックライトドライバ 3 0 はディミング制御部 5 4 から供給された第 1 PWM 信号等に相応する第 1 駆動信号等をバックライトユニット 3 2 の第 1 ブロック等に供給し、ディミング制御部 5 4 から供給された第 2 PWM 信号等に相応する第 2 駆動信号等をバックライトユニット 3 2 の第 2 ブロック等に供給する。第 1 ブロック等は映像分析部 5 2 により分割された第 1 領域等 (A) に対応されることができる。第 2 ブロック等は映像分析部 5 2 により分割された第 2 領域等 (B) に対応されることができる。

【 0 0 4 6 】

バックライトユニット 3 2 の第 1 ブロック等は第 1 駆動信号等に相応する第 1 輝度を有する第 1 光等を発光し、第 2 ブロック等は第 2 駆動信号等に相応する第 2 輝度を有する第 2 光等を発光する。第 1 及び第 2 輝度は互いに相異なることができる。また、バックライトユニット 3 2 の第 1 ブロック等は互いに相異した輝度を有することができ、第 2 ブロック等もまた互いに相異した輝度を有することができる。

40

【 0 0 4 7 】

このように、本発明の第 2 実施例は、互いに相異した画素数を有する第 1 及び第 2 領域 (A,B) に適合した別途の第 1 及び第 2 ディミングカーブを貯蔵し、第 1 領域等 (A) のディミング処理は第 1 ディミングカーブを利用して第 2 領域等 (B) のディミング処理は第 2 ディミングカーブを利用することで、輝度の不一致や輝度無の現象を防止することができる。

【 0 0 4 8 】

以上の本発明の第 2 実施例は、縦方向へは同一の画素数を有する領域等が分割されて横

50

方向へは互いに相異した画素数を有する領域等が分割される場合、または横方向へは同一の画素数を有する領域等が分割されて縦方向へは互いに相異した画素数を有する領域等が分割される場合に限定されることができる。

【 0 0 4 9 】

上述した例とは異なり、横方向か縦方向のすべてで互いに相異した画素を有する領域等が分割されることができる。例えば、図 1 0 に示したように、一つのフレームが互いに異なる画素数を有する4個の領域等、即ち第 1 乃至第 4 領域等 (A, B, C, D) に分割されることができる。第 1 領域等 (A) 各々は107×154の画素数を含め、第 2 領域等 (B) 各々は106×154の画素数を含め、第 3 領域等 (C) 各々は107×155の画素数を含め、第 4 領域等 (D) 各々は106×155の画素数を含むことができる。

10

【 実施例 3 】

【 0 0 5 0 】

図 1 1 は本発明の第 3 実施例による液晶表示装置を概略的に示した図面である。本発明の第 3 実施例で、タイミングコントローラ 1 2、ゲートドライバ 1 4、データドライバ 1 6、液晶パネル 1 8、バックライトドライバ 3 0 及びバックライトユニット 3 2 は本発明の第 1 実施例と同一の機能を有するので、同一の図面符号番号を付け、詳細な説明は省略する。

【 0 0 5 1 】

未説明の図面符号番号 6 0 は液晶表示装置である。本発明の第 3 実施例では、一フレームから分割され、横方向か縦方向のすべてで相異した画素数を有する第 1 領域乃至第 4 領域 (A,B,C,D) についてのディミング処理が提案される。本発明の第 3 実施例では、説明の便宜のため、一フレームが第 1 領域等乃至第 4 領域等 (A,B,C,D) に分割されているが、領域の個数が顧慮される際、第 1 領域等乃至第 4 領域 (A,B,C,D) 以外に第 5 及び第 6 領域が更に追加されることができる。

20

【 0 0 5 2 】

バックライト制御部 7 0 は映像分析部 7 2、ディミング制御部 7 4 及び第 1 乃至第 4 貯蔵部 8 2, 8 4, 8 6 及び 8 8 とを含む。映像分析部 7 2 は映像分割部と平均計算部とを含む (図示せず)。映像分割部と平均計算部は本発明の第 1 実施例で説明した映像分割部 3 4 と平均計算部 3 6 と同一の機能を有するので、これ以上の詳細な説明は省略する。

【 0 0 5 3 】

映像分析部 7 2 は一フレームに含まれた画素等を第 1 領域等乃至第 4 領域等 (A,B,C,D) に分割する。第 1 領域 (A) 各々は107×154の画素を含め、第 2 領域 (B) 各々は106×154の画素を含め、第 3 領域 (C) 各々は107×155の画素を含め、第 4 領域 (D) 各々は106×155の画素を含むことができる。映像分析部 7 2 は第 1 領域 (A) の各々の平均輝度値を算出し、算出された平均輝度値から下位所定のビット、即ち例えば、13ビットを除去した第 1 ディミングアドレスを生成する。また、映像分析部 7 2 は第 2 領域 (B) の各々の平均輝度値を算出し、算出された平均輝度値から下位の所定ビット、即ち例えば、13ビットを除去した第 2 ディミングアドレスを生成する。また、映像分析部 7 2 は第 3 領域 (C) の各々の平均輝度値を算出し、算出された平均輝度値から下位所定のビット、例えば13ビットを除去した第 1 ディミングアドレスを生成する。更に、映像分析部 7 2 は第 4 領域 (D) の各々の平均輝度値を算出し、算出された平均輝度値から下位所定のビット、例えば、13ビットを除去した第 4 ディミングアドレスを生成する。

30

40

【 0 0 5 4 】

また、第 1 貯蔵部 8 2 には第 1 領域 (A) についての第 1 ディミング信号を有する第 1 ディミングカーブがテーブル形態に貯蔵されている。第 2 貯蔵部 8 4 には第 2 領域 (B) についての第 2 ディミング信号を有する第 2 ディミングカーブがテーブル形態に貯蔵されている。第 3 貯蔵部 8 6 には第 3 領域 (C) についての第 3 ディミング信号を有する第 3 ディミングカーブがテーブル形態に貯蔵されている。第 4 貯蔵部 8 8 には第 4 領域 (D) についての第 4 ディミング信号を有する第 4 ディミングカーブがテーブル形態に貯蔵されている。

50

【 0 0 5 5 】

この際、第 1 乃至第 4 ディミングカーブのディミングアドレスの個数は互いに相異することができる。例えば、第 1 ディミングカーブの入力値である第 1 ディミングアドレスは 300 個の段階を有することができ、第 2 ディミングカーブの入力値である第 2 ディミングアドレスは 250 個の段階を有することができ、第 3 ディミングカーブの入力値である第 3 ディミングアドレスは 330 個の段階を有することができて、第 4 ディミングカーブの入力値である第 4 ディミングアドレスは 270 個の段階を有することができる。

【 0 0 5 6 】

上述した例とは異なり、第 1 乃至第 4 ディミングカーブのディミング信号は 0 乃至 255 階調の同一の範囲を有することができる。第 1 ディミングカーブは 0 乃至 300 段階の第 1 のディミングアドレスを入力値としてこれらの第 1 のディミングアドレスに対応する 0 乃至 255 階調の第 1 のディミング信号を出力値と有するように構成することができる。第 2 ディミングカーブは 0 乃至 250 段階の第 2 のディミングアドレスを入力値としてこれらの第 2 のディミングアドレスに対応する 0 乃至 255 階調の第 2 のディミング信号を出力値と有するように構成することができる。第 3 ディミングカーブは 0 乃至 330 段階の第 3 のディミングアドレスを入力値としてこれらの第 3 のディミングアドレスに対応する 0 乃至 255 階調の第 3 のディミング信号を出力値と有するように構成することができる。第 4 ディミングカーブは 0 乃至 270 段階の第 4 のディミングアドレスを入力値としてこれらの第 4 のディミングアドレスに対応する 0 乃至 255 階調の第 4 のディミング信号を出力値と有するように構成することができる。

【 0 0 5 7 】

ディミング制御部 7 4 は映像分析部 7 2 から供給された第 1 領域 (A) の各々の第 1 ディミングアドレスを基にこれに該当する第 1 ディミング信号を第 1 貯蔵部 8 2 から読み込んできて、この第 1 ディミング信号に相応する第 1 PWM 信号を生成する。また、ディミング制御部 7 4 は映像分析部 7 2 から供給された第 2 領域 (B) の各々の第 2 ディミングアドレスを基にこれに該当する第 2 ディミング信号を第 2 貯蔵部 8 4 から読み込んできて、この第 2 ディミング信号に相応する第 2 PWM 信号を生成する。また、ディミング制御部 7 4 は映像分析部 7 2 から供給された第 3 領域 (C) の各々の第 3 ディミングアドレスを基にこれに該当する第 3 ディミング信号を第 3 貯蔵部 8 6 から読み込んできて、この第 3 ディミング信号に相応する第 3 PWM 信号を生成する。更に、ディミング制御部 7 4 は映像分析部 7 2 から供給された第 4 領域 (D) の各々の第 4 ディミングアドレスを基にこれに該当する第 4 ディミング信号を第 4 貯蔵部 8 8 から読み込んできて、この第 4 ディミング信号に相応する第 4 PWM 信号を生成する。

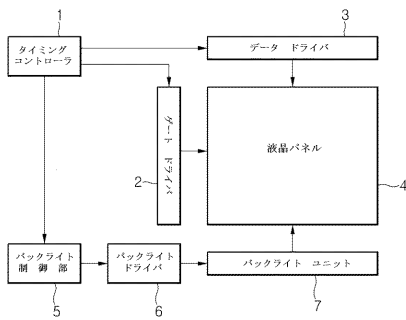
【 0 0 5 8 】

従って、バックライトドライバ 3 0 は、ディミング制御部 7 4 から供給された第 1 PWM 信号等に相応する第 1 駆動信号等をバックライトユニット 3 2 の第 1 ブロック等に供給し、ディミング制御部 7 4 から供給された第 2 PWM 信号等に相応する第 2 駆動信号等をバックライトユニット 3 2 の第 2 ブロック等に供給し、ディミング制御部 7 4 から供給された第 3 PWM 信号等に相応する第 3 駆動信号等をバックライトユニット 3 2 の第 3 ブロック等に供給し、ディミング制御部 7 4 から供給された第 4 PWM 信号等に相応する第 4 駆動信号等をバックライトユニット 3 2 の第 4 ブロック等に供給する。第 1 ブロック等は映像分析部 7 2 により分割された第 1 領域等 (A) に対応されることができ、第 2 ブロック等は映像分析部 7 2 により分割された第 2 領域等 (B) に対応されることができ、第 3 ブロック等は映像分析部 7 2 により分割された第 3 領域等 (C) に対応されることができ、第 4 ブロック等は映像分析部 7 2 により分割された第 4 領域等 (D) に対応されることができ、これらバックライトユニット 32 のブロック等の配列構造は図 4 乃至図 6 から容易に理解されることができるだろう。

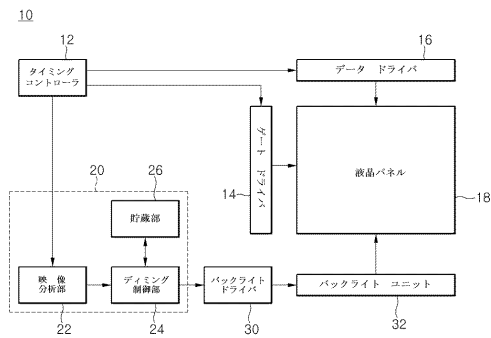
【 0 0 5 9 】

バックライトユニット 3 2 の第 1 ブロック各々は第 1 駆動信号に相応する第 1 輝度を有する第 1 光を発光し、第 2 ブロック各々は第 2 駆動信号に相応する第 2 輝度を有する第 2

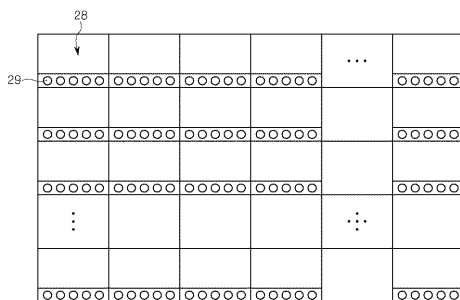
【図 1】



【図 2】



【図 6】



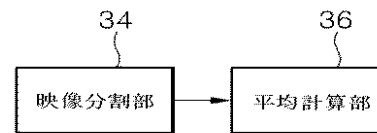
【図 7】

A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A

A : 107X120 = 12840
B : 106X120 = 12720

【図 3】

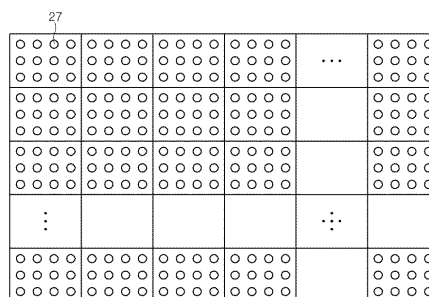
22



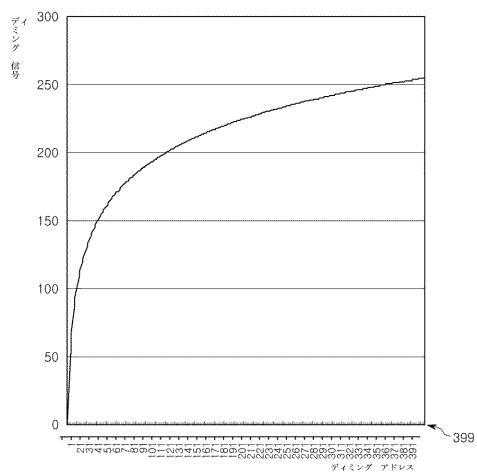
【図 4】

BLK [1,1]	BLK [1,2]	BLK [1,3]	BLK [1,4]	...	BLK [1,m]
BLK [2,1]					
BLK [3,1]					
⋮		⋮		...	
BLK [n,1]					BLK [n,m]

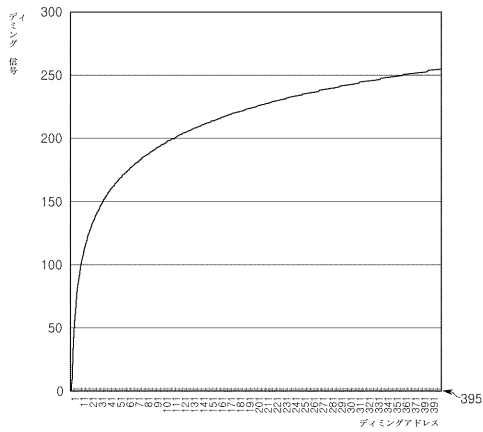
【図 5】



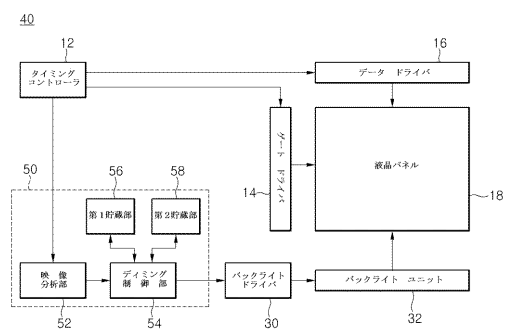
【図 8 A】



【図 8 B】



【図 9】

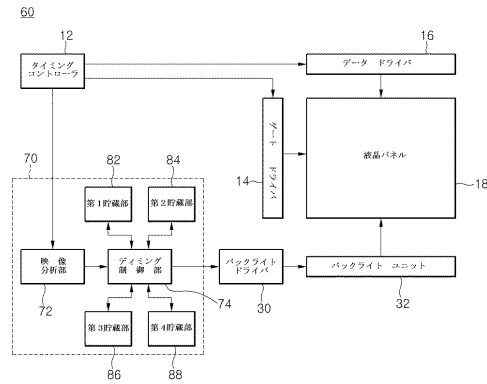


【図 10】

A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A
C	C	D	C	D	C	D	C	C
A	A	B	A	B	A	B	A	A
C	C	D	C	D	C	D	C	C
A	A	B	A	B	A	B	A	A
A	A	B	A	B	A	B	A	A

A : 107X154
 B : 106X154
 C : 107X155
 D : 106X155

【図 11】



フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
F 2 1 S 2/00 (2006.01)		G 0 9 G 3/20	6 4 2 E	
F 2 1 Y 101/02 (2006.01)		F 2 1 S 2/00	4 3 0	
		F 2 1 Y 101:02		

(74)代理人 100104352
弁理士 朝日 伸光

(74)代理人 100128657
弁理士 三山 勝巳

(72)発明者 李 泰 旭
大韓民国 キョンギド パジュシ グンチョンドン ソウォン メウル アパート 7 0 3 - 6 0
1

(72)発明者 金 知 敬
大韓民国 ソウル ウンピョング シンサドン 3 5 5 ヒュンダイ 2チャ アパート 1 1 2
- 1 6 0 2

F ターム(参考) 2H093 NA51 NC03 NC10 NC12 NC42 ND04 NE06 NF05
2H191 FA02Y FA14Y FA71Z FA85Z FD22 FD26 FD42 GA17 HA06 HA15
LA22
2H193 ZD21 ZF03 ZF22 ZF36 ZQ06
5C006 AA16 AA22 AB03 BB16 BC06 EA01 FA54
5C080 AA10 BB05 CC03 DD01 EE28 EE29 EE30 FF11 JJ02 JJ05
JJ06